

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4356946号
(P4356946)

(45) 発行日 平成21年11月4日(2009.11.4)

(24) 登録日 平成21年8月14日(2009.8.14)

(51) Int.Cl.	F 1
H03L 7/14 (2006.01)	H03L 7/14 A
H03L 7/091 (2006.01)	H03L 7/08 C
H03L 7/093 (2006.01)	H03L 7/08 E
H03L 7/06 (2006.01)	H03L 7/06 D

請求項の数 3 (全 15 頁)

(21) 出願番号 特願2006-100614 (P2006-100614)
 (22) 出願日 平成18年3月31日 (2006.3.31)
 (65) 公開番号 特開2007-274612 (P2007-274612A)
 (43) 公開日 平成19年10月18日 (2007.10.18)
 審査請求日 平成21年2月27日 (2009.2.27)

早期審査対象出願

(73) 特許権者 000232483
 日本電波工業株式会社
 東京都渋谷区笹塚一丁目50番1号 笹塚
 N Aビル
 (74) 代理人 100091513
 弁理士 井上 俊夫
 (72) 発明者 大西 直樹
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内
 (72) 発明者 若松 俊一
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内
 (72) 発明者 塩原 耕
 埼玉県狭山市大字上広瀬1275番地の2
 日本電波工業株式会社 狹山事業所内
 最終頁に続く

(54) 【発明の名称】 P L L装置

(57) 【特許請求の範囲】

【請求項 1】

供給された制御電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、
 外部からの基準周波数信号の位相と電圧制御発振部からの周波数信号の位相との位相差
 を取り出し、この位相差に関するデータをディジタル値として求める位相差データ作成手
 段と、

この位相差に関するデータに基づいて制御電圧を生成するための制御電圧用信号を出力
 する出力手段と、

前記制御電圧用信号に基づいて制御電圧を電圧制御発振部に供給するアナログ回路と、
 前記位相差に関するデータが記憶されている記憶部と、

外部からの基準周波数信号の信号レベルを監視するための監視手段と、

この監視手段にて監視された信号レベルが設定範囲内であるときには、位相差データ作
 成手段により作成された位相差に関するデータを出力手段に供給し、監視手段にて監視さ
 れた信号レベルが設定レベル設定範囲から外れているときには、前記記憶部に記憶されて
 いる位相差に関するデータを出力手段に供給する切り替え手段と、を備え、

前記位相差データ作成手段は、電圧制御発振部からの周波数信号に基づいて、外部から
 の基準周波数信号をサンプリングしてそのサンプリング値をディジタル信号として出力す
 るアナログ/デジタル変換部と、

前記ディジタル信号を直交変換部により直交変換処理して、前記周波数信号と標準信号
 との位相差に相当する位相のベクトルを複素表示したときの実数部分及び虚数部分を取り

10

20

出す直交変換部と、

この直交変換部にて得られた前記実数部分及び虚数部分の各時系列データに基づいてベクトルの角速度を演算する角速度演算部と、を備え、

前記位相差に関するデータは、角速度演算部にて演算された、前記位相差の変化分に対応するベクトルの角速度であることを特徴とするPLL装置。

【請求項2】

前記信号レベルが設定範囲内であるときには、位相差データ作成手段により作成された位相差に関するデータは、出力手段に供給されると共に記憶部に記憶され、こうして記憶部には最新の位相差に関するデータが蓄積され、前記信号レベルが設定レベル設定範囲から外れているときには記憶部に蓄積されたデータが出力手段に供給されることを特徴とする請求項1記載のPLL装置。 10

【請求項3】

前記出力手段は、前記位相差に関するデータに対応するデューティ比でパルス列を出力するパルス幅変調部であることを特徴とする請求項1または2に記載のPLL装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、外部からの基準周波数信号に電圧制御発振部からの周波数信号を同期させて出力するPLL(Phase Locked Loop)装置に関する。 20

【背景技術】

【0002】

移動体通信や地上デジタル放送などの基地局では、周波数基準信号に対して高い周波数安定度が要求されている。一方標準信号は、セシウム周波数標準発振器、ルビジウム標準発振器などにより得られるが、これらの標準信号は一般に高価であることから、各基地局では標準信号を分配して使用している。分配された標準信号は例えばPLL回路の位相比較のリファレンス信号として使用され、このPLL回路から例えば必要とされる周波数の基準クロック信号などの基準信号が得られる。

【0003】

PLL回路は、一般に図14に示すように標準信号101と、電圧制御発振器(Voltage Controlled Oscillator)102の出力信号を分周回路103で分周した信号とを位相比較器104で比較し、その位相差に応じた信号をチャージポンプ105から得て、その出力をループフィルタ106を介して電圧制御発振器102に供給し、こうしてPLL制御を行って精度の高い信号生成を行っている。 30

【0004】

ところで外部から導入する標準信号(外部の基準周波数信号)が消失すると出力周波数がジャンプし、PLL回路が放送局の送信装置に使用されている場合には、例えその消失が瞬間的なものであったとしても、配信画像に対して電圧制御発振器を標準信号に同期させている場合には電圧制御が自走することになり、電圧制御の周波数安定性はそれ程高くないことから、放送に不具合が生じてしまう。

【0005】

標準信号の消失の原因としては、ケーブルの劣化、ケーブルのコネクタの接続の不具合、メンテナンスの作業員が触れてはならないところに誤って触れてしまった場合などが上げられる。更に標準信号の消失の他にケーブルの劣化により標準信号のレベルが低下する場合もあり、この場合には本来の位相差を取り出せず、やはり出力周波数が乱れるという課題もある。 40

【0006】

ところで例えば基地局における周波数基準信号については益々高精度性を要求されている。例えば本発明者は、1Hz以下の周波数分解能がある周波数シンセサイザの開発に取り組んでいるが、このような機器にたいしては、基準クロック信号に対しては極めて高い周波数安定度が要求され、従来のPLL回路では対応が困難な事情にある。 50

【0007】

また特許文献1には、PLL回路において、位相比較結果に基づいて周波数調整演算回路により位相差がゼロになるように制御値を出力すると共に、この制御値を定期的にメモリに書き込み、この書き込まれた制御値を中心として、求めめておいた+制御値と-制御値に基づいて制御範囲の上限、下限を求め、こうして基準クロックの安定度が悪化しても同期クロックが正確に出力されるようにした技術が記載されている。この技術は本発明と同様にPLLループの途中演算値をメモリに記憶しておき、この値を読み出すという手法を採用しているが、本発明とは、目的も、その手法の組み立て方も全く異なり、上述の課題を解決できるものではない。

【0008】

10

【特許文献1】特開2002-353807号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、このような事情の下になされたものであり、外部からの基準周波数信号に不具合が生じても周波数の変動を抑えることのできるPLL装置を提供することにある。

【課題を解決するための手段】

【0010】

本発明のPLL装置は、供給された制御電圧に応じた周波数の周波数信号を発振する電圧制御発振部と、

20

外部からの基準周波数信号の位相と電圧制御発振部からの周波数信号の位相との位相差を取り出し、この位相差に関するデータをデジタル値として求める位相差データ作成手段と、

この位相差に関するデータに基づいて制御電圧を生成するための制御電圧用信号を出力する出力手段と、

前記制御電圧用信号に基づいて制御電圧を電圧制御発振部に供給するアナログ回路と、前記位相差に関するデータが記憶されている記憶部と、

外部からの基準周波数信号の信号レベルを監視するための監視手段と、

この監視手段にて監視された信号レベルが設定範囲内であるときには、位相差データ作成手段により作成された位相差に関するデータを出力手段に供給し、監視手段にて監視された信号レベルが設定レベル設定範囲から外れているときには、前記記憶部に記憶されている位相差に関するデータを出力手段に供給する切り替え手段と、を備え、

30

前記位相差データ作成手段は、電圧制御発振部からの周波数信号に基づいて、外部からの基準周波数信号をサンプリングしてそのサンプリング値をデジタル信号として出力するアナログ/デジタル変換部と、

前記デジタル信号を直交変換部により直交変換処理して、前記周波数信号と標準信号との位相差に相当する位相のベクトルを複素表示したときの実数部分及び虚数部分を取り出す直交変換部と、

この直交変換部にて得られた前記実数部分及び虚数部分の各時系列データに基づいてベクトルの角速度を演算する角速度演算部と、を備え、

40

前記位相差に関するデータは、角速度演算部にて演算された、前記位相差の変化分に対応するベクトルの角速度であることを特徴とする。

【0011】

この発明において、「位相差に関するデータ」とは、例えば従来からのPLL装置にて適用されている位相比較部により取り出された両者の位相差に相当するデータが相当するが、位相差そのものの他に位相差の変化分の場合も含まれる。本発明者は、後述の実施の形態において詳述するが、新しい方式のPLL装置を開発している。なお記憶部に記憶される、角速度演算部にて演算されたベクトルの角速度とは、角速度の演算値そのものに限らず、例えばこの演算値の積分値なども含まれる。

50

【0012】

本発明のより具体的な態様としては、前記信号レベルが設定範囲内であるときには、位相差データ作成手段により作成された位相差に関するデータは、出力手段に供給されると共に記憶部に記憶され、こうして記憶部には最新の位相差に関するデータが蓄積され、前記信号レベルが設定レベル設定範囲から外れているときには記憶部に蓄積されたデータが出力手段に供給されるようにすることができる。また前記記憶部に記憶されている位相差に関するデータとしては、予め外部で作成されたデータ、例えば装置を製造するときにオペレータが作成したデータであってもよい。

【0013】

前記出力手段の例としては、前記位相差に関するデータに対応するデューティ比でパルス列を出力するパルス幅変調部を挙げることができる。 10

【発明の効果】

【0014】

本発明は、外部からの基準周波数信号の信号レベルを監視し、その信号レベルが設定範囲内であるときには、位相差データ作成手段により作成された位相差に関するデータを用いてPLL制御を行うが、前記信号レベルが設定範囲から外れているとき例えば上限値よりも高いかまたは下限値よりも低いときには、信号の供給が停止されたあるいは過入力(レベル以上)であるものと認識して記憶部に記憶されている位相差に関するデータ、例えば蓄積している最新のデータあるいは予め作成しておいたデータに切り替えてPLL制御を行うようにしているので、外部からの基準周波数信号に不具合が生じても周波数の変動を抑えることができる効果がある。 20

【発明を実施するための最良の形態】

【0015】

本発明は従来のPLL装置にも適用できるが、この実施の形態では、本発明者が開発した新規な原理に基づいて動作するPLL装置に適用された例を示す。先ず図1を参照しながら本発明の動作原理について簡単に概略的な説明をしておく。この例では、外部からの標準信号、例えばセシウム周波数標準発振器、ルビジウム標準発振器などにより得られた標準信号である例えば10MHzの正弦波信号に基づいて40MHzの例えば矩形波である周波数信号を得ている。この周波数信号は矩形波に限らず正弦波信号であってもよい。本発明の動作原理は次の通りである。先ず電圧制御発振器例えば恒温槽付き水晶発振器(OCXO)1から40MHzの矩形波である周波数信号によりA/D(アナログ/デジタル)変換部11により標準信号をサンプリングし、デジタル信号を得る。 30

【0016】

次ぎにこのデジタル信号を直交変換部2により直交変換処理し、標準信号と電圧制御発振部1からの周波数信号(以下クロック信号ともいう)との位相差を示す実数部分(実数軸成分(I))及び虚数部分(虚数軸成分(Q))、即ち前記位相差に相当する位相のベクトルを複素表示したときの実数部分(I)及び虚数部分(Q)を取り出す。そして角速度演算部3により前記ベクトルの角速度を演算(検出)し、電圧出力部4によりこの角速度に対応する制御電圧(直流電圧)を生成して、電圧制御発振部1はこの制御電圧に対応する周波数信号を出力する。従って前記標準信号と電圧制御発振部1の周波数信号との位相差が変化すると、前記ベクトルが回転するので、その回転を止めるように水晶発振器の出力周波数がコントロールされることになる。即ち、図1の回路はPLLを構成しており、前記位相差がロックされると、標準信号が10MHzに安定していれば、電圧制御発振部1の周波数信号も40MHzに安定することになる。 40

【0017】

そして通常は、角速度演算部3により演算されたベクトルの角速度(前記位相差の変化分)を電圧出力部4に出力するが、標準信号が消失したと判断したときには、スイッチ部3を切り替えて記憶部7内に記憶されているベクトルの角速度を電圧出力部4に出力する。

【0018】

50

50

50

以下に本発明の実施の形態の詳細を説明する。図2において、点線で囲んだ20にて示す部分は、コンピュータの内部に設けられており、後述のPWM信号を生成する部位まではソフトウェアにより実行される。直交変換部(キャリアリムーブ)2は、この例では標準信号10及び電圧制御発振部1からの周波数信号が夫々が10MHz及び40MHzであり、1:4の関係にあるので、A/D変換部11からのデジタル信号に順次+1、+1を掛け算することにより、前記実数部分(I)及び虚数部分(Q)の組が取り出され、続いて順次-1、-1を掛け算することにより前記実数部分(I)及び虚数部分(Q)の組が取り出され、この演算処理を繰り返すことで、標準信号10及び電圧制御発振部1からの周波数信号の位相差を監視することができる。

【0019】

10

この演算の様子を図3に示すと、標準信号10に対するサンプリングのタイミングがだけ遅れているとし、周波数の関係が1:4を維持している場合には、図3(a)に示すようにサンプリングのタイミングは印で記載したようになる。従って初めの2つのサンプリング値に各々+1を掛けた値の組は、図3(b)に示すように、I軸(実数軸)から-だけ位相がずれたベクトルの実数部分及び虚数部分となる。また次の2つのサンプリング値に各々-1を掛けた値の組についても、I軸(実数軸)から-だけ位相がずれたベクトルの実数部分及び虚数部分となる。つまりこれらサンプリングの間に前記位相差が一定であれば、前記ベクトルは止まっていることになる。

【0020】

20

直交変換部2は、この例では上述の演算を行うために、電圧制御発振部1からの周波数信号によりスイッチ21を順次切り替えると共に、切り替えられた一方のラインにおいて掛け算部22によりA/D変換部11の出力に対して+1と-1とを交互にかけ算することで前記実数部分を取得し、また切り替えられた他方のラインにおいて掛け算部23によりA/D変換部11の出力に対して+1と-1とを交互に掛け算することで前記実数部分を取得するように構成されている。

【0021】

直交変換部2の後段にはフィルタ24が設けられている。このフィルタ24は、高調波成分を除去する機能を有する。

【0022】

30

フィルタ24の後段には、前記ベクトルの実数部分であるI値とベクトルの虚数部分であるQ値について夫々補正処理するための補正処理部5が設けられている。この補正処理部5は、前記I値及びQ値を夫々ベクトルのスカラー量で割り算することにより、ベクトルの単位長さ当たりのI値及びQ値を求める処理を行う。即ち、ベクトルに符号Vを割り当てるとき、補正処理部5は図4に示すように、I値とQ値とを夫々2乗して加算し、その加算値の平方根を算出してベクトルVのスカラー量|V|を求め、I値及びQ値を|V|で割り算するように構成されている。

【0023】

40

このようにI値及びQ値を補正する理由は次の通りである。この実施の形態では、ベクトルVがどれだけ回転したか(前記位相差がどれだけ変化したか)を算出するにあたり、図5に示すようにn番目のサンプリングにより求めたベクトルV(n)と(n-1)番目のサンプリングにより求めたベクトルV(n-1)とを結ぶベクトルVを含む因子により評価している。このため例えば標準信号の波形のゆらぎなどによりベクトルがいわば間延びしてVがV'になってしまふと、Vとベクトルの回転量との対応関係が崩れてしまふ、ベクトルの角速度の検出値の信頼性を損ねるおそれがある。そこで既述のように補正処理を行うことにより、各タイミングにおけるI値及びQ値がベクトルの単位長さに対応する値として揃えられるので、ベクトルの間延びの影響を排除することができる。

【0024】

50

更に図2に示すように前記補正処理部5の後段には、ベクトルの角速度を求めるための角速度演算部6が設けられている。この角速度演算部6は、ベクトルの角速度を求める機

能を備えているので、結局前記位相差の変化分を検出する機能を備えていることになる。角速度演算部 6 について図 6 及び図 7 を参照して説明すると、図 6 に示すように、(n - 1) 番目のサンプリングにより求めたベクトル $V(n - 1)$ と n 番目のサンプリングにより求めたベクトル $V(n) = V(n - 1) + \Delta V$ のなす角度 θ は、定数を K とすると、ベクトルの角速度（周波数）がサンプリング周波数よりも十分に小さければ、(4) 式で近似できる。ただし ΔV は、 $V(n)$ の位相 (n) と $V(n - 1)$ の位相 $(n - 1)$ との差であり、また imag は虚数部分、 $\text{conj}\{V(n)\}$ は $V(n)$ の共役ベクトルである。

【 0 0 2 5 】

$$= K \cdot \text{imag} [V \cdot \text{conj}\{V(n)\}] \quad \dots \dots (1)$$

10

ここで I 値及び Q 値について n 番目のサンプリングに対応する値を夫々 $I(n)$ 及び $Q(n)$ とすれば、 V 及び $\text{conj}\{V(n)\}$ は複素表示すると夫々 (2) 式及び (3) 式で表される。

【 0 0 2 6 】

$$V = I + j Q \quad \dots \dots (2)$$

$$\text{conj}\{V(n)\} = I(n) - j Q(n) \quad \dots \dots (3)$$

ただし I は $I(n) - I(n - 1)$ であり、 Q は $Q(n) - Q(n - 1)$ である。
(2) 式及び (3) 式を (1) 式に代入して整理すると、 ΔV は (4) 式で表されることになる。

【 0 0 2 7 】

$$= Q \cdot I(n) - I \cdot Q(n) \quad \dots \dots (4)$$

20

前記角速度演算部 6 は、この (7) 式の演算を行って ΔV の近似値を求めるものであり、その構成は図 7 に示す通りである。角速度演算部 6 に入力された I 値が n 番目のサンプリングに対応する値である $I(n)$ であるとすると、レジスタ 6 1 には、一つ前のタイミングである (n - 1) 番目のサンプリングに対応する $I(n - 1)$ が保持されており、これらが突き合わせ回路部 6 2 で突き合わせられて $I(n)$ と $I(n - 1)$ との差分 ΔI が取り出され、 $I(n)$ 及び ΔI が演算部 6 5 に入力される。また Q 値についてもレジスタ 6 3 及び突き合わせ回路部 6 4 により同様に処理されて $Q(n)$ 及び ΔQ が演算部 6 5 に入力される。そして演算部 6 5 では、(4) 式の演算を行って ΔV を求める。詳しくは演算部 6 5 の演算結果は ΔV として評価したものである。

30

【 0 0 2 8 】

ここでベクトル $V(n - 1)$ と $V(n)$ とが求まればこの間の角度 θ を求める手法あるいは評価する手法は種々の数学的手法を使うことができ、本発明は、上述の手法に限定されるものではない。

【 0 0 2 9 】

図 2 に戻って、前記角速度演算部 6 の後段には、角速度演算部 6 で演算された角速度を積分する積分回路部 7 1 と、この積分回路部 7 1 からの積分値を平滑化処理するためのラグリードフィルタ 7 2 と、ラグリードフィルタ 7 2 からの出力値に基づいて PWM 制御されたパルス列を出力する PWM 制御部 7 3 と、がこの順に設けられている。なお図 2 のスイッチ部 3 などに関しては後述する。PWM 制御部 7 3 は、ラグリードフィルタ 7 2 からの出力値に基づいてデューティ比が制御されたパルス列を出力する機能を有するものであり、例えば 100 ms 毎に前記出力値に応じたデューティ比のパルス列を出力する。

40

【 0 0 3 0 】

PWM 制御部 7 3 の後段には、アナログループフィルタ 1 2 が設けられ、このアナログループフィルタ 1 2 は、PWM 制御部 7 3 からのパルス列を積分して直流電圧に平滑化し、水晶発振器 1 の制御端子に供給する役割を果たす。PWM 制御部 7 3 及びアナログループフィルタ 1 2 は、図 1 に対応させると電圧出力部 4 に相当する。

【 0 0 3 1 】

ここで PWM 制御部 7 3 及びアナログループフィルタ 1 2 に関してより具体的に説明しておくと、図 8 に示すように例えばベクトルの角速度がゼロであれば（前記位相差に変化

50

がなければ)、ラグリードフィルタ72からの出力値に基づいてデューティ比50%のパルス列が例えば100msだけPWM制御部73から出力される。このパルス列のレベルが4Vであるとすると、アナログループフィルタ12の出力電圧つまり水晶発振器1の入力電圧は50%に対応する+2Vになる。そしてベクトルが回転すると、その角速度に応じたデューティ比のパルス列がPWM制御部73から出力されることになる。PWM制御部73の入力値とアナログループフィルタ12の出力値との関係は、例えば図9に示すことができる。図9において横軸は、ベクトルが回転した角度に対応する値である。

以上において、この実施の形態における直交変換部2から積分回路部71に至るまでのブロックは、特許請求の範囲でいう「外部からの基準周波数信号の位相と電圧制御発振部からの周波数信号の位相との位相差を取り出し、この位相差に関するデータをデジタル値として求める位相差データ作成手段」に相当し、角速度演算部6にて演算された角速度つまり前記位相差の変化分は、「位相差に関するデータ」に相当する。なおこの位相差の変化分を積分して出力しているが、この積分値も位相差の変化分に相当するものであり、積分回路部71の入出力側で用語を変える意味はないと思われる。10

【0032】

そして前記積分回路部71とラグリードフィルタ72との間には、スイッチ部3が設けられ、このスイッチ部3は、ラグリードフィルタ72への入力信号が前記積分回路部71とCPUインターフェイス81との間で切り替えるためのものである。CPUインターフェイス81はCPU83に接続され、CPU83により不揮発メモリ84から読み出されたデータがCPUインターフェイス81を介してスイッチ部3に与えられる。20

【0033】

またこのスイッチ部3の切り替えを行うためのレベル監視部82が設けられている。既述の補正処理部5では、図4に示すようにベクトルVのスカラー量|V|が求められるが、スカラー量|V|に対応する($I^2 + Q^2$)の平方根は外部からの基準周波数信号である標準信号10の振幅に対応している。そこでレベル監視部82は、 $I^2 + Q^2$ の値を監視し、この値が設定範囲内のときには所望の振幅である標準信号が送られているのでラグリードフィルタ72の入力を前記積分回路部71側に切り替えておき、 $I^2 + Q^2$ の値が設定範囲から外れたときには標準信号の振幅異常が起きているかあるいは標準信号が消失したものと判断してラグリードフィルタ72の入力を前記不揮発メモリ84側に切り替える。図2では、スイッチ部3により切り替えが行われるように記載してあるが、ソフトウェアで処理しているので、実際にはデータの読み出しを切り替えている。またレベル監視部82におけるレベル判断のしきい値は、設定範囲の下限値と上限値とからなり、下限値及び上限値は夫々例えば例えば-5dB及び+5dBに夫々設定されるが、このしきい値はシステムにより異常と判断されるレベルに応じて変わってくる。30

【0034】

ここで不揮発メモリ84内のデータに関して述べると、スイッチ部3が積分回路部71側に切り替わっているときには、積分回路部71の積分値はラグリードフィルタ72内のレジスタに取り込まれ、ラグリードフィルタ72はこのレジスタ内のデータに基づいて処理を行う。またこのレジスタ内のデータは、CPUインターフェイス81及びCPU83を経由して不揮発メモリ84に書き込まれる。不揮発メモリ84に書き込まれるデータ数は例えば3バイト分であるが、この数は内部演算のビット数により変わってくる。そして不揮発メモリ84においては順次古いデータが廃棄され、最新のデータが取り込まれる。40

【0035】

以上のようにこの実施の形態の構成をブロック化して説明したが、実際の演算あるいはデータ処理は、ソフトウェアにより実行される。

【0036】

次に上述実施の形態の作用について述べる。電圧制御発振部1からの矩形波または正弦波である40MHzの周波数信号が外部からの10MHzの標準信号をサンプリングし、そのサンプリング値が直交変換部2に与えられる。直交変換部2では既述のように40MHzのクロックによりスイッチ21がI値側、Q値側に交互に切り替えられるので、2050

MHz のクロックにより I 値と Q 値との組が取り出されることになる。この I 値及び Q 値は、電圧制御発振部 1 からの 40 MHz の周波数信号と 10 MHz の標準信号との位相差

を持つベクトルを複素平面上であらわしたときの当該ベクトル V の実数軸成分及び虚数軸成分に相当するものである。そしてこれら I 値と Q 値とが夫々フィルタ 24 にて高域成分除去の処理がなされ、次いで補正処理部 5 にて既述のように I 値と Q 値とで決まるベクトル V の補正処理（図 4、図 5 参照）がされる。そしてこの I 値と Q 値との時系列データに基づいて、図 7 に示したように角速度演算部 6 にてベクトル V の角速度 ω が求まる。この場合、 ω が十分に小さく、 $\sin \theta = \omega t$ であるとして取り扱っているため、あるタイミングにおけるベクトル V (n - 1) と次のタイミング（このタイミングは 20 MHz のクロックのタイミングである）におけるベクトル V (n) とを結ぶベクトル ΔV の長さにより角速度 ω を評価している。10

【0037】

一方レベル監視部 82 により既述のように $I^2 + Q^2$ の値を評価値として標準信号の信号レベルを監視し、 $I^2 + Q^2$ の値が設定範囲内であれば標準信号は正常に供給されているものとして、スイッチ部 3 が積分回路部 71 側に切り替わっている。従って積分回路部 71 にて積分された角速度 ω の積分値はラグリードフィルタ 72 に出力されて平滑化処理され、その値に対応するデューティ比のパルス列が PWM 制御部 73 にて生成される。このパルス列がアナログループフィルタにより積分されて制御電圧である直流電圧が生成され、この直流電圧により電圧制御発振部 1 の出力周波数がコントロールされる。20

【0038】

今、外部からの標準信号が 10 MHz で安定しているものとすると、電圧制御発振部 1 の出力周波数が 40 MHz の場合には、図 3 (a) に示したように標準信号の 1 サイクル中の 4 つのサンプリングポイントは、夫々 0 度、90 度、180 度、270 度に対してだけ位相がずれた位置にある。従ってこの場合には、標準信号と電圧制御発振部 1 の周波数信号とは、位相差が $\pi/2$ で一定であり、前記ベクトル V は図 3 (b) に示したように停止している。ここで図面の記載を簡単化するために θ をゼロとして説明を進めると、前記位相差がゼロで一定であると、サンプリングのタイミングは図 10 (a) に示すようになり、I 値、Q 値の組は、(0, 1) となり、ベクトル V は実数軸に対して 90 度の位置に停止している。従ってベクトル V の角速度はゼロであるから、PWM 制御部 73 からは、デューティ比 50% のパルス列が出力され、電圧制御発振部 1 には 2 V の電圧が供給され、その出力周波数は 40 MHz となる。30

【0039】

ここで電圧制御発振器 1 の出力周波数が 40 MHz よりも低くなったとすると図 11 (a) に示すように、今まで 0 度、90 度、180 度、270 度であったサンプリングのタイミングが 0 度、 $\pi/2$ 、90 度 + 2 $\pi/2$ 、180 度 + 3 $\pi/2$ 、270 度 + 4 $\pi/2$ となり、ベクトル V は図 11 (b) で示すように角速度 ω で右に回り始める。なお 20 MHz のクロックのタイミングでベクトルが取り出されるので、角速度は $\omega = 2\pi / 25 \text{ ns}$ であるが、便宜上 ω として記載する。そしてこの角速度 ω に対応して前記デューティ比が大きくなり、電圧制御発振部 1 の入力電圧が増加し、その出力周波数が角速度 ω 、つまり位相差の変化分 $\Delta\theta$ に対応する量だけ増加し、こうして電圧制御発振部 1 の出力周波数が 40 MHz にロックされることになる。40

【0040】

一方、標準信号がトラブルにより入力されなくなったとすると、 $I^2 + Q^2$ の値が設定値から外れるのでつまり下限値よりも低くなるので、レベル監視部 82 はスイッチ部 3 を不揮発メモリ 84 側に切り替える。不揮発メモリ 84 には既述のようにそれまでの最新データ、即ち角速度 ω の積分値の時系列データが書き込まれているので、この最新データを読み出し、ラグリードフィルタ 72 に与えていく。

【0041】

図 12 には、標準信号の信号レベルの大きさと不揮発メモリ 84 及びラグリードフィルタ 72 のデータ処理とを対応させたフローを示してある。即ち、プログラムにより直前ま50

での運転状態について、積分回路部71の積分値を使用する通常モードと不揮発メモリ84内のデータを使用する内部データ使用モードとのいずれで処理されているかを判断する(ステップS1)。例えば装置の立ち上げ時においては通常モードでスタートするよう設定されている。このモードはフラグなどにより識別できる。そして通常モードで運転されると判断されると、レベル監視部82により標準信号のレベルが設定範囲内であるか否か判断され(ステップS2)、設定範囲内であれば通常モードとして認識し(ステップS3)、積分回路部71からの積分値をつまりラグリードフィルタ72内のレジスタに保持されたデータを不揮発メモリ84に記憶する(ステップS4)と共にラグリードフィルタ72にて処理する(ステップS5)。

【0042】

10

またステップS2にて標準信号のレベルが設定範囲から外れると判断されると、不揮発メモリ84からデータを読み出し、読み出したデータをラグリードフィルタ72に与える(ステップS7及びS9)。更にステップS1に戻ると、このときは内部データ使用モードであるからステップS10に進み、レベル監視部82により標準信号のレベルが設定範囲内か否か判断される。この場合、標準信号のレベルは下限値よりも小さいのでステップS7に進み、以下順次不揮発メモリからデータが読み出されていく。即ち、ラグリードフィルタ72内のレジスタ内には常に最新のデータが保持されているので、積分回路部71からの出力を停止することにより、それ以降はレジスタ内のデータをサイクリックに読み出すことで最新のデータが使用されることになる。

【0043】

20

ここで標準信号の供給が復帰してそのレベルが設定範囲に入ると、ステップS10からステップS3に進み、不揮発メモリ84内のデータに代えて積分回路部71の積分値がラグリードフィルタ72に与えられる。以上のような一連の動作において、標準信号の信号レベルが設定範囲内から外れると、図示しない表示部には標準信号の消失あるいは異常対応する表示がなされ、標準信号の信号レベルが設定範囲内に戻ると、復帰に対応する表示がなされる。

【0044】

上述の実施の形態によれば、外部からの基準周波数信号である標準信号と電圧制御発振部1からのクロックとの位相差の変化分に対応する最新データを記憶部である不揮発メモリ84に取り込んでおき、標準信号の信号レベルが設定範囲から外れると判断したときには、標準信号の供給が停止されたか標準信号に異常が起きたものと認識して角速度演算値(位相差の変化分)の積分値の出力を止め、変わりに記憶部に記憶されている最新データに切り替えてPLL制御を行うようにしているので、標準信号に不具合が生じても周波数の変動を抑えることができ、例えば移動体基地局や放送局の送信を安定して行うことができる。

30

【0045】

また本発明では、スイッチ部3を例えばCPU83側から強制的に切り替えることができるようにしてよく、この場合には次の利点がある。積分回路部71の出力値は、電圧制御発振部1であるOCXOの周波数の経時変化などにより変化する場合があるが、積分回路部71の出力値を不揮発性メモリ84に記憶しておけば、装置の電源が切られ、再起動したときに不揮発性メモリ84からデータを読みだしてラグリードフィルタ72内のレジスタに書き戻すことで、電源オフ時の状態に復帰させることができ、つまり最新調整状態から再起動することができ周波数誤差が低減できる。また外部からの標準信号が切断されている場合であっても電源オフ時の状態に復帰させることができる。

40

【0046】

更に不揮発メモリ84内のデータを変更することで電圧制御発振部1の発振周波数を変更することができるので、製造段階における単体周波数調整をデータの設定というソフト的な操作で行うことができる。

【0047】

上述の例では、不揮発メモリ84に積分回路部81からの最新のデータを記憶していた

50

。この手法はラグリードフィルタ72内のレジスタ内のデータをそのまま使用できる利点があるが、本発明では、積分回路部81からの時系列データに対応する適切なデータを予め作成しておいてこれを不揮発メモリ84内に記憶しておき、このデータをラグリードフィルタ72が読み出すようにしてもよい。あるいはラグリードフィルタ72からの時系列データに対応する適切なデータを予め作成しておいてこれを不揮発メモリ84内に記憶しておき、このデータを標準信号のレベルが設定範囲から外れたと判断したときに、PWM制御部73に入力されるデータをラグリードフィルタ72からの出力に代えて不揮発メモリ84からのデータを使用するようにしてもよい。

【0048】

ここで上述実施の形態におけるPLL制御方式の利点についても述べておくと、この装置は、A/D変換部11にて圧制御発振部1からの周波数信号により外部からの標準信号をサンプリングし、そのサンプリング値を直交処理して既述のベクトルを得、そのベクトルを監視するようにしている。従って電圧制御発振部1からの周波数信号と標準信号との位相差をデジタル値で取り扱っているので、そのビット数を調整することで、位相差を高精度に一定化することができ、標準信号が高い周波数安定度を備えていれば、極めて高い周波数安定度を備えた所望の周波数の周波数信号を得ることができる。

10

【0049】

図12にOCXOの周波数安定度特性を示すと、OCXOは短時間の安定度は良いが、時間が経過すると安定度が悪くなる傾向にある。これに対してOCXOを上述の実施の形態に組み込むことにより、図13に示すように長期安定度が短期安定度のように良好になることが分かる。

20

【0050】

また本発明は、標準信号の周波数と電圧制御発振部の出力周波数が1:4に限定されるものではない。この比率は任意であるが、電圧制御発振部の出力周波数は標準信号の周波数の2倍以上であることが必要である。両者の周波数が1:4以外の場合でも標準化定理に基づいて周波数を選択することによりI値及びQ値を求めることができる。

【0051】

本発明は、従来のPLL装置にも適用することができる。例えば図15に示すPLL回路において位相比較器104の後段のチャージポンプ105に相当する処理をデジタル処理で行うようにし、デジタル処理部内に位相比較器104の位相比較値に相当するデイジタル値の最新データを記憶部に記憶しておく。そして例えば外部クロック(標準信号)の信号レベルを監視し、そのレベルが小さくなったときには先の実施の形態と同様に、記憶部内のデータを用い、そのデータに対応する制御電圧を電圧制御発振部102に供給するようにすることができます。この場合、特許請求の範囲の「位相差に関するデータ」とは、位相差に相当するデータということになる。

30

【図面の簡単な説明】

【0052】

【図1】本発明に係るPLL装置の概略を示すブロック図である。

【図2】本発明に係るPLL装置の実施の形態の全体構成を示すブロック図である。

【図3】外部の基準周波数信号と電圧制御発振部の周波数信号との位相差と、この位相差を持ったベクトルとの関係を示す説明図である。

40

【図4】上記の実施の形態に用いられる補正処理部示す構成図である。

【図5】ベクトルが間延びしたときに検出誤差が生じる様子を示す説明図である。

【図6】相前後するタイミングでサンプリングしたベクトルの位相差(角速度)を示す説明図である。

【図7】上記の実施の形態に用いられる角速度演算部を示す構成図である。

【図8】PWM制御部の出力とOCXOの入力電圧との関係を示す説明図である。

【図9】PWMの入力値とOCXOの入力電圧との関係を示す特性図である。

【図10】外部の基準周波数信号と電圧制御発振部の周波数信号との位相差に変化がないときのサンプリングの様子とベクトルとを示す説明図である。

50

【図11】外部の基準周波数信号と電圧制御発振部の周波数信号との位相差に変化があるときのサンプリングの様子とベクトルとを示す説明図である。

【図12】外部の基準周波数信号が正常な場合及び消失した場合における夫々のPLL装置の動作を示すフロー図である。

【図13】本発明を実施しない場合のOCXOの周波数安定度特性を示す特性図である。

【図14】本発明を実施した場合のOCXOの周波数安定度特性を示す特性図である。

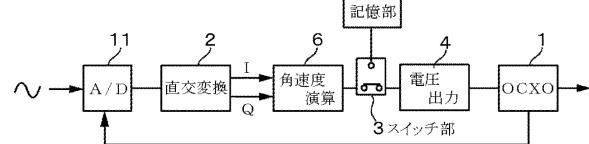
【図15】従来のPLL装置を示すブロック図である。

【符号の説明】

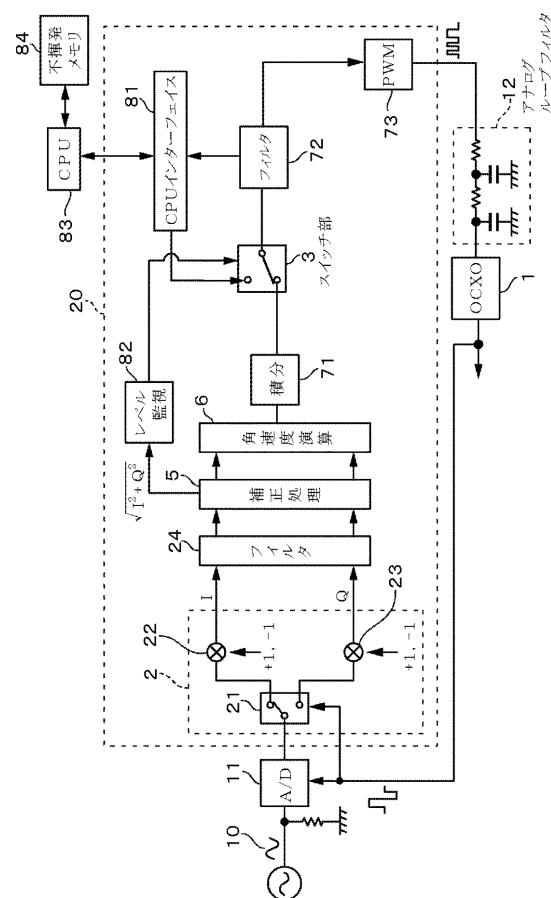
【0053】

- | | | |
|-----|----------------|----|
| 1 | 電圧制御部(例ではOCXO) | 10 |
| 1 1 | A/D変換部 | |
| 1 2 | アナログループフィルタ | |
| 2 | 直交変換部 | |
| 2 4 | フィルタ | |
| 5 | 補正処理部 | |
| 6 | 角速度演算部 | |
| 7 1 | 積分回路部 | |
| 7 2 | フィルタ | |
| 7 3 | PWM制御部 | |
| 8 1 | 記憶部 | 20 |
| 8 2 | レベル監視部 | |

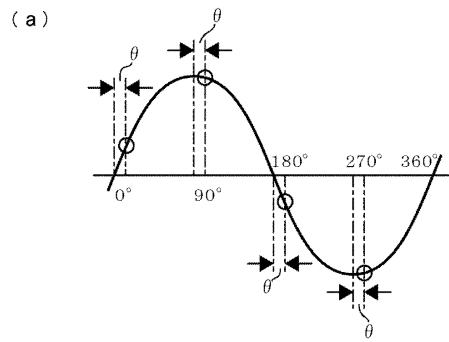
【図1】



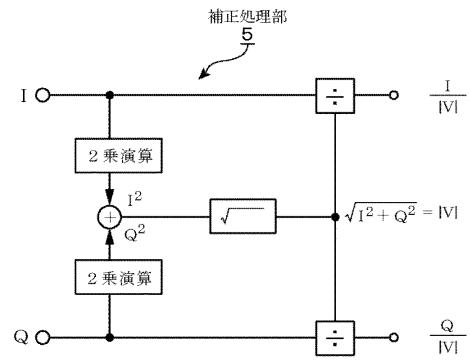
【図2】



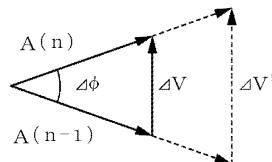
【図3】



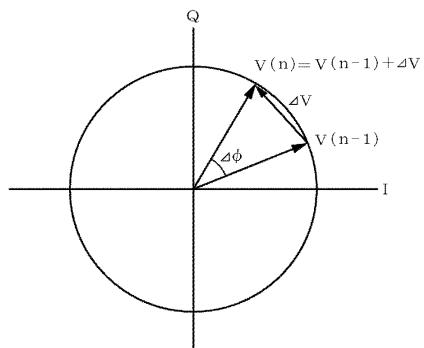
【図4】



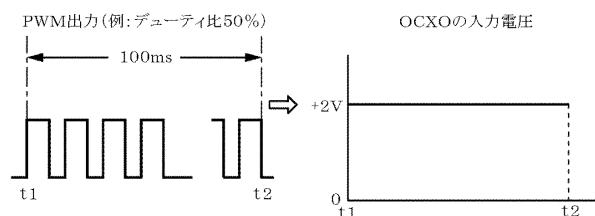
【図5】



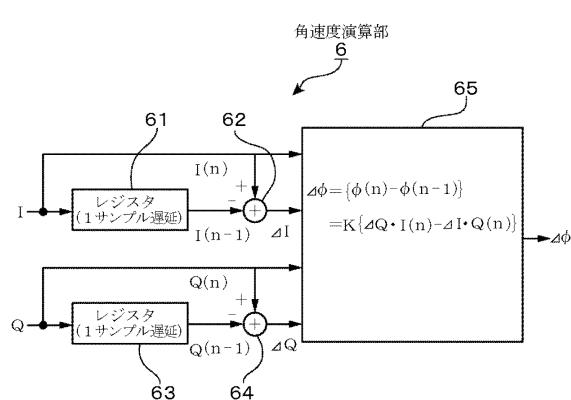
【図6】



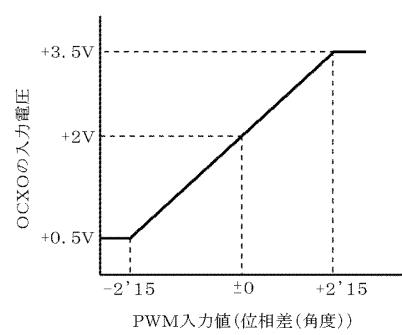
【図8】



【図7】

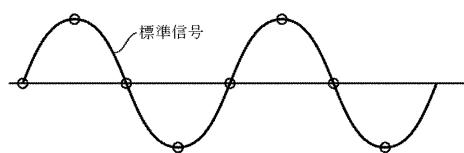


【図9】

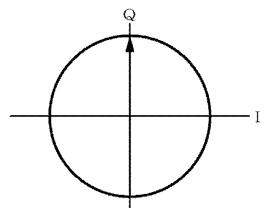


【図10】

(a) 40MHzのとき



(b)

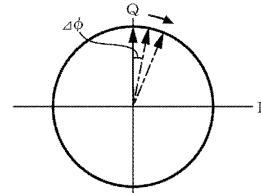


【図11】

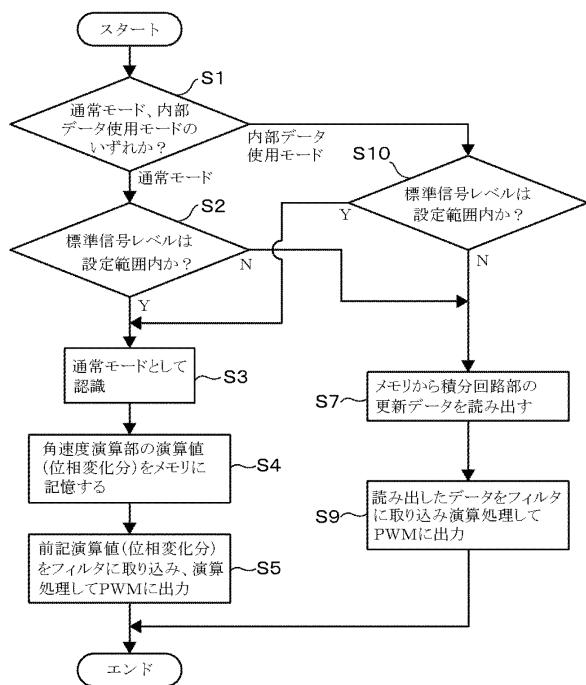
(a) 40MHzよりも低くなったとき



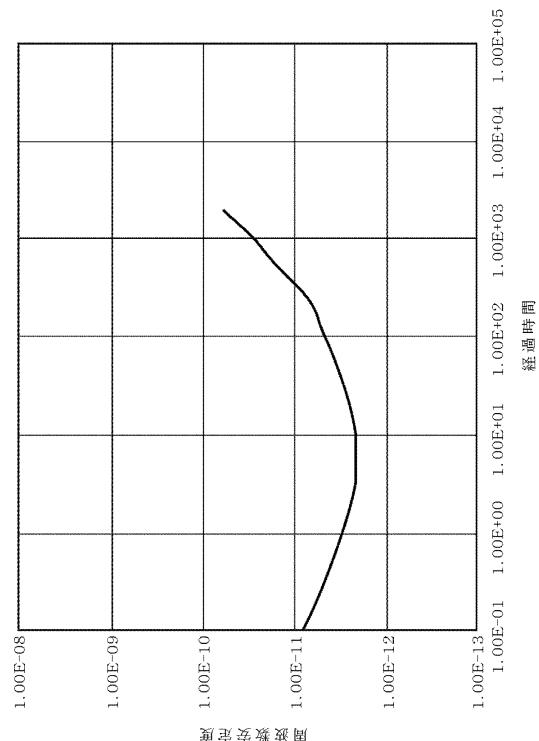
(b)



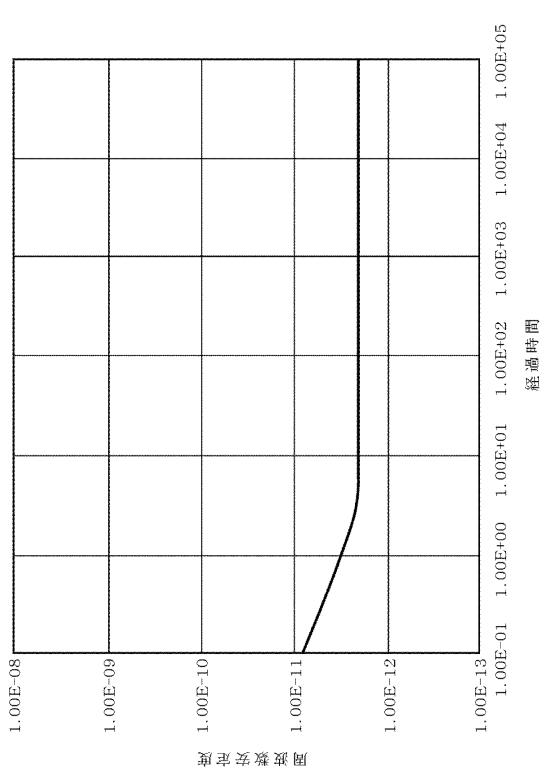
【図12】



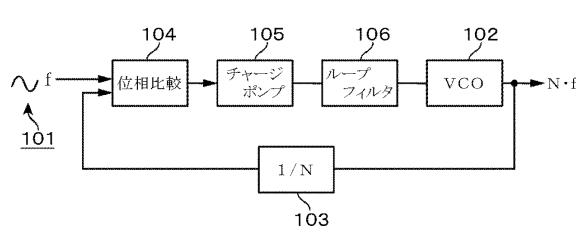
【図13】



【図14】



【図15】



フロントページの続き

審査官 上田 智志

(56)参考文献 特開平10-173642(JP,A)
特開2005-109551(JP,A)
特開2004-235858(JP,A)
国際公開第99/049575(WO,A1)
特表2002-505827(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L 7/06 - 7/23