(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102035455 B
(45)授权公告日 2012.11.21

(21)申请号 201010566492.2
(22)申请日 2010.11.30
(73)专利权人 中冶南方(武汉)自动化有限公司
地址 430223 湖北省武汉市东湖新技术开发区大学园路 33 号
(72)发明人 周虎军 康现伟 陶文涛
(74)专利代理机构 湖北武汉永嘉专利代理有限公司 42102
代理人 王超
(51)Int.Cl.
H02P 21/14(2006.01)
(56)对比文件
CN 101026781 A,2007.08.29, 全文.
肖兵等. 基于 DSP 的 M/T 测速法改进. 《重庆工学院学报(自然科学)》.2009, 第 23 卷(第 10 期),65-67,76.
姜晓波等. 基于 TMS320LF2407 DSP 的步进电机速度 M/T 精确控制方法实现. 《机电工程技术》.2010, 第 39 卷(第 2 期),19-20,37.
审查员 李新瑞

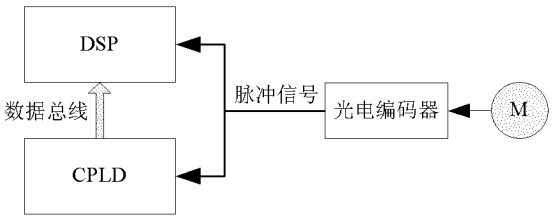
权利要求书 1 页 说明书 3 页 附图 1 页

(54)发明名称

一种变频器 M/T 测速方法

(57)摘要

本发明提供了一种变频器 M/T 测速方法,其包括:首先依据变频器输出频率,选择 T 法或 M 法测速;然后设定变频器转速滞环控制点,根据控制点进行 M/T 法测速。本发明在在 M 法测速时,能消除掉原理上产生的 ±1 个码盘脉冲周期的误差,以被测脉冲信号的上升沿为基准,同时记录下被测脉冲的数量以及 CPLD 内部时钟信号的周期数量;按此方法来计数脉冲,被测脉冲的计数值没有误差,CPLD 内部时钟信号的周期计数值有 ±1 个周期的误差,但是 CPLD 的内部时钟高达 12.5MHz,此误差对最终转速计算结果的影响非常小,可以达到万分之一以上的精度。



CN 102035455 B

1. 一种变频器 M/T 测速方法，其特征在于包括：首先依据变频器输出频率，选择 T 法或 M 法测速；然后设定变频器转速滞环控制点，根据控制点进行 M/T 法测速；

所述的方法运行在型号为 TMS320F2812 的 DSP 和 MAX 系列 CPLD 上；该 DSP 中，以事件管理模块 A 的 T1 定时器作为载波周期定时用，事件管理模块 B 的定时器 T4 作为测速用，在 T1 的周期中断和下溢中断时进行测速计算处理；

采用 T 法测速时，T4 配置为捕获方式，T4 的周期寄存器赋值为 0xFFFF，当外部有脉冲输入时，T4 定时器当前计数值被保存入捕获结果寄存器，然后在 T1 的周期中断和下溢中断服务程序中读取出该值，进行计算；根据 T4 定时器的捕获情况，分为以下几种情况进行处理：

1）当 T4 捕获到 2 个脉冲时：

时间差为 TIME_A1-TIME_B1，以此时间为编码器脉冲周期计算电机转速；

其中 TIME_A1 为捕获到第二个脉冲时 T4 定时器的计数值，TIME_B1 为捕获到第一个脉冲时 T4 定时器的计数值；

2）当 T4 捕获到 1 个脉冲时：

设当前捕获脉冲时 T4 周期记录个数为 TIME_A2，上次捕获脉冲时 T4 周期记录个数为 TIME_B2，则时间差为 $TIME_A2\times 2^{16}+TIME_A1-(TIME_B2\times 2^{16}+TIME_B1)$，以此时间为编码器脉冲周期计算电机转速；

3）当 T4 未捕获到脉冲时：

计算出上次捕获脉冲到当前时间的时间差，如果小于等于上次捕获脉冲时计算出的脉冲周期，不处理；如果大于，则以此时间差为周期计算电机转速；

采用 M 法测速时，通过 DSP 的数据总线读取 CPLD 记录的码盘脉冲的计数值 P_COUNT 和内部基准时钟的计数值 CTIMER_COUNT；同时在以 0x8100、0x8200 为起始地址的 DSP 内存中各开辟长度为 M 的缓冲区，分别用来保存 P_COUNT 和 CTIMER_COUNT 的历史值；

码盘脉冲数量：P_COUNT-P_COUNT_BAK；

CPLD 内部基准时钟数量：CTIMER_COUNT-CTIMER_COUNT_BAK；

脉冲周期为：$\frac{(CTIMER_COUNT-CTIMER_COUNT_BAK)/12500000}{P_COUNT-P_COUNT_BAK}$；

其中 CPLD 时钟为 12.5M，P_COUNT_BAK 为缓冲区内保存的码盘脉冲计数值的历史值，CTIMER_COUNT_BAK 为缓冲区内保存的 CPLD 内部基准时钟计数值的历史值。

2. 根据权利要求 1 所述的测速方法，其特征在于：设定变频器转速滞环控制点，根据控制点进行 M/T 法，进行测速的方法为：电机转速在低速时采用 T 法，高速时采用 M 法，两者之间的切换点采用 150r/min 到 180r/min 滞环的方式进行切换。

一种变频器 M/T 测速方法

技术领域

[0001] 本发明涉及变频器测速领域。

背景技术

[0002] 随着国家宏观调控以及节能减排政策的出台，同时由于变频器在电力节能降耗中的作用非常明显，作为节能减排的利器之一，变频器迎来了发展的黄金时期。在变频器构成的变频调速系统中，转速是一个极为重要的状态参数，被控电机转速的测量精度直接影响系统的控制效果。

[0003] 电机转速的检测，基本方法是通过检测与电机同轴连接的光电编码器输出的脉冲间接得到，根据检测到的脉冲的频率和时序，计算得到电机转速和转动方向。实现转速测量的方法主要有 T 法（测周期法）、M 法（测频率法）、M/T 法（频率周期自适应法）。

[0004] T 法测速，是通过检测光电码盘产生的两个相邻脉冲之间的时间差，也就是脉冲周期，来计算电机转速。一般是 CPU 内部提供高频基准时钟，在脉冲的上升沿（或下降沿）基准时钟开始计数，当下一个脉冲的上升沿（或下降沿）到来时，停止计数，如图 1 所示。此方法在原理上会产生 ±1 个基准时钟的误差，只有在转速较低，脉冲周期较大的情况下，才能有较高的精度，所以 T 法适用于低速测量。

[0005] M 法测速，是通过检测某一段时间内光电码盘产生的脉冲数量，也就是脉冲频率，来计算电机转速。在基准时间启动计时时，开始对被测脉冲计数，停止计时时，计数停止，如图 2 所示。此方法在原理上会产生 ±1 个被测脉冲周期的误差，在转速较高，被测脉冲计数值很大的情况下才有较高的精度，因此适用于高速测量。

[0006] M/T 法测速，就是 M 法和 T 法两种测速方法的结合，在合适的转速时自动切换，低速时用 T 法，高速用 M 法，最大可能提高测速的精度。

[0007] 以上所述的 M/T 测速方法，在实际应用中也有局限性；当从低速的 T 法测速切换到 M 法测速时，变频器的输出频率并不是太高，此时光电编码器反馈回来的信号频率不高，由于原理上产生 ±1 个码盘脉冲周期的误差，会导致结果出现较大误差，无法满足高性能变频器闭环矢量控制的需要。

发明内容

[0008] 本发明所要解决的技术问题是：提供一种变频器 M/T 测速方法，其能弥补传统 M/T 测速方法的不足，在 M 法测速的频率范围内取得高精度的测速结果，完全满足高性能变频器闭环矢量控制的需求。

[0009] 本发明所采用的技术方案是：一种变频器 M/T 测速方法包括：首先依据变频器输出频率，选择 T 法或 M 法测速；然后设定变频器转速滞环控制点，根据控制点进行 M/T 法测速。

[0010] 变频器输出频率为 5Hz 以下时，选择 T 法测速；变频器输出频率 5Hz 以上时，选择 M 法测速。

[0011] 本发明的优点：在传统 M 法测速方法的基础上，做了一定的修改，消除掉原理上产生的 ±1 个码盘脉冲周期的误差；传统 M 法是以内部时钟计时的某一段时间起始和结束点为基准来计数被测脉冲信号，现修改成以被测脉冲信号的上升沿为基准，如图 4 所示，同时记录下被测脉冲的数量以及 CPLD 内部时钟信号的周期数量；按此方法来计数脉冲，被测脉冲的计数值没有误差，CPLD 内部时钟信号的周期计数值有 ±1 个周期的误差，但是 CPLD 的内部时钟高达 12.5MHz，此误差对最终转速计算结果的影响非常小，可以达到万分之一以上的精度。

附图说明

[0012] 图 1 是 T 法测速法原理图。

[0013] 图 2 是 M 法测速法原理图。

[0014] 图 3 是 M/T 测速法的滞环原理图。

[0015] 图 4 为优选实施例中的 M 法测试原理图。

[0016] 图 5 为优选实施例中的 M 法测试结构框图。

具体实施方式

[0017] 在具体实施方式中，以 TI 的 TMS320F2812 和旋转式光电编码器以及 MAX 系列 CPLD 构成的数字转速检测系统为例，详细讲述了 M/T 法在 TMS320F2812 及 CPLD 里的实现，以及两种测速方法自动切换的转速点的确定、在 DSP（数字信号处理器）的内部 RAM（随机存取存储器）开辟缓冲区的方式提高 M 法测速精度的方法。

[0018] 本系统以 TI 的 TMS320F2812 作为测量和计算的核心，与电机同轴安装的光电编码器把被测量转速转换成脉冲输入 DSP 与 CPLD，由 DSP 与 CPLD 进行采样、滤波、计算得到电机的实时转速，如图 5 所示。

[0019] 该 DSP 具备 2 个事件管理模块，每个事件管理器都包括有定时器、比较器、PWM（脉冲宽度调制）发波单元、捕获单元以及正交编码脉冲电路，其中捕获单元和正交编码电路正是用来测速的专用功能。本系统以事件管理模块 A 的 T1 定时器作为载波周期定时器用，事件管理模块 B 的定时器 T4 作为捕获功能时钟用，在 T1 的周期中断和下溢中断时进行测速计算处理。

[0020] CPLD（复杂可编程逻辑器件）主要功能是用来记录输入的码盘脉冲信号的数量，同时记录内部时钟信号的周期数量，锁存到与 DSP 相连的数据总线上，等待 DSP 读取。

[0021] 实施例 1：M/T 法测速

[0022] 电机转速在低速时采用 T 法，高速时采用 M 法，两者之间的切换点，需要考虑测速环节的采样周期，同时还要考虑码盘的脉冲数；本系统对测速的切换做了滞环处理，如图 3 所示。

[0023] MT 测速法采用 150r/min 到 180r/min 滞环的方式进行切换。在 T 法测速方式下，2812 的捕获功能只能同时保存 2 个脉冲的捕获时间，以一个采样周期最多采样到 2 个脉冲为原则，否则采样会丢失脉冲，造成计算结果出错。

[0024] 实施例 2：T 法测速

[0025] 此时，T4 配置为捕获方式，T4 周期寄存器赋值为 0xFFFF，当外部有脉冲输入时，T4

定时器当前计数值会被保存入捕获结果寄存器，然后在T1的中断服务程序（周期中断和下溢中断）中读取出该值，进行计算。主要分为以下几种情况进行处理：

[0026] 1）当捕获到2个脉冲时

[0027] 时间差为TIME_A1-TIME_B1，以此时间为编码器脉冲周期计算电机转速；

[0028] 其中TIME_A1为捕获到第二个脉冲时T4定时器的计数值，TIME_B1为捕获到第一个脉冲时T4定时器的计数值；

[0029] 2)、当捕获到1个脉冲时

[0030] 此时计算时间差需要考虑，从上个脉冲到本采样周期捕获到的脉冲之间，经过了多少个完整的T4周期寄存器（0xFFFF）的计时时间；当前捕获脉冲的T4周期个数为TIME_A2，上次捕获脉冲的T4周期个数为TIME_B2，时间差为：

[0031] $TIME_A2\times 2^{16}+TIME_A1-(TIME_B2\times 2^{16}+TIME_B1)$

[0032] 3）未捕获到脉冲

[0033] 计算出上次捕获脉冲到当前时间的时间差，如果小于等于上次捕获脉冲时计算出的脉冲周期，不处理；如果大于，则以此时间差为周期计算电机速度。

[0034] 实施例3：M法测速

[0035] 如图4和图5所示，此时，DSP通过数据总线从CPLD读取码盘脉冲信号的计数值P_COUNT以及CPLD内部时钟周期的计数值CTIMER_COUNT，跟上一次读取的历史值P_COUNT_BAK和CTIMER_COUNT_BAK进行比较可以计算出被测脉冲信号的周期；为了进一步减小误差，在以0x8100、0x8200为起始地址的DSP内存中各开辟长度为M的缓冲区，分别用来保存P_COUNT和CTIMER_COUNT的历史值；计算的时候取缓冲区里最早存入的历史数据，这样计算结果是一段时间内的平均转速，精度得到提高。

[0036] 码盘脉冲数量：P_COUNT-P_COUNT_BAK；

[0037] CPLD内部基准时钟数量：CTIMER_COUNT-CTIMER_COUNT_BAK；

[0038] 脉冲周期为：$\frac{(CTIMER_COUNT-CTIMER_COUNT_BAK)/12500000}{P_COUNT-P_COUNT_BAK}$；

[0039] 其中CPLD时钟为12.5M，P_COUNT_BAK为缓冲区内保存的码盘脉冲计数值的历史值，CTIMER_COUNT_BAK为缓冲区内保存的CPLD内部基准时钟计数值的历史值。

[0040] 经过TMS320F2812芯片的强大功能的合理利用和巧妙算法的结合，M/T测速法可以在全速度范围内获得高精度的测速结果，以上的实现方案已经的某型高性能变频器中实现，并取得了令人满意的使用效果。

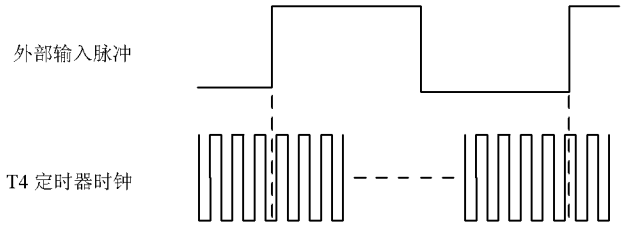

外部输入脉冲
T4 定时器时钟

图 1

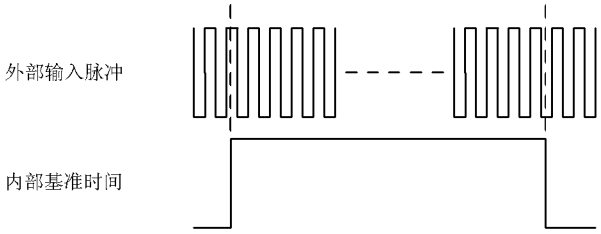

外部输入脉冲
内部基准时间

图 2

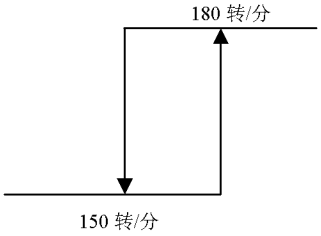

180 转/分
150 转/分

图 3

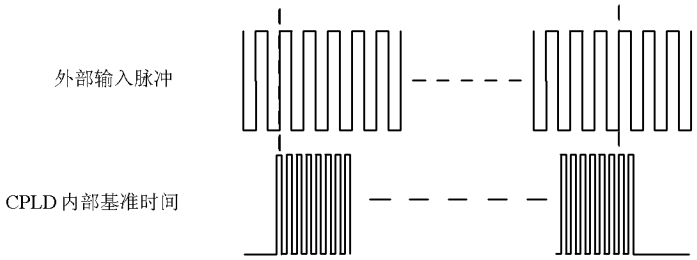

外部输入脉冲
CPLD 内部基准时间

图 4

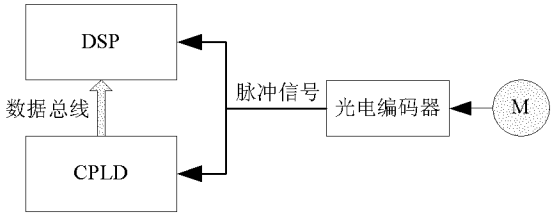

DSP
数据总线
CPLD
脉冲信号
光电编码器
M

图 5