



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

{22} Přihlášeno 24 05 79
{21} (PV 3570-79)

{40} Zveřejněno 30 04 80
{45} Vydáno 30 03 83

202491
(11) (B1)

{51} Int. Cl.³
G 06 F 3/14,

G 06 K 15/02

{75}

Autor vynálezu

STARÝ JAROSLAV ing., DLABOLA FRANTIŠEK ing., MARTINEK
MILOSLAV ing., SLOVÁČEK PAVEL ing., TLAMSA JIŘÍ ing., PLACHÝ
MIROSLAV, NOVOTNÝ JIŘÍ ing., SLADKÝ MILAN ing., KOŽNER
JAROSLAV ing., MAŘÍK JIŘÍ ing., KUNST ROBERT, STRAKA
BOHUMÍR ing., BODLÁK MIROSLAV ing., BARTÁK STANISLAV ing.,
HAKR JAN A HAJNÝ JAROSLAV ing., PRAHA

{54} Zapojení jednotky pro zpracování alfanumerických informací

1

Vynález se týká zapojení jednotky pro zpracování alfanumerických informací, zejména pro zobrazovací a tiskací zařízení.

Dosud známá zapojení jednotek pro zpracování alfanumerických informací plní řadu funkcí, umožňujících sestavení alfanumerické informace, její korekci pomocí edičních funkcí jako například vypuštění alfanumerického znaku, jeho výmaz, výmaz části textu, tisk textu a předávání alfanumerické informace do počítače i z počítače a snížení nezbytného objemu přenášených informací. Tento objem se snižuje dalšími funkcemi, jako například formátováním obsahu paměti dat pomocí speciálních znaků deklarujících vlastnosti za nimi následujících polí a selektivním čtením jen těch polí, která byla modifikována operátorem, po případě zápisem na předem zvolené adresy paměťových míst apod.

Zapojení jednotek pro zpracování alfanumerických informací jsou řešena buď neprogramovými nebo programovými logickými obvody. Rychlost neprogramových logických obvodů je většinou dostačující i pro plnění všech požadovaných funkcí, a to i při velkých rychlostech přenosu informace mezi jednotkou pro zpracování alfanumerických informací a řídicí jednotkou, popřípadě mezi touto jednotkou a počítačem. Nevýhodou jednotek pro zpracování alfanumerických informací, řešených neprogramovanými lo-

2

gickými obvody, je značný potřebný rozsah jejich technického vybavení a obtížné působení jejich operačních a funkčních vlastností požadavkům systému, ve kterém jsou využívány, neboť změny operačních a funkčních vlastností mohou být dosaženy jen změnou technického vybavení.

Aplikace programovaných logických obvodů při realizaci jednotek pro zpracování alfanumerických informací odstraňuje tyto nedostatky, avšak rychlost programovaných systémů většinou nesplňuje požadavky na rychlost zpracování alfanumerických informací, což omezuje aplikace programovaných obvodů jen pro jednotky spolupracující s řídicí jednotkou nebo počítačem s malou přenosovou rychlostí a znemožňuje je vybavit výhodnějšími funkčními vlastnostmi, jako například vykonáváním speciálních edičních funkcí s vyloučením nežádoucího přechodného děje při zobrazování informace nedotčené ediční funkcí apod.

U jednotek určených pro vyšší přenosové rychlosti se uvedený nedostatek odstraňuje rozdělením funkčních bloků jednotky na dvě skupiny, a to funkční bloky řešené programovými logickými obvody a funkční bloky řešené neprogramovými logickými obvody. Bloky s neprogramovanými obvody obstarávají časově náročné operace, zatímco bloky s programovanými obvody obstarávají inicializaci těchto operací a přejímají jejich

výsledky. Při takovém řešení se však částečně projeví i nevýhody spojené s aplikací neprogramovaných obvodů. Pro řešení programovaných logických obvodů se používá uspořádání charakteristického pro číslicový systém s centralizovaným zpracováním dat, tj. systém, ve kterém je zpracování dat soustředěno v aritmetické jednotce procesoru a probíhá v instrukčním cyklu sestávajícím z posloupnosti převzetí, dekodování a provádění instrukce. Tento přístup přináší výhody, spočívající v možnosti použít například stavebnicové prvky mikropočítače, avšak i nevýhody, plynoucí z časových ztrát, daných sekvenčním plněním operací instrukčního cyklu a nutností sdílení času procesoru všemi procesy, které v systému probíhají, například procesem zobrazení a procesem zpracování a přenosu informací. Tyto nevýhody se alespoň částečně eliminují v systémech s programovým řízením na nejnižší úrovni, takzvanými mikroprogramovanými systémy s horizontálním členěním mikroinstrukce. Tento typ mikroinstrukce umožňuje předepsat paralelní provádění několika operací, avšak tuto výhodu není možno plně využít při řízení systému s centralizovaným zpracováním dat.

Účelem vynálezu je odstranění nedostatků stávajícího stavu techniky spočívajících v tom, že uspořádání stávajících zařízení, orientovaných na jedinou aritmetickou jednotku procesoru je třeba dalšího technického vybavení, například vyrovnávací paměti obsahu jedné řádky pro realizaci procesu zobrazení, a že pro řízení takových zařízení nelze plně využít mikroinstrukce s horizontálním členěním, neboť uspořádání a vzájemné propojení jejich funkčních bloků paralelní provádění operací nedovoluje.

Výše uvedené nedostatky odstraňuje zapojení jednotky pro zpracování alfanumerických informací určené zejména pro zobrazovací a tiskací zařízení, sestávající z generátoru konstanty, bloku kombinačních obvodů, bloku datových a řídicích registrů, hlavního funkčního bloku, hlavního řídicího bloku, multiplexoru první datové sběrnice, spojených informačními a řídicími sběrnici a s návazným přípojným zařízením podle vynálezu, jehož podstata spočívá v tom, že generátor konstanty je svým prvním výstupem připojen k prvnímu vstupu sběrnice generátoru konstant, blok kombinačních obvodů je svým prvním vstupem připojen na první výstup druhé řídicí sběrnice, druhým vstupem na první výstup první datové sběrnice a jeho první výstup je připojen k prvnímu vstupu sběrnice kombinačních obvodů. Blok datových a řídicích registrů je svým prvním vstupem připojen na třetí výstup druhé řídicí sběrnice a svým druhým vstupem k druhému výstupu první datové sběrnice a jeho první výstup je připojen k prvnímu vstupu první řídicí sběrnice, jeho

druhý výstup k prvnímu vstupu druhé datové sběrnice. Hlavní funkční blok je alespoň prvním vstupem první skupiny vstupů připojen k prvnímu výstupu třetí skupiny výstupů první datové sběrnice a alespoň svým prvním vstupem druhé skupiny vstupů je připojen k prvnímu výstupu první skupiny výstupů přípojných zařízení, alespoň svým prvním vstupem třetí skupiny vstupů je připojen k prvnímu výstupu první skupiny výstupů druhé datové sběrnice, svým čtvrtým vstupem k prvnímu výstupu první řídicí sběrnice a svým pátým vstupem k druhému výstupu druhé řídicí sběrnice a alespoň jeho první výstup první skupiny výstupů je připojen k prvnímu vstupu první skupiny vstupů přípojných zařízení, alespoň jeho první výstup druhé skupiny výstupů je připojen k prvnímu vstupu první skupiny vstupů multiplexoru první datové sběrnice. Na tento vstup je připojen první výstup první skupiny výstupů sběrnice generátoru konstanty a první výstup první skupiny výstupů sběrnice kombinačních obvodů. Alespoň jeho první výstup třetí skupiny výstupů je připojen k prvnímu vstupu první skupiny vstupů hlavního řídicího bloku. Hlavní řídicí blok je svým druhým vstupem připojen k druhému výstupu první řídicí sběrnice a svým třetím vstupem připojen k čtvrtému výstupu první datové sběrnice, svým čtvrtým vstupem je připojen ke čtvrtému výstupu druhé řídicí sběrnice a svým pátým vstupem je připojen k třetímu výstupu druhé datové sběrnice. Jeho první výstup je připojen k druhému vstupu multiplexoru první datové sběrnice a jeho druhý výstup je připojen k prvnímu vstupu druhé řídicí sběrnice. Alespoň první vstup třetí skupiny vstupů multiplexoru první datové sběrnice je připojen k prvnímu výstupu druhé skupiny výstupů druhé datové sběrnice. Na tento vstup je připojen první výstup druhé skupiny výstupů sběrnice generátoru konstanty a první výstup druhé skupiny výstupů sběrnice kombinačních obvodů. Na čtvrtý vstup multiplexoru první datové sběrnice je připojen pátý výstup druhé řídicí sběrnice a první výstup multiplexoru první datové sběrnice je připojen k prvnímu vstupu první datové sběrnice.

Hlavní funkční blok sestává z přenosového bloku, komparátoru, aritmetické jednotky, paměti dat a pomocných obvodů. Přenosový blok je svým prvním vstupem připojen k prvnímu vstupu první skupiny vstupů hlavního funkčního bloku, svým druhým vstupem k prvnímu vstupu druhé skupiny vstupů hlavního funkčního bloku, svým třetím vstupem ke čtvrtému vstupu hlavního funkčního bloku a svým čtvrtým vstupem k pátému vstupu hlavního funkčního bloku. Jeho první výstup je připojen k prvnímu výstupu první skupiny výstupů hlavního funkčního bloku, jeho první výstup druhé

skupiny výstupů je připojen k prvnímu výstupu druhé skupiny výstupů hlavního funkčního bloku a jeho první výstup třetí skupiny výstupů je připojen k prvnímu výstupu třetí skupiny výstupů hlavního funkčního bloku. Komparátor je svým prvním vstupem připojen k druhému vstupu první skupiny vstupů hlavního funkčního bloku a svým druhým vstupem k prvnímu vstupu třetí skupiny vstupů hlavního funkčního bloku a jeho první výstup je připojen k druhému výstupu třetí skupiny výstupů hlavního funkčního bloku. Aritmetická jednotka je svým prvním vstupem připojena k třetímu vstupu první skupiny vstupů hlavního funkčního bloku, svým druhým vstupem ke čtvrtému vstupu hlavního funkčního bloku a svým třetím vstupem k pátému vstupu hlavního funkčního bloku. Její první výstup je připojen k druhému výstupu druhé skupiny výstupů hlavního funkčního bloku, její druhý výstup je připojen k prvnímu vstupu paměti dat a její třetí výstup je připojen k sedmému výstupu třetí skupiny třetí skupiny výstupů hlavního funkčního bloku. Paměť dat je svým druhým vstupem připojena ke čtvrtému vstupu první skupiny vstupů hlavního funkčního bloku, svým třetím vstupem je připojena ke čtvrtému vstupu hlavního funkčního bloku a svým čtvrtým vstupem je připojena k pátému vstupu hlavního funkčního bloku. Její první výstup je připojen k druhému výstupu první skupiny výstupů hlavního funkčního bloku, její druhý výstup je připojen k třetímu výstupu druhé skupiny výstupů hlavního funkčního bloku a její třetí výstup je připojen k třetímu výstupu třetí skupiny výstupů hlavního funkčního bloku. Pomocné obvody jsou svým prvním vstupem připojeny ke čtvrtému vstupu první skupiny vstupů hlavního funkčního bloku, svým druhým vstupem jsou připojeny ke čtvrtému vstupu hlavního funkčního bloku, svým třetím vstupem jsou připojeny k pátému vstupu hlavního funkčního bloku, svým čtvrtým vstupem jsou připojeny ke druhému vstupu třetí skupiny vstupů hlavního funkčního bloku a svým pátým vstupem jsou připojeny k druhému vstupu druhé skupiny vstupů hlavního funkčního bloku. Alespoň jejich první výstup první skupiny výstupů je připojen ke čtvrtému výstupu druhé skupiny výstupů hlavního funkčního bloku, alespoň jejich první výstup druhé skupiny výstupů je připojen ke čtvrtému výstupu třetí skupiny výstupů hlavního funkčního bloku a alespoň jejich první výstup třetí skupiny výstupů je připojen k třetímu výstupu první skupiny výstupů hlavního funkčního bloku.

Hlavní řídicí blok sestává z multiplexoru podmínek autonomních činností a synchronizátoru. Multiplexor podmínek je svým prvním vstupem připojen k prvnímu výstupu dekodéru mikroinstrukce, svým druhým vstupem je připojen k druhému vstupu hlav-

ního řídicího bloku, svým třetím vstupem je připojen k prvnímu vstupu první skupiny vstupů hlavního řídicího bloku, svým čtvrtým vstupem je připojen k druhému vstupu první skupiny vstupů hlavního řídicího bloku, svým pátým vstupem je připojen k třetímu vstupu první skupiny vstupů hlavního řídicího bloku, svým šestým vstupem je připojen ke čtvrtému vstupu první skupiny vstupů hlavního řídicího bloku, svým sedmým vstupem je připojen k pátému vstupu první skupiny vstupů hlavního řídicího bloku, svým osmým vstupem je připojen k šestému vstupu první skupiny vstupů hlavního řídicího bloku, svým devátým vstupem je připojen k sedmému vstupu první skupiny vstupů hlavního řídicího bloku a svým desátým vstupem je připojen k pátému vstupu hlavního řídicího bloku. Jeho první výstup je připojen k prvnímu vstupu řadiče s řadičí pamětí. Řadič s řadičí pamětí je svým druhým vstupem připojen k druhému vstupu hlavního řídicího bloku, svým třetím vstupem je připojen k třetímu vstupu hlavního řídicího bloku, svým čtvrtým vstupem je připojen k prvnímu výstupu synchronizátoru a svým pátým vstupem je připojen ke čtvrtému vstupu hlavního řídicího bloku. Jeho první výstup je připojen k prvnímu výstupu hlavního řídicího bloku a jeho druhý výstup je připojen k prvnímu vstupu dekodéru mikroinstrukce. Dekodér mikroinstrukce je svým druhým vstupem připojen k druhému vstupu hlavního řídicího bloku, svým třetím vstupem je připojen k prvnímu výstupu synchronizátoru a svým čtvrtým vstupem je připojen k prvnímu výstupu řadiče autonomních činností a jeho první výstup je připojen k druhému výstupu hlavního řídicího bloku. Řadič autonomních činností je svým prvním vstupem připojen k prvnímu výstupu synchronizátoru.

Přenosový blok sestává z bloku přenosu dat a vyrovnávací paměti. Blok přenosu dat je svým prvním vstupem připojen k prvnímu vstupu přenosového bloku, svým druhým vstupem je připojen k druhému vstupu přenosového bloku, svým třetím vstupem je připojen k třetímu vstupu přenosového bloku a svým čtvrtým vstupem je připojen ke čtvrtému vstupu přenosového bloku. Jeho první výstup je připojen k prvnímu výstupu přenosového bloku, jeho druhý výstup je připojen k prvnímu výstupu druhé skupiny výstupů přenosového bloku, jeho třetí výstup je připojen k prvnímu vstupu vyrovnávací paměti a jeho čtvrtý výstup je připojen k prvnímu výstupu třetí skupiny výstupů přenosového bloku. Vyrovnávací paměť je svým prvním vstupem též připojena ke čtvrtému vstupu přenosového bloku. Její první výstup je připojen k druhému výstupu druhé skupiny výstupů přenosového bloku, její druhý výstup je připojen k druhému výstupu třetí skupiny výstupů přenosového bloku.

Pomocné obvody sestávají z generátoru časových prodlev, bloku zabezpečení informace, pomocného registru, generátoru adres, bloku indikátorů a stykových obvodů. Generátor časových prodlev je svým prvním vstupem připojen ke druhému vstupu pomocných obvodů, svým druhým vstupem je připojen k třetímu vstupu pomocných obvodů a jeho první výstup je připojen k prvnímu výstupu druhé skupiny výstupů pomocných obvodů. Blok zabezpečení informace je svým prvním vstupem připojen k prvnímu vstupu pomocných obvodů a svým druhým vstupem je připojen k třetímu vstupu pomocných obvodů a jeho první výstup je připojen k prvnímu výstupu první skupiny výstupů pomocných obvodů. Pomocný registr je svým prvním vstupem připojen ke čtvrtému vstupu pomocných obvodů a svým druhým vstupem je připojen k třetímu vstupu pomocných obvodů a jeho první výstup je připojen k druhému výstupu první skupiny výstupů pomocných obvodů. Generátor adres je svým prvním vstupem připojen k druhému vstupu pomocných obvodů a jeho první výstup je připojen k třetímu vstupu první skupiny výstupů pomocných obvodů. Blok indikátorů je svým prvním vstupem připojen k druhému vstupu pomocných obvodů a jeho první výstup je připojen k prvnímu výstupu třetí skupiny výstupů pomocných obvodů. Stykové obvody jsou svým prvním vstupem připojeny k třetímu vstupu pomocných obvodů, svým druhým vstupem jsou připojeny k druhému vstupu pomocných obvodů a svým třetím vstupem jsou připojeny k pátému vstupu pomocných obvodů a jejich první výstup je připojen k druhému výstupu třetí skupiny výstupů pomocných obvodů, jejich druhý výstup je připojen ke čtvrtému výstupu první skupiny výstupů pomocných obvodů a jejich třetí výstup je připojen k druhému výstupu druhé skupiny výstupů pomocných obvodů.

Hlavní výhody zapojení podle vynálezu spočívají v decentralizování funkčních bloků provádějících zpracování informací, takže v daném uspořádání může současně probíhat několik paralelních činností, řízených buď pouze nezávislými poli mikroinstrukce nebo zčásti i technickým vybavením, řídicím například proces zobrazení nebo obnovení obsahu dynamické paměti dat. Zapojení podle vynálezu umožňuje například sdílení aritmetické jednotky a paměti dat procesem vyvolaným některou z edičních funkcí a současně probíhající procesem zobrazení tak, aby nedocházelo k nežádoucím přechodným dějům při zobrazení informace, nedotčené ediční funkcí.

Zapojení jednotky pro zpracování alfanumerických informací podle vynálezu bude blíže popsáno v příkladovém provedení pomocí připojených výkresů, kde obr. 1 představuje rámcové blokové schema zapojení

jednotky pro zpracování alfanumerických informací podle vynálezu, obr. 2 představuje rozvinuté příkladové zapojení hlavního funkčního bloku jednotky pro zpracování alfanumerických informací podle vynálezu, obr. 3 představuje rozvinuté příkladové zapojení hlavního řídicího bloku jednotky pro zpracování alfanumerických informací podle vynálezu, obr. 4 představuje rozvinuté příkladové zapojení přenosového bloku jednotky pro zpracování alfanumerických informací podle vynálezu, obr. 5 představuje rozvinuté příkladové zapojení pomocných obvodů jednotky pro zpracování alfanumerických informací podle vynálezu.

Celkové blokové schema zapojení jednotky pro zpracování alfanumerických informací podle vynálezu uvedené na obr. 1 je pro větší názornost postupně rozvinuto na dalších obrázcích 2, 3, 4 a 5 s použitím rozvinutých původních vztahových značek.

K uspořádání zapojení: Na obr. 1 znázorňujícím blokové schema zapojení jednotky pro zpracování alfanumerických informací jsou obecně pro zjednodušení vyznačeny pouze první vstupy z každé skupiny vstupů a rovněž první výstupy z každé skupiny výstupů. Každá skupina vstupů je charakterizována tím, že všechny vstupy dané skupiny jsou připojeny k výstupům stejného bloku nebo stejné sběrnice, přičemž šíře toku jednotlivých vstupů v dané skupině nemusí být shodná. Každá skupina výstupů je charakterizována tím, že všechny výstupy dané skupiny jsou připojeny ke vstupům stejného bloku nebo stejné sběrnice, přičemž opět šíře toku jednotlivých výstupů ve skupině nemusí být obecně shodná. Tak například je vyznačen pouze první výstup **08Ca** třetí skupiny výstupů **08C** první datové sběrnice **08** a rovněž tak první vstup **A4a** první skupiny vstupů **A4** hlavního funkčního bloku **4**. Další vstupy a výstupy ze skupin vstupů a výstupů jsou vyznačeny na rozvinutých příkladových zapojeních podle jednotlivých obrázků.

Stejně tak na obr. 2 znázorňujícím rozvinuté příkladové zapojení hlavního funkčního bloku **4** jednotky pro zpracování alfanumerických informací jsou vyznačeny pouze první výstupy skupin výstupů těchto bloků, které jsou dále rozvinuty na příkladových zapojeních podle obr. 4 znázorňujícího rozvinuté příkladové zapojení přenosového bloku jednotky pro zpracování alfanumerických informací a obr. 5, znázorňujícího příkladové zapojení pomocných obvodů jednotky pro zpracování alfanumerických informací, na nichž jsou rovněž vyznačeny další výstupy z těchto skupin výstupů. Tak například je vyznačen pouze první výstup **41Ba** druhé skupiny výstupů **41B** přenosového bloku **41**. Druhý výstup **41Bb** druhé skupiny výstupů **41B** přenosového bloku **41** je vyznačen na

obr. 4 znázorňujícím rozvinuté příkladové zapojení přenosového bloku 41.

Na obr. 3 znázorňujícím rozvinuté příkladové zapojení hlavního řídicího bloku 5 jednotky pro zpracování alfanumerických informací jsou kromě prvního vstupu A5a první skupiny vstupů A5 hlavního řídicího bloku 5 vyznačeného již na obr. 1 vyznačeny další vstupy první skupiny vstupů A5 hlavního řídicího bloku 5, a to druhý vstup A5b, třetí vstup A5c, čtvrtý vstup A5d, pátý vstup A5e, šestý vstup A5f a sedmý vstup A5g.

Některé vstupy bloků jsou složené. Každý složený vstup je charakterizován tím, že je připojen současně k několika výstupům bloků nebo sběrnic. Na jednotlivých obrázcích jsou obecně znázorněny cesty řídicích a datových signálů bez vyznačení šíře toku. Šíře toku jednotlivých signálových cest, vstupů a výstupů jednotlivých bloků a sběrnic nemusí být obecně shodná. Šíře toku složeného vstupu je dána součtem šíří toků jednotlivých signálových cest připojených na tento složený vstup. Šíře toků jednotlivých signálových cest, složených vstupů patřících do stejné skupiny vstupů, ani jejich součet nemusí být obecně shodný. Tak například šíře toku složeného vstupu A6a první skupiny vstupů A6 multiplexoru 6 první datové sběrnice 08 na obr. 1 je dána součtem šíře toku signálové cesty vedoucí z prvního výstupu 012A první skupiny výstupů 012A sběrnice 012 generátoru konstanty šíře toku signálové cesty vedoucí z prvního výstupu 4Ba druhé skupiny výstupů 4B hlavního funkčního bloku 4 a šíře toku signálové cesty vedoucí z prvního výstupu 013Aa první skupiny výstupů 013A sběrnice kombinačních obvodů 013.

Informace postupující ze složeného vstupu na daný blok závisí obecně na zapojení obecného složeného vstupu, tj. na zdrojích signálů a šířích toku jednotlivých signálových cest připojených na tento vstup. Výběrem vhodně zapojeného složeného vstupu ze skupiny složených vstupů se dosáhne požadovaného zpracování informace přímo na obecném složeném vstupu.

K funkci zapojení: Příkladové uspořádání zapojení podle obr. 1 postupně rozvinuté na obrázcích 2, 3, 4, a 5 umožňuje vykonávat příkladové mikrooperace předepsané následujícím příkladovým souborem mikroinstrukcí:

První mikroinstrukce předepisuje vykonání aritmetické operace v aritmetické jednotce 43 na obr. 2 a současně čtení obsahu paměťového místa paměti dat 44 do jednoho z registrů bloku datových a řídicích registrů 3 na obr. 1. Tato mikroinstrukce je zapsána v řídicí paměti řadiče s řídicí pamětí 52 na obr. 3. Odpovídající řídicí slovo se přivede z druhého výstupu 52B řadiče s řídicí pamětí 52 na první vstup A53 dekodéru 53 mikroinstrukce. Obsah řídicího slova deko-

dovaná dekodérem mikroinstrukce 53 se z jeho prvního výstupu 53A tvořícího druhý výstup 5B hlavního říd. bloku 5 na obr. 1 přivede na první vstup A010 druhé řídicí sběrnice 010. Z třetího výstupu 010C druhé řídicí sběrnice 010 se na první vstup A3 bloku datových a řídicích registrů 3 přivádějí signály řídicí zápis do jednoho řídicím slovem mikroinstrukce předepsaného registru bloku a datových řídicích registrů 3. Z druhého výstupu 010B druhé řídicí sběrnice 010 se na pátý vstup E4 hlavního funkčního bloku 4 přivádějí řídicí signály, které se dále přivádějí na třetí vstup C43 aritmetické jednotky 43 na obr. 2 a určují předepsanou aritmetickou operaci, a dále se přivádějí na čtvrtý vstup D44 paměti dat 44, kde řídí čtení obsahu paměť. místa paměti dat 44. Z čtvrtého výstupu 010D druhé řídicí sběrnice 010 na obr. 1 se řídicí signály přivádějí na třetí vstup C6 multiplexoru 6 první datové sběrnice, kde řídí výběr jednoho ze vstupů tohoto multiplexoru 6. V popisovaném případě se vybere třetí vstup A6c první skupiny vstupů A6 multiplexoru 6 první datové sběrnice 08. Obsah paměťového místa paměti dat 44 na obr. 2 adresovaný druhým výstupem 43B aritmetické jednotky 43 připojeným k prvnímu vstupu A44 paměti dat 44 se přivede z druhého výstupu 44B paměti dat 44 na složený třetí vstup A6c první skupiny vstupů A6, kde se modifikuje složením s obsahem signálových cest připojených na tento vstup. Takto modifikovaná inform. se přivede na první výstup 6A multiplexoru 6 první datové sběrnice 08 na obr. 1 a odtud prostřednictvím prvního vstupu A08 první datové sběrnice 08 na tuto sběrnici. Z druhého výstupu 08B první datové sběrnice 08 se tato informace přivede na druhý vstup B3 bloku datových a řídicích registrů 3 a zapíše se do jednoho z registrů tohoto bloku. V aritmetické jednotce 43 na obr. 2 se provede předepsaná aritmetická operace, čímž se změní informace na druhém výstupu 43B aritmetické jednotky 43. Tím se ještě v rámci vykonání této mikroinstrukce připraví adresa dalšího paměťového místa paměti dat 44 v další mikroinstrukci.

Druhá mikroinstrukce předepisuje přesun obsahu zdrojového registru do registru příjemce. Zdrojový registr a registr příjemce jsou předepsány obsahem řídicího slova. Předepsáním zdrojového registru je současně určen způsob modifikace přesunové informace. Jako příklad bude popsán přesun obsahu bloku zabezpečení informace 452 na obr. 5 do vstupního registru bloku přenosu dat 411 na obr. 4. V tomto případě na příklad požadovaná modifikace spočívá v doplnění paritního bitu k zabezpečovacímu slovu vytvořenému v bloku zabezpečení informace 452 před zpracováním zabezpečovacího slova blokem přenosu dat 411. Činnost probíhá takto: Řídicí slovo se přivede

z druhého výstupu **52B** řadiče s řídicí pamětí **52** na obr. 3 na první vstup **A53** dekodéru **53** mikroinstrukce. Obsah řídicího slova dekodovaný dekodérem **53** mikroinstrukce se z jeho prvního výstupu **53A** tvořícího druhý výstup **5B** hlavního řídicího bloku **5** na obr. 1 přivede na první vstup **A010** druhé řídicí sběrnice **010**. Z druhého výstupu **010B** druhé řídicí sběrnice **010** se na pátý vstup **E4** hlavního funkčního bloku **4** přivádějí řídicí signály, které se dále přivádějí na čtvrtý vstup **D41** přenosového bloku **41** na obr. 2 a odtud na čtvrtý vstup **D411** bloku přenosu dat **411** na obr. 4, kde řídí zápis do vstupního registru tohoto bloku, a dále se řídicí signály přivádějí z pátého výstupu **010E** druhé řídicí sběrnice **010** na obr. 1 na čtvrtý vstup **D6** multiplexoru **6** první datové sběrnice **08**, kde řídí výběr jednoho ze vstupů tohoto multiplexoru **6**. V popisovaném případě se vybere čtvrtý vstup **A6d** první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08**. Obsah registru bloku zabezpečení informace **452** na obr. 5 se z prvního výstupu **452A** tohoto bloku prostřednictvím prvního výstupu **45Aa** první skupiny výstupů **45A** pomocných obvodů **45** na obr. 2 a prostřednictvím čtvrtého výstupu **4Bd** druhé skupiny výstupů **4B** hlavního funkčního bloku **4** na obr. 1 přivede na čtvrtý vstup **A6d** na obr. 2 první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08** na obr. 1 a z prvního výstupu **6A** tohoto multiplexoru **6** se přivede na první vstup **A08** první datové sběrnice **08** a z prvního výstupu **08A** této sběrnice se přivádí na druhý vstup **B2** bloku kombinančních obvodů **2**. V bloku kombinančních obvodů **2** se na základě přivedeného obsahu registru bloku zabezpečení informace **452** na obr. 5 vytvoří paritní bit, který se z prvního výstupu **2A** bloku kombinančních obvodů **2** na obr. 1 přivede na první vstup **A013** sběrnice bloku kombinančních obvodů **013** a ze čtvrtého výstupu **013Ad** první skupiny výstupů **013A** této sběrnice se přivede na čtvrtý vstup **A6d** první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08**, kde doplní obsah registru bloku zabezpečení informace **452** na obr. 5 a takto modifikovaný obsah registru bloku zabezpečení informace **452** se prostřednictvím prvního výstupu **6A** multiplexoru **6** první datové sběrnice **08** na obr. 1 přivede na první vstup **A08** první datové sběrnice **08**. Z prvního výstupu **08Ca** třetí skupiny vstupů **08C** první datové sběrnice **08** se modifikovaný obsah registru bloku zabezpečení informace **452** na obr. 5 přivede prostřednictvím prvního vstupu **A4a** první skupiny vstupů **A4** hlavního funkčního bloku **4** na obr. 1 a prostřednictvím prvního vstupu **A41** přenosového bloku **41** na obr. 2 na první vstup **A411** bloku přenosu dat **411** na obr. 4, kde se запиše do vstupního registru tohoto bloku.

Třetí mikroinstrukce předepisuje modifikaci obsahu jednoho z registrů bloku datových a řídicích registrů **3** na obr. 1. Modifikace spočívá v nastavení předepsaných bitů slova v předepsaném registru do stavu binární **1**. Bity, které mají být modifikovány, i registr jsou předepsány obsahem řídicího slova. Činnost probíhá takto: Řídicí slovo se přivede z druhého výstupu **52B** řadiče s řídicí pamětí **52** na obr. 3 na první vstup **A53** dekodéru mikroinstrukce **53**. Obsah řídicího slova dekodovaný dekodérem mikroinstrukce **53** se z jeho výstupu **53A** tvořící druhý výstup **5B** hlavního řídicího bloku **5** na obr. 1 přivede na první vstup **A010** druhé řídicí sběrnice **010**. Z třetího výstupu **010C** druhé řídicí sběrnice **010** se na první vstup **A3** bloku datových a řídicích registrů **3** přivedou řídicí signály, které určují registr, jehož obsah bude modifikován a řídí zápis modifikovaného obsahu do tohoto registru. Dále se řídicí signály přivádějí ze čtvrtého výstupu **010D** druhé řídicí sběrnice **010** na čtvrtý vstup **D6** multiplexoru **6** první datové sběrnice **08**, kde řídí výběr jednoho ze vstupů tohoto multiplexoru **6**. V popisovaném případě se vybere druhý vstup **B6** multiplexoru **6** první datové sběrnice **08**. Část řídicího slova předepisující bity registru, které mají být modifikovány, se z prvního výstupu **52A** řadiče s řídicí pamětí **52** na obr. 3 přivede prostřednictvím prvního výstupu **5A** hlavního řídicího bloku **5** na obr. 1 na druhý vstup **B6** multiplexoru **6** první datové sběrnice **08** a odtud na první výstup **6A** tohoto multiplexoru a dále prostřednictvím prvního vstupu **A08** na první datovou sběrnici **08**. Z druhého výstupu **08B** první datové sběrnice **08** se tato část řídicího slova přivede na druhý vstup **B3** bloku datových a řídicích registrů **3**, kde určí modifikované bity.

Čtvrtá mikroinstrukce předepisuje stejně jako třetí mikroinstrukce modifikaci obsahu jednoho z registrů bloku datových a řídicích registrů **3** na obr. 1 s tím rozdílem, že bity, které mají být modifikovány, jsou předepsány obsahem některého zdrojového registru. Zdrojový registr je předepsán obsahem řídicího slova. Jako příklad bude popsána činnost při modifikaci obsahu předepsaného registru na základě obsahu pomocného registru **453** na obr. 5. Činnost probíhá takto: Řídicí slovo se přivede z druhého výstupu **52B** řadiče s řídicí pamětí **52** na obr. 3 na první vstup **A53** dekodéru mikroinstrukce **53**. Obsah řídicího slova dekodovaný dekodérem **53** mikroinstrukce se z jeho prvního výstupu **53A** tvořící druhý výstup **5B** hlavního řídicího bloku **5** na obr. 1 přivede na první vstup **A010** druhé řídicí sběrnice **010**. Z třetího výstupu **010C** druhé řídicí sběrnice **010** se na první vstup **A3** bloku datových a řídicích registrů **3** přivedou řídicí signály, které určují registr, jehož obsah bude modi-

fikován, a řídí zápis modifikovaného obsahu do tohoto registru. Dále se řídicí signály přivádějí ze čtvrtého výstupu **010D** druhé řídicí sběrnice **010** na čtvrtý vstup **D6** multiplexoru **6** první datové sběrnice **08**, kde řídí výběr jednoho ze vstupů tohoto multiplexoru **6**. V popisovaném případě se vybere šestý vstup **A6f** na obr. 5 první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08** na obr. 1. Obsah pomocného registru **453** na obr. 5 předepisující bity registru, které mají být modifikovány, se z prvního výstupu **453A** pomocného registru **453** přivede prostřednictvím druhého výstupu **45Ab** první skupiny výstupů **45A** pomocných obvodů **45** na obr. 2 a prostřednictvím šestého výstupu **4Bf** na obr. 5 druhé skupiny výstupů **4B** hlavního funkčního bloku **4** na obr. 1, na šestý vstup **A6f** na obr. 5 první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08** na obr. 1 a odtud na první výstup **6A** tohoto multiplexoru a dále prostřednictvím prvního vstupu **A08** na první datovou sběrnici **08**. Z druhého výstupu **08B** první datové sběrnice **08** se obsah pomocného registru **453** na obr. 5 přivede na druhý vstup **B3** bloku datových a řídicích registrů **3**, na obr. 1, kde určí modifikované bity.

Pátá mikroinstrukce předepisuje přesun obsahu zdrojového registru do adresového registru řadiče s řídicí pamětí **52** na obr. 3. Zdrojový registr je předepsán obsahem řídicího slova. Vykonáním této mikroinstrukce se předepíše paměťové místo řídicí paměti, ze kterého bude přečteno řídicí slovo příští vykonávané mikroinstrukce. Jako příklad bude popsán přesun obsahu jednoho z registrů přípojných zařízení **7** na obr. 1 do adresového registru řadiče s řídicí pamětí **52** na obr. 3. Činnost probíhá takto: Řídicí slovo se přivede z druhého výstupu **52B** řadiče s řídicí pamětí **52** na první vstup **A53** dekodéru **53** mikroinstrukce. Obsah řídicího slova dekodovaný dekodérem **53** mikroinstrukce se z jeho prvního výstupu **53A** tvořícího druhý výstup **5B** hlavního řídicího bloku **5** na obr. 1 přivede na první vstup **A010** druhé řídicí sběrnice **010**. Ze čtvrtého výstupu **010D** druhé řídicí sběrnice **010** se přivádějí prostřednictvím pátého vstupu **E5** hlavního řídicího bloku **5** na pátý vstup **E52** řadiče s řídicí pamětí **52** na obr. 3 řídicí signály, které řídí zápis do adresového registru řadiče s řídicí pamětí **52**. Z pátého výstupu **010E** druhé řídicí sběrnice **010** na obr. 1 se přivádějí řídicí signály na čtvrtý vstup **D6** multiplexoru **6** první datové sběrnice **08**, kde řídí výběr jednoho ze vstupů tohoto multiplexoru **6**. V popisovaném případě se vybere osmý vstup **A6h** na obr. 5 první skupiny vstupů. **A6** multiplexoru **6** první datové sběrnice **08** na obr. 1. Tím je současně určen jeden z registrů přípojných zařízení **7**. Obsah takto určeného registru se z druhého výstupu **7Ab** na obr. 2 první

skupiny výstupů **7A** přípojných zařízení **7** na obr. 1 přivede prostřednictvím druhého vstupu **B4b** na obr. 2 druhé skupiny vstupů **B4** hlavního funkčního bloku **4** na obr. 1 a dále prostřednictvím pátého vstupu **E45** pomocných obvodů **45** na obr. 2, na třetí vstup **C456** stykových obvodů **456** na obr. 5 a odtud z druhého výstupu **456B** stykových obvodů **456** prostřednictvím čtvrtého výstupu **45Ad** první skupiny výstupů **45A** pomocných obvodů **45** na obr. 2 a prostřednictvím osmého výstupu **4Bh** na obr. 5 druhé skupiny výstupů **4B** hlavního funkčního bloku **4** na obr. 1, na osmý vstup **A6h** na obr. 5 první skupiny vstupů **A6** multiplexoru **6** první datové sběrnice **08** na obr. 1 a z prvního výstupu **6A** tohoto multiplexoru **6** se přivede na první vstup **A08** první datové sběrnice **08**. Ze čtvrtého výstupu **08D** první datové sběrnice **08** se obsah předepsaného registru přípojných zařízení **7** přivede prostřednictvím třetího vstupu **C5** hlavního řídicího bloku **5** na třetí vstup **C52** řadiče s řídicí pamětí **52** na obr. 3, kde se zapíše do adresového registru tohoto řadiče.

Šestá mikroinstrukce předepisuje testování stavu signálů předepsaných obsahem řídicího slova. Příkladové uspořádání zapojení podle obr. 1 postupně rozvinuté na obrázcích 2, 3, 4 a 5 umožňuje například testování předepsaného bitu předepsaného registru z bloku datových a řídicích registrů **3** na obr. 1, testování stavu předepsaného výstupního signálu hlavního funkčního bloku **4**, testování stavu předepsaného výstupního signálu přípojných zařízení **7**. Vykonáním této mikroinstrukce se v závislosti na výsledku testování předepíše paměťové místo řídicí paměti, ze kterého bude přečteno řídicí slovo příští vykonávané mikroinstrukce. Jako příklad bude popsáno testování stavu signálu indikujícího ukončení časové prodlevy na výstupu generátoru časových prodlev **451** na obr. 5. Činnost probíhá takto: Řídicí slovo se přivede z druhého výstupu **52B** řadiče s řídicí pamětí **52** na obr. 3 na první vstup **A53** dekodéru **53** mikroinstrukce. Obsah řídicího slova dekodovaný dekodérem **53** mikroinstrukce se z jeho prvního výstupu **53A** přivede na první vstup **A51** multiplexoru podmínek **51**, kde spolu s řídicími signály na druhém vstupu **B51** multiplexoru podmínek **51** spoluurčuje výběr jednoho ze vstupů multiplexoru podmínek **51**. Na druhý vstup **B51** multiplexoru podmínek **51** jsou prostřednictvím druhého vstupu **B5** hlavního řídicího bloku **5** na obr. 1 a prostřednictvím druhého výstupu **09B** první řídicí sběrnice **09** přivedeny signály z první řídicí sběrnice **09**, které jsou na tuto sběrnici přivedeny z prvního výstupu **3A** bloku datových a řídicích registrů **3** prostřednictvím prvního vstupu **A09** první řídicí sběrnice **09**. Stav těchto řídicích signálů na prvním výstupu **3A** bloku datových a řídi-

cích registrů 3 je určen obsahem speciálního řídicího registru bloku datových a řídicích registrů 3. V popisovaném případě se na základě stavu řídicích signálů na prvním vstupu A51 a na druhém vstupu B51 multiplexoru podmínek 51 na obr. 3 vybere šestý vstup F51 tohoto multiplexoru. Na tento vstup je přiveden prostřednictvím čtvrtého vstupu A5d první skupiny vstupů A5 hlavního řídicího bloku 5 na obr. 1 a prostřednictvím čtvrtého výstupu 4Cd třetí skupiny výstupů 4C hlavního funkčního bloku 4 a prostřednictvím prvního výstupu 45Ba druhé skupiny výstupů 45B pomocných obvodů 45 na obr. 2, výstupní signál z prvního výstupu 451A generátoru časových prodlev 451 na obr. 5. Z prvního výstupu 51A multiplexoru podmínek 51 na obr. 3 se tento signál přivede na první vstup A52 řadiče s řídicí pamětí 52, kde se na základě stavu tohoto signálu modifikuje obsah adresového registru řadiče s řídicí pamětí 52. Obsahem tohoto registru je určeno paměťové místo řídicí paměti, ze kterého bude přečteno řídicí slovo příští vykonávané mikroinstrukce.

Příkladové zapojení podle obr. 1, postupně rozvinuté na obr. 2, 3, 4 a 5 umožňuje sdružit popsanou šestou mikroinstrukci s jinou mikroinstrukcí ze souboru mikroinstrukcí, to je vykonávat obě tyto mikroinstrukce současně. Tak například sdružením popsané první a šesté mikroinstrukce je možno předepsat současné vykonání těchto mikrooperací: aritmetickou operaci v aritmetické jednotce 43 na obr. 2, čtení obsahu paměťového místa paměti dat 44 do jednoho z registrů bloku datových a řídicích registrů 3 na obr. 1 a testování stavu signálů předepsaných obsahem řídicího slova, například výstupního signálu aritmetické jednotky 43 na obr. 2, jehož stav závisí na výsledku touto mikroinstrukcí předepsané aritmetické operace. Činnost při vykonávání této sdružené mikroinstrukce je shodná s činností popsanou u první a šesté mikroinstrukce s tím rozdílem, že se vybere místo šestého vstupu F51 multiplexoru podmínek 51 na obr. 3 jeho osmý vstup H51. Výstupní signál z třetího výstupu 43C aritmetické jednotky 43 na obr. 2, se tedy prostřednictvím sedmého výstupu 4Cg třetí skupiny výstupů 4C hlavního funkčního bloku 4 na obr. 1 a prostřednictvím sedmého vstupu A5g na obr. 2 první skupiny vstupů A5 hlavního řídicího bloku 5 na obr. 1 přivede na osmý vstup H51 multiplexoru podmínek 51 na obr. 3 a odtud na první výstup 51A tohoto multiplexoru.

Sedmá mikroinstrukce předepisuje srovnání obsahu jednoho předepsaného registru bloku datových a řídicích registrů 3 na obr. 1 s konstantou zapsanou v řídicím slovu. Činnost probíhá takto: Řídicí slovo se přivede z druhého výstupu 52B řadiče s řídicí pamětí 52 na obr. 3 na první vstup A53

dekodéru mikroinstrukce 53. Obsah řídicího slova dekodovaný dekodérem mikroinstrukce 53 se z jeho prvního výstupu 53A přivede na první vstup A51 multiplexoru podmínek 51, kde spolu s řídicími signály na druhém vstupu B51 multiplexoru podmínek 51 spoluurčuje výběr jednoho ze vstupů multiplexoru podmínek 51. Řídicí signály jsou na druhý vstup B51 multiplexoru podmínek 51 přivedeny prostřednictvím druhého vstupu B5 hlavního řídicího bloku 5 na obr. 1 a prostřednictvím druhého vstupu 09B první řídicí sběrnice 09 z první řídicí sběrnice 09. Na tuto sběrnici jsou řídicí signály přivedeny z prvního výstupu 3A bloku datových a řídicích registrů 3 prostřednictvím prvního vstupu A09 první řídicí sběrnice 09. Stav těchto řídicích signálů na prvním výstupu 3A bloku datových a řídicích registrů 3 je určen obsahem speciálního řídicího registru bloku datových a řídicích registrů 3. V popisovaném případě se na základě stavu řídicích signálů na prvním vstupu A51 a na druhém vstupu B51 multiplexoru podmínek 51 na obr. 3 vybere pátý vstup E51 tohoto multiplexoru se prostřednictvím prvního výstupu 5A hlavního řídicího bloku 5 na obr. 1 přivede konstanta zapsaná v řídicím slovu na druhý vstup B6 multiplexoru 6 první datové sběrnice 08. Z prvního výstupu 53A dekodéru 53 mikroinstrukce na obr. 3 se prostřednictvím druhého výstupu 5B hlavního řídicího bloku 5 na obr. 1 a prostřednictvím prvního vstupu A010 druhé řídicí sběrnice 010 přivedou na druhou řídicí sběrnici 010 řídicí signály. Tyto řídicí signály se z třetího výstupu 010C druhé řídicí sběrnice 010 přivedou na první vstup A3 bloku datových a řídicích registrů 3, kde určí registr, jehož obsah bude srovnáván. Dále se řídicí signály přivádějí ze čtvrtého výstupu 010D druhé řídicí sběrnice 010 na čtvrtý vstup D6 multiplexoru 6 první datové sběrnice 08, kde řídí výběr jednoho ze vstupů tohoto multiplexoru 6. V popisovaném případě se vybere druhý vstup B6 multiplexoru 6 první datové sběrnice 08. Část řídicího slova předepisující konstantu se z druhého vstupu B6 multiplexoru 6 první datové sběrnice 08 přivede na první výstup 6A tohoto multiplexoru a dále prostřednictvím prvního vstupu A08 první datové sběrnice 08 na tuto sběrnici. Z druhého výstupu 08Cb na obr. 2 třetí skupiny výstupů 08C první datové sběrnice 08 na obr. 1 se prostřednictvím druhého vstupu A4b na obr. 2 první skupiny vstupů A4 hlavního funkčního bloku 4 na obr. 1 přivede část řídicího slova předepisující konstantu na první vstup A42 komparátoru 42 na obr. 2. Obsah předepsaného registru bloku datových a řídicích registrů 3 na obr. 1 se z jeho druhého výstupu 3B přivede prostřednictvím prvního vstupu A011 druhé datové sběrnice 011 na tuto sběrnici a odtud se z prvního

výstupu 011Aa první skupiny výstupů 011A druhé datové sběrnice 011 přivede prostřednictvím prvního vstupu C4a třetí skupiny vstupů C4 hlavního funkčního bloku 4 na druhý vstup B42 komparátoru 42 na obr. 2. Výsledek srovnání se z prvního výstupu 42A komparátoru 42 prostřednictvím druhého výstupu 4Cb třetí skupiny výstupů 4C hlavního funkčního bloku 4 na obr. 1 a prostřednictvím třetího vstupu A5c na obr. 3 první skupiny vstupů A5 hlavního řídicího bloku 5 na obr. 1 přivede na pátý vstup E51 multiplexoru podmínek 51 na obr. 3. Z prvního výstupu 51A multiplexoru podmínek 51 se výsledek srovnání přivede na první vstup A52 řadiče s řídicí pamětí 52, kde se na jeho základě modifikuje obsah adresového registru řadiče s řídicí pamětí 52. Obsahem tohoto registru je určeno paměťové místo řídicí paměti, ze kterého bude přečteno řídicí slovo příští vykonávané mikroinstrukce.

Zapojení podle vynálezu umožňuje rozšířit soubor mikroinstrukcí ještě o další mikroinstrukce, které nebyly v příkladovém souboru mikroinstrukcí uvedeny, vytvářet posloupnosti mikroinstrukcí — mikroprogramy — odpovídající požadovaným algoritmům zpracování alfanumerických informací, například edičním funkcím, tisku obsahu paměti dat, předávání alfanumerické informace do počítače i z počítače. Zapojení podle vynálezu rovněž umožňuje sdílení některých bloků současně probíhajícími procesy, například některou z edičních funkcí řízenou mikroprogramem a současně probíhajícím procesem zobrazení, řízeným řadičem autonomních činností, nebo tiskem alfanumerické informace řízeným mikroprogramem a současně probíhajícím procesem obnovení informace uložené v dynamické paměti řízeným rovněž řadičem autonomních činností.

V příkladovém zapojení podle obr. 1, postupně rozvinutém na obrázcích 2, 3, 4 a 5 probíhá sdílení aritmetické jednotky 43 na

obr. 2 a paměti dat 44 procesem vykonávání ediční funkce a procesem zobrazení takto: Kromě obsahu řídicího slova přivedeného z druhého výstupu 52B řadiče s řídicí pamětí 52 na obr. 3 na první vstup A53 dekodéru 53 mikroinstrukce jsou na čtvrtý vstup D53 dekodéru 53 mikroinstrukce přivedeny z prvního výstupu 54A řadiče 54 autonomních činností signály řídicí činnosti zobrazení. V závislosti na řídicích signálech přivedených na třetí vstup C53 dekodéru 53 mikroinstrukce z prvního výstupu 55A synchronizátoru 55 dekoduje dekodér 53 mikroinstrukce buď řídicí slovo na svém prvním vstupu A53 nebo řídicí signály na svém čtvrtém vstupu D53. Dekódované signály se z prvního výstupu 53A dekodéru 53 mikroinstrukce přivádějí prostřednictvím druhého výstupu 5B hlavního řídicího bloku 5 na obr. 1 a prostřednictvím prvního vstupu A010 druhé řídicí sběrnice 010 na druhou řídicí sběrnici 010. Z druhého výstupu 010B druhé řídicí sběrnice 010 se tyto řídicí signály přivádějí prostřednictvím pátého vstupu E4 hlavního funkčního bloku 4 na čtvrtý vstup D44 paměti dat 44 na obr. 2 a na třetí vstup C43 aritmetické jednotky 43. Činnost aritmetické jednotky 43 a paměti dat 44 je tedy řízena buď obsahem řídicího slova mikroinstrukce nebo řídicími signály řadiče autonomních činností 54 na obr. 3, v závislosti na řídicích signálech synchronizátoru 55. Tak například požaduje-li se zobrazení obsahu paměti dat na obrazovce, může synchronizátor 55 generovat řídicí signály tak, že v době činného běhu paprsku na obrazovce bude činnost aritmetické jednotky 43 na obr. 2 a paměti dat 44 řízena řadičem autonomních činností a obsah paměti dat 44 bude předáván na přípojně zařízení, v tomto případě na generátor znaků, a v době zpětného běhu paprsku na obrazovce bude činnost aritmetické jednotky 43 a paměti dat 44 řízena mikroinstrukcemi, předepisujícími například přesun informace v paměti dat a tím vykonání zvolené ediční funkce.

PŘEDMĚT VYNÁLEZU

1. Zapojení jednotky pro zpracování alfanumerických informací určené zejména pro zobrazovací a tiskací zařízení, sestávající z generátoru konstanty, bloku kombinančních obvodů, bloku datových a řídicích registrů, hlavního funkčního bloku, hlavního řídicího bloku, multiplexoru první datové sběrnice, spojených informačními a řídicími sběrnici a s návazným přípojným zařízením, vyznačené tím, že generátor konstanty (1) je svým prvním výstupem (1A) připojen k prvnímu vstupu (A012) sběrnice (012) generátoru konstant, blok kombinanč-

ních obvodů (2) je svým prvním vstupem (A2) připojen na první výstup (010A) druhé řídicí sběrnice (010), druhým vstupem (B2) na první výstup (08A) první datové sběrnice (08) a jeho první výstup (2A) je připojen k prvnímu vstupu (A013) sběrnice kombinačních obvodů (013) a blok datových a řídicích registrů (3) je svým prvním vstupem (A3) připojen na třetí výstup (010C) druhé řídicí sběrnice (010) a svým druhým vstupem (B3) k druhému výstupu (08B) první datové sběrnice (08) a jeho první výstup (3A) je připojen k prvnímu vstu-

pu (A09) první řídící sběrnice (09) a jeho druhý výstup (3B) k prvnímu vstupu (A011) druhé datové sběrnice (011), přičemž hlavní funkční blok (4) je alespoň prvním vstupem (A4a) první skupiny vstupů (A4) připojen k prvnímu výstupu (08Ca) třetí skupiny výstupů (08C) první datové sběrnice (08) a alespoň svým prvním vstupem (B4a) druhé skupiny vstupů (B4) je připojen k prvnímu výstupu (7Aa) první skupiny výstupů (7A) přípojných zařízení (7), alespoň svým prvním vstupem (C4a) třetí skupiny vstupů (C4) je připojen k prvnímu výstupu (011Aa) první skupiny výstupů (011A) druhé datové sběrnice (011), svým čtvrtým vstupem (D4) k prvnímu výstupu (09A) první řídící sběrnice (09) a svým pátým vstupem (E4) k druhému výstupu (010B) druhé řídící sběrnice (010) a alespoň jeho první výstup (4Aa) první skupiny výstupů (4A) je připojen k prvnímu vstupu (A7a) první skupiny vstupů (A7) přípojných zařízení (7), alespoň jeho první výstup (4Ba) druhé skupiny výstupů (4B) je připojen k prvnímu vstupu (A6a) první skupiny vstupů (A6) multiplexoru (6) první datové sběrnice (08), přičemž na tento vstup (A6a) je připojen první výstup (012Aa) první skupiny výstupů (012A) sběrnice (012) generátoru konstanty a první výstup (013Aa) první skupiny výstupů (013A) sběrnice kombinančních obvodů (013), zatímco alespoň jeho první výstup (4Ca) třetí skupiny výstupů (4C) je připojen k prvnímu vstupu (A5a) první skupiny vstupů (A5) hlavního řídícího bloku (5), přičemž hlavní řídící blok (5) je svým druhým vstupem (B5) připojen k druhému výstupu (09B) první řídící sběrnice (09) a svým třetím vstupem (C5) připojen k čtvrtému výstupu (08D) první datové sběrnice (08), svým čtvrtým vstupem (D5) je připojen ke čtvrtému výstupu (010D) druhé řídící sběrnice (010) a svým pátým vstupem (E5) je připojen k třetímu výstupu (011C) druhé datové sběrnice (011) a jeho první výstup (5A) je připojen k druhému vstupu (B6) multiplexoru (6) první datové sběrnice (08) a jeho druhý výstup (5B) je připojen k prvnímu vstupu (A010) druhé řídící sběrnice (010), přičemž alespoň první vstup (C6a) třetí skupiny vstupů (C6) multiplexoru (6) první datové sběrnice (08) je připojen k prvnímu výstupu (011Ba) druhé skupiny výstupů (011B) druhé datové sběrnice (011), přičemž na tento vstup je připojen první výstup (012Ba) druhé skupiny výstupů (012B) sběrnice (012) generátoru konstanty a první výstup (013B) druhé skupiny výstupů (013C) sběrnice kombinančních obvodů (013), zatímco na čtvrtý vstup (D6)

multiplexoru (6) první datové sběrnice (08) je připojen pátý výstup (010E) druhé řídící sběrnice (010) a první výstup (6A) multiplexoru (6) první datové sběrnice (08) je připojen k prvnímu vstupu (A08) první datové sběrnice (08).

2. Zapojení jednotky pro zpracování alfa-numerických informací podle bodu 1 vyznačené tím, že hlavní funkční blok (4) sestává z přenosového bloku (41), komparátoru (42), aritmetické jednotky (43), paměti dat (44) a pomocných obvodů (45), přičemž přenosový blok (41) je svým prvním vstupem (A41) připojen k prvnímu vstupu (A4a) první skupiny vstupů (A4) hlavního funkčního bloku (4), svým druhým vstupem (B41) k prvnímu vstupu (B4a) druhé skupiny vstupů (B4) hlavního funkčního bloku (4), svým třetím vstupem (C41) ke čtvrtému vstupu (D4) hlavního funkčního bloku (4) a svým čtvrtým vstupem (D41) k pátému vstupu (E4) hlavního funkčního bloku (4) a jeho první výstup (41A) je připojen k prvnímu výstupu (4Aa) první skupiny výstupů (4A) hlavního funkčního bloku (4), jeho první výstup (41Ba) druhé skupiny výstupů (41B) je připojen k prvnímu výstupu (4Ba) druhé skupiny výstupů (4B) hlavního funkčního bloku (4) a jeho první výstup (41Ca) třetí skupiny výstupů (41C) je připojen k prvnímu výstupu (4Ca) třetí skupiny výstupů (4C) hlavního funkčního bloku (4), přičemž komparátor (42) je svým prvním vstupem (A42) připojen k druhému vstupu (A4b) první skupiny vstupů (A4) hlavního funkčního bloku (4) a svým druhým vstupem (B42) k prvnímu vstupu (C4a) třetí skupiny vstupů (C4) hlavního funkčního bloku (4) a jeho první výstup (42A) je připojen k druhému výstupu (4Cb) třetí skupiny výstupů (4C) hlavního funkčního bloku (4), přičemž aritmetická jednotka (43) je svým prvním vstupem (A43) připojena k třetímu vstupu (A4c) první skupiny vstupů (A4) hlavního funkčního bloku (4), svým druhým vstupem (B43) ke čtvrtému vstupu (D4) hlavního funkčního bloku (4) a svým třetím vstupem (C43) k pátému vstupu (E4) hlavního funkčního bloku (4) a její první výstup (43A) je připojen k druhému výstupu (4Bb) druhé skupiny výstupů (4B) hlavního funkčního bloku (4), její druhý výstup (43B) je připojen k prvnímu vstupu (A44) paměti dat (44) a její třetí výstup (43C) je připojen k sedmému výstupu (4Cg) třetí skupiny výstupů (4C) hlavního funkčního bloku (4), přičemž paměť dat (44) je svým druhým vstupem (B44) připojena ke čtvrtému vstupu (A4d) první skupiny vstupů (A4) hlavního funkčního bloku (4), svým třetím

vstupem (C44) je připojena ke čtvrtému vstupu (D4) hlavního funkčního bloku (4) a svým čtvrtým vstupem (D44) je připojena k pátému vstupu (E4) hlavního funkčního bloku (4) a její první výstup (44A) je připojen k druhému vstupu (4Ab) první skupiny výstupů (4A) hlavního funkčního bloku (4), její druhý výstup (44B) je připojen k třetímu výstupu (4Bc) druhé skupiny výstupů (4B) hlavního funkčního bloku (4) a její třetí výstup (44C) je připojen k třetímu výstupu (4Cc) třetí skupiny výstupů (4C) hlavního funkčního bloku (4), přičemž pomocné obvody (45) jsou svým prvním vstupem (A45) připojeny ke čtvrtému vstupu (A4e) první skupiny vstupů (A4) hlavního funkčního bloku (4), svým druhým vstupem (B45) jsou připojeny ke čtvrtému vstupu (D44) hlavního funkčního bloku (4), svým třetím vstupem (C45) jsou připojeny k pátému vstupu (E4) hlavního funkčního bloku (4), svým čtvrtým vstupem (D45) jsou připojeny ke druhému vstupu (C4d) třetí skupiny vstupů (C4) hlavního funkčního bloku (4) a svým pátým vstupem (E45) jsou připojeny k druhému vstupu (B4b) druhé skupiny vstupů (B4) hlavního funkčního bloku (4) a alespoň jejich první výstup (45Aa) první skupiny výstupů (45A) je připojen ke čtvrtému výstupu (4Bd) druhé skupiny výstupů (4B) hlavního funkčního bloku (4), alespoň jejich první výstup (45Ba) druhé skupiny výstupů (45B) je připojen ke čtvrtému výstupu (4Cd) třetí skupiny výstupů (4C) hlavního funkčního bloku (4) a alespoň jejich první výstup (45Ca) třetí skupiny výstupů (45C) je připojen k třetímu výstupu (4Ac) první skupiny výstupů (4A) hlavního funkčního bloku (4).

3. Zapojení jednotky pro zpracování alfa-numerických informací podle bodu 1 vyznačené tím, že hlavní řídicí blok (5) sestává z multiplexoru (54) podmínek autonomních činností (54) a synchronizátoru (55), přičemž multiplexor (51) podmínek je svým prvním vstupem (A51) připojen k prvnímu výstupu (53A) dekodéru (53) mikroinstrukce, svým druhým vstupem (B51) je připojen k druhému vstupu (B5) hlavního řídicího bloku (5), svým třetím vstupem (C51) je připojen k prvnímu vstupu (A5a) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým čtvrtým vstupem (D51) je připojen k druhému vstupu (A5b) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým pátým vstupem (E51) je připojen k třetímu vstupu (A5c) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým šestým vstupem (F51) je připojen ke čtvrtému

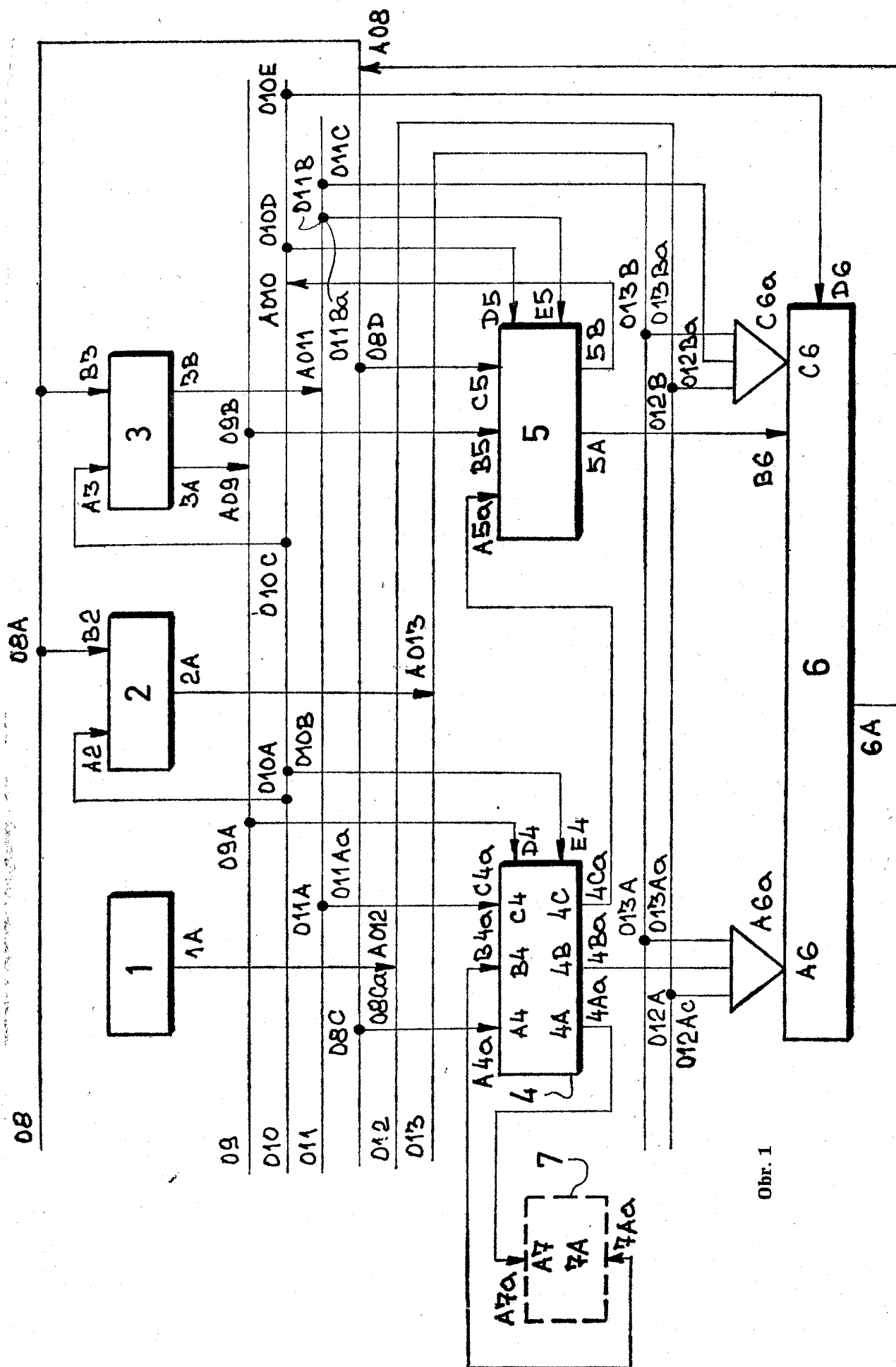
vstupu (A5d) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým sedmým vstupem (G51) je připojen k pátému vstupu (A5e) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým osmým vstupem (H51) je připojen k šestému vstupu (A5f) první skupiny vstupů (A5) hlavního řídicího bloku (5), svým devátým vstupem (I51) je připojen k sedmému vstupu (A5g) první skupiny vstupů (A5) hlavního řídicího bloku (5) a svým desátým vstupem (J51) k pátému vstupu (E5) hlavního řídicího bloku (5) a jeho první výstup (51A) je připojen k prvnímu vstupu (A52) řadiče s řídicí pamětí (52), přičemž řadič s řídicí pamětí (52) je svým druhým vstupem (B52) připojen k druhému vstupu (B5) hlavního řídicího bloku (5), svým třetím vstupem (C52) je připojen k třetímu vstupu (C5) hlavního řídicího bloku (5), svým čtvrtým vstupem (D52) je připojen k prvnímu výstupu (55A) synchronizátoru (55) a svým pátým vstupem (E52) je připojen ke čtvrtému vstupu (D5) hlavního řídicího bloku (5) a jeho první výstup (52A) je připojen k prvnímu výstupu (5A) hlavního řídicího bloku (5) a jeho druhý výstup (52B) je připojen k prvnímu vstupu (A53) dekodéru (53) mikroinstrukce, přičemž dekodér (53) mikroinstrukce je svým druhým vstupem (B53) připojen k druhému vstupu (B5) hlavního řídicího bloku (5), svým třetím vstupem (C53) je připojen k prvnímu výstupu (55A) synchronizátoru (55) a svým čtvrtým vstupem (D53) je připojen k prvnímu výstupu (54A) řadiče (54) autonomních činností a jeho první výstup (53A) je připojen k druhému výstupu (5B) hlavního řídicího bloku (5), přičemž řadič (54) autonomních činností je svým prvním vstupem (A54) připojen k prvnímu výstupu (55A) synchronizátoru (55).

4. Zapojení jednotky pro zpracování alfa-numerických informací podle bodů 1 a 2 vyznačené tím, že přenosový blok (41) sestává z bloku přenosu dat (411) a vyrovnávací paměti (412), přičemž blok přenosu dat (411) je svým prvním vstupem (A411) připojen k prvnímu vstupu (A41) přenosového bloku (41), svým druhým vstupem (B411) je připojen k druhému vstupu (B41) přenosového bloku (41), svým třetím vstupem (C411) je připojen k třetímu vstupu (C41) přenosového bloku (41) a svým čtvrtým vstupem (D411) je připojen ke čtvrtému vstupu (D41) přenosového bloku (41) a jeho první výstup (411A) je připojen k prvnímu výstupu (41A) přenosového bloku (41), jeho druhý výstup (411B) je připojen k prvnímu výstupu

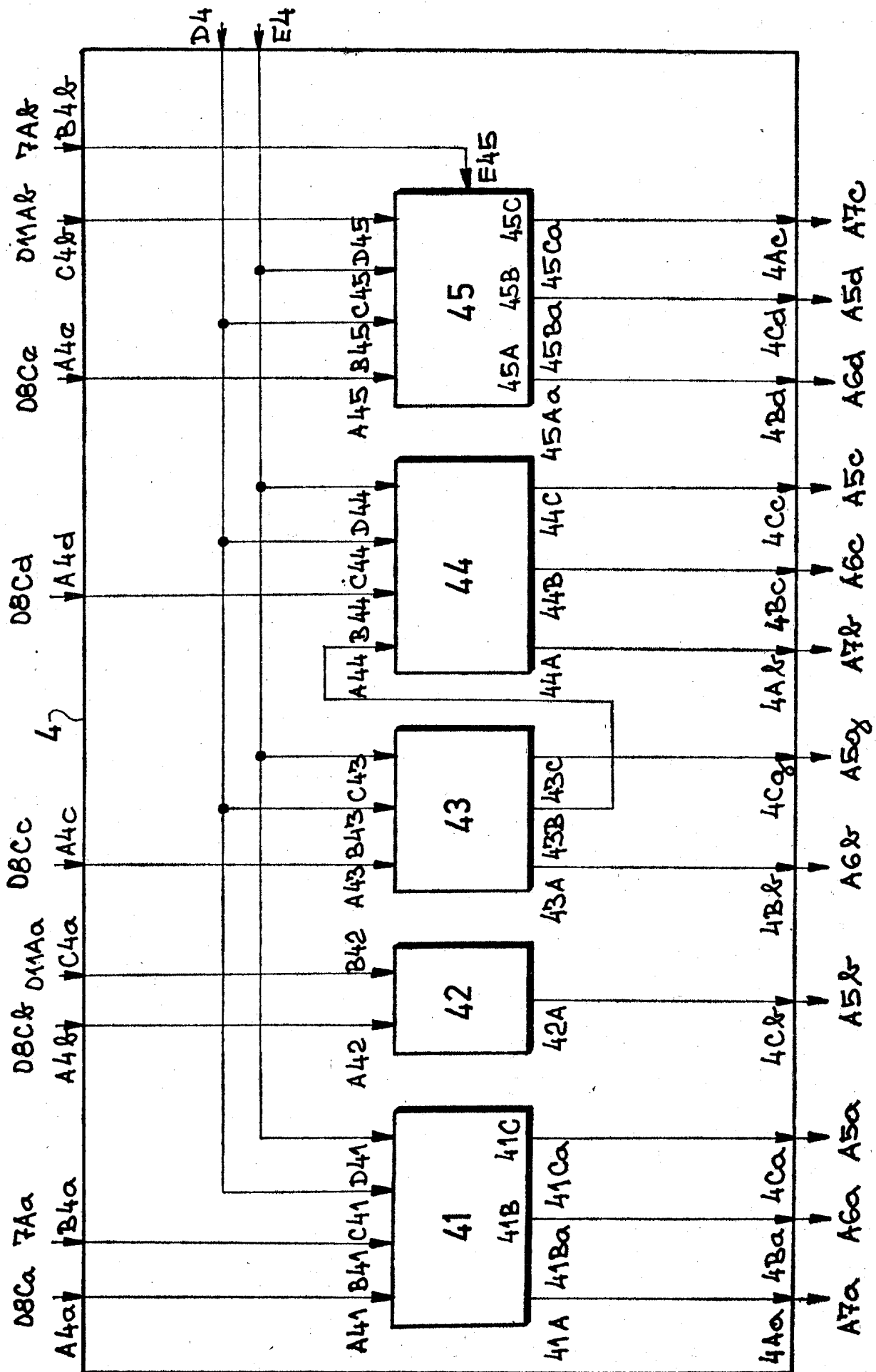
(41Ba) druhé skupiny výstupů (41B) přenosového bloku (41), jeho třetí výstup (411C) je připojen k prvnímu vstupu (A412) vyrovnávací paměti (412) a jeho čtvrtý výstup (411B) je připojen k prvnímu výstupu (41Ca) třetí skupiny výstupů (41C) přenosového bloku (41), přičemž vyrovnávací paměť (412) je svým prvním vstupem (A412) též připojena ke čtvrtému vstupu (D41) přenosového bloku (41) a její první výstup (412A) je připojen k druhému výstupu (41Bb) druhé skupiny výstupů (41B) přenosového bloku (41) a její druhý výstup (412B) je připojen k druhému výstupu (41Cb) třetí skupiny výstupů (41C) přenosového bloku (41).

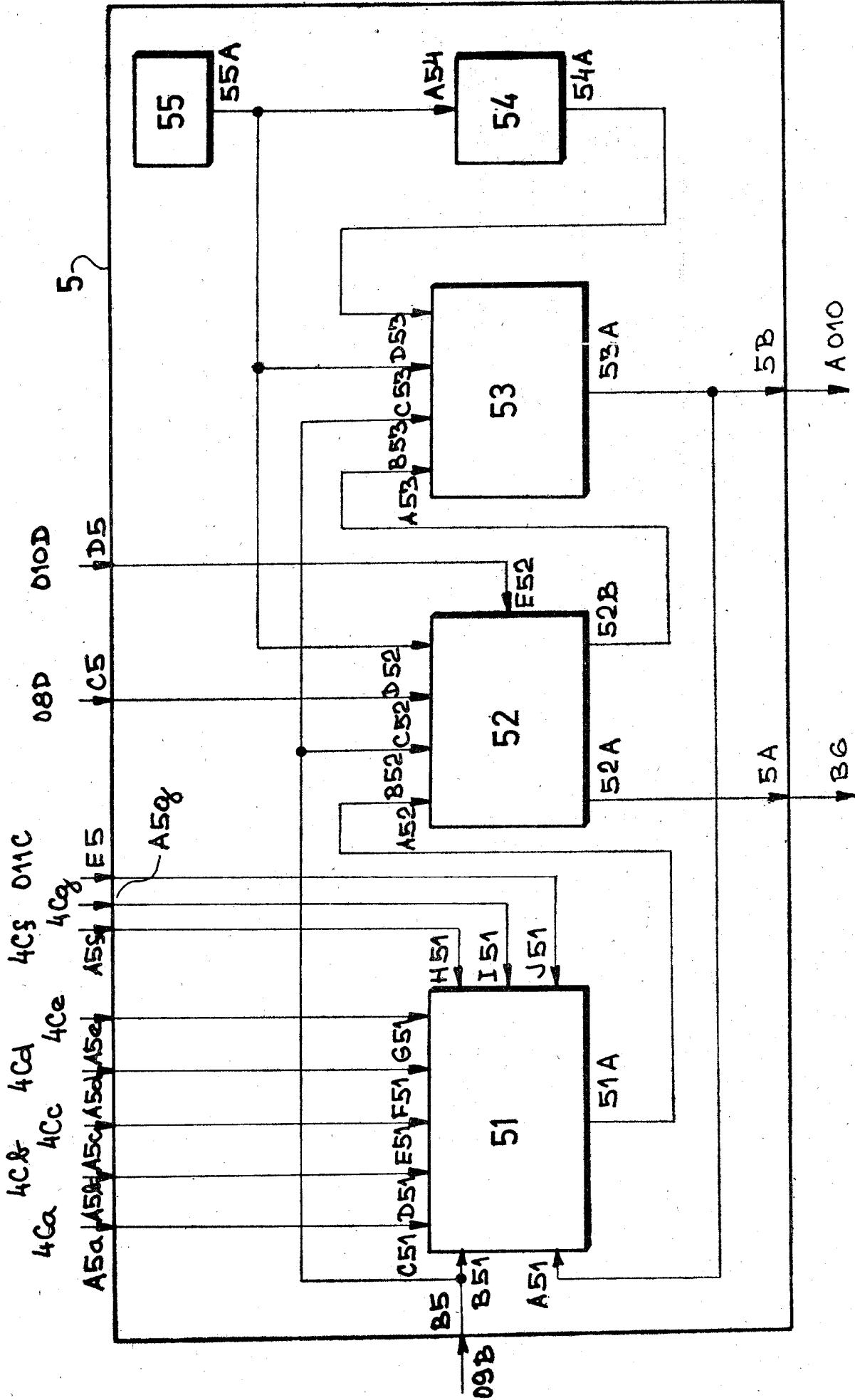
5. Zapojení jednotky pro zpracování alfanumerických informací podle bodů 1 a 2 vyznačené tím, že pomocné obvody (45) sestávají z generátoru (451) časových prodlev, bloku (452) zabezpečení informace, pomocného registru (453), generátoru (454) adres (454), bloku indikátorů (455) a stykových obvodů (456), přičemž generátor (451) časových prodlev je svým prvním vstupem (A451) připojen ke druhému vstupu (B45) pomocných obvodů (45), svým druhým vstupem (B451) je připojen k třetímu vstupu (C45) pomocných obvodů (45) a jeho první výstup (451A) je připojen k prvnímu výstupu (45Ba) druhé skupiny výstupů (45B) pomocných obvodů (45), přičemž blok (452) zabezpečení informace je svým prvním vstupem (A452) připojen k prvnímu vstupu (A45) pomocných obvodů (45) a svým druhým vstupem (B452) je připojen k třetímu vstupu (C45) pomocných obvodů (45) a jeho první výstup (452A) je připojen k první-

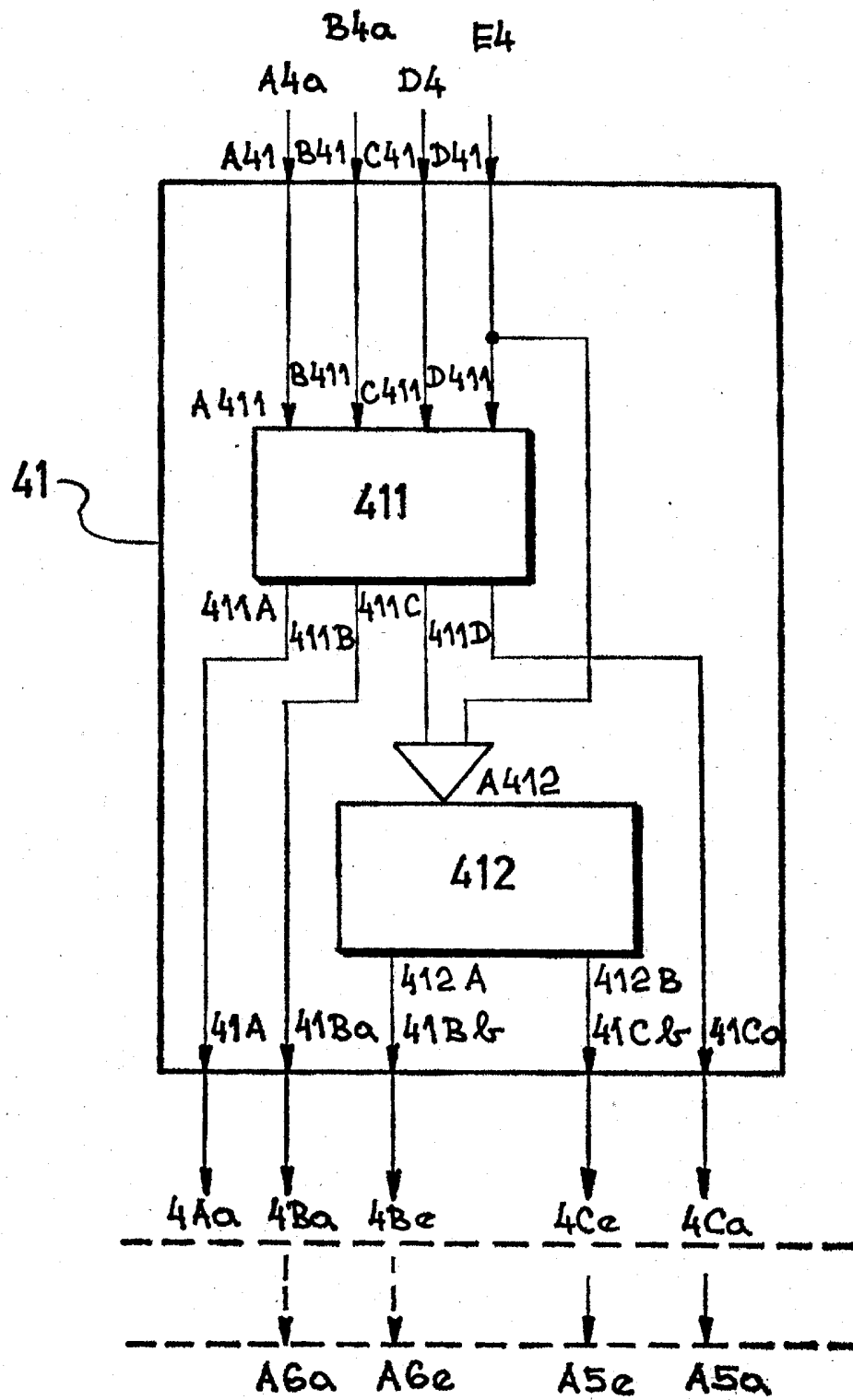
mu výstupu (45Aa) první skupiny výstupů (45A) pomocných obvodů (45), přičemž pomocný registr (453) je svým prvním vstupem (A453) připojen ke čtvrtému vstupu (D45) pomocných obvodů (45) a svým druhým vstupem (B453) je připojen k třetímu vstupu (C45) pomocných obvodů (45) a jeho první výstup (453A) je připojen k druhému výstupu (45Ab) první skupiny výstupů (45A) pomocných obvodů (45), přičemž generátor (454) adres je svým prvním vstupem (A454) připojen k druhému vstupu (B45) pomocných obvodů (45) a jeho první výstup (454A) je připojen k třetímu výstupu (45Ac) první skupiny výstupů (45A) pomocných obvodů (45), přičemž blok indikátorů (455) je svým prvním vstupem (A455) připojen k druhému vstupu (B45) pomocných obvodů (45) a jeho první výstup (455A) je připojen k prvnímu výstupu (45Ca) třetí skupiny výstupů (45C) pomocných obvodů (45), přičemž stykové obvody (456) jsou svým prvním vstupem (A456) připojeny k třetímu vstupu (C45) pomocných obvodů (45), svým druhým vstupem (B456) jsou připojeny k druhému vstupu (B45) pomocných obvodů (45) a svým třetím vstupem (C456) jsou připojeny k pátému vstupu (E45) pomocných obvodů (45) a jejich první výstup (456A) je připojen k druhému výstupu (45Cb) třetí skupiny výstupů (45C) pomocných obvodů (45), jejich druhý výstup (456B) je připojen ke čtvrtému výstupu (45Ad) první skupiny výstupů (45A) pomocných obvodů (45) a jejich třetí výstup (456C) je připojen k druhému výstupu (45Bb) druhé skupiny výstupů (45B) pomocných obvodů (45).



Obr. 1







Obr. 4

