

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年5月24日(2007.5.24)

【公開番号】特開2004-320002(P2004-320002A)

【公開日】平成16年11月11日(2004.11.11)

【年通号数】公開・登録公報2004-044

【出願番号】特願2004-104093(P2004-104093)

【国際特許分類】

H 05 K 3/06 (2006.01)

H 05 K 1/16 (2006.01)

B 41 J 2/05 (2006.01)

B 41 J 2/16 (2006.01)

【F I】

H 05 K 3/06 A

H 05 K 3/06 B

H 05 K 3/06 Z

H 05 K 1/16 C

B 41 J 3/04 103 B

B 41 J 3/04 103 H

【手続補正書】

【提出日】平成19年3月30日(2007.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

基板の絶縁性表面上に設けられた抵抗層と、該抵抗層上に間隔を有して形成された一対の電極を有する素子の複数と、を有する回路基板の製造方法において、

(a) 前記基板の絶縁性表面上に、前記抵抗層を形成するための抵抗材料層と、前記電極を形成するための電極材料層とをこの順に積層する工程と、

(b) 前記電極材料層上に、前記素子ごとに分離するためのパターンを有するレジスト層(I)を形成する工程と、

(c) 該レジスト層(I)のパターンに基づいて前記抵抗材料層及び前記電極材料層をドライエッティングによりパターニングして、前記抵抗層上に前記電極材料層が積層された積層構造を形成する工程と、

(d) 該積層構造上のレジスト層(I)を除去する工程と、

(e) 前記間隔を形成するためのパターンを有するレジスト層(II)を形成する工程と、

(f) 該レジスト層(II)のパターンに基づいてウェットエッティングにより前記電極材料層をパターニングして、前記間隔を形成して前記素子を形成する工程と、

(g) 少なくとも該工程(e)の前に、前記電極材料層の表面部分を、そのエッティング速度が前記電極材料層を形成する材料よりも速くなるように表面処理する工程と、

を有することを特徴とする回路基板の製造方法。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項9

【補正方法】変更

【補正の内容】**【請求項 9】**

基板の絶縁性表面上に設けられた抵抗層と、該抵抗層上に間隔をおいて形成された一対の電極を有する素子の複数と、を有する回路基板の製造方法において、

(a) 前記基板の絶縁性表面上に、前記抵抗層を形成するための抵抗材料層と、前記電極を形成するための電極材料層とをこの順に積層する工程と、

(b) 前記電極材料層上に、前記素子ごとに分離するためのパターンを有するレジスト層(I)を形成する工程と、

(c) 該レジスト層(I)のパターンに基づいて前記抵抗材料層及び前記電極材料層をドライエッチングによりパターニングして、前記抵抗層上に前記電極材料層が積層された積層構造を形成する工程と、

(d) 該積層構造上のレジスト層(I)を除去する工程と、

(e) 前記間隔を形成するためのパターンを有するレジスト層(II)を形成する工程と、

(f) 該レジスト層(II)のパターンに基づいてウェットエッチングにより前記電極材料層をパターニングして、前記間隔を形成して前記素子を形成する工程と、
を有し、更に、前記レジスト層(I)を除去する工程は、少なくともフッ素を含むガスを用いたアッシングであり、該アッシング後に、前記電極材料層表面に形成された、少なくとも前記レジスト層(I)の灰化物もしくは前記電極材料層の化合物のいずれかを除去する工程であることを特徴とする回路基板の製造方法。

【手続補正 3】**【補正対象書類名】特許請求の範囲****【補正対象項目名】請求項 10****【補正方法】変更****【補正の内容】****【請求項 10】**

基板の絶縁性表面上に形成された抵抗層上に間隔をおいて形成された一対の電極を有する素子の複数と、前記素子上に設けられた保護層と、を有する回路基板において、前記電極と、前記保護層との界面に、該電極を形成する材料の、フッ化物、窒化物、及び塩化物のいずれかが形成されていることを特徴とする回路基板。