



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I465389 B

(45)公告日：中華民國 103 (2014) 年 12 月 21 日

(21)申請案號：098105596

(22)申請日：中華民國 98 (2009) 年 02 月 23 日

(51)Int. Cl. : B82B3/00 (2006.01)

H01L21/20 (2006.01)

(30)優先權：2008/02/25 美國

61/031,333

(71)申請人：斯莫勒科技公司 (瑞典) SMOLTEK AB (SE)  
瑞典

(72)發明人：伯格 喬納斯 BERG, JONAS (SE)；德斯馬瑞斯 文森 DESMARIS, VINCENT (SE)；卡畢爾 摩哈瑪德 夏非庫爾 KABIR, MOHAMMAD SHAFIQUL (BD)；摩哈瑪德 阿明 MUHAMMAD, AMIN (PK)；布魯德 大衛 BRUD, DAVID (SE)

(74)代理人：桂齊恆；閻啟泰

(56)參考文獻：

US 7175494B1

US 2003/0052585A1

WO 2006/115453A1

審查人員：何立璋

申請專利範圍項數：27 項 圖式數：12 共 45 頁

(54)名稱

用於奈米結構加工之導電性助層之沉積及選擇性移除

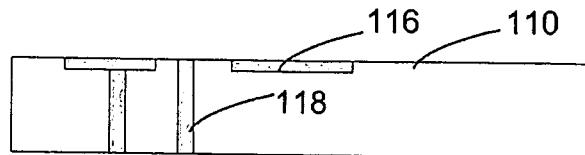
DEPOSITION AND SELECTIVE REMOVAL OF CONDUCTING HELPLAYER FOR  
NANOSTRUCTURE PROCESSING

(57)摘要

揭示一種製備一或多個奈米結構之方法，該方法包含：在基板之上表面上沈積導電層；在該導電層上沈積圖案化觸媒層；在該觸媒層上生長該一或多個奈米結構；及選擇性移除該一或多個奈米結構之間及周圍之該導電層。亦揭示一種裝置，其包含基板，其中該基板包含一或多個由一或多個絕緣性區域隔開之暴露金屬島；導電性助層，其安置於該基板上以覆蓋該一或多個暴露金屬島或絕緣性區域中之至少一些；觸媒層，其安置於該導電性助層上；及一或多個奈米結構，其安置於該觸媒層上。

A method for making one or more nanostructures is disclosed, the method comprising: depositing a conducting layer on an upper surface of a substrate; depositing a patterned layer of catalyst on the conducting layer; growing the one or more nanostructures on the layer of catalyst; and selectively removing the conducting layer between and around the one or more nanostructures. A device is also disclosed, comprising a substrate, wherein the substrate comprises one or more exposed metal islands separated by one or more insulating areas; a conducting helplayer disposed on the substrate covering at least some of the one or more exposed metal islands or insulating areas; a catalyst layer disposed on the conducting helplayer; and one or more nanostructures disposed on the catalyst layer.

圖 3A



- 102 . . . 經圖案化以支持個別奈米結構生長之觸媒層
- 104 . . . 經圖案化以支持奈米結構「森林」(多個緊密間隔之奈米結構)生長之觸媒層
- 106 . . . 個別奈米結構
- 108 . . . 奈米結構「森林」(多個緊密間隔之奈米結構)
- 110 . . . 絝緣性基板
- 116 . . . 具有與絝緣性基板之頂表面在同一水平面上之頂表面的圖案化金屬襯層(拋光後之平坦晶片)
- 118 . . . 通路(垂直互連件)
- 120 . . . 連續導電性助層
- 122 . . . 觸媒層殘餘物(自對準蝕刻後)
- 124 . . . 導電性助層之殘餘物(自對準蝕刻後)

## 六、發明說明：

### 優先權主張

本申請案主張 2008 年 2 月 25 日申請之美國臨時申請案第 61/031,333 號之優先權，該申請案之內容全部以引用之方式併入本文中。

### 【發明所屬之技術領域】

大體而言，本文中所述之技術係關於奈米結構之化學氣相沈積（CVD）領域，且更詳言之，係關於減小或消除奈米結構生長期間電漿誘發之損壞，且使奈米結構能夠在導電性及絕緣性表面上自對準生長。

### 【先前技術】

本文中所述之本發明技術係關於（但不限於）諸如碳奈米結構（例如碳奈米管、碳奈米纖維及碳奈米線）之奈米結構。近年來，該等奈米結構因其高導熱性及導電性而受到關注。

碳奈米結構可由電弧放電方法、雷射剝蝕或化學氣相沈積（CVD）製造。CVD 加工中使用觸媒來獲得奈米結構之生長。兩種最常用的 CVD 方法為熱 CVD 及電漿增強 CVD（亦即，電漿 CVD）。在熱 CVD 中，形成奈米結構所需之能量為熱能。在電漿 CVD 中，形成奈米結構所需之能量來自電漿。電漿 CVD 使奈米結構在比熱 CVD 中所使用之溫度低的溫度下生長成為可能。電漿 CVD 中之較低生長溫度為重要優勢，因為奈米結構生長所在的基板在過高溫度下通常會損壞。

存在若干類型之電漿 CVD，包括射頻電漿 CVD、電感耦合電漿 CVD 及直流電漿 CVD。直流電漿 CVD( DC-CVD ) 通常較佳，因為靠近基板表面之電場使生長中之奈米結構能夠對準。在一些情況下，電場產生大體上垂直於基板之奈米結構對準。在一些情況下，亦可按需要實現與垂直方向成其他角偏向之對準。

圖 1A-1E 說明可在基板上生長之奈米結構之各種組態。圖 1A 說明自導電性基板 100 上之圖案化觸媒層 102 及 / 或 104 生長奈米結構 106 及 / 或 108 之組態。奈米結構 106 為生長於小觸媒點 102 上之單一奈米結構，而奈米結構 108 為生長於大觸媒區域 104 上之奈米結構「森林」（多個緊密間隔之奈米結構）。圖 1B 說明自沈積於絕緣性基板 110 上之連續金屬襯層 112 上之圖案化觸媒層 102 及 / 或 104 生長奈米結構 106 及 / 或 108 之組態。小觸媒點 102 產生個別奈米結構 106，而大觸媒區域 104 產生奈米結構「森林」108（多個緊密間隔之奈米結構）。該兩個利用 DC-CVD 生長奈米結構之組態相對較簡單。

然而，若圖案化觸媒層 102 及 / 或 104 直接沈積於絕緣體 110 上（如圖 1C 中所示）或沈積於絕緣體 110 上方之孤立金屬島 114 上（如圖 1D 中所示），則出現問題。若金屬島周圍存在絕緣性區域，即使金屬島電連接於基板之其他部分，則會最常出現問題。生長過程期間會出現電弧，且電弧會因濺射而對生長結構引起損壞。該等弧亦會因弧所產生之過電壓而損壞連接於生長結構之電子裝置。圖 2 展

示因發弧而對基板引起之損壞之實例。該等過電壓可損壞裝置，即使該等裝置埋於若干材料層以下，因為該等裝置電連接於最上面的金屬層。美國專利第 5,651,865 號提供與在 DC 電漿中之別的導電性表面上具有絕緣性區相關之問題的詳細描述。

已提出了一些描述減少弧問題之 DC 電源改良之解決方案。舉例而言，美國專利第 5,576,939 號及美國專利第 6,943,317 號揭示在弧開始時，關閉電源或倒轉電源極性之方法。美國專利第 5,584,972 號描述在電源與電極之間連接電感器及二極體。美國專利第 7,026,174 號揭示將晶圓置放於偏壓下以減少發弧。美國專利第 5,651,865 號揭示利用電漿電壓週期性極性變化優先使任何使奈米結構不能在具有絕緣性區之樣品上生長的絕緣體濺射遠離別的導電性表面。

在一些應用方面，例如美國專利第 6,982,519 號中已展示在圖案化金屬襯層上製造奈米纖維之方法。所揭示之方法由以下步驟組成：利用圖案化觸媒層在連續金屬襯層上生長奈米纖維，及此後利用光微影術使金屬襯層圖案化。所揭示之方法需要供生長用之連續金屬襯層，且此後進行金屬襯層之圖案化。

美國專利第 6,982,519 號中所揭示之該技術與積體電路中互連層之標準（CMOS）加工不相容，其中利用化學機械拋光在層間介電質中之凹槽中形成水平金屬導體 116（例如如圖 1E 中）。拋光後，在頂部且緊挨著互連層形成鄰接通

路層（垂直互連件）。因此，互連件之任何圖案化（以獲得圖案化金屬襯層）應在製造鄰接通路層之前進行。

用美國專利第 6,982,519 號中所揭示之方法，不可能在絕緣性基板上直接生長奈米結構以致當在微影術後將有金屬留在奈米結構之間時，基板將仍然絕緣。在一些應用中，希望使經奈米結構覆蓋之表面例如在熱傳輸中與絕緣體（其中不想要連續金屬層）絕緣（例如，在圖 1C 中在絕緣性表面 110 上生長奈米結構）。

此外，在現有金屬島上生長奈米結構（諸如如圖 1D 中所示）不方便，且問題例如為如圖 2 中之 SEM 圖片中所示之電漿誘發的晶片損壞。

圖 1E 中所示之組態包括通向某一下伏（或視裝置定向之方式上覆）圖案化金屬襯層 116 之通路 118（垂直互連件）。在圖案化金屬襯層 116（水平互連件）或任何現有傳統型通路 118（垂直互連件）上直接生長奈米結構將較佳。

美國專利第 6,982,519 號未解決之另一問題為並非製造積體電路中所使用之所有金屬均與用於奈米結構生長之電漿氣體相容。舉例而言，美國申請公開案第 2008/00014443 號陳述在含乙炔電漿中不可能使用銅，因為將存在有害化學反應。

美國申請公開案第 2007/0154623 號揭示一種在玻璃基板與觸媒之間使用緩衝層來阻止相互作用之方法。美國申請公開案第 2007/0259128 號揭示一種利用中間層控制碳奈米管之位點密度（site density）的方法。該等申請案中沒有

一個滿足在早已圖案化之金屬襯層上生長奈米結構之需要或消除弧之需要。

當在僅經金屬襯層部分覆蓋之晶片上生長奈米結構時，有時在觸媒粒子外部存在寄生生長。此會沿晶片表面產生不想要的漏電流。

因此，對在先前圖案化之金屬襯層上生長奈米結構而無弧誘發之晶片損壞及靈敏電子裝置過電壓損壞之問題或由所使用之材料不相容、電漿生長加工期間寄生生長所致之問題的方法存在需要。在各種實施中，本文中所述之技術可解決該等加工相關之問題中之部分或全部。

包括本文中本發明先前技術之論述以解釋本發明之上下文。其不應視為承認所提及之所有材料在任何申請專利範圍之優先日時已公開、為吾人所知或為常識之一部分。

### 【發明內容】

大體而言，本文中所述之技術係關於奈米結構之化學氣相沈積（CVD）領域，且更詳言之，係關於減小或消除奈米結構生長加工期間電漿誘發之損壞，且使奈米結構能夠在導電性及絕緣性表面上自對準生長。

在一態樣中，製備一或多個奈米結構之方法包括：在基板之上表面上沈積導電性助層；在導電性助層上沈積圖案化觸媒層；在觸媒層上生長一或多個奈米結構；及選擇性移除一或多個奈米結構之間及周圍之導電性助層。

在一些實施中，觸媒層在其沈積後圖案化。在一些實施中，基板另外包含與其上表面共同延伸且由導電性助層

覆蓋之金屬襯層。在一些實施中，金屬襯層經圖案化。在一些實施中，金屬襯層包含一或多種選自 Cu、Ti、W、Mo、Pt、Al、Au、Pd、P、Ni 及 Fe 之金屬。在一些實施中，金屬襯層包含一或多種選自 TiN、WN 及 AlN 之導電性合金。在一些實施中，金屬襯層包含一或多種導電性聚合物。在一些實施中，基板為半導體。在一些實施中，基板為絕緣體。在一些實施中，基板包含頂部具有至少一個導電層之絕緣體。在一些實施中，任何沈積均由選自蒸鍍、電鍍、濺鍍、分子束磊晶、脈衝雷射沈積、CVD 及旋塗之方法進行。在一些實施中，一或多個奈米結構包含碳、GaAs、ZnO、InP、InGaAs、GaN、InGaN 或 Si。在一些實施中，一或多個奈米結構包括奈米纖維、奈米管或奈米線。在一些實施中，導電性助層包含選自半導體、導電性聚合物及合金之材料。在一些實施中，導電性助層為 1 奈米至 100 微米厚。在一些實施中，一或多個奈米結構在電漿中生長。在一些實施中，導電性助層之選擇性移除係藉由蝕刻實現。在一些實施中，蝕刻為電漿乾式蝕刻。在一些實施中，蝕刻為電化學蝕刻。在一些實施中，蝕刻為光化學高溫分解蝕刻。在一些實施中，蝕刻為高溫分解蝕刻。在一些實施中，該方法進一步包括在導電性助層與觸媒層之間沈積另一層。

在一態樣中，一種裝置包括基板，其中該基板包含一或多個由一或多個絕緣性區域隔開之暴露金屬島；導電性助層，其安置於基板上以覆蓋該一或多個暴露金屬島或絕緣性區域中之至少一些；觸媒層，其安置於該導電性助層

上；及一或多個奈米結構，其安置於該觸媒層上。在一些實施中，奈米結構為互連件。

在一態樣中，一種製備一或多個奈米結構之方法包括：在基板之上表面上沈積金屬襯層；在金屬襯層上沈積觸媒層；在觸媒層上沈積絕緣體層；在絕緣體層上沈積導電性助層；產生自導電性助層至觸媒層貫通絕緣體層之通路孔；在觸媒層上貫通通路孔生長一或多個奈米結構；及選擇性移除導電性助層。

在一態樣中，一種包括一或多個奈米結構之裝置係由包含以下步驟之方法製備：在基板之上表面上沈積金屬襯層；在金屬襯層上沈積觸媒層；在觸媒層上沈積絕緣體層；在絕緣體層上沈積導電性助層；產生自導電性助層至觸媒層貫通絕緣體層之通路孔；在觸媒層上貫通通路孔生長一或多個奈米結構；及選擇性移除導電性助層。

在一態樣中，一種製備一或多個奈米結構之方法包括：在基板上沈積導電性助層，其中基板包含暴露圖案化金屬襯層或暴露絕緣體層；自觸媒層生長奈米結構，觸媒層安置於導電層上方或於暴露絕緣體層下方；及藉由蝕刻選擇性移除所有或部分導電性助層。

該等方法及裝置可提供一或多個以下優勢。

在一些實施中，該方法允許奈米結構生長於一或多個預圖案化金屬襯層以及電絕緣性基板上。該方法可針對基板中所含之電靈敏裝置之弧損壞提供保護。可消除對含有與金屬襯層或絕緣層不相容之氣體之生長電漿的限制。

在一些實施中，該方法包括沈積連續導電性助層以覆蓋基板頂表面，隨後在助層上方沈積（及/或圖案化）觸媒層，在觸媒層上生長奈米結構，且隨後選擇性移除未由奈米結構覆蓋之區域中之導電性助層。該方法可產生生長於圖案化觸媒-助層堆疊上之自對準纖維。良好的生長根基在生長過程期間由連續導電性助層實現，且其消除發弧問題。因此，該方法使奈米結構能夠生長於早已圖案化之金屬襯層或絕緣層之特別指定之位置上，因為奈米結構生長後容易移除導電性助層。

在一些實施中，奈米結構貫通絕緣層生長，該方法包括在基板（導電性或絕緣性）上沈積觸媒層，隨後在觸媒層上沈積絕緣層，隨後在絕緣層上方沈積連續圖案化之導電性助層，選擇性移除絕緣層之某些部分以產生貫通絕緣層向下至觸媒層之通路孔，隨後自觸媒層生長奈米結構，及最後選擇性移除未由奈米結構覆蓋之區域中之導電性助層。

本文中所述之技術之另一優勢在於保護基板上之靈敏電氣裝置免受電漿高電壓影響，因為晶片表面上之所有電氣連接器短接在一起且接地。本文中所述之技術大體上消除所有弧，且即使存在一些火花（例如由基板處理期間之靜電所引起），火花之損壞作用顯著減小。

第三個優勢在於奈米結構生長期間，（可能經圖案化）金屬襯層得到保護以免受電漿影響。當在與供生長用之氣體不相容之金屬襯層或絕緣層上生長奈米結構時，此優勢

很重要。舉例而言，利用含乙炔電漿在銅表面上生長會在奈米結構生長期間產生有害影響，因為該等材料並不總是相容的。藉由利用本說明書中所揭示之方法，可消除該等對電漿氣體與基板或金屬襯層之間的相容性之限制。

第四個優勢在於避免了觸媒外部之寄生生長。

因為導電性助層之移除為自對準過程，所以可在可保持絕緣之絕緣層/基板上或貫通該絕緣層/基板生長個別奈米結構。此係藉由選擇性移除導電性助層以使得：假若助層沈積於觸媒層上，導電性助層材料僅留在奈米結構下面，或假若助層位於除觸媒層以外之層（諸如沈積於觸媒層及基板上方之絕緣層）上，則完全移除導電性助層材料來實現。

其他特徵及優勢由說明書及圖式及申請專利範圍將顯而易見。

類似元件符號及名稱在各圖式中指示類似元件。

### 【實施方式】

本文中所述之技術係關於電漿加工，例如奈米結構（亦即，至少一維為奈米級之結構）之生長。在一些實施中，該技術亦適用於具有除奈米範圍以外之特徵尺寸，例如微米或毫米尺寸範圍之特徵尺寸之結構的加工。

「基板」為其上可沈積其他層以供奈米結構生長用之任何層的名稱。基板可包括含有裝置或金屬層或絕緣體之半導體。半導體可包括摻雜或未摻雜矽、碳化矽、第 II-VI 族或第 III-V 族材料（GaAs、InP、InGaAs 等）或半導電性

聚合物。基板亦可為透明的導電性或絕緣性材料，諸如玻璃或氧化銻錫（ITO）。基板亦可包括聚合物層或印刷電路板（PCB）。基板不需為平坦的且可含有波紋結構。

「金屬襯層」可包括在基板結構上沈積助層之前早已存在於基板結構頂表面上之任何金屬，包括安置於基板與其上方之暴露絕緣體層之間的暴露金屬島（例如，互連件或通路）及/或連續導電層。金屬襯層可包含任何金屬及/或金屬合金或週期表中不同金屬之組合，諸如 Cu、Ti、W、Mo、Pt、Al、Au、Pd、Pt、Ni、Fe 等。金屬襯層亦可包含一或多種導電性合金，諸如 TiN、WN、AlN。金屬襯層亦可包含一或多種導電性聚合物。金屬襯層亦可包含以上導電性材料之任何組合。

「觸媒」為促進化學反應之金屬、合金或材料堆疊。一種例示性觸媒為由鎳覆蓋之矽。觸媒層亦可包括障壁層，例如沈積於金層與其上方之 Si/Ni 層之間的鎔層。觸媒可為諸如 Ni、Fe、Pt、Pd 之純金屬或諸如 NiFe、NiCr、NiAlFe 等金屬合金。

「絕緣體」可為任何電絕緣性材料，諸如二氧化矽、氮化矽或諸如 HfO、ZrO 等高 k 材料、氧化鋁、燒結複合材料、聚合物、抗蝕劑（例如 SU8）、不同形式之聚醯胺、ITO、所謂的低 k 材料或層間介電質（ILD）。

「沈積」意謂藉由諸如熱 CVD 或電漿增強 CVD 之化學氣相沈積（CVD）、分子束磊晶（MBE）、脈衝雷射沈積（PLD）或旋塗進行蒸鍍、電鍍、濺渡或沈積中任何一種或

多種。

「奈米結構」為至少一維為奈米級之結構。奈米結構可包括碳、GaAs、ZnO、InP、GaN、InGaN、InGaAs、Si或其他材料之奈米纖維、奈米管或奈米線。

圖 3A 展示諸如矽晶片之部分經加工基板。對絕緣性基板 110 應用本說明書中所描述之技術以在包埋於基板中之由互連件 116 及通路 118 形成之金屬島（圖案化金屬襯層）上生長奈米結構。通路 118 及互連件 116（圖案化金屬襯層）可根據例如所謂的金屬鑲嵌方法（包括蝕刻溝槽及沈積金屬於溝槽中）之標準晶圓加工方法製造。可使用化學機械拋光（CMP）實現基板及互連件之平坦頂表面。

為製造圖 3E 中所示之結構，如圖 6 中所示執行許多步驟。首先，在基板 110 及包埋於基板 110 中之圖案化金屬襯層 116 及 118 上沈積連續導電性助層 120（步驟 200）以獲得圖 3B 中之結構。可使用任何導電性材料作為助層 120。導電性材料之實例包括諸如 W、Mo 等元素週期表中之任何導電性元素、諸如氮化鈦之導電性合金、諸如摻雜矽之半導體或導電性聚合物。除非首先沈積隔開金屬襯層及助層之緩衝層，否則助層材料應與圖案化金屬襯層材料不同。在所述實施例中，使用鎢層作為連續導電性助層 120。

導電性助層之厚度可為約 1 nm 至 100  $\mu\text{m}$ ，且較佳介於約 1 nm 與 100 nm 之間。在一個具體實例中，使用 50 nm 鎢層。在一些具體實例中，僅使用一個助層。然而，本文中所述之技術不限於僅具有單層材料助層，助層亦可包括

多個改良剝離性、黏著性、蝕刻選擇性或充當蝕刻終止層、電鍍晶種層或保護層之層。此外，可包括熱控制層，例如具有高或低導熱性之層，諸如泊耳帖材料（Peltier material）。

本文中所述之技術可利用許多不同材料作為助層。重要的是選擇助層材料及蝕刻參數以便可在助層蝕刻期間使用奈米結構作為自對準遮罩層。助層材料之選擇可視位於助層之下之材料而定。助層亦可為觸媒，同樣亦可使用選擇性移除方法移除生長奈米結構之間的任何不想要的觸媒殘餘物。

圖案化觸媒層 102 及/或 104 界定奈米結構將在哪裡生長。觸媒可為鎳、鐵、鉑、鈀、矽化鎳、鈷、鉬或其合金，或可與其他材料（例如，矽）組合。觸媒可為可選的，因為本文中所述之技術亦可應用於奈米結構之無觸媒生長過程。包括小觸媒點 102 之圖案化觸媒層將產生個別奈米結構，且包括大觸媒區域 104 之圖案化觸媒層將產生奈米結構「森林」。

為圖案化觸媒層（圖 6 中之步驟 220），可使用用抗蝕劑之標準回蝕或剝離加工。可使用紫外光或電子束圖案化抗蝕劑層。亦可使用其他方式圖案化抗蝕劑（或直接圖案化觸媒），諸如奈米壓印微影術（nanoimprint lithography）或雷射直寫（laser writing）。觸媒層亦可由例如自組裝化學方法之不使用抗蝕劑之方法圖案化。可利用朗繆爾-布洛節塔膜（Langmuir-Blodgett film）旋塗觸媒（奈米）粒子溶

液於晶圓上或沈積高溫退火期間轉化為觸媒粒子之連續觸媒膜在表面上形成觸媒粒子陣列。可利用若干該等技術在非平坦表面上生長觸媒層及控制生長位點密度（每單位面積生長位點之數目）。

奈米結構生長期間，可將導電性助層電接地或電連接於基板架之電勢或某一其他合適接地電勢。奈米結構 106 及/或 108 可在電漿（圖 6 中之步驟 230）、通常 DC 電漿中生長。供奈米結構生長用之電漿氣體可為任何含碳前驅物，諸如乙炔、一氧化碳、甲烷或高級烴以及諸如氮氣、氬氣、氬氣或氮氣之其他氣體。生長溫度較佳小於 800°C。可使用約 0.1 至 250 托範圍內且較佳介於約 0.1 至 100 托之間的壓力。電漿電流可在約 10 mA 至 100 A 且較佳約 10 mA 至 1 A 範圍內。

在一些實施中，可使用 RF 電漿或熱 CVD 生長奈米結構，且本文中所述之技術尤其適用於具有 DC 偏壓之 RF 電漿。在一些實施中，本文中所述之技術亦適用於在氣相（無電漿）及液相中生長之奈米結構。

在根據本文中所述之技術之一些實施中，生長步驟後，藉由蝕刻（圖 6 中之步驟 240）選擇性移除導電性助層。視奈米結構及導電性助層之材料而定，選擇蝕刻方法及蝕刻氣體（乾式蝕刻之情況）或蝕刻劑（濕式蝕刻之情況）。舉例而言，包含位於碳奈米纖維下之鎢之助層較佳可由電漿乾式蝕刻利用含氟電漿移除。該組合之優勢為對奈米結構及觸媒粒子之相對選擇性。

可使用其他蝕刻方法，諸如其他各向異性蝕刻方法、濕式（各向同性）蝕刻、高溫分解、電化學蝕刻或光化學蝕刻。藉由利用蝕刻終止層或改變蝕刻時間，可進行足夠強之蝕刻。選擇在導電性助層與金屬襯層之間具有相對選擇性之蝕刻劑或蝕刻氣體可能為有利的。

利用該自對準選擇性移除方法移除特定位置上之導電性助層 120 後，最終結構將由觸媒層 124 殘餘物下方之導電性助層 122 殘餘物及奈米結構 106 及/或 108 組成（參見圖 3E）。

利用本文中所述之方法，有可能如圖 3E 中所指示在孤立的金屬島 116 上或直接在絕緣性基板 110 上製造個別奈米結構 106 或奈米結構「森林」108。

若金屬襯層與基板其餘部分不在同一水平面上，則亦有可能形成奈米結構。圖 4A 說明沈積於絕緣性基板 110 頂部上之孤立金屬島 114。在基板表面上方且覆蓋基板表面沈積連續導電性助層 120（步驟 200），且隨後在連續導電性助層上沈積圖案化觸媒層 102 及/或 104（步驟 220）。生長奈米結構（步驟 230）及自對準選擇性移除（步驟 240）助層後，結構之外觀將如圖 4B 中所指示。

在圖 5A 及 5B 中，展示由替代方法形成之最終結構。首先，在整個基板頂表面上沈積連續導電性助層 120（步驟 200），且隨後在助層 120 上沈積某一可選圖案化層 126（步驟 210）以例如允許在垂直於奈米結構之方向上導電。最後，在可選層或助層上沈積圖案化觸媒 102 及/或 104（步

驟 220)。生長過程 (步驟 230) 後，如先前章節中所述選擇性移除助層 (步驟 240)。如同本文中所述之其他方法一樣，奈米結構生長後，不需要任何微影術。因此，由圖 5A 及 5B 所說明之方法製得頂部具有奈米結構 106 及/或 108 且下方為助層 124 殘餘物之孤立島 (可選圖案化層 126)。

在另一具體實例中，圖 8A-8C 說明貫通沈積於觸媒層頂部上之絕緣性材料層中所產生之通路孔生長奈米結構的方法。首先，在導電性基板 100 上沈積觸媒層 102 及/或 104。然而，在該情況下，基板亦可為絕緣性基板。隨後在基板及觸媒層上沈積絕緣層 110。隨後在絕緣層 110 頂部沈積圖案化導電性助層 134。在一些實施中，可首先在絕緣層頂部沈積連續導電性助層，且隨後由各種合適方法加以圖案化。隨後藉由選擇性蝕刻絕緣層 110 以產生通向觸媒層之通路孔 136 來產生孔。隨後進行奈米結構生長以在觸媒層 102 及/或 104 上形成奈米結構 106 及/或 108。隨後選擇性移除圖案化導電性助層 134 (圖 6 之步驟 240)，亦即在該情況下完全移除。

需要時，可利用具有合適相對選擇性之蝕刻劑蝕刻導電性助層下方之材料中之一種。舉例而言，可利用濕式或乾式蝕刻來蝕刻氧化矽。因此，觸媒及奈米結構層充當進一步加工之遮罩。

### 應用實施例

本說明書中所述之技術之重要應用在於製備例如可用於計算裝置中之積體電路中之互連件及/或熱升降器

( thermal elevator )。使用奈米結構攜帶積體電路晶片內部之熱及電或將熱及電帶入/帶出積體電路晶片。所使用之生長方法及裝置與涉及藉由拋光使金屬圖案化之目前加工標準相容，且亦與所涉及之金屬相容。又，積體電路之三維堆疊（若干裝置層）可利用由本文中所述之方法製得之奈米結構作為互連件。舉例而言，圖 8A-8C 中描述一種利用本發明產生通路孔互連件結構之方法。圖 12 展示作為利用本文中所述之技術及方法製造之示意性裝置的貫通氧化物絕緣體中之通路孔生長碳奈米結構之裝置的 SEM 顯微照片。在圖 12 中，亮平坦區域為絕緣性區域，且在其餘區域中，可見垂直生長之奈米結構。

另一應用為消除寄生生長。當在僅經金屬襯層（亦即，經圖案化金屬襯層）部分覆蓋之晶片上生長奈米結構時，有時在觸媒粒子外部存在寄生生長。此可藉由利用如本文中所述之連續金屬助層加以避免。

亦可使用本文中所述之技術在奈米結構生長期間保護金屬襯層及其他暴露材料以免遭受電漿影響。當在與供奈米結構生長用之氣體不相容之金屬襯層上生長奈米結構時，此尤其重要。一個實施例為利用含乙炔電漿於銅表面上之奈米結構生長，而銅與乙炔將相互反應。因為導電性助層可充當阻止氧或所選擇之其他材料到達金屬襯層之擴散障壁，所以可防止不想要之氧化/化學反應/擴散。舉例而言，鋁襯層（若存在）可受助層保護以免氧化。此外，利用本文中所揭示之方法所產生之奈米結構中的污染物（例

如金屬離子) 亦會減少。

本文中所述之技術亦可用於保護基板內之任何靈敏電氣裝置以免遭受奈米結構生長期間電漿中之高電壓弧影響。最後，若電漿中存在任何弧，則所得損壞將明顯降低，因為基板表面上之所有連接器均短接在一起且由導電性助層接地。該靜電放電 (ESD) 保護對在實驗室中處理晶圓而言或對將半成品晶圓運送至另一實驗室而言亦很重要。

本文中所述之方法亦可用於藉助於由電漿蝕刻自對準移除助層而在絕緣性表面上製造熱凸塊以致除恰在奈米結構下方之區域外無金屬遺留。

本文中所述之技術亦可用於製造導電性聚合膜及塗層，同時使該等膜在光學上部分透明、透明或不透明。應用可為例如製備諸如顯示器、觸控螢幕、靜電耗散 (ESD) 及屏蔽等中之電極層之產品。

此外，可利用如本文中所述產生之奈米結構之機械性質得到例如對絕緣體之機械穩定性。因為在自對準方法中藉由電漿蝕刻 (除恰在奈米結構下方外) 選擇性移除導電性助層，所以一個優勢為不需要連續金屬襯層。

可利用本文中所述之技術製造各向異性導電性膜之實例—熱界面材料 (TIM)。在該情況下，奈米結構層包埋於經設計以幫助增加導熱性之聚合物橡膠中。移除助層後，首先將聚合物旋塗於奈米纖維上，且隨後剝離 (奈米結構包埋其中)。因為聚合物膜下方不存在連續金屬膜 (因為其已被選擇性移除)，所以不存在使聚合物膜中之不同平

行奈米結構短路之風險。

若電鍍、無電電鍍或賈法尼電鍍 (galvanic plating) 為沈積諸如 Au、Cu、Al、Ni 等金屬之下一加工步驟，則導電性助層亦可為所有奈米結構提供該步驟所必需之電流。

另一應用在於直接在部分絕緣性基板上製備化學探針。其可例如直接在標準矽積體電路上進行。

本文中所述之技術可用於製造諸如 CMOS、Bi-CMOS、雙極性電晶體 (Bi-polar) 或 HEMT 等電晶體之源極、汲極及閘極金屬接觸點。可就特定電晶體布局設想該等組態之變化。應用亦包括液晶裝置。

一些應用利用必要時可僅在一個方向上移除助層之性質。對適當設計之基板結構利用各向異性蝕刻將在垂直表面上留下助層，但自水平表面移除助層。如圖 7A 及 7B 中所示，在合適基板 128 上沈積波導材料 130。由助層 120 在頂表面以及側壁上覆蓋基板 128 及波導材料 130。藉由各向異性蝕刻，選擇性移除頂表面上之助層，留下完整的側壁。結果，產生具有生長於別的透明頂表面及金屬化側壁 132 上之個別奈米纖維 106 的結構。該結構適用作將所吸收光連接於波導 130 (由具有經助層塗佈之側壁之結構組成) 中之光學吸收體 (absorber)。

本文中所述之技術亦提供一種對加工方法作再加工之方式。此意謂在加工問題/失敗情況下可簡單藉由化學機械拋光 (CMP) 移除奈米結構且重新進行一遍該過程來再加工所加工之晶圓。

本發明技術適用於附接技術，諸如球柵陣列（ball grid array，BGA）、倒裝晶片（flip chip，FC）模組、CSP、WLP、FCOB、TCB 等、IC 型、RFID 標記、CMOS、BiCMOS、GaAS、HEMT AlGaAs、MMIC、MCM、LCD、顯示器、行動手機、ASIC 晶片、記憶體裝置、MCU 及積體無源組件等。

### 例示性裝置

為證明原理，在別的絕緣性氧化物表面上（利用標準微影技術）形成圖案化金（襯）層（下方為鈦黏著促進層）。不希望直接在圖案化金屬襯層上置放觸媒，因為生長期間會產生重大電漿誘發損壞。實情為，在整個晶片表面上濺鍍鎢助層（50 nm）。隨後由標準剝離方法形成（與圖案化金屬襯層對準）圖案化觸媒層（Si 10 nm 及 Ni 10 nm）。生長後，結構之外觀如圖 9A 及 9B 中所示。在本實施例中，生長溫度為約 700°C，且電漿在約 4 托壓力下在 C<sub>2</sub>H<sub>2</sub> 與 NH<sub>3</sub> 氣體（分別為 20 及 100 sccm）之混合物中產生。電漿電流設為 20 mA 且生長時間為約 60 分鐘。在該特定實施例中，使觸媒圖案化以致在生長過程後產生奈米纖維膜（「森林」），但若觸媒區經製備得較小，則將產生個別垂直對準之奈米纖維。

隨後藉由在含氟電漿（壓力為 10 毫托，氣流為 20 sccm CF<sub>4</sub>）中電漿蝕刻且在電漿蝕刻 CVD 加工腔室中利用終點偵測來移除導電性助層。

該方法之可行性可由加工之前獲取之 SEM 圖片（圖 9A 及 9B）及加工之後獲取之 SEM 圖片（圖 10）展示。儘管

已移除助層，但纖維基本上看起來一樣。因此，已實現助層之自對準選擇性移除，僅留下部分恰位於殘留在基板上之纖維下方之助層。由電氣量測證實其餘區域之助層之完全移除。在孤立金屬島外部可見極微小寄生生長。圖 11A 及圖 11B 中分別展示以鋁作為襯層及以銅作為襯層之類似的示意性裝置。

因此，實現在圖案化金屬襯層（在別的絕緣性晶片表面）上生長奈米纖維而無電漿誘發之晶片損壞之目標。

圖 12 展示作為利用本文中所述之技術及方法製造之示意性裝置的貫通氧化物絕緣體中之通路孔生長碳奈米結構之示意性裝置的 SEM 顯微照片。在圖 12 中，亮平坦區域為絕緣性區域，且在其餘區域中，可見垂直生長之奈米結構。因此，實現貫通絕緣層中之通路孔生長奈米纖維之目標。

本文中所引用之所有專利及其他參考文獻之內容出於所有目的全部以引用之方式併入本文中。

雖然本說明書含有許多特定實施細節，但該等細節不應理解為對任何發明或可主張之發明之範疇的限制，而是應理解為對特定發明之特定具體實例可能所特有之特徵的說明。本說明書中在個別具體實例之情況下所述之某些特徵亦可以單個具體實例組合實施。相反，在單個具體實例之情況下所述之各種特徵亦可單獨或以任何合適子組合在多個具體實例中實施。此外，雖然特徵可在本文中描述為以某些組合作用且甚至最初如此主張，但所主張之組合之一或多個特徵在一些情況下可自組合中刪除，且所主張之

組合可針對子組合或子組合之變化。

### 【圖式簡單說明】

圖 1A-1E 說明在基板上生長奈米結構之例示性組態。

圖 2A 為展示經火花損壞之晶片表面之 SEM(掃描電子顯微鏡)影像。

圖 3A-3E 說明根據本說明書中所揭示之技術製造奈米結構之例示性方法。

圖 4A-4B 及 5A-5B 展示本說明書中所揭示之技術之替代性具體實例。

圖 6 為在(部分)絕緣性表面上生長奈米結構之例示性方法的流程圖。

圖 7A-7B 展示利用本說明書中所揭示之技術製造之例示性光波導結構。

圖 8A-8B 說明貫通絕緣層生長奈米結構之例示性方法。

圖 9A-9B 為展示具有圖案化金屬襯層、連續導電性助層及生長有奈米纖維之圖案化觸媒層之例示性裝置的 SEM 影像。

圖 10 為展示其中助層經選擇性移除之相同例示性裝置之 SEM 影像。

圖 11A-11B 分別為以銅作為襯層之例示性裝置在助層移除之前及之後的 SEM 影像。

圖 12 為微結構/奈米結構貫通絕緣層中之通路孔生長之例示性裝置的 SEM 影像。

### 【主要元件符號說明】

- 100：導電性基板
- 102：經圖案化以支持個別奈米結構生長之觸媒層
- 104：經圖案化以支持奈米結構「森林」（多個緊密間隔之奈米結構）生長之觸媒層
- 106：個別奈米結構
- 108：奈米結構「森林」（多個緊密間隔之奈米結構）
- 110：絕緣性基板
- 112：連續金屬襯層
- 114：絕緣體頂部之圖案化金屬襯層
- 116：具有與絕緣性基板之頂表面在同一水平面上之頂表面的圖案化金屬襯層（拋光後之平坦晶片）
- 118：通路（垂直互連件）
- 120：連續導電性助層
- 122：觸媒層殘餘物（自對準蝕刻後）
- 124：導電性助層之殘餘物（自對準蝕刻後）
- 126：可選層
- 128：波導用基板
- 130：波導材料
- 132：導電性助層之剩餘垂直側壁
- 134：圖案化導電性助層
- 136：貫通絕緣體之通路孔
- 200：沈積導電性助層
- 210：沈積可選之其他層
- 220：沈積且圖案化觸媒層

I46389

230：生長奈米結構

240：選擇性且自對準移除助層

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98105596

※申請日：98.2.23

※IPC分類：

B82B 3/00 2006.01

H01L 21/20 2006.01

## 一、發明名稱：(中文/英文)

用於奈米結構加工之導電性助層之沉積及選擇性移除

DEPOSITION AND SELECTIVE REMOVAL OF CONDUCTING  
HELPLAYER FOR NANOSTRUCTURE PROCESSING

## 二、中文發明摘要：

揭示一種製備一或多個奈米結構之方法，該方法包含：在基板之上表面上沈積導電層；在該導電層上沈積圖案化觸媒層；在該觸媒層上生長該一或多個奈米結構；及選擇性移除該一或多個奈米結構之間及周圍之該導電層。亦揭示一種裝置，其包含基板，其中該基板包含一或多個由一或多個絕緣性區域隔開之暴露金屬島；導電性助層，其安置於該基板上以覆蓋該一或多個暴露金屬島或絕緣性區域中之至少一些；觸媒層，其安置於該導電性助層上；及一或多個奈米結構，其安置於該觸媒層上。

## 三、英文發明摘要：

A method for making one or more nanostructures is disclosed, the method comprising: depositing a conducting layer on an upper surface of a substrate; depositing a

patterned layer of catalyst on the conducting layer; growing the one or more nanostructures on the layer of catalyst; and selectively removing the conducting layer between and around the one or more nanostructures. A device is also disclosed, comprising a substrate, wherein the substrate comprises one or more exposed metal islands separated by one or more insulating areas; a conducting helplayer disposed on the substrate covering at least some of the one or more exposed metal islands or insulating areas; a catalyst layer disposed on the conducting helplayer; and one or more nanostructures disposed on the catalyst layer.

























#### 四、指定代表圖：

(一) 本案指定代表圖為：第（ 3A-3E ）圖。

(二) 本代表圖之元件符號簡單說明：

102： 經圖案化以支持個別奈米結構生長之觸媒層

104： 經圖案化以支持奈米結構「森林」（多個緊密間隔之奈米結構）生長之觸媒層

106： 個別奈米結構

108： 奈米結構「森林」（多個緊密間隔之奈米結構）

110： 絝緣性基板

116： 具有與絝緣性基板之頂表面在同一水平面上之頂表面的圖案化金屬襯層（拋光後之平坦晶片）

118： 通路（垂直互連件）

120： 連續導電性助層

122： 觸媒層殘餘物（自對準蝕刻後）

124： 導電性助層之殘餘物（自對準蝕刻後）

#### 五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 七、申請專利範圍：

1. 一種製備一或多個奈米結構之方法，該方法包含：  
在基板之上表面上沈積導電性助層；  
在該導電性助層上沈積圖案化觸媒層；  
在該觸媒層上生長該一或多個奈米結構；及  
選擇性移除該一或多個奈米結構之間及周圍之該導電性助層。
2. 如申請專利範圍第 1 項之方法，其中該觸媒層在其沈積後經圖案化。
3. 如申請專利範圍第 1 項之方法，其中該基板另外包含與其上表面共同延伸且由該導電性助層覆蓋之金屬襯層。
4. 如申請專利範圍第 3 項之方法，其中該金屬襯層係經圖案化。
5. 如申請專利範圍第 3 項之方法，其中該金屬襯層包含一或多種選自 Cu、Ti、W、Mo、Pt、Al、Au、Pd、P、Ni 及 Fe 之金屬。
6. 如申請專利範圍第 3 項之方法，其中該金屬襯層包含一或多種選自 TiN、WN 及 AlN 之導電性合金。
7. 如申請專利範圍第 3 項之方法，其中該金屬襯層包含一或多種導電性聚合物。
8. 如申請專利範圍第 1 項之方法，其中該基板為半導體。
9. 如申請專利範圍第 1 項之方法，其中該基板為絕緣體。

10.如申請專利範圍第1項之方法，其中該基板包含頂部具有至少一個導電層之絕緣體。

11.如申請專利範圍第1項之方法，其中任何該沈積均由選自蒸鍍、電鍍、濺鍍、分子束磊晶、脈衝雷射沈積、CVD及旋塗之方法進行。

12.如申請專利範圍第1項之方法，其中該一或多個奈米結構包含碳、GaAs、ZnO、InP、InGaAs、GaN、InGaN或Si。

13.如申請專利範圍第1項之方法，其中該一或多個奈米結構包括奈米纖維、奈米管或奈米線。

14.如申請專利範圍第1項之方法，其中該導電性助層包含選自半導體、導電性聚合物及合金之材料。

15.如申請專利範圍第1項之方法，其中該導電性助層為1nm至100 $\mu$ m厚。

16.如申請專利範圍第1項之方法，其中該一或多個奈米結構在電漿中生長。

17.如申請專利範圍第1項之方法，其中該導電性助層之選擇性移除係藉由蝕刻實現。

18.如申請專利範圍第17項之方法，其中該蝕刻為電漿乾式蝕刻。

19.如申請專利範圍第17項之方法，其中該蝕刻為電化學蝕刻。

20.如申請專利範圍第17項之方法，其中該蝕刻為光化學高溫分解蝕刻。

21.如申請專利範圍第17項之方法，其中該蝕刻為高溫分解蝕刻。

22.如申請專利範圍第1項之方法，其進一步包含在該導電性助層與該觸媒層之間沈積另一層。

23.一種電子裝置，其包含：

基板，其中該基板包含一或多個由一或多個絕緣性區域隔開之暴露金屬島；

導電性助層，其安置於該基板上以覆蓋該一或多個暴露金屬島或絕緣性區域中之至少一些；

觸媒層，其安置於該導電性助層上；及

一或多個奈米結構，其安置於該觸媒層上。

24.如申請專利範圍第23項之裝置，其中該等奈米結構為互連件。

25.一種製備一或多個奈米結構之方法，該方法包含：

在基板之上表面上沈積金屬襯層；

在該金屬襯層上沈積觸媒層；

在該觸媒層上沈積絕緣體層；

在該絕緣體層上沈積導電性助層；

產生自該導電性助層至該觸媒層貫通該絕緣體層之通路孔；

貫通該等通路孔在該觸媒層上生長該一或多個奈米結構；及

選擇性移除該導電性助層。

26.一種電子裝置，其包括一或多個由包含以下步驟之

方法製備之奈米結構：

在基板之上表面上沈積金屬襯層；  
在該金屬襯層上沈積觸媒層；  
在該觸媒層上沈積絕緣體層；  
在該絕緣體層上沈積導電性助層；  
產生自該導電性助層至該觸媒層貫通該絕緣體層之通路孔；  
貫通該等通路孔在該觸媒層上生長該一或多個奈米結構；及  
選擇性移除該導電性助層。

27. 一種製備一或多個奈米結構之方法，該方法包含：  
在基板上沈積導電性助層，其中該基板包含暴露圖案化金屬襯層或暴露絕緣體層；  
自觸媒層生長奈米結構，該觸媒層安置於該導電性助層上方或該暴露絕緣體層下方；及  
藉由蝕刻選擇性移除該導電性助層之部分或全部。

八、圖式：

(如次頁)