

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G11B 20/18

G11B 5/09

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94105273.7

[45]授权公告日 2000 年 12 月 13 日

[11]授权公告号 CN 1059511C

[22]申请日 1994.4.1 [24]颁证日 2000.9.9

[21]申请号 94105273.7

[30]优先权

[32]1993.4.2 [33]JP [31]100230/1993

[73]专利权人 索尼公司

地址 日本东京

[72]发明人 上田卫

[56]参考文献

CN87100569A 1987. 8.12 G11B20/18

EP0468646A2 1992. 1.29 G11B20/18

审查员 荣 铮

[74]专利代理机构 中国专利代理(香港)有限公司

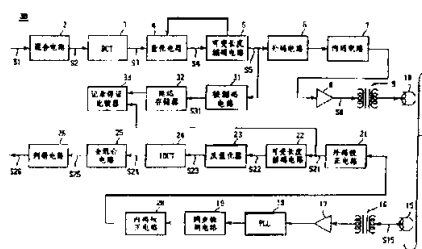
代理人 王忠忠 萧掬昌

权利要求书 1 页 说明书 9 页 附图页数 5 页

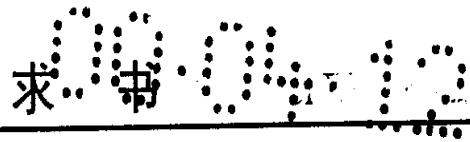
[54]发明名称 记录和重放设备

[57]摘要

在记录和重放设备中,用于将输入记录数据进入预定的记录和重放装置,作为重放数据输出,当记录保证是由比较记录数据与重放数据进行时,误差检测码是用于记录数据计算的,以及误差检测码是比较从预定的比较装置重放数据获得的误差检测码,因此使从记录系统到比较装置被传送的信息量能大大降低。因此在记录和重放装置中,从用于处理时间的部分的记录数据计算的用于延迟误差检测码延迟存储器的容量能够大大地降低。



ISSN 1008-4274



1. 一种用于记录和重放数据的设备，包括：

记录和重放装置用于输入一个输入数据并将该输入数据记录在记录介质上，以及从所述记录介质重放记录的数据；其特征在于还包括：

校验码电路，用于根据所述输入数据计算误差检测码；

延迟装置，当从所述校验码电路输出输入数据的误差检测码时，延迟装置用于把输入数据的误差检测码延迟相应于所述记录和重放装置的数据处理时间；

比较装置，用于将根据从所述记录和重放装置输出的重放数据计算的重放数据的误差检测码与从所述延迟装置输出的延迟输入数据的误差检测码进行比较。

2. 根据权利要求 1 的用于记录和重放的设备，其特征在于：

所述误差检测码是从所述输入数据得到的输入数据的冗余字。

3. 根据权利要求 2 的用于记录和重放的设备，其特征在于：

所述输入数据具有字组结构；和

所述校验码电路在每个字组中，将所述输入数据变换成循环冗余校验码，并输出循环冗余校验码。

4. 根据权利要求 1 的用于记录和重放的设备，其特征在于：

所述输入数据是可变长度编码图象数据的数据。

5. 根据权利要求 1 的用于记录和重放的设备，其特征在于：

所述校验码电路包括一个由寄存器和异或门所组成的串联电路的循环冗余校验码算法电路。

6. 根据权利要求 1 的用于记录和重放设备，其特征在于：

所述校验码电路包括一个由寄存器和异或门所组成的并联电路的循环冗余校验码算法电路。

说明书

记录和重放设备

本发明涉及记录和重放设备，适合于例如当记录视频数据时检测记录误差的记录和重放设备。

作为这种记录和重放设备，如图 1 所示的数字视频磁带记录器(DVTR)。即，在图 1 中，1 总的表示 DVTR，从预定视频信号产生单元输入的输入数字视频信号 S1 被输入到混合电路 2。混合电路 2 将作为数字视频信号输入的数字视频数据分成每场 4 行 × 8 列的离散余弦变换(DCT) 字组，然后从屏幕中分离部分集合 10 个这样 DCT 字组，并将他们作为混合数据 S2 传送到后面的 DCT 变换电路 3。

DCT 变换电路 3 在每个 DCT 字组数据上完成离散余弦变换，然后作为 DCT 数据 S3 传送到后面的量化电路 4。

量化电路 4 校验量化电平，用于根据从可变长度编码电路 5 反馈的数据长度信息获得压缩的目标速率，根据量化电平，由量化 DCT 数据 S3 压缩信息量，然后将这些作为量化数据 S4 传送到后面的可变长度编码电路 5。可变长度编码电路 5 可变长度编码量化数据 S4，产生一个已固定字组格式的可变长度编码数据 S5，并把这些数据传送到误差校正外码电路 6 和延迟存储器 12。

误差纠正外编码加到误差纠正外码电路 6，用于校正产生在突发脉冲形式的误差，此外，在随后的误差纠正内码电路 7 中，增加用于校正一个随机误差的误差校正内码，同步图形，ID 编码等。然后，8 比特并行数据变换成一个具有 8 倍于并行数据的时

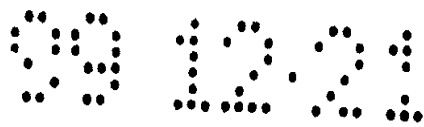
钟频率的 1 比特串行数据，并且传送到记录电路 8，产生一个记录数据 S8，记录电流经过旋转变压器 9 加到安装在旋转磁鼓上的记录磁头 10，并且把记录数据 S8 记录在磁带 11 上。

如图 2 中所示，在旋转磁鼓 28 中，一对重放磁头 15 与一对记录磁头 10 分别相隔 90 度安置。当磁带 11 由输入磁带导向杆 29A 和输出磁带导向杆 29b 导向时，旋转磁鼓 28 由箭头“a”所示的方向旋转，磁带由箭头“b”所示的方向运行，以便磁带 11 能够在旋转磁鼓 28 配置记录磁头 10 和重放磁头 15 的侧面滑动。

而且在重放系统中，记录和重放能够直接由重放磁头 15 重放记录在磁带 11 上的记录数据 S8 来同时完成。即，经过重放磁头 15 得到的重放数据 S15 经过旋转磁鼓 16 和重放均衡器 17 被输入到 PLL 电路 18。在时钟产生之后，在随后的同步(SYWC)检测电路 19 中，重放字组图形，把 1 比特串行数据返回到具有 $1/8$ 倍的时钟频率的 8 比特并行数据，并将这些传送到随后的内码校正电路 20。

在内码纠正电路 20 中，随机误差用内码纠正，在随后的外码校正电路 21 中，突发误差用外码纠正。然后，从外码校正电路 21 输出的校正数据 S21 传送到记录保证比较器 13 和可变长度解码电路 22。

在可变长度解码电路 22 中，从校正数据 S21 得到可变长度解码数据 S22，并把这个传送到反量化电路 23，以便完成反量化处理，反量化数据 S23 被传送到反离散余弦变换(IDCT)电路 24，以便响应于在 DCT 变换电路 3 中进行的离散余弦变换而进行反离散余弦变换处理。以这种方式得到的 IDCT 数据 S24 被传送到随后的去混合电路 25，以便以扫描次序安置 DCT 字组，作为去混合数据 S25，传送到误差纠正电路 26。如果产生超过误差纠正



码的误差纠正极限的误差，则误差在误差校正电路 26 中被校正，因此，得到一个重放数字视频信号 S26。

图 3A 至 3E 表示在 DVTR1 中的信号处理的时间图。对在时间点 t_1 与垂直同步信号 SV 同步的每场输入的输入数字视频信号 S1 (图 3A)，在时间点 t_2 上作为记录数据 S8 (图 3C) 被记录，时间点 t_2 在混合电路 2、DCT 变换电路 3、量化电路 4、可变长度编码电路 5、误差校正外编码电路 6、误差校正内编码电路 7 和记录电路 8 中作为信号处理时间，被延迟 $1 + 1/3$ 场的延迟时间 T1。

另一方面，因为在旋转磁鼓 28 分别相隔 90 度安装一对重放磁头 15 和记录磁头 10，在同时进行记录和重放操作时，经过重放磁头 15 获得重放数据 S15，在时间点 t_3 ，从重放磁头 15 输出，时间点 t_3 从记录数据 S8 延迟 $1/6$ 场延迟时间 T2，如图 3D 中所表示的。

而且，在时间点 t_4 从误差纠正电路 26 输出重放数字视频信号 S26，时间点 t_4 是从重放数据 S15 的输出时间点 t_3 延迟 $1 + 1/2$ 场的延迟时间 T3，作为重放系统的信号处理时间。这意味着从向记录系统输入数字视频信号 S1 的时间点 t_1 延迟输出视频信号 S26 三场的延迟时间 T4，并且从重放系统输出。

这样，在 DVTR1 中，数据延迟了记录系统和重放系统的各信号处理电路的信号处理时间部分。因此，从可变长度编码电路 5 输出到延迟存储器 12 的可变长度编码数据 S5 在延迟存储器 12 中被延迟从记录系统的误差校正外码电路 6 到重放系统的外码校正电路 21 用于信号处理所需要的延迟时间部分，并传送到记录保证比较器 13。

因此，记录保证比较器 13 输入从可变长度编码电路 5 输出

的可变长度编码数据 S5，校正数据 S21 与其中可变长度编码数据 S5 一起，同时记录到磁带 11 并从磁带 11 重放，以及从外码校正电路 21 输出，并将可变长度编码数据 S5 与校正数据 S21 比较。这里，如果记录和重放系统正常运行，并且在校正数据 S21 中不产生超过误差校正码的误差校正极限的误差，则可变长度编码数据 S5 和校正数据 S21 将是相同的。

因此，将可变长度编码数据 S5 与校正数据 S21 逐一进行比较，记录保证比较器 13 能够完成记录保证，比如在记录和重放系统中校验运行的状态，如果校验的结果没有异常发生则继续记录工作。

在这样具有 DVTR1 的结构中，几场需要一个存贮元件，如延迟存储器 12 那样。例如，对于 3 场的部分需要一个大约 5 兆比特的大容量存储器。

而且，由于大容量存储器高速度的写入和读出的需要，所以电路元件数量及电路板面积增加，由于高速度运行，高速存贮元件的数量和功率消耗也增加了。此外，因为有许多元件与许多电路连接，也存在电线断裂等不可避免的问题。

鉴于上述情况，本发明的目的是提供一种记录和重放设备，该设备能形成容量更小的延迟存储器。

本发明上述的目的和另外的目的，由所提供的记录和重放设备来实现，其中，记录数据 S5 被输入到预定的记录和重放装置 6、7、10、11、15、20 和 21，并作为重放数据 S21 输出，记录和重放设备 30 将在记录和重放装置 6、7、10、11、15、20 和 21 中延迟处理时间的部分的记录数据 S5 与重放数据 S21 比较，来检测重放数据 S21 的误差，包括：一个校验码电路 31，用于根据记录数据 S5，计算误差检测码 S31；一个延迟存储器 32，用于把从



误差检测码计算装置 31 输出的误差检测码 S31 延迟记录和重放装置 6、7、10、11、15、20 和 21 中处理时间的部分；以及一个比较装置 33，用于将从延迟存储器 32 输出的误差检测码 S31 与根据重放数据 S21 计算的误差检测码进行比较。

此外，在本发明中，记录数据 S5 包含预定输入数据 S1 是可变长度编码的数据。

延迟存储器 32 的容量能够通过向延迟存储器 32 输入大信息量的记录数据 S5 并用于校验码电路 31 中具备较少的信息量的误差检测码 S31 来代替它，因此容量可大大减小。

根据本发明，记录数据输入到预定的记录和重放装置，当记录保证由记录数据与重放数据比较来进行时，在记录和重放设备中，作为重放数据输出，计算误差检测码，用于记录数据，误差检测码与由预定比较装置从重放数据得到的误差检测码比较，因此，从记录系统到比较装置传送的信息总量能够大大地降低。因此，用于把从记录数据计算的误差检测码延迟记录和重放装置的处理时间的部分的延迟存储器的容量能大大地降低。

当阅读附图时，从随后详细描述中，本发明的性质、原理和使用变得更显而易见，其中，相同的参数与符号表示相同的部分。

在附图中；

图 1 是表示通常的记录和重放设备的方块图；

图 2 是旋转磁鼓的示意图；

图 3A-3E 是记录和重放设备的信号处理过程的信号波形图；

图 4 表示根据本发明的记录和重放设备的一个实施例的方块图；

图 5 是校验码电路的结构方块图；

图 6 是误差检测码字组的示意图；和



图 7 是校验码电路的另一个实施例方块图。

结合附图来描述本发明的优选实施例：

在图 4 的 DVTR30 中，与图 1 中相应的部分给出相同的数字，在记录系统中，从可变长度编码电路 5 输出的可变长度编码数据 S5 被输入到检验码电路 31，对每个可变长度编码数据字组单元，在 DCT 字组单元经可变长度编码的可变长度编码数据 S5 被变换成 8 比特 CRCC(循环冗余校验码)，并且 CRCC 数据 S31 被传送到延迟存储器 32。

延迟存储器 32 把 CRCC 数据 S31 延迟从记录系统中误差校正外码电路 6 到重放系统中外码校正电路 21 信号处理所需要的延迟时间的部分，并将它传送到记录保证比较器 33。

而且，在记录保证比较器 33 中，输入从重放系统中外码校正电路 21 输出的校正数据 S21，在数据字组单元中，从校正数据 S21 计算 8 比特 CRCC。

这样，在记录保证比较器 33 中，根据可变长度编码数据 S5 计算的 CRCC 数据 S31 与根据校正数据 S21 计算的 CRCC 数据比较，其中，上述可变长度编码数据 S5 被记录在磁带 11 上同时对从磁带 11 重放，并从外码校正电路 21 输出。这里，如果记录和重放系统正常工作，则在校正数据 S21 中不产生超过误差校正码的误差校正限度的误差，从可变长度编码数据 S5 计算的 CRCC 数据 S31 和从校正数据 S21 计算的 CRCC 数据将是相同的。

因此，记录保证比较器 33 能够由，从可变长度编码数据 S5 计算的 CRCC 数据 S31 与从校正数据 S21 计算的 CRCC 数据逐一比较来保证记录，校验在记录和重放系统中的运行状态，如果在校验结果中没有异常发生，则记录操作继续进行。

在此，图 5 表示校验码电路 31 的结构。校验码电路 31 包含

8 比特寄存器 31A-31H 和“异-或”门 31J、31K、31L 和 31M。在数据字组单元中得到的可变长度编码数据 S5 输入到“异或”门 31M，然后与寄存器 31H 的输出作“异或”运算。运算结果分别输入到寄存器 31A 和异或门 31J、31K 和 31L。

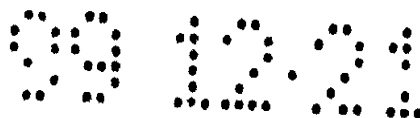
寄存器 31A 把异或门 31M 的输出延迟预定的一段时间而传送到寄存器 31B。寄存器 31B 进一步延迟它预定的一段时间而传送到异或门 31J。异或门 31J 对寄存器 31B 和异或门 31M 的输出作异或运算，并将运算结果传送到寄存器 31C。寄存器 31C 延迟异或门 31J 的输出一段预定时间，并将它传送到异或门 31K。异或门 31K 运算寄存器 31C 和异或门 31M 的输出，并将运算的结果传送到寄存器 31D。

此外，寄存器 31D 延迟异或门 31K 的输出一段预定时间并将它传送到异或门 31L。异或门 31L 对寄存器 31D 和异或门 31M 的输出作对异或运算，并将运算结果传送到寄存器 31E。寄存器 31E 延迟异或门 31L 的输出一段预定的时间，并将它传送到寄存器 31F。寄存器 31F 延迟寄存器 31E 的输出一段预定的时间，并将它传送到寄存器 31G。寄存器 31G 延迟寄存器 31F 的输出一段预定的时间，并将它传送到寄存器 31H。寄存器 31H 延迟寄存器 31G 的输出一段预定时间，并将这些传送到异或门 31M。

这样，分别从 8 比特寄存器 31A 到 31H 获得输出数据 D1 到 D8，从输出数据 D1 到 D8 的每一个数据组产生 8 比特 CRCC 数据 S31。

而且，在记录保证比较器 33 中，根据从外码校正电路 21 输入的校正数据 S21 计算 CRCC 数据的电路的构成类似于图 5 中表示的电路。

在上述构成中，在 DVTR30 中，延迟存储器 32 对在每个数



据字组单元中的数据延迟 8 比特 CRCC 数据 S31，其方法是用校验码电路 31 中的 8 比特 CRCC 数据 S31 代替数据字组单元中的可变长度编码数据 S5，该数据是从可变长度码电路 5 输出的。

因此，甚至在需要几场作为记录系统中的误差校正外码电路 6 到重放系统中外码校正电路 21 的信号处理所需的延迟时间的情况下，通过输入具有大的信息总量的可变长度编码数据 S5 和用校验码电路 31 中具有小的信息量的 CRCC 数据 S31 代替它，能够使得延迟存储器 32 的容量大大减小。

在上述构成中，当记录保证是由记录数据与重放数据比较而执行时，用 CRCC 数据 S31 代替从记录系统到重放系统被传送的可变长度编码数据 S5 而使待传送的信息总量能够大大地降低。因此，在延迟存储器 32 中，在保持相同功能情况下，容量能够降低。

而且，校验码电路 31 被构成在记录一侧的信号处理集成电路，延迟存储器 32 和记录保证比较器 33 被构成在重放一侧的信号处理集成电路，因此，允许大大降低零件数量并且可使电路板面积做得很小。

此外，在 CRCC 数据 S31 被传送到记录保证比较器 33 的情况下，8 比特数据需要作为每个数据字组被传送。因此，CRCC 数据 S31 能够在足够低的速率，即使传输线数量是 1 时，都能传送，因为传输线数量的降低，因此发生断线的概率等能够大大降低。

此外，在上述说明的实施例，CRCC 数据 S31 被计算以传送到记录保证比较器 33。然而，本发明不仅限于这些，它可以是误差校正码或总和校验等。即，它可以是一个结构的误差检测码，其中校验字 PA 加到信息字 DATA 上，如在图 6 中所示的那样。

此外，在上述说明的实施例，在图 5 表示的串联电路结构的 CRCC 算法电路用作一个校验码电路 31。然而，本发明不仅限

于这些，例如，如图 7 所示，可以采用含有 8 比特寄存器 41B 到 41I 和数十个异或门的逻辑门电路 41A 并联电路结构的 CRCC 算法电路 41。

此外，在上述说明的实施例中，为每个数据字组产生 8 比特 CRCC 数据 S31。然而，本发明不仅限于这些，信息字长度和校验字长度的各种类型，根据电路的规模等可用作校验码。

此外，在上述所说明的实施例中，本发明适用于通过执行 DCT 变换、量化及可变长度编码而记录输入数字视频信号的 DVTR。然而，本发明不仅限于这些，它可以广泛地和方便地应用结构不同的各种类型的记录和重放设备。

在已经结合本发明的优选实施例的描述时，本领域中的技术人员显然可作各种变化和改进，因此，在附加的权利要求中覆盖了所有这种变化和改进，使它们都落在本发明的精神和范围之内。



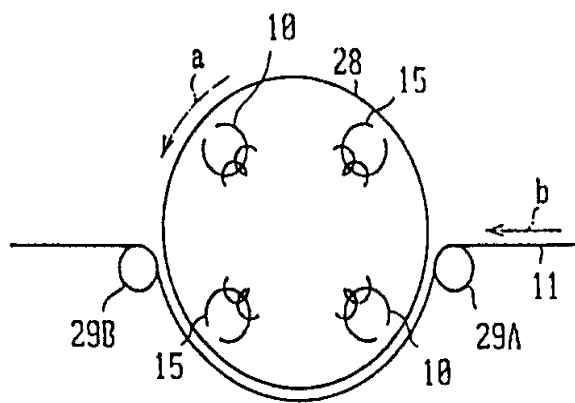
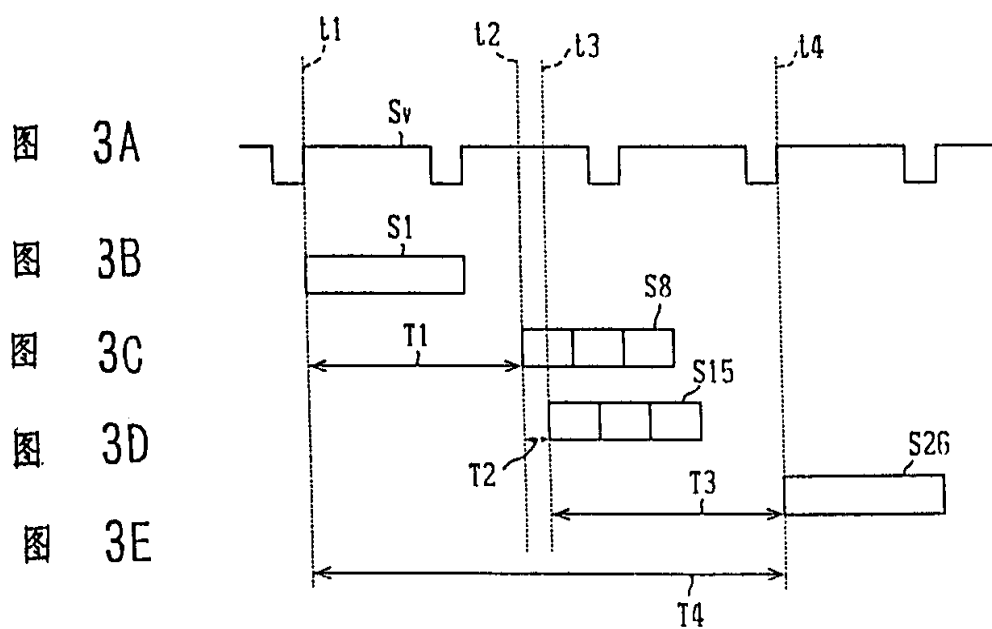


图 2



31

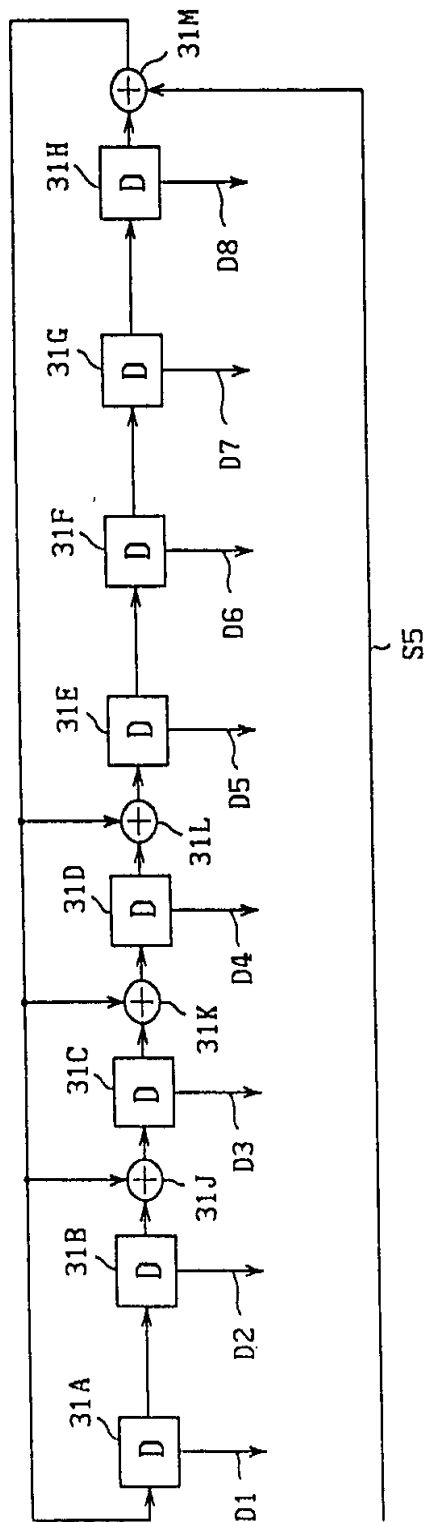


图 5

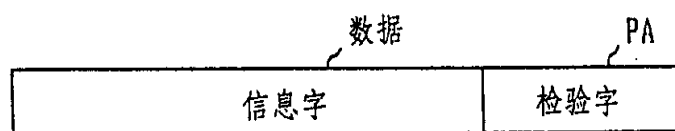


图 6

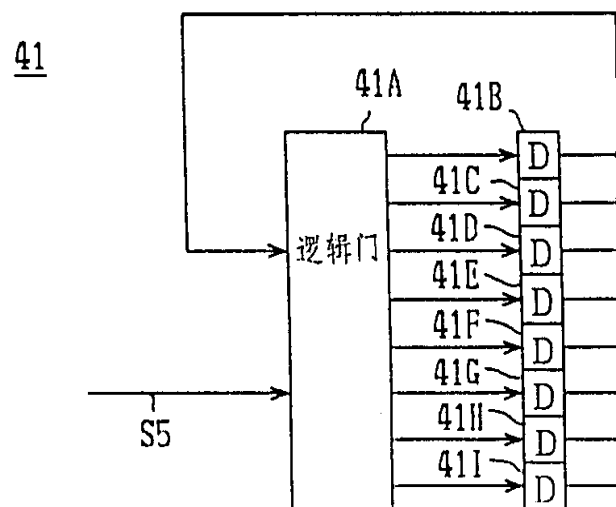


图 7