(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0131501
(43) 공개일자 2018년12월10일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
(52) CPC특허분류
H01L 27/14685 (2013.01)
H01L 27/14692 (2013.01)
(21) 출원번호 10-2018-0062805
(22) 출원일자 2018년05월31일
심사청구일자 2018년05월31일
(30) 우선권주장
1020170067743 2017년05월31일 대한민국(KR)

(71) 출원인
세종대학교산학협력단
서울특별시 광진구 능동로 209 (군자동, 세종대학교)
(72) 발명자
정종완
서울특별시 동작구 서달로 91, 113동 1503호(흑석동, 흑석한강센트레빌2차)
(74) 대리인
특허법인엠에이피에스

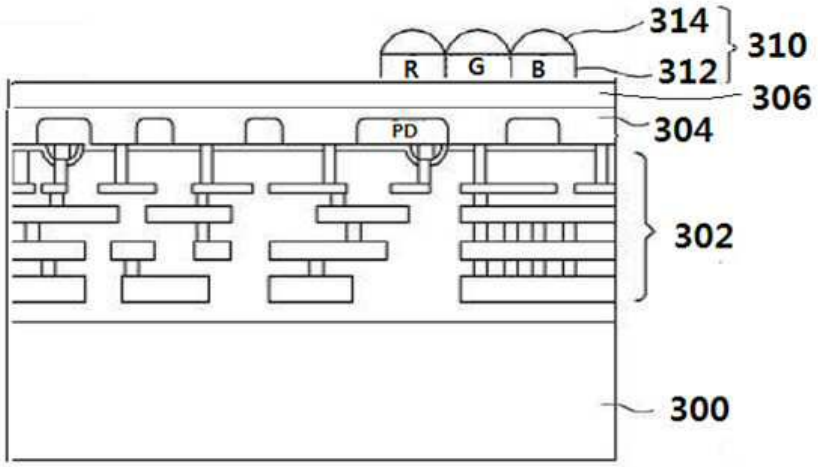
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **저잡음 후면 조사 이미지 센서 및 이의 제조 공정**

(57) 요 약

반도체 기판의 후면에 흡수층을 사용하지 않고, SiGe 또는 p-타입 SiGe가 성장된 후면 패시베이션층을 포함하는, 후면 조사 이미지 센서(backside illuminated image sensor), 및 상기 후면 조사 이미지 센서의 제조 공정에 관한 것이다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 1711041148
부처명 미래창조과학부
연구관리전문기관 한국산업기술평가관리원
연구사업명 전자정보디바이스산업원천기술개발
연구과제명 SixGe1-x 및 Ⅲ-Ⅴ 선택에피성장장비 기반기술 연구
기 여 율 1/1
주관기관 세종대학교 산학협력단
연구기간 2015.06.01 ~ 2020.05.31

명 세 서

청구범위

청구항 1

지지 기판 상에 형성된 산화물 절연층;

상기 산화물 절연층 상에 형성된 금속 배선층;

상기 금속 배선층 상에 형성되며, 포토다이오드를 포함하는 후면 에피층;

상기 후면 에피층 상에 형성된 후면 패시베이션 층;

상기 후면 패시베이션 층 상에 형성된 반사 방지층; 및

상기 반사 방지층 상에 형성된 이미지 센서 층

을 포함하는, 후면 조사 이미지 센서(back side illumination image sensor)로서,

상기 후면 패시베이션 층은 0.1 nm 내지 50 nm 두께의 SiGe 층 또는 p-타입 도핑된 SiGe 층을 포함하는 것인,

후면 조사 이미지 센서.

청구항 2

제 1 항에 있어서,

상기 후면 에피층은 p-타입 도핑된 Si 층인 것인, 후면 조사 이미지 센서.

청구항 3

제 1 항에 있어서,

상기 이미지 센서 층은 컬러 필터, 및 상기 컬러 필터 상에 형성된 마이크로렌즈를 포함하는 것인, 후면 조사 이미지 센서.

청구항 4

반도체 기판의 일측에 형성된, 포토다이오드를 포함하는 후면 에피층을 형성하고;

상기 후면 에피층 상에 금속 배선층을 형성하고;

상기 금속 배선층 상에 산화물 절연층을 형성하고;

상기 절연층 상에 지지 기판을 부착하고;

상기 반도체 기판의 타측을 후면 그라인딩하여 상기 포토다이오드를 포함하는 후면 에피층을 노출시키고;

상기 후면 에피층 상에 후면 패시베이션 층을 형성하고;

상기 후면 패시베이션 층 상에 반사 방지층을 형성하고;

상기 반사 방지층 상에 이미지 센서 층을 형성하는 것

을 포함하는, 후면 조사 이미지 센서의 제조 방법으로서,

상기 후면 패시베이션 층을 형성하는 것은, 0.1 nm 내지 50 nm 두께의 SiGe 층 또는 p-타입 도핑된 SiGe 층을 에피택시 증착하는 것을 포함하는 것이며, 단, 어닐링 공정은 포함하지 않는 것인,

후면 조사 이미지 센서의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 SiGe 층 또는 p-타입 도핑된 SiGe 층을 에피택시 증착하는 것은, 화학기상증착법(CVD) 또는 분자선 에피택시(molecular beam epitaxy, MBE)에 의하여 수행되는 것인, 후면 조사 이미지 센서의 제조 방법.

청구항 6

제 4 항에 있어서,

상기 SiGe 층 또는 p-타입 도핑된 SiGe 층을 에피택시 증착은 300℃ 내지 약 800℃ 온도 범위에서 수행되는 것인, 후면 조사 이미지 센서의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본원은, 이미지 센서의 잡음을 줄일 수 있는 후면 조사 이미지 센서, 및 상기 후면 조사 이미지 센서의 제조 공정에 관한 것이다.

배 경 기 술

[0002] 광(light)과 같은 방사(radiation)를 감지하는 데에 반도체 이미지 센서들이 이용된다. 상보형 금속산화반도체(complementary metal-oxide-semiconductor; CMOS) 이미지 센서(CMOS image sensor; CIS)들 및 전하결합 장치(charge-coupled device; CCD) 센서들은 디지털 스틸 카메라 또는 휴대폰 카메라 애플리케이션들과 같은 여러 애플리케이션들에서 광범위하게 이용된다. 이 장치들은 기판을 향하여 투사되는 방사를 흡수(즉, 감지)하고 감지된 방사를 전기 신호들로 변환하기 위해, 기판의 픽셀들(포토다이오드들 및 트랜지스터들을 포함할 수 있음)의 어레이(array)를 이용한다.

[0003] 이미지 센서 공정에서 실리콘 표면의 결함으로 인해 많은 잡음이 발생하게 되는데 이를 저감하기 위해서는 표면을 정공으로 축적시켜야 한다. 일반적으로 p+ 층을 이온주입한 후 열처리를 한다. 이러한 공정으로 인하여 이온주입 시 많은 결정결함이 생기게 되고, 또한 이를 열처리를 하여 결함을 줄인다. 그러나, 열처리 온도가 제한적으로 적용되어야 하는 공정의 경우, 예를 들어, 후면 조사 이미지 센서(backside illuminated image sensor)의 경우에는 금속 배선이 이미 만들어져 있기 때문에 금속 배선으로 인해 고온 어닐링 공정을 적용할 수 없다. 이러한 경우, 극히 짧은 시간에 레이저 어닐링을 사용하기도 하지만, 레이저 어닐링은 고가의 공정이고 시간도 많이 걸리는 단점이 있다.

[0004] 이와 관련하여, 대한민국 등록특허 제10-1738248호에는, 에피택셜층, 복수의 플러그 구조물들, 및 상호 접속 구조물을 포함하는 이미지를 캡처하기 위해 개선된 이미지 센서 및 이의 제조 방법에 관하여 개시하고 있다.

발명의 내용

해결하려는 과제

[0006] 본원은, 이미지 센서의 잡음을 줄일 수 있는 후면 조사 이미지 센서 및 상기 후면 조사 이미지 센서의 제조 공정을 제공하고자 한다.

[0007] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본원의 일 측면은, 후면 조사 이미지 센서에 있어서, 반도체 기판의 후면에 흡수층을 사용하지 않고, SiGe 또는 p-타입 SiGe가 성장된 후면 패시베이션층을 포함하는, 후면 조사 이미지 센서(backside illuminated image sensor)를 제공한다.

[0010] 본원의 다른 측면은, 전면 및 상기 전면에 대향하는 후면을 갖는 반도체 기판을 후면 그라인딩(grinding)한 후, 상기 기판의 후면에 SiGe 또는 p-타입 SiGe를 성장 또는 증착시켜 후면 패시베이션층을 형성하는 것을 포함하는, 후면 조사 이미지 센서의 제조 공정을 제공한다.

발명의 효과

[0011] 본원의 구현예들에 있어서, 후면 조사 이미지 센서에 있어서, 실리콘과 같은 기판 표면에 홀(hole)이 축적되도록 실리콘과 가전대역의 밴드오프셋(band offset)이 발생하는 물질을 성장시켜 후면 패시베이션층(passivation layer, 보호막) 내에 홀을 축적시킴으로써, 이미지 센서의 잡음을 억제할 수 있는 후면 조사 이미지 센서(backside illuminated image sensor) 및 이의 제조 공정을 제공한다.

[0012] 본원의 구현예들에 있어서, 상기 후면 조사 이미지 센서는 반도체 기판의 후면에 흡수층을 사용하지 않고, 후면 패시베이션층을 바로 형성하는 것으로서, 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe를 성장시키는 것이다.

[0013] 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe를 성장시킴으로써, 실리콘 표면에 홀이 축적될 수 있는 층이 형성되어 실리콘과 SiGe 또는 p-타입 SiGe의 밴드정렬에 의해 가전자대역의 밴드오프셋이 발생하고, 따라서 이러한 가전자 대역의 밴드오프셋으로 인해 정공이 표면에 축적되는 효과가 발생할 수 있다. 상기 밴드오프셋으로 인해 정공(홀)이 SiGe 또는 p-타입 SiGe층에 모이게 되므로, 표면 실리콘 혹은 SiGe과 SiO_2의 계면에서 발생한 전자는 SiGe 또는 p-타입 SiGe영역에서 재결합되고 실제 이미지 센서에 포집되지 않기 때문에 잡음을 억제할 수 있다.

[0014] 종래 이온주입 공정의 경우에는 후속 열처리가 반드시 수행되어야 하는 문제점이 있으나, 본원의 구현예들에 따른 후면 조사 이미지 센서는 상기 SiGe 또는 p-타입 SiGe 후면 패시베이션층을 저온에서 에피택시(epitaxy)로 성장시키는 것에 의해 추가적인 열처리나 어닐링 등을 하지 않아도 되며, 이러한 성장만으로도 홀이 축적되어 잡음을 저감시킬 수 있다. 본원의 구현예들에 있어서, 상기 SiGe 또는 p-타입 SiGe 후면 패시베이션층을 저온에서 에피택시(epitaxy)로 성장시키는 것은 약 300℃ 내지 약 800℃ , 약 300℃ 내지 약 600℃, 약 300℃ 내지 약 500℃, 또는 약 300℃ 내지 약 400℃에서 수행될 수 있다.

[0015] 본원의 구현예들에 있어서, SiGe 또는 p-타입 SiGe 층의 에피택시 증착만 수행하므로 어닐링 공정이 필요없고, 또한 상기 SiGe 또는 p-타입 SiGe 층을 균일하게 아주 얇게 증착가능하므로 균일한 SiGe 막을 성장할 수 있으므로 이온주입시의 분균일, 레이저어닐링의 분균일이 해결될 수 있는 장점이 있다.

[0016] 본원의 구현예들에 있어서, 상기 후면 패시베이션층 형성 시 상기 SiGe 또는 p-타입 SiGe를 에피택시 성장시킨 후, 상기 SiGe 또는 p-타입 SiGe 층 상에 또한 보호층으로서 얇은 캡핑(capping) Si을 성장시켜 Si, SiGe, 또는 Ge 등의 물질 조합을 통해 잡음을 더욱 억제할 수 있다.

도면의 간단한 설명

[0017] 도 1은, 본원의 일 구현예에 있어서, SiGe 또는 p-타입 SiGe 후면 패시베이션층을 포함하는 후면 조사 이미지 센서 디바이스의 개략도이다.

도 2는, 본원의 일 구현예에 있어서, (a) 후면 조사 이미지 센서의 소자 단면 및 (b) 밴드 다이아그램을 나타낸 것이다.

도 3은, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 방법(공정)을 나타낸 흐름도이다.

도 4a는, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 과정을 나타낸 흐름도이고; 도 4b는 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 과정을 나타낸 모식도이다.

도 5는, 본원의 일 구현예에 있어서, 상기 도 4b에서 후면 패시베이션 층을 상세하게 나타낸 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0019] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 “연결”되어 있다고 할 때, 이는 “직접적으로 연결”되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 “전기적으로 연결”되어 있는 경우도 포함한다.

[0020] 본원 명세서 전체에서, 어떤 부재가 다른 부재 “상에” 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.

[0021] 본원 명세서 전체에서, 어떤 부분이 어떤 구성 요소를 “포함”한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 “약”, “실질적으로” 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0022] 본원 명세서 전체에서 사용되는 정도의 용어 “~(하는) 단계” 또는 “~의 단계”는 “~ 를 위한 단계”를 의미하지 않는다.

[0023] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 “이들의 조합(들)”의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.

[0024] 본원 명세서 전체에서, “A 및/또는 B”의 기재는 “A 또는 B, 또는 A 및 B”를 의미한다.

[0025] 본원 명세서 전체에서, "후면 조사 이미지 센서(backside illuminated image sensor)"는 이미지 센서 장치의 한 유형으로서, 후면으로부터 입사되는(감지되는) 광을 검출하는 이미지 센서를 의미한다.

[0027] 이하, 첨부된 도면을 참조하여 본원의 구현예 및 실시예를 상세히 설명한다. 그러나, 본원이 이러한 구현예 및 실시예와 도면에 제한되는 것은 아니다.

[0029] 본원의 제 1 측면은, 후면 조사 이미지 센서에 있어서, 반도체 기판의 후면에 흡수층을 사용하지 않고, SiGe 또는 p-타입 SiGe가 성장된 후면 패시베이션층(passivation)을 포함하는, 후면 조사 이미지 센서(backside illuminated image sensor)를 제공한다.

[0030] 본원의 일 구현예에 있어서, 도 1을 참고하면, 상기 후면 조사 이미지 센서는 하기를 포함할 수 있으나, 이에 제한되는 것은 아니다:

[0031] 지지 기판 (300) 상에 형성된 산화물 절연층(미도시);

[0032] 상기 산화물 절연층 상에 형성된 금속 배선층 (302);

[0033] 상기 금속 배선층 상에 형성되며, 포토다이오드(PD)를 포함하는 후면 에피층 (304);

[0034] 상기 후면 에피층 상에 형성된 후면 패시베이션 층 (306);

[0035] 상기 후면 패시베이션 층 상에 형성된 반사 방지층 (미도시); 및

[0036] 상기 반사 방지층 상에 형성된 이미지 센서 층 (310);

[0037] 본원의 일 구현예에 있어서, 상기 후면 에피층은 p-타입 도핑된 Si 층 일 수 있으나, 이에 제한되는 것은 아니다.

[0038] 본원의 일 구현예에 있어서, 상기 이미지 센서 층은 컬러 필터 (312), 및 상기 컬러 필터 상에 형성된 마이크로

렌즈(314)를 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다. 필요한 경우, 상기 이미지 센서 층은 상기 마이크로렌즈 상부에 형성되는 글래스 플레이트를 추가 포함하는 것 일 수 있으나, 이에 제한되는 것은 아니다.

[0039] 도 2는, 상기 후면 조사 이미지 센서의 (a) 소자 단면 및 (b) 밴드 다이아그램을 나타낸 것이다 (후면 조사 이미지 센서의 기판으로서 p-타입 Si를 사용한 경우를 나타냄).

[0040] 도 2의 (a)에 나타낸 바와 같이, 상기 이미지 센서의 실리콘 기판 후면에 상기 SiGe 또는 p-타입 SiGe가 성장된 후면 패시베이션층(보호막)을 포함할 수 있다.

[0041] 도 2의 (b)에 나타낸 바와 같이, 상기 SiGe 또는 p-타입 SiGe가 성장된 후면 패시베이션층에 의해 실리콘과 같은 기판 표면에 홀이 축적되도록 실리콘과 가전대역의 밴드 오프셋이 발생하여 후면 보호막인 SiGe 내에 홀을 축적시킴으로써, 이미지 센서의 잡음을 억제할 수 있다.

[0042] 본원의 일 구현예에 있어서, 상기 p-타입 SiGe 층은 B 등 p-타입 불순물에 의하여 도핑되는 것일 수 있으나, 이에 제한되지 않는다.

[0044] 본원의 제 2 측면은, 전면 및 상기 전면에 대향하는 후면을 갖는 반도체 기판을 후면 그라인딩(grinding)한 후, 상기 기판의 후면에 SiGe 또는 p-타입 SiGe를 성장 또는 증착시켜 후면 패시베이션층을 형성하는 것을 포함하는, 후면 조사 이미지 센서의 제조 공정을 제공한다.

[0045] 본원의 일 구현에에 있어서, 상기 후면 조사 이미지 센서의 제조 공정은 하기를 포함하는 것일 수 있으나, 이에 제한되지 않는다:

[0046] 반도체 기판의 일측에 형성된, 포토다이오드를 포함하는 후면 에피층을 형성하고;

[0047] 상기 후면 에피층 상에 금속 배선층을 형성하고;

[0048] 상기 금속 배선층 상에 산화물 절연층을 형성하고;

[0049] 상기 절연층 상에 지지 기판을 부착하고;

[0050] 상기 반도체 기판의 타측을 후면 그라인딩하여 상기 포토다이오드를 포함하는 후면 에피층을 노출시키고;

[0051] 상기 후면 에피층 상에 후면 패시베이션 층을 형성하고;

[0052] 상기 후면 패시베이션 층 상에 반사 방지층을 형성하고;

[0053] 상기 반사 방지층 상에 이미지 센서 층을 형성함;

[0054] 여기에서, 상기 후면 패시베이션 층을 형성하는 것은, 1 nm 내지 50 nm 두께의 SiGe 층 또는 p-타입 도핑된 SiGe 층을 에피택시 증착하는 것을 포함하는 것이며, 단, 어닐링 공정은 포함하지 않는다.

[0055] 본원의 일 구현예에 있어서, 상기 후면 패시베이션층의 두께는 약 0.1 nm 내지 약 50 nm인 것일 수 있다. 예를 들어, 상기 후면 패시베이션층의 두께는 약 0.1 nm 내지 약 50 nm, 약 0.1 nm 내지 약 40 nm, 약 0.1 nm 내지 약 30 nm, 약 0.1 nm 내지 약 20 nm, 약 0.1 nm 내지 약 18 nm, 약 0.1 nm 내지 약 16 nm, 약 0.1 nm 내지 약 14 nm, 약 0.1 nm 내지 약 12 nm, 약 0.1 nm 내지 약 10 nm, 약 0.1 nm 내지 약 5 nm, 약 0.1 nm 내지 약 1 nm, 약 0.1 nm 내지 약 0.5 nm, 약 0.1 nm 내지 약 0.3 nm, 약 0.3 nm 내지 약 20 nm, 약 0.5 nm 내지 약 20 nm, 약 1 nm 내지 약 20 nm, 약 5 nm 내지 약 20 nm, 약 10 nm 내지 약 20 nm, 약 12 nm 내지 약 20 nm, 약 14 nm 내지 약 20 nm, 약 16 nm 내지 약 20 nm, 또는 약 18 nm 내지 약 20 nm인 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0056] 본원의 일 구현예에 있어서, 상기 후면 조사 이미지 센서는 반도체 기판의 후면에 흡수층을 사용하지 않고, 후면 패시베이션층을 바로 형성하는 것으로서, 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe를 성장시키는 것이다. 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe를 성장시킴으로써, 실리콘 표면에 홀이 축적될 수 있는 층이 형성되어 실리콘과 SiGe의 밴드정렬에 의해 가전자대역의 밴드오프셋(band offset)이 발생하고, 따라서 이러한 가전자대역의 밴드오프셋으로 인해 정공이 표면에 축적되는 효과가 발생할 수 있다. 상기 밴드오프셋으로 인해 정공(홀)이 SiGe층에 모이게 되므로, 표면 실리콘 혹은 SiGe과 SiO_2의 계면에서 발생한 전자는 SiGe 영역에서 재결합되고 실제 이미지 센서에 포집되지 않기 때문에 잡음을 억제할 수 있다.

[0057] 종래 이온주입 공정의 경우, 후속 열처리를 반드시 수행하여야 하지만, 본원의 일 구현예에 따른 후면 조사 이

미지 센서는 상기 후면 패시베이션층을 어느 정도의 저온에서 에피택시로 성장시키는 것에 의해 추가적인 열처리나 어닐링을 수행 하지 않아도 되며, 이러한 성장만으로도 홀이 축적이 되어 상기 이미지 센서의 잡음을 저감시킬 수 있다. 본원의 구현예들에 있어서, 상기 저온에서 에피택시로 성장시키는 것은 약 300℃ 내지 약 800℃, 약 300℃ 내지 약 600℃, 약 300℃ 내지 약 500℃, 또는 약 300℃ 내지 약 400℃에서 수행될 수 있다.

[0058] 본원의 일 구현예에 있어서, 상기 후면 패시베이션층을 성장시킨 후 표면에 또한 얇은 캡핑(capping) Si을 성장시키는 것에 의하여 Si, SiGe, 또는 Ge 등의 물질 조합을 통해 잡음을 더욱 억제할 수 있다.

[0059] 본원의 일 구현예에 따른 후면 조사 이미지 센서의 제조 공정은 도 3에 나타낸 바와 같이 제조할 수 있고, 상기 제조 공정 중, 박막 두께를 조절하는 공정 후 후면 패시베이션층을 형성하는 것일 수 있으며, 상기 후면 패시베이션층을 형성한 후 방사방지 필름 코팅(anti-reflection film coating) 공정을 수행하는 것일 수 있다.

[0060] 본원의 일 구현예에 있어서, 상기 후면 조사 이미지 센서 제조 공정에서 실리콘과 접합 시 가전자대의 밴드오프셋(band offset)이 발생하는 반도체를 실리콘 표면 위에 성장 또는 증착시키는 공정을 포함하고, 상기 성장 또는 증착시키는 물질로서 SiGe 또는 p-타입 SiGe를 포함할 수 있다.

[0061] 본원의 일 구현예에 있어서, 상기 후면 조사 이미지 센서는 반도체 기판의 후면에 흡수층을 사용하지 않고, 후면 패시베이션층을 바로 직접 형성하는 것으로서, 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe 층을 성장시키는 것이다. 상기 후면 패시베이션층으로서 SiGe 또는 p-타입 SiGe를 성장시킴으로써, 실리콘 표면에 홀이 축적될 수 있는 층이 형성되어 실리콘과 SiGe의 밴드정렬에 의해 가전자대역의 밴드오프셋(band offset)이 발생하고, 따라서 이러한 가전자대역의 밴드오프셋으로 인해 정공이 표면에 축적되는 효과가 발생할 수 있다. 상기 밴드오프셋으로 인해 정공(홀)이 SiGe층에 모이게 되므로, 표면 실리콘 혹은 SiGe과 SiO_2의 계면에서 발생한 전자는 SiGe영역에서 재결합되고 실제 이미지 센서에 포집되지 않기 때문에 잡음을 억제할 수 있다.

[0062] 본원의 일 구현예에 있어서, 상기 기판은 실리콘, 반도체 물질, 및 이들의 조합들로 이루어진 군으로부터 선택되는 것을 포함하는 것일 수 있다.

[0063] 예를 들어, 상기 실리콘 기판은 붕소(boron)와 같은 p-타입 도펀트(dopant)로 도핑된 실리콘 물질(p-타입 기판) 또는 인(phosphorous), 비소(arsenic)와 같은 n-타입 도펀트로 도핑된 실리콘(n-타입 기판)을 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0064] 또한, 예를 들어, 상기 반도체 기판은 게르마늄 또는 다이아몬드와 같은 기초 반도체들, 또는 복합 반도체 및/또는 합금 반도체를 선택적으로 포함할 수 있으나, 이에 제한되지 않을 수 있다.

[0065] 본원의 일 구현예에 있어서, 상기 SiGe 또는 p-타입 SiGe를 성장시키는 것은 에피택시(epitaxy) 성장시키는 것일 수 있다.

[0066] 본원의 일 구현예에 있어서, 상기 에피택시 성장시키는 것은 화학기상증착법(CVD) 또는 분자선 에피택시(molecular beam epitaxy, MBE)를 이용하는 것일 수 있다. 예를 들어, 상기 CVD는 UHVCVD(ultrahigh vacuum CVD) 또는 LPCVD(low pressure CVD)를 포함하는 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0067] 본원의 일 구현예에 있어서, 상기 SiGe 또는 p-타입 SiGe를 성장시킨 후, 상기 표면에 Si를 성장시키는 것을 추가 포함할 수 있다. 상기 Si 성장은 SiO_2와의 계면에서의 댕글링 본드(dangling bond)를 낮출 수 있다. 예를 들어, 상기 Si의 소스는 디클로로실란(dichlorosilane), 실란(silane), 디실란(disilane), 트리실란(trisilane), 및 이들의 조합들로 이루어진 군으로부터 선택되는 것을 포함할 수 있다.

[0068] 본원의 일 구현예에 있어서, 상기 후면 패시베이션층의 두께는 약 0.1 nm 내지 약 50 nm인 것일 수 있다. 예를 들어, 상기 후면 패시베이션층의 두께는 약 0.1 nm 내지 약 50 nm, 약 0.1 nm 내지 약 40 nm, 약 0.1 nm 내지 약 30 nm, 약 0.1 nm 내지 약 20 nm, 약 0.1 nm 내지 약 18 nm, 약 0.1 nm 내지 약 16 nm, 약 0.1 nm 내지 약 14 nm, 약 0.1 nm 내지 약 12 nm, 약 0.1 nm 내지 약 10 nm, 약 0.1 nm 내지 약 5 nm, 약 0.1 nm 내지 약 1 nm, 약 0.1 nm 내지 약 0.5 nm, 약 0.1 nm 내지 약 0.3 nm, 약 0.3 nm 내지 약 20 nm, 약 0.5 nm 내지 약 20 nm, 약 1 nm 내지 약 20 nm, 약 5 nm 내지 약 20 nm, 약 10 nm 내지 약 20 nm, 약 12 nm 내지 약 20 nm, 약 14 nm 내지 약 20 nm, 약 16 nm 내지 약 20 nm, 또는 약 18 nm 내지 약 20 nm인 것일 수 있으나, 이에 제한되지 않을 수 있다.

[0069] 본원의 일 구현예에 있어서, 상기 후면 패시베이션층 형성과 관련하여 Ge를 성장시키는 것은, 상기 Ge의 소스로서 GeH_4(germane), Ge_2H_8(digermane), $GeCl_4$(germanechloride), 및 이들의 조합들로 이루어진 군으로부터 선택되

는 것을 이용하여 수행될 수 있으나, 이에 제한되지 않을 수 있다.

[0070] 본원의 일 구현예에 있어서, 상기 Si에 상기 후면 패시베이션층의 형성 시, 상기 Si와 결정상수가 다른 SiGe 또는 Ge을 성장시킬 경우 변형(strain)이 발생할 수 있으므로, strain relaxation이 발생하지 않는 두께, 즉, 임계두께 미만의 두께의 박막을 성장시켜야 한다. 예를 들어, Ge 농도가 커질수록 임계두께가 작아지므로 임계두께보다 얇게 성장시켜 결함이 발생하지 않도록 해야 한다. 상기 SiGe 내의 Si 및 Ge의 비율은 응용에 따라 달라질 수 있다.

[0071] 도 4a는, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 과정을 나타낸 흐름도이고; 도 4b는 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 과정을 나타낸 모식도이다.

[0072] 도 5는, 본원의 일 구현예에 있어서, 상기 도 4b에서 후면 패시베이션 층을 상세하게 나타낸 모식도이다.

[0073] 도 4 및 도 5를 참조하면, 후면 조사 이미지 센서의 제조 공정은, 우선 일반적인 전면 조사 이미지센서 공정에 따라 웨이퍼를 가공하고(FAB process) 상기 가공된 웨이퍼를 뒤집어서 다른 Si 기판 (지지 기판)과 본딩을 한다(wafer bonding). 그 다음으로 상기 뒤집어서 본딩된 웨이퍼를 갈아내면(thinning) 포토다이오드를 포함하는 후면 에피층이 노출된다. 상기 노출된 후면 에피층의 표면에 SiGe 또는 p-타입 SiGe를 에피택시 성장시켜 후면 패시베이션층을 형성한다(surface passivation). 상기 후면 패시베이션층을 형성한 후 반사 방지 필름 코팅층(anti-reflection film coating)을 증착하고, 컬러 필터(color filter), 마이크로렌즈 등의 일반적인 이미지 센서 공정을 수행한다.

[0074] 만약, 상기 흡수층이 노출된 후에 공정을 끝내고 반사 방지 코팅층을 코팅할 경우(본원의 일 구현예에 따른 후면 패시베이션층을 형성하지 않을 경우), 반사 방지 코팅층과 p층 사이에 빛이 없더라도 전자홀이 발생할 가능성이 커지고, 이것이 포토다이오드(photodiode)에 들어가서 노이즈가 발생할 수 있다.

[0075] 구체적으로, 상기 후면 박막화(thinning) 공정에서 후면 p-타입 에피층(101)을 전부 식각하고, 상기 p-타입 에피층(101)의 식각 후 노출되는 p-타입 Si층(또는 p-타입 Si 에피층)(102)이 남은 상태에서 p-타입 SiGe 후면 패시베이션 층(201)을 에피택시 성장시킨다 (도 5 참조). 이 때, n-타입 임플란트로 형성된 n-타입 Si층 포토다이오드(photodiode, PD)(108)가 노출되면 안된다. 또한, 상기 p-타입 에피층(101)이 극히 얇을 경우는 상관없지만, 상기 p-타입 에피층(101)을 전부 식각하지 않고 너무 많이 남아있으면 빛이 p-타입 에피층(101)에 흡수되어 감도(sensitivity)가 저하될 수 있다.

[0076] 본원의 일 구현예에 있어서, 상기 반사 방지 필름 코팅층은 상기 후면 패시베이션층(p-타입 SiGe층) 상에 코팅된다. 예를 들어, 상기 반사 방지 필름 코팅층은 유전막(예를 들어, high-k 물질)을 포함하는 것일 수 있으나, 이에 제한되는 것은 아니다.

[0078] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0079] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0081] 101: p-타입 에피층

102: p-타입 Si 에피층 또는 p-타입 Si층

103: 에피층

104: STI(shallow trench isolation)

105: 트랜스퍼 게이트(transfer gate)의 게이트 산화물(gate oxide)

106: 트랜스퍼 게이트의 전극

107: 트랜스퍼 게이트

108: 포토다이오드(photodiode)

109: 트랜스퍼 게이트의 측벽 산화물(oxide)

110: 플로팅 디퓨전(floating diffusion)

111: p+ Si(photodiode의 암전류를 막기위한 p+ Si)

201: p-타입 SiGe 후면 패시베이션 층

300: 지지 기판

302: 금속 배선층

304: 포토다이오드를 포함하는 후면 에피층

306: 후면 패시베이션 층

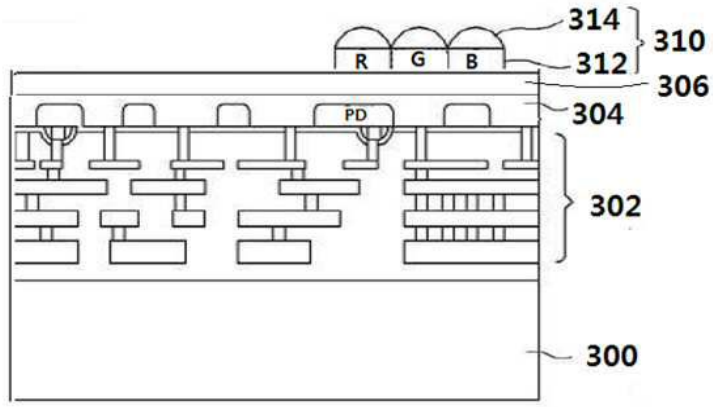
310: 이미지 센서 층

312: 컬러 필터

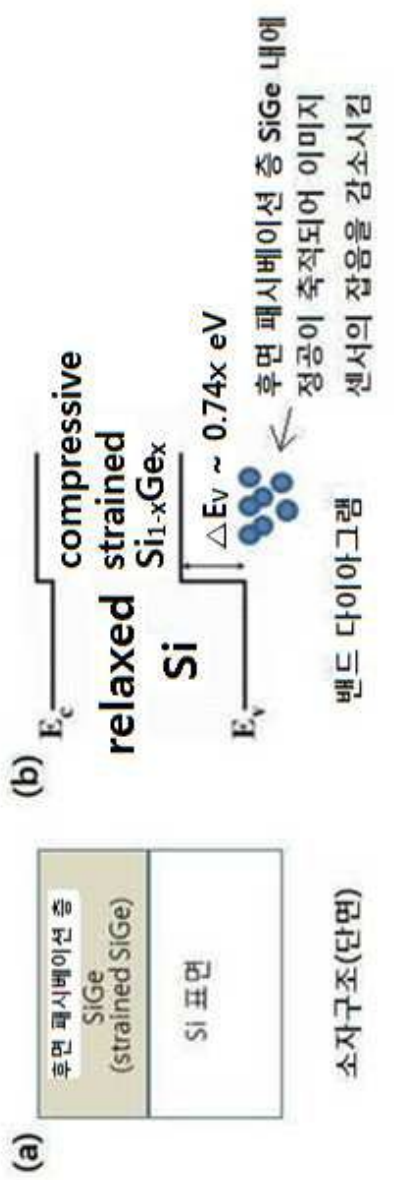
314: 마이크로렌즈

도면

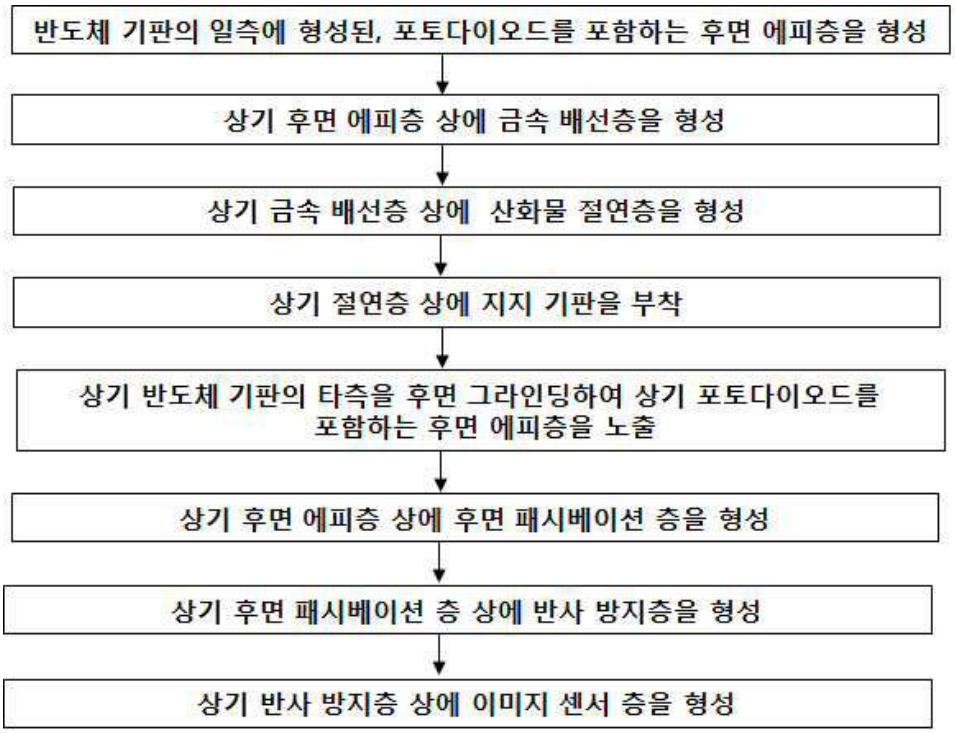
도면1



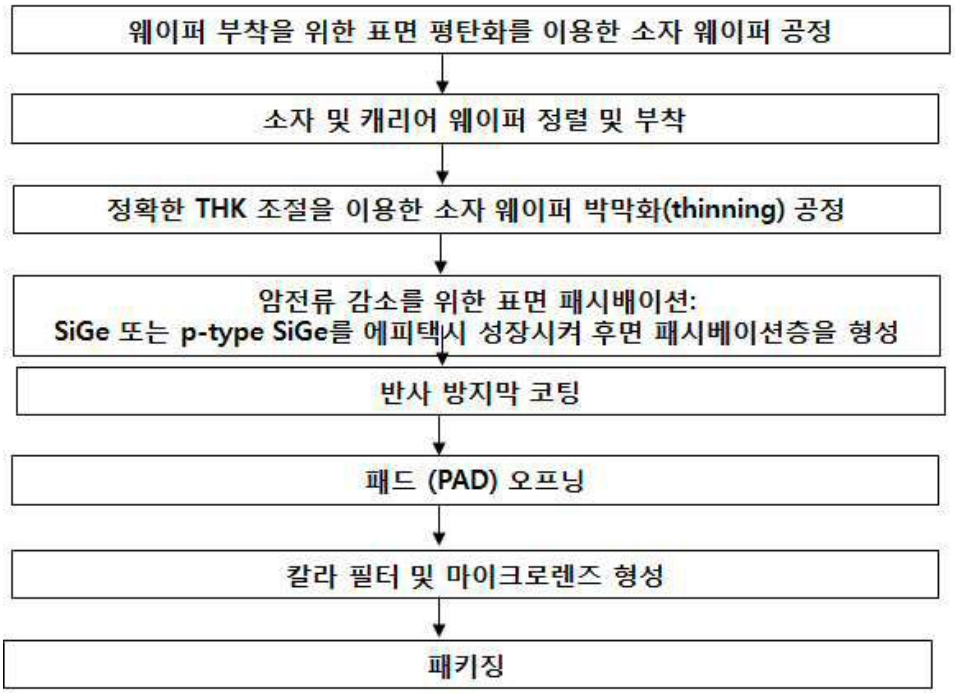
도면2


(a)
후면 패시베이션 층
SiGe
(strained SiGe)
Si 표면
소자구조(단면)
(b)
E_c
compressive
strained
relaxed
$Si_{1-x}Ge_x$
Si
$\triangle E_V \sim 0.74x$ eV
E_v
후면 패시베이션 층 SiGe 내에
정공이 축적되어 이미지
센서의 잡음을 감소시킴
밴드 다이아그램

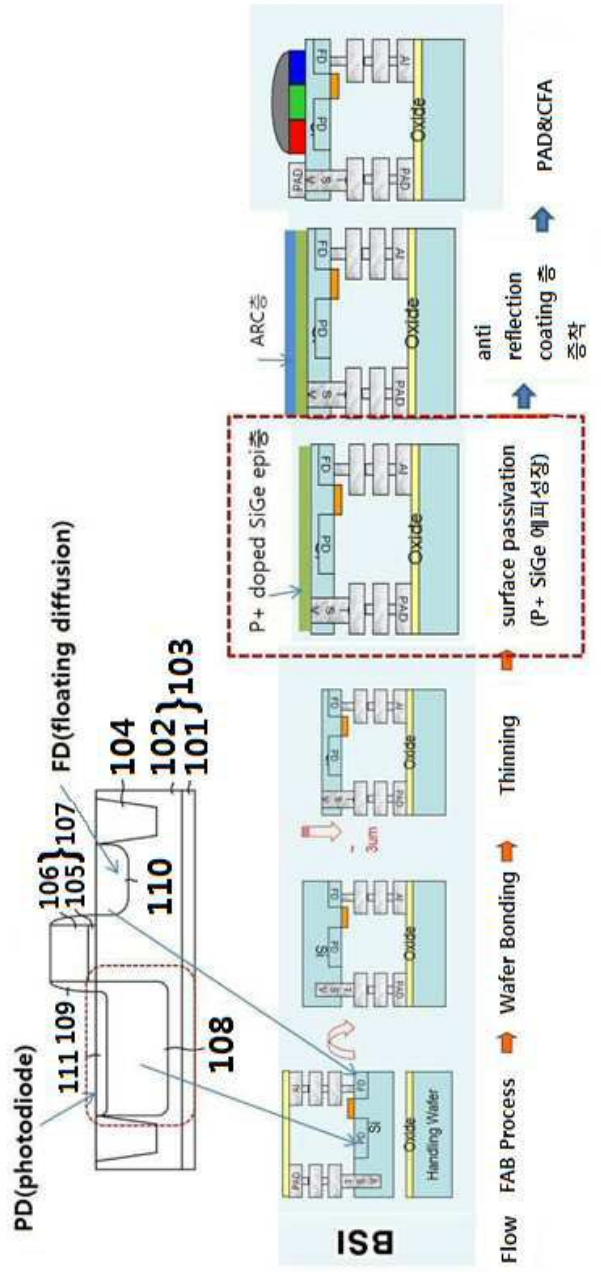
도면3


반도체 기판의 일측에 형성된, 포토다이오드를 포함하는 후면 에피층을 형성
상기 후면 에피층 상에 금속 배선층을 형성
상기 금속 배선층 상에 산화물 절연층을 형성
상기 절연층 상에 지지 기판을 부착
상기 반도체 기판의 타측을 후면 그라인딩하여 상기 포토다이오드를 포함하는 후면 에피층을 노출
상기 후면 에피층 상에 후면 패시베이션 층을 형성
상기 후면 패시베이션 층 상에 반사 방지층을 형성
상기 반사 방지층 상에 이미지 센서 층을 형성

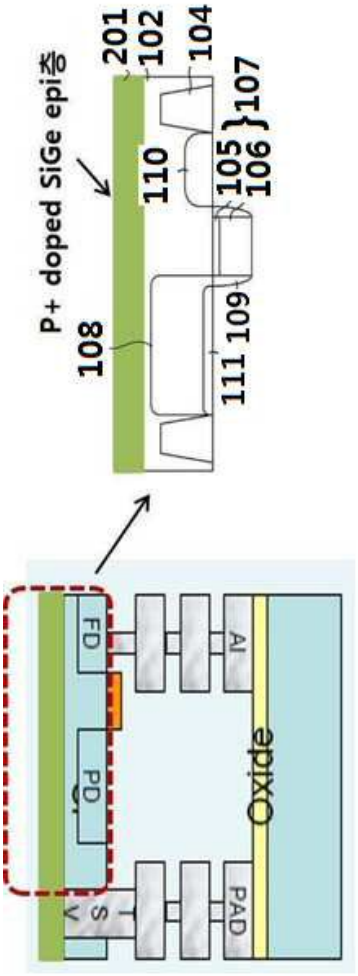
도면4a


웨이퍼 부착을 위한 표면 평탄화를 이용한 소자 웨이퍼 공정
소자 및 캐리어 웨이퍼 정렬 및 부착
정확한 THK 조절을 이용한 소자 웨이퍼 박막화(thinning) 공정
암전류 감소를 위한 표면 패시베이션:
SiGe 또는 p-type SiGe를 에피택시 성장시켜 후면 패시베이션층을 형성
반사 방지막 코팅
패드 (PAD) 오프닝
칼라 필터 및 마이크로렌즈 형성
패키징

도면4b


PD(photodiode)
FD(floating diffusion)
111 109
108
106
105
107
110
104
102
101
103
BSI
Flow
FAB Process
Wafer Bonding
Thinning
- 3um
P+ doped SiGe epi층
surface passivation
(P+ SiGe 에피성장)
ARC층
anti
reflection
coating 층
증착
PAD&CFA
Oxide
Handling Wafer

도면5


201
102
104
P+ doped SiGe epi층
110
105
106
107
108
111
109
FD
PD
TS
AI
PAD
Oxide