(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3734183号

(P3734183)

(45)発行日　平成18年1月11日(2006.1.11)　(24)登録日　平成17年10月28日(2005.10.28)

(51)Int.Cl.		F I		
H01L 29/06	(2006.01)	H01L	29/06	601L
H01L 29/66	(2006.01)	H01L	29/06	601D
H01L 29/78	(2006.01)	H01L	29/66	S
		H01L	29/78	301J

請求項の数 8　(全 9 頁)

(21)出願番号　特願平7-112817
(22)出願日　平成7年5月11日(1995.5.11)
(65)公開番号　特開平8-306905
(43)公開日　平成8年11月22日(1996.11.22)
審査請求日　平成12年9月27日(2000.9.27)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100085811
弁理士　大日方　富雄
(74)代理人　100075096
弁理士　作田　康夫
(72)発明者　福田　宏
東京都国分寺市東恋ケ窪１丁目２８０番地
株式会社　日立製作所　中央研究所内

審査官　小川　将之

最終頁に続く

(54)【発明の名称】電子デバイスの製造方法及び電子デバイス

(57)【特許請求の範囲】

【請求項１】

基板上に、半導体又は金属薄膜、及び絶縁薄膜を含む積層膜を形成する工程と、上記積層膜を加工して上記基板上に柱状の積層膜パターンを形成する工程と、上記積層膜パターンを側面から酸化することにより上記積層膜中に、上記基板にほぼ垂直方向に伸びる微小トンネル接合を有する一次元量子細線、又は上記酸化により形成された酸化領域及び上記絶縁薄膜に囲まれた半導体又は金属領域からなる０次元量子箱もしくは一次元量子細線を形成する工程と、上記一次元量子細線に電気的に接続される電極を形成する工程とを有することを特徴とする電子デバイスの製造方法。

【請求項２】

上記積層膜パターンの柱の中心に上記微小トンネル接合もしくは０次元量子箱を含む半導体細線又は金属細線を形成することを特徴とする請求項１に記載の電子デバイスの製造方法。

【請求項３】

上記積層膜は複数の絶縁膜で半導体又は金属薄膜を挟んだ構造を有し、上記積層膜パターンは横長の直方体であり、上記直方体積層膜を側面から酸化することにより、上記直方体の中に上記基板にほぼ平行な方向に伸びる半導体細線又は金属細線を形成することを特徴とする請求項１に記載の電子デバイスの製造方法。

【請求項４】

上記積層膜は、上記基板側から順にＳｉ膜、絶縁薄膜、Ｓｉ膜、絶縁薄膜、およびＳｉ

膜を含み、上記絶縁薄膜又は二つの上記絶縁薄膜により挟まれる上記Ｓｉ膜の膜厚は、各々２０ｎｍ以下であることを特徴とする請求項１に記載の電子デバイスの製造方法。
【請求項５】
上記酸化する工程は、酸化速度が上記半導体又は金属のバルクにおける値の五分の一以下になるまで行うことを特徴とする請求項１乃至４のいずれかに記載の電子デバイスの製造方法。
【請求項６】
基板上に、半導体又は金属薄膜、及び絶縁薄膜を含む積層膜を形成する工程と、上記積層膜を加工して積層膜パターンを形成する工程と、上記積層膜パターンを側面からエッチングすることにより上記積層膜中に、上記基板にほぼ垂直方向に伸びる微小トンネル接合を有する一次元量子細線、又は上記絶縁薄膜に挟まれた半導体又は金属領域からなる０次元量子箱を形成する工程とを含むことを特徴とする電子デバイスの製造方法。
【請求項７】
基板上に形成されたシリコン又は金属薄膜及び絶縁薄膜を含む積層膜を具備してなり、上記基板に垂直な柱状の半導体又は金属細線とこれを囲む筒状の絶縁領域とを有し、上記積層膜は、上記基板にほぼ垂直方向に伸びる微小トンネル接合を有する一次元量子細線、又は上記絶縁領域及び絶縁薄膜に囲まれたシリコン又は金属領域からなる０次元量子箱もしくは一次元量子細線を含むことを特徴とする電子デバイス。
【請求項８】
上記細線の直径、電子蓄積ノード又は０次元量子箱の寸法は、２０ｎｍ以下であることを特徴とする請求項７に記載の電子デバイス。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、単一電子素子，各種量子効果素子等に好適な電子デバイスの製造方法、およびこれにより製作された電子デバイスに関する。
【０００２】
【従来の技術】
Ｓｉ集積回路（ＬＳＩ）等の電子デバイスの性能を向上するため、回路を構成する素子の微細化が進んでいる。しかし、これらのデバイスで現在主に用いられているＭＯＳトランジスタでは、消費電力の増大を抑えつつ、微細化による集積度及び動作速度を向上するには限界がある。
【０００３】
近年、これを解決するため、新しい動作原理に基づく電子素子として、単一電子素子等が提案されている。これらの素子が理想的に実現されれば、電力遅延積を大幅に向上することができるものと予想されている。単一電子素子については、例えば、応用物理，第６３巻，第１２号（１９９４年），第１２３２頁から　１２３８頁に論じられている。又、電子を数ｎｍの領域に三次元的に閉じ込める０次元量子箱を用いると、量子効果により発光素子等の性能を大幅に向上できるものと考えられている。さらに、一次元量子細線を用いて一次元の電子ガスを形成すると電子の移動度が大幅に増大し、高速のスイッチング素子が実現できるものと考えられている。これら、量子効果素子については、例えば、電子情報通信学会誌，第７７巻，第１１号（１９９４年），第１１１７頁から第１１２４頁に論じられている。
【０００４】
【発明が解決しようとする課題】
しかし、論文にも論じられている様に、単一電子素子を室温で動作させるためには、現在の主流のＭＯＳトランジスタの寸法である数百ｎｍより一から二桁小さい寸法数ｎｍのデバイス構造を精度よく加工しなければならない。０次元量子箱，一次元量子細線等の量子効果素子についても同様である。
【０００５】

現在のところ、このような超微細加工を可能とする加工装置は存在せず、しかも、これを再現性よく大量生産できるような見通しは殆ど無い。

【０００６】

本発明の目的は、従来のＳｉ集積回路製造に用いられている半導体微細加工装置とデバイス製造装置を用いて、単一電子素子や各種量子効果素子を室温で動作させるのに必要な数ｎｍの寸法を精度よく加工することが可能な電子デバイスの製造方法と、これにより作製される素子構造を有する電子デバイスを提供することにある。

【０００７】

【課題を解決するための手段】

上記目的を達成するため、本発明は基板上に半導体又は金属薄膜と絶縁薄膜を含む積層膜を形成し、これをパターン状に加工した後側面から酸化して酸化領域を形成し、積層膜中に上記酸化領域に囲まれた０次元量子箱もしくは微小トンネル接合を有する一次元量子細線や、上記酸化領域及び絶縁薄膜に挟まれた半導体又は金属領域からなる０次元量子箱もしくは一次元量子細線を形成する。

【０００８】

柱状に加工した積層膜を側面から酸化すると、柱の中心に途中に微小トンネル接合もしくは０次元量子箱を含み基板にほぼ垂直方向に伸びる半導体又は金属細線が得られる。複数の絶縁膜で半導体又は金属薄膜を挟んだ積層膜を横長の直方体に加工して、これを側面から酸化すると、直方体中に前記基板にほぼ平行な方向に伸びる半導体又は金属細線が得られる。

【０００９】

絶縁薄膜及び二つの絶縁薄膜により挟まれる半導体又は金属膜の膜厚は、各々２０ｎｍ以下であることが望ましい。又、上記酸化を、酸化速度が半導体又は金属のバルクにおける値の五分の一以下になるまで行うことにより、安定に超微細構造が得られる。なお、酸化の代わりに積層膜の側面をサイドエッチングすることにより、上記の様々な構造を形成してもよい。

【００１０】

又、上記別の目的は、電子デバイスにおいて半導体又は金属薄膜及び絶縁薄膜を含む積層膜パターンを側面から酸化することにより、上記積層膜中に微小トンネル接合を有する一次元量子細線を形成したり、又は、酸化された領域と絶縁薄膜により囲まれた半導体又は金属領域を０次元量子箱もしくは一次元量子細線とすることにより達成される。基板に垂直な柱状の絶縁物の中心に、途中にトンネル接合、電子蓄積ノード（０次元量子箱）等を持った半導体／金属細線や、直方体状の絶縁物の中心に基板に平行な方向に伸びる半導体／金属細線が得られる。これらの細線の直径、電子蓄積ノード又は０次元量子箱の寸法は、２０ｎｍ以下とすることが好ましい。上記半導体としてはシリコン等を用いることができる。又、上記細線や電子蓄積ノードの周辺にゲート電極を形成する等してもよい。

【００１１】

【作用】

既存の成膜技術，電子線描画法及び異方性エッチングを用いると、基板１上に図１（ａ）に示すようなシリコン膜２及び絶縁膜３を含む積層膜４からなる直径数十ｎｍの円柱５を加工できる。この積層構造を有する円柱５を側面から酸化する。ここで、図には示さないが、酸化を側面のみから行うために、円柱５の上面には例えばシリコン窒化膜等の酸化防止膜を形成するものとする。これにより、積層膜のシリコン部分のみが周囲から酸化され、絶縁膜はそのままの状態で残される。これは、図１（ｂ）に示すように酸化がシリコン酸化膜中の酸素の拡散速度で律速されるため、酸化領域６と未酸化領域７の境界８が絶縁膜の有無によらず円柱４表面に垂直方向に柱の中心に向かって進むためである。従って、適当な酸化時間の後、図１（ｃ）に示すように、円柱４の中心にシリコン細線９中に極めて微小なシリコンの島１０を二つのトンネル接合１１，１２で挟んだ構造が得られる。

【００１２】

このようにして形成された島１０は、単一電子を捕獲する電子トラップとして作用するた

め、図１（ｃ）の構造を単一電子素子の基本要素として用いることができる。但し、この構造を単一電子素子に適用するためには、Ｓｉ柱の上下に配線を接合する必要がある。又、島の周囲に適当なゲート電極を設けることが好ましい。これらの具体的な方法については、実施例で論じる。

【００１３】

なお、Ｓｉ柱を周囲から酸化すると、酸化が進むにつれ酸化速度が減少し自己整合的に柱状Ｓｉ細線が得られることが、文献（ジャーナル　オブ　バキュームサイエンス　アンド　テクノロジー，第Ｂ１１巻（１９９３年），２５３２頁から２５３７頁（Journal of vacuum science and technology, Vol. B11 (1993) pp.2532－2537））により知られている。

【００１４】

酸化時間とＳｉ柱周囲の酸化領域厚さ（図１（ｂ）中ｔ）の関係の一例を図２に示す。この関係はパターン形状や酸化条件に依存するため、細線直径を所望の値とするためにはこれらの条件を最適化することが望ましい。しかし、酸化の進行が飽和する時点で最終的に得られる細線直径は酸化前の積層膜パターンの寸法にあまり依存しないため、酸化を十分な時間行うことにより、元のパターンの寸法ばらつきによらず比較的安定に一定の直径の細線が得られる。このためには、一般に酸化速度がバルクの値の五分の一以下になるまで酸化することが好ましい。いずれにせよ、本発明における細線や島の直径は、極めて精度よく制御可能である。

【００１５】

又、絶縁膜の厚さやこれで挟む島の厚さは、積層膜の形成条件によりやはり精度よく制御可能である。従って、従来のリソグラフィを用いて横方向にトンネル接合や島を形成する方法では到底得られないような超微細構造を、接合の性質や島の容量を精度よく制御しつつ実現することができる。又、酸化膜厚と自己整合的に形成される細線の直径は、基板の広い領域で極めて均一に形成できる。このため基板内で電気特性のばらつきが抑えられ、多数の素子を集積する場合にも好ましい。

【００１６】

以上、シリコンと酸化膜について説明したが、シリコンに限らず他の半導体又は金属を用いてもよく、又、酸化膜についても他の絶縁膜（窒化膜，フッ化カルシウム，アルミナ等）でもよい。更に、異種の半導体を積層してもよい。例えばバンド構造の異なる半導体を積層した半導体ヘテロ構造中に本発明により細線を形成することも可能で、この場合も類似の効果を得ることができる。又、絶縁膜と半導体層を多数積層すれば、多数の島を縦方向に並べることができ、極めて高密度かつ三次元的に０次元量子箱を形成することができる。このような構造は、様々な発光素子としても有用である。

【００１７】

又、酸化を行う積層膜パターンを横長の立方体等にすれば、その内部には基板にほぼ平行な方向に伸びる半導体又は金属細線が得られる。このような構造は、例えば電界効果トランジスタの一次元チャンネルとして用いることができる。この他にも積層膜のパターンを工夫することにより様々な微細構造を得ることができる。いずれにせよ、室温において単一電子効果もしくは量子効果を得るためには、絶縁薄膜又は二つの絶縁薄膜により挟まれる半導体又は金属膜の膜厚は、各々２０ｎｍ以下であることが好ましい。

【００１８】

なお、酸化の代わりに積層膜の側面をサイドエッチングしても、類似の構造が得られるが、この場合一般に絶縁膜と半導体／金属膜のエッチング速度が異なる点に注意する必要がある。理想的には両者のエッチング速度は等しいことが望ましいが、所望の構造を得るためには少なくとも絶縁膜のエッチング速度は半導体／金属膜のエッチング速度より遅い必要がある。

【００１９】

【実施例】

（実施例１）

以下、本発明の一実施例を図３を用いて説明する。通常のイオン打ち込みによりウエル２１形成を形成したＳｉ基板２２上に、基板側から順に、ポリシリコン膜２３（膜厚１００ｎｍ），シリコン酸化膜２４（膜厚１０ｎｍ），ポリシリコン膜２５（膜厚１０ｎｍ），シリコン酸化膜２６（膜厚１０ｎｍ），ポリシリコン膜２７（膜厚１００ｎｍ），シリコン窒化膜２８(膜厚１００ｎｍ)からなる積層膜２９を形成した(図３(ａ))。さらに積層膜上に、電子線用ネガ型レジスト膜３０を形成した後、電子線描画装置を用いてドット状にパターン描画し、所定の現像を行って直径５０ｎｍ円柱状のレジストパターン３１を得た（図３(ｂ)）。

【００２０】

次に、上記レジストパターンをマスクとして下地積層膜を異方性ドライエッチングして、積層膜の柱状構造３２を形成した（図３（ｃ））。その後、積層膜の柱状構造３２及びＳｉ基板３２の露出部分を８５０度Ｃで５時間ドライ酸化して、柱の中心を残した円筒部分を含む領域にシリコン酸化膜３３を形成した。酸化が進むにつれ酸化速度が減少するため、柱の中心部に自己整合的に直径２０ｎｍのシリコン細線３４が形成された。シリコン酸化膜２４，２６がシリコン細線　３４を横切るため、シリコン細線３４中に微小トンネル接合３５，３６とシリコンの島領域３７が形成された（図３（ｄ））。

【００２１】

なお、細線や島領域中に多結晶粒界が存在しないように、ポリシリコンを比較的大きな粒径が得られる条件で形成した。従って、細線と島領域は実質的に単結晶からなると考えてよい。又、柱の上部及び下部は、各々窒化膜キャップと基板により酸素供給が抑えられるため、細線の直径が太くなった。これは、細線と外部配線を接続する上で好ましい。

【００２２】

次に、シリコン細線３４上部にソース電極３８を、又シリコン細線下部が接続するウエル２１にドレイン電極３９を接続した。又、シリコン島を囲むように円筒の外側部分にゲートを形成し、これにゲート電極４０を接続した（図３(ｅ)）。これらの電極形成は、通常のシリコンＬＳＩプロセスで用いられている様々な手法を用いることができる。ここでは、サイドウォールによりゲートを形成したが、他の方法を用いてもよい。細線に電極を接続する場合には、この間に過大な接触抵抗等が生じないよう十分な注意を要する。ゲートと島の間の距離を小さくする必要がある場合には、シリコン酸化膜２３をエッチングして、細線を囲む円筒状シリコン酸化膜を薄くしてもよい。

【００２３】

素子の特性を室温で調べた結果、ドレイン電圧に対して細線を流れる電流のコンダクタンスが振動するクーロン階段が観測され、素子が単一電子トランジスタとして作用することを確認した。又、ゲート電圧によりソース，ドレイン間のコンダクタンスを制御することができた。従って、これを３端子素子として回路を形成することができる。

【００２４】

又、本実施例の素子は、基板上の広い領域に多数形成したが、シリコン及び酸化膜の厚さと自己整合的に形成される細線の直径は、基板内で極めて均一であった。このため、基板内で均一な電気特性が得られた。

【００２５】

（実施例２）

図４に本発明の第２の実施例を示す。Ｓｉ基板５０上に、膜厚１０ｎｍのポリシリコン膜５１及び膜厚１０ｎｍのシリコン酸化膜５２からなる多層膜を２０層とシリコン窒化膜５３からなる積層膜５４を形成した。次に、これを実施例１と同様の方法でパターニングして積層膜に複数の穴状パターン５５を形成した（図４（ａ））。但し、図４では２０層中の一部のみを表示している。さらに、これを酸化したところ穴の側面から酸化が進み、最終的に最近接の穴の間は酸化領域が接して、四つの穴を結ぶ対角線の交点位置に元の積層膜構造５６が残った（図４（ｂ））。酸化は、積層膜の残存領域の平面方向寸法Ｌが約１０ｎｍとなる時点で停止するようにした。

【００２６】

結果として、ほぼ１辺１０ｎｍの立方体状のシリコン０次元量子箱５７が基板に垂直な方向に２０ｎｍの周期で並んだ構造が得られた。膜厚や層数は本実施例の値に限定しないが、量子箱の寸法は２０ｎｍ以下とすることが好ましい。

【００２７】

本実施例によって得られた構造に光励起を行いホトルミネッセンスを測定したところ、可視領域に発光が観測された。

【００２８】

（実施例３）

図５に本発明の第３の実施例を示す。Ｓｉ基板６０上に、膜厚１０ｎｍのポリシリコン膜６１及び膜厚１０ｎｍのシリコン酸化膜６２からなる多層膜を２０層とシリコン窒化膜（図示せず）からなる積層膜を形成した。次に、これを実施例１と同様の方法によりパターニングして直方体構造６４に加工した後、直方体の一対の側面６５を窒化膜（図示せず）で覆った（図５（ａ））。但し、図５では２０層中の一部のみを表示している。窒化膜に覆われていない残り一対の側面より積層膜内のポリシリコンを酸化して、直方体の中心部に長手方向にのびる積層膜構造を残した。酸化は積層膜の残存領域の（平面方向）幅Ｗが約１０ｎｍとなる時点で停止するようにした。さらに窒化膜を除去して図５（ｂ）に示す構造を得た。ほぼ断面が１０ｎｍ角、直方体の中心部長手方向に伸びるシリコン一次元量子細線６７が、基板に垂直な方向に２０ｎｍの周期で２０本で並んだ構造が得られた。但し、図５（ｂ）では直方体の断面を模式的に示している。次に、酸化膜，窒化膜の上から量子細線６７をまたぐ様にゲート電極６８を形成するとともに、量子細線群の両端にソース６９及びドレイン７０電極を接続した（図５（ｃ））。

【００２９】

上記素子の電気的特性を調べた結果、極めて高速のトランジスタ作用が確認された。これは、一次元量子細線６７からなるチャンネル内の電子の移動度が極めて大きいためと考えられる。又、チャンネル長さを小さくしても顕著な短チャンネル効果は認められなかった。従って、素子の微細化にも適している。

【００３０】

なお、前記直方体の側面を覆う窒化膜は細線チャンネルとゲート及びドレイン電極を接続しやすくするためにチャンネル端の細線太さを大きくするために用いたが、チャンネル長が短い場合には用いない方が好ましい。この場合、酸化後にエッチングにより直方体の端を除去して細線を外部に取り出すことが望ましい。細線と電極の接続には十分な注意が必要であることは実施例２と同様である。又、ゲートとチャンネル間の距離を近づける必要がある場合には酸化膜をサイドエッチングすればよい。積層膜の構造と各層の膜厚は本実施例で用いたものに限らない。但し、高速性能を得るためには、半導体層の膜厚は２０ｎｍ以下にすることが好ましい。又、十分な相互コンダクタンスを得るためには細線の本数は多いことが望ましい。積層膜として、半導体ヘテロ接合構造を用いてもよい。

【００３１】

本実施例におけるチャンネルとゲートの位置関係は、ＳＯＩ－ＭＯＳトランジスタの一形態として提案されているＤＥＬＴＡ構造に類似している。しかし、　ＤＥＬＴＡにおけるチャンネルは通常のＭＯＳＦＥＴ同様ゲート酸化膜に沿って生じるのに対して、本実施例ではゲートの挟む絶縁膜の中央の極めて限られた領域のみに生じる。本実施例では、チャンネルの側面はシリコンとその酸化膜の界面で決まるためきわめて平滑であり、界面における電子の散乱の影響は小さい。

【００３２】

【発明の効果】

本発明によれば、基板上に半導体又は金属薄膜と絶縁薄膜を含む積層膜を形成し、これを加工した後側面から酸化して酸化領域を形成し、積層膜中に上記酸化領域に囲まれた０次元量子箱もしくは微小トンネル接合を有する一次元量子細線や、酸化領域及び絶縁薄膜に挟まれた半導体又は金属領域からなる０次元量子箱もしくは一次元量子細線を形成することにより、従来のＳｉ集積回路製造に用いられている半導体微細加工装置とデバイス製造

装置を用いて、単一電子素子や各種量子効果素子等の電子デバイスを室温で動作させるのに必要な数ｎｍの寸法を精度よく加工することが可能となる。

【００３３】

又、電子デバイスにおいて、筒状の絶縁膜パターンの中心部に基板に垂直な柱状の半導体又は金属細線と、その途中にトンネル接合又は量子箱を設けるか、又は、直方体状の絶縁膜パターンの中心部の長手方向に、基板に平行に伸びる半導体又は金属細線を設けることにより、従来の電子デバイスの性能を大幅に上回る電子デバイスが得られる。

【図面の簡単な説明】

【図１】本発明の原理を示す模式図。

【図２】本発明による電子デバイスの製造方法の特性図。

【図３】本発明の一実施例による電子デバイスの製造工程を模式的に示す説明図。

【図４】本発明の別の実施例による電子デバイスの製造工程を模式的に示す説明図。

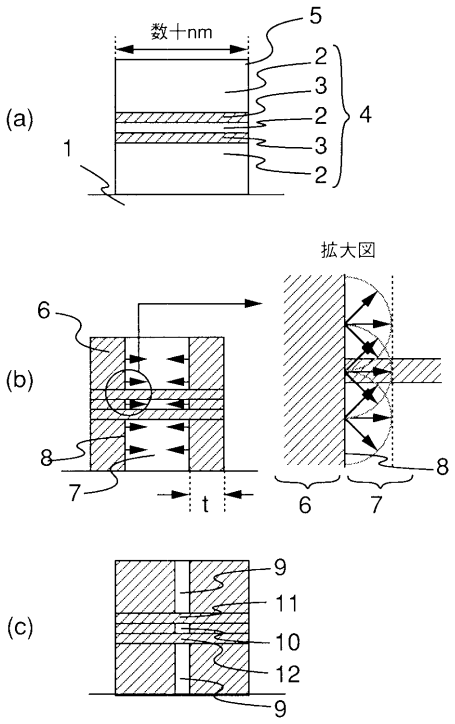
【図５】本発明の別の実施例による電子デバイスの製造工程を模式的に示す説明図。

【符号の説明】

１…基板、２…シリコン膜、３…絶縁膜、４…積層膜、５…円柱、６…酸化領域、７…未酸化領域、８…境界、９…シリコン細線、１０…島、１１，１２…トンネル接合。

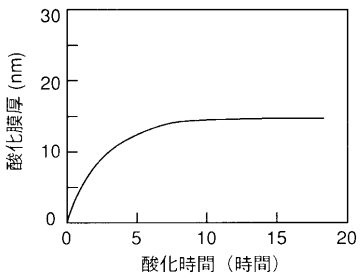
【図１】

図1



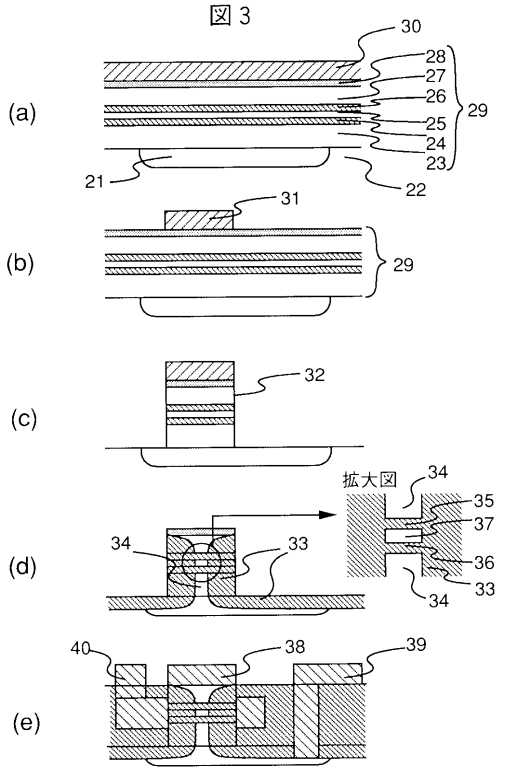
【図２】

図2



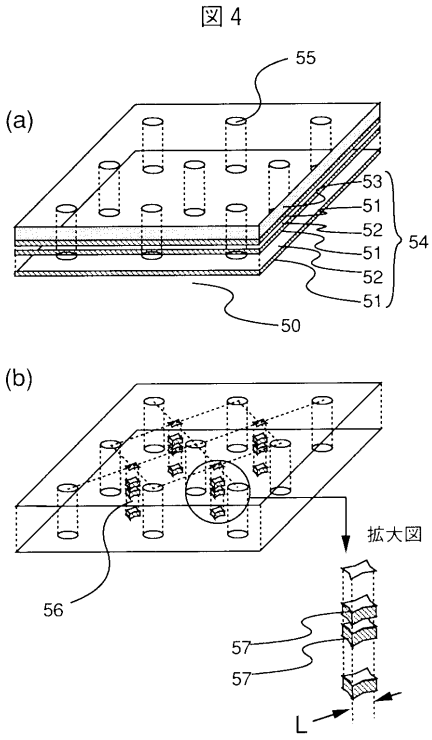
【図３】

図３



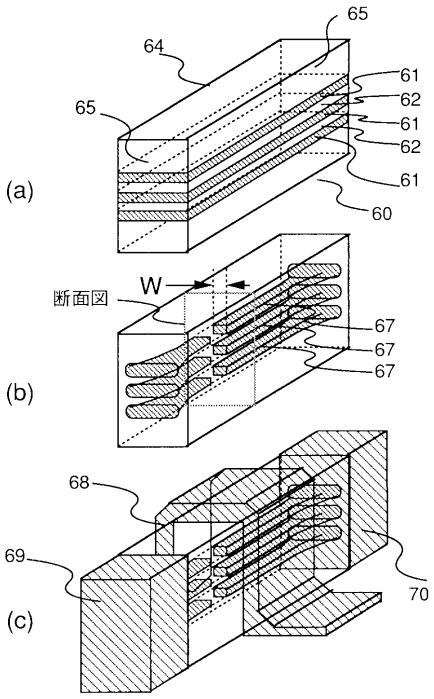
【図４】

図４



【図５】

図５



フロントページの続き

(56)参考文献 特開平０７－０３００９６（ＪＰ，Ａ）
特開平０６－０２１４３４（ＪＰ，Ａ）
特開平０６－３０２８０６（ＪＰ，Ａ）
特開平０９－０５１１０７（ＪＰ，Ａ）
特開平０６－０９７４２５（ＪＰ，Ａ）
特開平０４－０９７５６４（ＪＰ，Ａ）
特開平０５－０７５０９４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 29/06
H01L 29/66
H01L 29/78