



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년09월17일
(11) 등록번호 10-0858829
(24) 등록일자 2008년09월10일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2001-0074661

(22) 출원일자 2001년11월28일

심사청구일자 2006년11월28일

(65) 공개번호 10-2002-0041782

(43) 공개일자 2002년06월03일

(30) 우선권주장

JP-P-2000-00361971 2000년11월28일 일본(JP)

(56) 선행기술조사문헌

JP10-092576 A

JP12-208778 A

전체 청구항 수 : 총 19 항

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

야마자키순페이

일본국가나가와켄아쓰기시하세398가부시키가이샤

한도오파이에네루기켄큐쇼내

코야마준

일본국가나가와켄아쓰기시하세398가부시키가이샤

한도오파이에네루기켄큐쇼내

(74) 대리인

이병호, 장훈

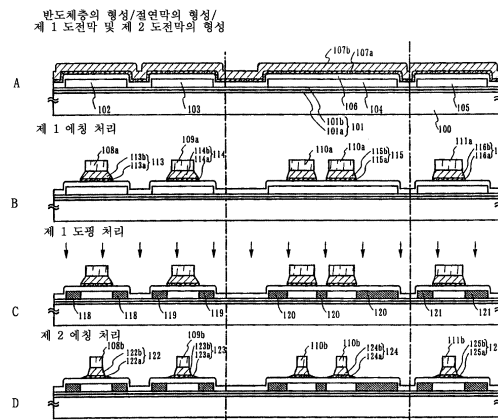
심사관 : 최광섭

(54) 반도체 장치 제조 방법

(57) 요약

반도체 장치 및 반도체 장치의 제조 방법에서, 화소부(205)의 소스 와이어(126)는 낮은 저항을 갖는 재료(각각, 알루미늄, 은, 구리)로 형성된다. 구동 회로의 소스 와이어는 화소부의 게이트 와이어(162) 및 화소 전극(163)와 동일한 공정에서 형성된다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

절연 표면 위에 화소부 및 구동 회로를 가진 반도체 장치를 제조하는 방법에 있어서,

상기 절연 표면상에 반도체 층을 형성하는 단계;

상기 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막상에 게이트 전극을 형성하는 단계;

제 1 n형 불순물 영역을 형성하기 위하여 마스크로서 상기 게이트 전극을 사용하여 상기 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 제 1 농도로 도핑하는 단계;

상기 게이트 전극의 테이퍼부를 형성하기 위하여 상기 게이트 전극을 에칭하는 단계;

상기 제 1 n형 불순물 영역과 채널-형성 영역 사이에 제 2 n형 불순물 영역을 형성하기 위하여 상기 게이트 전극의 상기 테이퍼부를 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 상기 제 1 농도보다 낮은 제 2 농도로 도핑하는 단계;

상기 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 상기 화소부의 소스 와이어를 형성하는 단계;

상기 화소부의 상기 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및

상기 제 3 절연막상에 상기 화소부의 게이트 와이어 및 상기 구동 회로의 소스 와이어를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 34

제 1 n 채널형 TFT 및 제 2 n 채널형 TFT를 갖는 반도체 장치를 제조하는 방법에 있어서,

상기 제 1 n 채널형 TFT 및 상기 제 2 n 채널형 TFT를 각각 형성하기 위하여 절연 표면상에 제 1 반도체 층 및 제 2 반도체 층을 형성하는 단계;

상기 제 1 반도체 층 및 제 2 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 반도체 층 및 상기 제 2 반도체 층 각각의 위에 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계로서, 상기 제 1 절연막이 상기 제 1 반도체 층과 상기 제 2 반도체 층 사이에 개재된, 상기 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 반도체 층에 제 1 n형 불순물 영역을 형성하고 상기 제 2 반도체 층에 제 2 n형 불순물 영역을 형성하기 위하여 마스크들로서 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 사용하여 상기 제 1 반도체 층 및 상기 제 2 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 도핑하는 단계;

상기 제 1 게이트 전극의 제 1 테이퍼부 및 상기 제 2 게이트 전극의 제 2 테이퍼부를 형성하기 위하여 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 에칭하는 단계;

상기 제 1 n 채널형 TFT의 제 1 채널-형성 영역과 상기 제 1 n형 불순물 영역 사이에 제 3 n형 불순물 영역을 형성하고 상기 제 2 n 채널형 TFT의 제 2 채널-형성 영역과 상기 제 2 n형 불순물 영역 사이에 제 4 n형 불순물 영역을 형성하기 위하여 상기 제 1 게이트 전극의 상기 제 1 테이퍼부 및 상기 제 2 게이트 전극의 상기 제 2 테이퍼부를 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 제 1 반도체 층 및 상기 제 2 n형 불순물 영역을 갖는 상기 제 2 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 도핑하는 단계;

제 3 게이트 전극을 형성하기 위하여 상기 제 2 게이트 전극의 상기 제 2 테이퍼부를 선택적으로 제거하는 단계;

상기 제 1 게이트 전극 및 상기 제 3 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 화소부의 소스 와이어를 형성하는 단계;

상기 화소부의 상기 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및

상기 제 3 절연막상에 상기 화소부의 게이트 와이어 및 구동 회로의 소스 와이어를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

절연 표면 위에 화소부 및 구동 회로를 가진 반도체 장치를 제조하는 방법에 있어서,

상기 절연 표면상에 반도체 층을 형성하는 단계;

상기 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막상에 게이트 전극을 형성하는 단계;

제 1 n형 불순물 영역을 형성하기 위하여 마스크로서 상기 게이트 전극을 사용하여 상기 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 제 1 농도로 도핑하는 단계;

상기 게이트 전극의 테이퍼부를 형성하기 위하여 상기 게이트 전극을 에칭하는 단계;

상기 제 1 n형 불순물 영역과 채널-형성 영역 사이에 제 2 n형 불순물 영역을 형성하기 위하여 상기 게이트 전극의 상기 테이퍼부를 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 상기 제 1 농도보다 낮은 제 2 농도로 도핑하는 단계;

상기 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막상에 상기 화소부의 게이트 와이어 및 상기 구동부의 소스 와이어를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 44

제 1 n 채널형 TFT 및 제 2 n 채널형 TFT를 갖는 반도체 장치를 제조하는 방법에 있어서,

상기 제 1 n 채널형 TFT 및 상기 제 2 n 채널형 TFT를 각각 형성하기 위하여 절연 표면상에 제 1 반도체 층 및 제 2 반도체 층을 형성하는 단계;

상기 제 1 반도체 층 및 상기 제 2 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 반도체 층 및 상기 제 2 반도체 층 각각 위에 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계로서, 상기 제 1 절연막이 상기 제 1 반도체 층과 상기 제 2 반도체 층 사이에 개재되는, 상기 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 반도체 층의 제 1 n형 불순물 영역 및 상기 제 2 반도체 층의 제 2 n형 불순물 영역을 형성하기 위하여 마스크들로서 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 사용하여 상기 제 1 반도체 층 및 상기 제 2 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 도핑하는 단계;

상기 제 1 게이트 전극의 제 1 테이퍼부 및 상기 제 2 게이트 전극의 제 2 테이퍼부를 형성하기 위하여 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 에칭하는 단계;

상기 제 1 n 채널형 TFT의 제 1 채널-형성 영역과 상기 제 1 n형 불순물 영역 사이에 제 3 n형 불순물 영역을 형성하고 상기 제 2 n 채널형 TFT의 제 2 채널-형성 영역과 상기 제 2 n형 불순물 영역 사이에 제 4 n형 불순물 영역을 형성하기 위하여 상기 제 1 게이트 전극의 상기 제 1 테이퍼부 및 상기 제 2 게이트 전극의 상기 제 2 테이퍼부를 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 제 1 반도체 층 및 상기 제 2 n형 불순물 영역을 갖는 상기 제 2 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 도핑하는 단계;

제 3 게이트 전극을 형성하기 위하여 상기 제 2 게이트 전극의 상기 제 2 테이퍼부를 선택적으로 제거하는 단계; 및

상기 제 1 게이트 전극 및 상기 제 3 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 45

절연 표면 위에 반도체 장치를 제조하는 방법에 있어서,

상기 절연 표면상에 반도체 층을 형성하는 단계;

상기 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막상에 제 1 도전층 및 상기 제 1 도전층에 형성된 제 2 도전층을 포함하는 게이트 전극을 형성하는 단계;

제 1 n형 불순물 영역을 형성하기 위하여 마스크로서 상기 게이트 전극을 사용하여 상기 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 제 1 농도로 도핑하는 단계;

상기 제 1 도전층으로 구성된 상기 게이트 전극의 부분을 형성하기 위하여 상기 제 2 도전층의 일부를 선택적으로 에칭하는 단계;

상기 제 1 n형 불순물 영역과 채널-형성 영역 사이에 제 2 n형 불순물 영역을 형성하기 위하여 상기 게이트 전극의 부분을 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 상기 제 1 농도보다 낮은 제 2 농도로 도핑하는 단계;

상기 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 화소부의 소스 와이어를 형성하는 단계;

상기 화소부의 상기 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및

상기 제 3 절연막상에 상기 화소부의 게이트 와이어 및 구동 회로의 소스 와이어를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 46

제 1 n 채널형 TFT 및 제 2 n 채널형 TFT를 갖는 반도체 장치를 제조하는 방법에 있어서,

상기 제 1 n 채널형 TFT 및 상기 제 2 n 채널형 TFT를 각각 형성하기 위하여 절연 표면상에 제 1 반도체 층 및 제 2 반도체 층을 형성하는 단계;

상기 제 1 반도체 층 및 상기 제 2 반도체 층상에 제 1 절연막을 형성하는 단계;

상기 제 1 반도체 층 및 상기 제 2 반도체 층 각각의 위에 제 1 도전층 및 상기 제 1 도전층에 형성된 제 2 도전층을 각각 포함하는 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계로서, 상기 제 1 절연막이 상기 제 1 반도체 층과 상기 제 2 반도체 층 사이에 개재된, 상기 제 1 게이트 전극 및 제 2 게이트 전극을 형성하는 단계;

상기 제 1 반도체 층의 제 1 n형 불순물 영역 및 상기 제 2 반도체 층의 제 2 n형 불순물 영역을 형성하기 위하여 마스크들로서 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극을 사용하여 상기 제 1 반도체 층 및 상기 제 2 반도체 층에 n형을 제공하는 제 1 불순물 원소들을 도핑하는 단계;

상기 제 1 도전층으로 각각 구성된 상기 제 1 게이트 전극의 제 1 부분 및 상기 제 2 게이트 전극의 제 2 부분을 형성하기 위하여 상기 제 2 도전층의 부분들을 선택적으로 에칭하는 단계;

각각 상기 제 1 도전층으로 구성된 상기 제 1 반도체 층의 제 3 n형 불순물 영역 및 상기 제 2 반도체 층의 제 4 n형 불순물 영역을 형성하기 위하여 상기 제 1 게이트 전극의 상기 제 1 부분 및 상기 제 2 게이트 전극의 상기 제 2 부분을 통과하는 동안 상기 제 1 n형 불순물 영역을 갖는 상기 제 1 반도체 층 및 상기 제 2 n형 불순물 영역을 갖는 제 2 반도체 층에 n형을 제공하는 제 2 불순물 원소들을 도핑하는 단계;

제 3 게이트 전극을 형성하기 위하여 상기 제 1 도전층으로 구성된 상기 제 2 게이트 전극의 상기 제 2 부분을 선택적으로 제거하는 단계;

상기 제 1 게이트 전극 및 상기 제 3 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계;

상기 제 2 절연막상에 화소부의 소스 와이어를 형성하는 단계;

상기 화소부의 상기 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및

상기 제 3 절연막상에 상기 화소부의 게이트 와이어 및 구동 회로의 소스 와이어를 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 47

제 33 항 또는 제 43 항 중 어느 한 항에 있어서,

상기 게이트 전극은, 하부 층으로서 제 1 폭을 가진 제 1 도전층, 및 상부층으로서 제 1 폭보다 작은 제 2 폭을 가진 제 2 도전층을 포함하는 적층 구조를 갖는, 반도체 장치 제조 방법.

청구항 48

제 47 항에 있어서,

상기 제 2 도전층과 오버랩되지 않는 상기 제 1 도전층 영역의 단면 형상은 테이퍼 형상인, 반도체 장치 제조 방법.

청구항 49

제 34 항 또는 제 46 항에 있어서,

상기 제 1 게이트 전극을 갖는 상기 제 1 n 채널형 TFT는 상기 구동 회로의 TFT인, 반도체 장치 제조 방법.

청구항 50

제 34 항 또는 제 46 항에 있어서,

상기 제 3 게이트 전극을 가진 상기 제 2 n 채널형 TFT는 상기 화소부의 TFT인, 반도체 장치 제조 방법.

청구항 51

제 33 항, 제 34 항, 제 45 항 또는 제 46 항 중 어느 한 항에 있어서,

화소 전극은 상기 구동 회로의 상기 소스 와이어와 동시에 형성되는, 반도체 장치 제조 방법.

청구항 52

제 33 항, 제 34 항, 제 45 항 또는 제 46 항 중 어느 한 항에 있어서,

상기 화소부의 상기 소스 와이어는 스퍼터링 방법, 프린트 방법, 플레이팅 방법 또는 이들의 조합에 의해 형성되는, 반도체 장치 제조 방법.

청구항 53

제 45 항 또는 제 46 항에 있어서,

상기 제 2 도전층은 제 1 폭을 가지며 상기 제 2 도전층은 상기 제 1 폭보다 더작은 제 2 폭을 가지며, 반도체 장치 제조 방법.

청구항 54

제 45 항에 있어서,

상기 제 1 도전층으로 구성된 상기 게이트 전극의 부분의 단면 형상은 테이퍼 형상인, 반도체 장치 제조 방법.

청구항 55

제 33 항, 제 34 항, 제 43 항, 제 44 항, 제 45 항 또는 제 46 항 중 어느 한 항에 따른 TFT를 갖는 액정 디스플레이 장치를 제조하는 방법.

청구항 56

제 33 항, 제 34 항, 제 43 항, 제 44 항, 제 45 항 또는 제 46 항 중 어느 한 항에 따른 TFT를 갖는 EL 디스플레이 장치를 제조하는 방법.

청구항 57

제 44 항에 있어서,

상기 제 1 게이트 전극을 가진 상기 제 1 n채널형 TFT는 구동 회로의 TFT인, 반도체 장치 제조 방법.

청구항 58

제 44 항에 있어서,

상기 제 3 게이트 전극을 가진 상기 제 2 n채널형 TFT는 화소부의 TFT인, 반도체 장치 제조 방법.

청구항 59

제 46 항에 있어서,

상기 제 1 도전층으로 구성된 상기 제 1 게이트 전극 및 상기 제 2 게이트 전극 중 적어도 하나의 부분의 단면 형상은 테이퍼 형상인, 반도체 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<23> 발명의 분야

<24> 본 발명은 박막 트랜지스터(이후 "TFT")에 의해 구성된 회로를 가진 반도체 장치, 및 상기 반도체 장치를 제조하는 방법에 관한 것이다. 예를 들어, 본 발명은 전기 광학 장치가 일부 구성으로서 장착된 액정 디스플레이

패널 및 전자 장치에 관한 전자 광학 장치에 관한 것이다.

<25> 본 명세서에서, 반도체 장치는 반도체 특성, 및 전기 광학 장치, 반도체 회로 및 전자 장치를 사용하는 기능이 반도체 장치로서 정의되는 일반적인 장치를 의미한다.

<26> 관련 기술의 설명

<27> 최근에, 절연 표면을 가진 기판상에 형성된 반도체 박막(약 몇 nm 내지 몇백 nm의 두께를 가짐)을 형성하는 기술에 대해 많은 시도가 있었다. 박막 트랜지스터는 IC 같은 전기 장치, 전기광학 장치 등에 폭넓게 사용되었었고, 특히 이미지 디스플레이 장치의 스위칭 소자에 박막 트랜지스터를 적용하기 위한 개발이 빠르게 요구되었다.

<28> 액정 디스플레이 장치는 이미지 디스플레이 장치로서 잘 공지되었다. 능동 매트릭스형 액정 디스플레이 장치는 보다 높은 해상도의 이미지가 능동 매트릭스형 액정 디스플레이 장치에 의해 제공될 수 있기 때문에 수동형 액정 디스플레이 장치보다 자주 사용되었다. 능동 매트릭스형 액정 디스플레이 장치에서, 디스플레이 패턴은 매트릭스 형태로 배열된 화소 전극을 구동함으로써 스크린상에 형성된다. 특히, 전압은 선택된 화소 전극 및 화소 전극과 카운터 전극 사이에 배치된 액정 층을 광학적으로 변조시키기 위하여 선택된 화소 전극과 면하는 카운터 전극 양단에 인가되어, 광학 변조는 시청자에 의해 디스플레이 패턴으로서 인식된다.

<29> 상기 능동 매트릭스형 액정 장치는 많은 다른 종류의 분야에 폭넓게 사용되었고, 스크린 크기의 대면적 설계, 고해상도, 높은 개구수 및 높은 신뢰도의 설계가 크게 요구되었다. 동시에 생산성의 향상 및 제조 비용의 감소가 크게 요구되었다.

발명이 이루고자 하는 기술적 과제

<30> TFT가 TFT에 대한 게이트 배선 재료로서 알루미늄을 사용할 때, TFT의 제조 및 TFT 특성의 질적 하락은 채널 형성 영역에서 열처리 및 알루미늄 원자의 확산으로 인한 힐록, 휘스커(whisker) 등 돌출부의 형성에 의해 발생된다. 다른 한편, 열처리에 대해 높은 저항을 가진 금속 재료, 통상적으로 높은 용점을 가진 금속 원소가 상기 문제를 방지하기 위하여 사용될 때, 스크린 크기가 증가되면 와이어 배선이 증가하는 다른 문제가 발생하여, 전력 소비가 증가하는 등의 문제점을 유발한다.

<31> 그러므로, 본 발명의 목적은 스크린 크기가 증가되는 경우에도 전력 소비를 감소시킬 수 있는 반도체 장치의 구조, 및 그러한 반도체 장치를 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

<32> 본 발명에 따라, 상기 목적을 달성하기 위하여, 소스 와이어 및 게이트 와이어가 낮은 저항 재료(통상적으로, 알루미늄, 은, 구리 또는 그것의 합금)에 의해 형성된다. 게이트 전극은 게이트 와이어와 다른 층상에 제공된다. 게다가, 구동 회로의 모든 NMOS 회로는 n 채널형 TFT에 의해 형성되고 화소부의 TFT는 n 채널형 TFT로 형성된다.

<33> n 채널형 TFT를 결합함으로써 NMOS 회로를 형성하기 위하여, 두 개의 경우가 있는데, 하나의 경우는 NMOS 회로가 도 8의 A에 도시된 바와 같이 인헨스먼트형 TFT를 결합함으로써 형성되는 것이고(이후 "EEMOS 회로"라 함), 다른 경우는 도 8의 B에 도시된 바와 같이 인헨스먼트형 및 디프레션형을 결합함으로써 형성된다(이후 "EDMOS 회로"라 함).

<34> 서로 분리되게 인헨스먼트형 및 디프레션형을 형성하기 위하여, 주기율표의 제 15 그룹(바람직하게, 인)에 속하는 원소 또는 주기율표의 제 13 그룹(바람직하게 붕소)에 속하는 원소는 채널 형성 영역으로 사용되는 반도체에 적당하게 도핑된다.

<35> 화소부의 소스 와이어는 구동 회로 부분의 소스 와이어와 다른 단계에서 형성된다.

<36> 본 발명의 일 측면에 따라, 절연 표면에 형성된 반도체 층, 상기 반도체 층상에 형성된 절연막, 및 상기 절연막상에 형성된 게이트 전극을 포함하는 TFT가 장착된 반도체 장치가 제공되고, 상기 반도체 장치는 제 1 n 채널형 TFT를 가진 화소부 및 제 2 n 채널형 TFT와 제 3 n 채널형 TFT를 포함하는 회로를 가진 구동 회로를 포함하고, 상기 제 1 n 채널형 TFT, 제 2 n 채널형 TFT 및 제 3 n 채널형 TFT 각각의 게이트 전극이 하부층으로서 제 1 폭을 가진 제 1 도전층과 상부 층으로서 제 1 폭보다 작은 제 2 폭을 가진 제 2 도전층을 포함하는 적층 구조

를 갖는 것을 특징으로 한다.

- <37> 본 발명의 다른 측면에 따라, 절연 표면에 형성된 반도체 층, 상기 반도체 층상에 형성된 절연막, 및 상기 절연막상에 형성된 게이트 전극을 포함하는 TFT가 장착된 반도체 장치가 제공되고, 상기 반도체 장치는 제 1 n 채널형 TFT를 가진 화소부, 및 제 2 n 채널형 TFT 및 제 3 n 채널형 TFT를 가진 구동 회로를 포함하고, 제 1 n 채널형 TFT의 게이트 전극이 제 2 도전층 및 상기 제 2 도전층과 동일한 폭을 가진 제 1 도전층을 포함하고, 제 2 및 제 3 n 채널형 TFT 각각의 게이트 전극이 하부 층으로서 제 1 폭을 가진 제 1 도전층 및 상부 층으로서 제 1 폭보다 작은 제 2 폭을 가진 제 2 도전층을 포함하는 적층 구조를 갖는 것을 특징으로 한다.
- <38> 상기 반도체 장치의 각각에서, EEMOS 회로 또는 EDMOS 회로는 제 2 n 채널형 TFT 및 제 3 n 채널형 TFT에 의해 형성된다.
- <39> 상기 반도체 장치들 각각에서, 구동 회로의 각각의 n 채널형 TFT는 테이퍼부를 가진 게이트 전극, 게이트 전극과 겹쳐진 채널 형성 영역 및 게이트 전극과 부분적으로 오버랩된 불순물 영역을 가진다.
- <40> 상기 반도체 장치들 각각에서, n 채널형 TFT의 불순물 영역에서 불순물 농도는 적어도 1×10^{17} 내지 $1 \times 10^{18} / \text{cm}^3$ 범위의 농도 기울기를 가진 영역을 포함하고, 불순물 농도는 채널 형성 영역으로부터의 거리가 증가될 때 증가된다.
- <41> 상기 반도체 장치의 각각에서, 구동 회로의 n 채널형 TFT의 소스 와이어 및 화소부의 n 채널형 TFT의 소스 와이어는 다른 재료로 형성된다.
- <42> 상기 반도체 장치의 각각에서, 화소부의 소스 와이어는 주로 Al, Cu, 또는 Ag를 포함하는 재료로 형성된다.
- <43> 상기 반도체 장치의 각각에서, 화소부의 소스 와이어는 스퍼터링 방법, 프린트 방법, 플레이팅 방법 또는 임의의 방법의 결합에 의해 형성된다.
- <44> 각각의 상기 반도체 장치는 반사 또는 통과형 액정 모듈이다.
- <45> 본 발명의 다른 측면에 따라, 구동 회로 및 절연 표면상 화소부를 가진 반도체 장치를 제조하는 방법이 제공되고, 상기 방법은 절연 표면에 반도체 층을 형성하는 단계, 반도체 층상에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막상에 제 1 게이트 전극을 형성하는 단계; n 형 제 1 불순물 영역을 형성하기 위하여 마스크로서 제 1 게이트 전극을 사용함으로써 반도체 층에 n형을 제공하는 불순물 원소를 도핑하는 단계; 테이퍼부를 형성하기 위하여 제 1 게이트 전극을 에칭하는 단계; n형 제 2 불순물 영역을 형성하기 위하여 제 1 게이트 전극의 테이퍼부를 통과하는 동안 반도체 층에 n형을 제공하는 불순물 원소를 도핑하는 단계; 제 1 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계; 제 2 절연막상에 화소부의 소스 와이어를 형성하는 단계; 상기 화소부의 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및 제 3 절연막상에 구동 회로의 소스 와이어 및 게이트 와이어를 형성하는 단계를 포함하는 것을 특징으로 한다.
- <46> 본 발명의 다른 측면에 따라, 절연 표면에 제 1 반도체 층 및 제 1 게이트 전극을 가진 n 채널형 TFT, 및 제 2 반도체 층 및 제 2 게이트 전극을 가진 n 채널형 TFT를 가진 반도체 장치를 제조하는 방법이 제공되고, 상기 방법은 절연 표면에 제 1 반도체 층 및 제 2 반도체 층을 형성하는 단계; 상기 제 1 반도체 층 및 제 2 반도체 층상에 제 1 절연 막을 형성하는 단계; 제 1 절연막상에 제 1 게이트 전극을 형성하는 단계; n형 제 1 불순물 영역을 형성하기 위하여 마스크로서 제 1 게이트 전극을 사용함으로써 제 1 반도체 층 및 제 2 반도체 층에 n형을 제공하는 불순물 원소 도핑 단계; 테이퍼부를 형성하기 위하여 제 1 게이트 전극을 에칭하는 단계; n형 제 2 불순물 영역을 형성하기 위하여 제 1 게이트 전극의 테이퍼부를 통과하는 동안 제 1 반도체 층 및 제 2 반도체 층에 n형을 제공하는 불순물 원소를 도핑하는 단계; 제 2 게이트 전극을 형성하기 위하여 제 2 반도체 층상에 제 1 게이트 전극의 테이퍼부만을 선택적으로 제거하는 단계; 제 1 게이트 전극 및 제 2 게이트 전극을 커버하기 위하여 제 2 절연막을 형성하는 단계; 제 2 절연막상에 화소부의 소스 와이어를 형성하는 단계; 화소부의 소스 와이어를 커버하기 위하여 제 3 절연막을 형성하는 단계; 및 제 3 절연막상에 구동 회로 및 게이트 와이어의 소스 와이어를 형성하는 단계를 포함하는 것을 특징으로 한다.
- <47> 상기 제조 방법에서, 제 1 게이트 전극을 가진 n 채널형 TFT는 구동 회로의 TFT이다.
- <48> 상기 제조 방법에서, 제 2 게이트 전극을 갖는 n 채널형 TFT는 화소부의 TFT이다.
- <49> 상기 제조 방법에서, 화소 전극은 구동 회로의 소스 와이어와 동시에 형성된다.
- <50> 상기 제조 방법에서, 화소부의 소스 와이어를 형성하는 단계는 스퍼터링 방법, 프린트 방법, 플레이팅 방법 또

는 그것의 결합이다.

- <51> 상기 제조 방법에서, 제 1 게이트 전극은 하부 층으로서 제 1 폭을 가진 제 1 도전층 및 상부 층으로서 제 1 폭보다 작은 제 2 폭을 가진 제 2 도전층을 포함하는 적층 구조를 가진다. 제 2 도전층과 오버랩되지 않는 제 1 도전층의 영역의 단면 형상은 테이퍼 형상이다.
- <52> 양호한 실시예들의 설명
- <53> 본 발명은 첨부 도면을 참조하여 기술될 것이다.
- <54> 첫째, 베이스 절연막이 기판상에 형성된후, 원하는 형상을 가진 반도체 층은 제 1 포토리소그래피 처리를 사용함으로써 형성된다.
- <55> 이어서, 절연막(게이트 절연막 포함)은 반도체 층을 커버하기 위하여 형성된다. 제 1 도전막 및 제 2 도전막은 절연막상에 형성되고 적층된다. 따라서, 형성된 적층막은 제 1 도전층 및 제 2 도전층을 포함하는 게이트 전극을 형성하기 위하여 제 2 포토리소그래피 처리를 사용함으로써 제 1 에칭 처리된다. 본 발명에서, 게이트 전극이 미리 형성된후, 게이트 와이어는 층간 절연막상에 형성된다.
- <56> 다음으로, n형(인 등)을 제공하는 불순물 원소는 제 2 포토리소그래피 처리시 형성된 레지스트 마스크가 변형되지 않고 남겨져서, 자기 정렬 방식으로 n형 불순물 영역(고농도)를 형성하는 상태에서 반도체에 도핑된다.
- <57> 다음으로, 에칭 조건은 변화되고 제 2 에칭 처리는 제 2 포토리소그래피 처리시 형성된 레지스트 마스크가 변형되지 않고 남겨지고, 테이퍼부를 가진 제 1 도전층(제 1 폭) 및 제 2 도전층(제 2 폭)이 형성된 상태에서 수행된다. 제 1 폭은 제 2 폭보다 크게 설정되고, 제 1 도전층 및 제 2 도전층을 포함하는 전극은 n 채널형 TFT의 게이트 전극(제 1 게이트 전극)으로서 사용한다.
- <58> 다음으로, 레지스트 마스크가 제거된후, n형을 제공하는 불순물 원소는 제 1 도전층의 테이퍼부를 통과하고 마스크로서 제 2 도전층을 사용함으로써 반도체층에 도핑된다. 여기서, 채널 형성 영역은 제 2 도전층 아래에 형성되고, 불순물 영역(낮은 농도)은 제 1 도전층 아래에 형성되어 채널 형성 영역으로부터의 거리가 길어질 때 불순물 농도는 점차적으로 증가한다.
- <59> 그 후, 테이퍼부는 오프 전류를 감소시키기 위하여 선택적으로 제거되고, 마스크 시트의 수는 화소부와 다른 부분을 커버하는 레지스트 마스크를 형성하기 위하여 하나씩 증가되고, 에칭 처리는 화소부의 게이트 전극중 테이퍼부만을 제거하기 위하여 수행된다.
- <60> 다음으로, 게이트 전극을 보호하기 위한 절연막이 형성된후, 각각의 반도체 층에 도핑된 불순물 원소는 활성화되고, 낮은 저항을 가진 금속 재료(통상적으로, 메인 구성요소로서 알루미늄, 은 또는 구리를 포함하는 재료)로 형성된 소스 와이어는 제 3 포토리소그래피 처리에 의해 화소부에서의 절연막상에 형성된다. 상기된 바와 같이, 본 발명에 따라, 화소부의 소스 와이어는 낮은 저항을 가진 금속 재료로 형성된다. 그러므로, 화소부의 영역이 증가될때조차, 화소부는 충분히 구동될 수 있다. 게다가, 마스크 시트의 수가 감소되기 때문에, 소스 와이어는 프린트 방법에 의해 형성될 수 있다.
- <61> 다음에, 층간 절연막이 형성되고, 접촉홀은 제 4 포토리소그래피 처리에 의해 형성된다. 이 경우, 불순물 영역으로 연장하는 접촉홀, 게이트 전극으로 연장하는 접촉홀 및 소스 와이어로 연장하는 접촉홀이 형성된다.
- <62> 다음으로, 낮은 저항을 가진 금속 재료로 형성된 도전막이 형성되고, 게이트 와이어 및 소스 와이어의 각각을 불순물 영역 및 화소 전극에 접속하기 위한 전극은 제 5 포토리소그래피 처리에 의해 형성된다. 본 발명에서, 각각의 게이트 와이어는 층간 절연막에 제공된 접촉홀을 통하여 제 1 게이트 전극 또는 제 2 게이트 전극에 전기적으로 접속된다. 각각의 소스 와이어는 층간 절연막에 제공된 접촉홀을 통하여 불순물 영역(소스 영역)에 전기적으로 접속된다. 화소 전극은 층간 절연막에 제공된 접촉홀을 통하여 불순물 영역(드레인 영역)에 전기적으로 접속된다. 높은 반사도를 가진 금속 재료는 바람직하게 도전층의 재료로서 사용되는데, 그 이유는 그것이 화소 전극을 구성하고, 메인 구성요소로서 알루미늄 또는 은을 포함하는 재료가 통상적으로 사용되기 때문이다.
- <63> 상기된 바와 같이, 본 발명에 따라, 게이트 와이어는 낮은 저항을 가진 금속 재료로 형성되고, 화소부의 영역이 증가되는 경우에도 화소부는 충분히 구동될 수 있다.
- <64> 상기된 바와 같이, 도 8의 A에 도시된 화소 TFT(n 채널형 TFT)를 가진 화소부를 가진 장치 기판 및 EEMOS 회로(n 채널형 TFT)를 가진 구동 회로는 총 5번의 포토리소그래피 처리를 수행하여, 즉 5개의 마스크 시트를 사용함

으로써 형성될 수 있다. 이런 경우, 상기 처리는 반사형 디스플레이 장치의 형성에 관한 것이지만, 본 발명의 방법은 투과형 디스플레이 장치에 적용될 수 있다. 투과형 디스플레이 장치가 제조될 때, 장치 기판은 6개의 마스크 시트를 사용하여 형성될 수 있는데, 그 이유는 패터닝 처리에 투명한 도전막을 노출시킬 필요가 있기 때문이다.

<65> 또한, 도 8의 B에 도시된 바와 같은 EDMOS 회로가 인헨스먼트형 및 디프레션형을 결합함으로써 형성되는 경우, 도전막이 형성되기 전에, 마스크는 미리 형성되고 주기율표의 제 15 그룹에 속하는 원소(바람직하게, 인) 또는 주기율표의 제 13 그룹에 속하는 원소(바람직하게, 붕소)는 채널 형성 영역으로서 사용하는 반도체에 선택적으로 도핑된다. 이 경우, 장치 기판은 6개의 마스크 시트를 사용하여 형성될 수 있다.

<66> 제 3 포토리소그래피가 사용되지 않고 화소부의 와이어가 프린트 방법에 의해 형성될 때, 장치 기판은 4개의 마스크 시트를 사용함으로써 형성될 수 있다.

<67> 상기 구조를 가진 본 발명은 다음 바람직한 실시예를 바탕으로 보다 상세히 기술된다.

<68> <실시예들>

<69> 제 1 실시예

<70> 이 실시예에서, 화소부(n 채널형 TFT) 및 동일 기판의 상기 화소부의 주변상에 제공된 NMOS 회로를 포함하는 TFT(n 채널형 TFT에 의해 형성된 EEMOS 회로)는 도 1 내지 도 5를 참조하여 기술될 것이다.

<71> 이 실시예에서, 기판(100)은 코닝 코포레이션상에 의해 생산되는 #7059 유리 및 #1737 유리 같은 바륨 붕규산 유리, 또는 알루미늄붕규산 유리로 만들어진 것이 사용된다. 기판(100)으로서 임의의 기판이 사용될 수 있다. 표면에 절연막을 형성하는 석영 기판, 실리콘 기판, 금속 기판, 또는 스테인레스 기판이 사용될 수 있다. 이런 실시예의 처리 온도를 견딜 수 있는 열 저항을 가진 플라스틱 기판 역시 사용될 수 있다.

<72> 그 다음, 산화 실리콘막, 질화 실리콘 막, 또는 실리콘 옥사이드 니트라이드막으로 구성된 하부막(101)은 기판(100)상에 형성된다. 이 실시예에서, 두층의 구조는 하부막(101)으로서 사용된다. 그러나, 단일 절연막 또는 상기 절연막을 사용하는 두 개 이상의 절연막의 적층구조가 또한 사용될 수 있다. 하부막(101)의 제 1 층으로서, 실리콘 옥사이드 니트라이드막(101a)이 반응 가스로서 SiH_4 , NH_3 및 N_2O 를 사용하여 플라즈마 CVD에 의해 10 내지 200 nm(바람직하게, 50 내지 100 nm)의 두께로 형성된다. 이런 실시예에서, 50nm의 두께를 갖는 실리콘 옥사이드 니트라이드 막(101a)(조성비 : Si = 32%, O = 27%, N = 24% 및 H = 17%)이 형성된다. 그 다음, 하부막(101)의 제 2 층으로서, 실리콘 옥사이드 니트라이드막(101b)은 반응 가스로서 SiH_4 및 N_2O 를 사용하여 플라즈마 CVD에 의해 50 내지 200nm(바람직하게, 100 내지 150nm)의 두께로 형성된다. 이 실시예에서, 100nm의 두께를 가진 실리콘 옥사이드 니트라이드 막(조성비 : Si = 32%, O = 59%, N = 7% 및 H = 2%)이 형성된다.

<73> 그 다음, 반도체 층(102 내지 105)이 하부막상에 형성된다. 반도체층(102 내지 105)은 공지된 방법(스퍼터링, LPCVD, 플라즈마 CVD, 등)에 의해 비결정질 구조를 갖는 반도체 막을 형성하고, 공지된 결정화 처리(레이저 결정화, 열 결정화, 또는 니켈 같은 촉매제를 사용하는 열적 결정화)를 수행하여 결정질의 반도체 막을 얻고, 상기 막을 원하는 형상으로 패터닝하여 형성된다. 반도체 층(102 내지 105)은 25nm 내지 80nm(바람직하게, 30 내지 60nm)의 두께로 형성된다. 결정질 막용 재료에 대한 특별한 제한은 없다. 그러나, 실리콘 또는 실리콘 게르마늄 합금의 결정질 반도체 막을 형성하는 것이 바람직하다. 이런 실시예에서, 55nm의 비결정질 실리콘 막은 플라즈마 CVD에 의해 형성되고, 그후 니켈을 포함하는 용액은 비결정질 실리콘 막상에 유지된다. 비결정질 실리콘 막은 수소 제거되고(500℃에서 1시간 동안), 열 결정화(550℃에서 4시간 동안)된다. 또한, 레이저 어닐링은 결정화를 개선하기 위하여 수행되어, 결정질 실리콘 막이 형성된다. 결정질 실리콘 막은 반도체 층(102 내지 105)을 형성하기 위하여 포토리소그래피에 의해 패터닝된다.

<74> 또한, 반도체 층(102 내지 105)이 형성된후, 불순물 원소(붕소 또는 인)의 미량의 도핑은 적당하게 수행되어 각각 인헨스먼트형 및 디프레션형을 제조한다.

<75> 또한, 레이저 결정화에 의해 결정 반도체 막을 제조하는 경우, 펄스 발진형 또는 연속 광 방사형 엑시머 레이저, YAG 레이저 및 YVO_4 가 사용된다. 이들 레이저가 사용될 때, 레이저 발진기로부터 방사된 레이저 광은 광학 시스템에 의해 라인 형상으로 집중되어 반도체 막을 조사하도록 허용될 수 있다. 결정화 조건은 조작자에 의해 적당하게 선택된다. 그러나, 펄스 발진 엑시머 레이저를 사용할 때, 펄스 발진 주파수는 30 Hz로 설정되고, 레이저 에너지 밀도는 100 내지 400 mJ/cm^2 (통상적으로 200 내지 300 mJ/cm^2)으로 설정된다. 펄스 발진

YAG 레이저를 사용하는 경우, 제 2 고조파가 사용되고, 펄스 발진 주파수는 1 내지 10 kHz로 설정되고, 레이저 에너지 밀도는 300 내지 600 mJ/cm²(통상적으로, 350 내지 500mJ/cm²)으로 설정된다. 100 내지 1000μm(예를 들어, 400μm)의 폭을 가진 라인 형상으로 집중된 레이저 광은 기관의 전체 표면에 방사되고, 이 시점에서 라인 형상 레이저 광 오버랩 비율은 80 내지 98%로 설정될 수 있다.

<76> 또한, 레이저 방사선의 상태는 도 14에 간단히 도시된다. 레이저 광 소스(1101)로부터 방사된 레이저 광은 광학 시스템(1102) 및 미러(1103)에 의해 큰 기관으로 방사된다. 큰 기관상 화살표는 레이저 광의 주사 방향을 도시한다. 도 14는 650×550nm 크기의 큰 기관(1105)으로부터 12.1 인치의 6개의 기관을 형성하기 위하여 다중 패턴을 실행하는 것을 도시한다.

<77> 그 다음, 게이트 절연막(106)은 반도체 층(102 내지 105)을 커버하도록 형성된다. 기관 절연 막(106)은 플라즈마 CVD 또는 스퍼터링에 의해 40 내지 150 nm의 두께를 가지도록 실리콘을 포함하는 절연막으로 형성된다. 이런 실시예에서, 실리콘 옥사이드 니트라이드 막(조성비 : Si = 32%, O = 59%, N = 7%, 및 H = 2%)은 플라즈마 CVD에 의해 115 nm의 두께로 형성된다. 말할 필요 없이, 게이트 절연막(106)은 실리콘 옥사이드 니트라이드 막으로 한정되지 않고, 실리콘을 포함하는 절연 막의 단일층 또는 적층 구조를 가질 수 있다.

<78> 그 다음 도 1의 A에 도시된 바와 같이, 제 1 도전막(107a)(두께: 20 내지 100nm) 및 제 2 도전막(107b)(두께 : 100 내지 400nm)은 게이트 절연막(106)상에 적층된다. 이 실시예에서, 30nm의 두께를 가진 TaN 막으로 만들어진 제 1 도전막(107a) 및 370 nm의 두께를 가진 W 막으로 만들어진 제 2 도전막(107b)은 그 위에 적층된다. TaN 막은 질소를 포함하는 분위기에서 타겟으로서 Ta를 사용하여 스퍼터링에 의해 형성된다. W 막은 타겟으로서 W를 사용하여 스퍼터링에 의해 형성된다. W 막은 텅스텐 헥사플루오라이드(WF₆)를 사용하여 열 CVD에 의해 형성될 수 있다. 어떤 경우에는, 게이트 전극으로서 W 막을 사용하기 위하여 저항을 낮추는 것이 요구되고, W 막의 저항율이 20 μΩcm 또는 그 이하인 것이 바람직하다. W 막의 저항율은 결정 그래인을 확장시킴으로써 낮추어질 수 있다. 그러나, W 막에 산소 같은 다수의 불순물 원소가 있는 경우, 결정화는 중단되고, W막의 저항은 증가된다. 그러므로, 이 실시예에서, W 막은 불순물이 막 형성동안 증기 상태로부터 W 막에 진입되지 않도록 타겟으로서 높은 순도의 W(순도: 99.9999% 또는 99.99%)를 사용하는 스퍼터링에 의해 형성되어, 9 내지 20 μΩcm의 저항율이 달성될 수 있다.

<79> 이 실시예에서, 제 1 도전막(107a)은 TaN으로 만들어지고, 제 2 도전막(107b)은 W로 만들어진다. 그러나, 본 발명은 여기에 제한되지 않는다. 상기 양쪽 막들은 그 주 구성요소 또는 화합물 재료로서 Ta, W, Ti, Mo, Al, Cu, Cr 및 Nd, 또는 상기 원소를 포함하는 합금 재료로부터 선택된 원소로 형성될 수 있다. 인 같은 불순물 원소로 도핑된 다결정 실리콘 막 같은 반도체 막이 사용될 수 있다. 또한, 다음과 같은 결합물이 사용될 수 있다: 탄탈륨(Ta) 막으로 만들어진 제 1 도전막 및 W 막으로 만들어진 제 2 도전막; 티탄 니트라이드(TiN)막으로 만들어진 제 1 도전막 및 W 막으로 만들어진 제 2 도전막; 탄탈륨 니트라이드(TaN) 막으로 만들어진 제 1 도전막 및 Al 막으로 만들어진 제 2 도전막; 탄탈륨 니트라이드(TaN) 막으로 만들어진 제 1 도전막 및 Cu 막으로 만들어진 제 2 도전막.

<80> 그 다음, 레지스터로 만들어진 마스크(108a 내지 111a)가 포토리소그래피에 의해 형성되고, 전극 및 배선을 형성하기 위한 제 1 에칭 처리가 수행된다. 제 1 에칭 처리는 제 1 및 제 2 에칭 조건으로서 수행된다. 이런 실시예에서, 제 1 에칭 조건하에서, 에칭은 유도 결합 플라즈마(ICP) 에칭 방법에 의해 수행되고, 여기서 플라즈마는 1 Pa의 압력에서 코일 형상 전극에 공급된 500W의 RF 전력(13.56 MHz)을 이용하고 에칭 가스(흐름 비율: 25/25/10(sccm))로서 CF₄, Cl₂ 및 O₂를 사용하여 생성된다. 에칭 가스로서, Cl₂, BCl₃, SiCl₄ 및 CCl₄ 같은 염소형 가스, 또는 CF₄, SF₆, 및 NF₃ 또는 O₂ 같은 불소형 가스가 적당히 사용될 수 있다. 여기서, 마쯔시타 전기산업 주식회사에 의해 생산된 ICP를 사용하는 건식 에칭 장치(모델 E645-ICP)가 사용된다. 150W의 RF 전력(13.56MHz)은 기관층(샘플 스테이지)에 인가되어, 실질적으로 음의 자기 바이어스 전압이 인가된다. 제 1 에칭 조건하에서, W막은 에칭되고 제 1 도전층의 단실시 형태 테이퍼진다. 제 1 에칭 조건하에서, W에 대한 에칭 속도는 200.39 nm/min이고, TaN에 대한 에칭 속도는 80.32 nm/min이고, TaN에 대한 W의 선택비는 2.5이다. 또한, 제 1 에칭 조건하에서, W의 테이퍼 각도는 약 26° 이다.

<81> 그후, 레지스터로 만들어진 마스크(108a 내지 111a)를 제거하지 않고, 에칭은 제 1 에칭 조건하에서 약 30 초 동안 수행되고, 여기서 플라즈마는 1 Pa의 압력에서 코일 형상 전극에 인가된 500W의 RF 전력(13.56 MHz)을 사용하여 에칭 가스로서 CF₄ 및 Cl₂를 사용함으로써 생성된다. 20W의 RF 전력(13.56 MHz)은 기관층(샘플 스테이지)에 인가되어, 실질적으로 음의 자기 바이어스 전압이 거기에 인가된다. 에칭 가스로서 CF₄ 및 Cl₂의 혼합물

을 사용하는 제 2 에칭 조건하에서, W 막 및 TaN 막은 동일 각도로 에칭된다. 제 2 에칭 조건하에서, W에 대한 에칭 속도는 58.97nm/min이고, TaN에 대한 에칭 속도는 66.43nm/min이다. 게이트 절연막상에 임의의 잔류물을 남기지 않고 에칭을 수행하기 위하여 에칭 시간은 약 10 내지 20% 증가될 수 있다.

<82> 상기 제 1 에칭 처리에 따라, 레지스트 마스크의 형상을 적당하게 규정함으로써, 제 1 도전층 및 제 2 도전층의 단부는 기관측에 인가된 바이어스 전압의 효과로 인해 테이퍼진다. 테이퍼부의 각도는 15 내지 45° 이다.

<83> 따라서, 제 1 도전층 및 제 2 도전층으로 구성된 제 1 형상의 도전층(113 내지 116)(제 1 도전층 113a 내지 116a 및 제 2 도전층 113b 내지 116b)은 제 1 에칭 처리에 의해 형성된다(도 1의 B). 채널 길이 방향에서 제 1 도전층의 폭은 상기 실시 형태에서 도시된 제 1 폭과 상응한다. 비록 도시되지 않았지만, 제 1 형상의 도전층(113 내지 116)으로 커버되지 않은 게이트 절연막으로 될 절연막(106)의 영역들은 약 10 내지 20 nm로 얇도록 에칭된다.

<84> 레지스트 마스크를 제거하지 않고, 제 1 도핑 처리가 수행되어, n형을 제공하는 불순물 원소는 반도체 층에 실시 형태된다(도 1의 C). 도핑 처리는 이온 도핑 또는 이온 주입에 의해 수행될 수 있다. 이온 도핑은 1×10^{13} 내지 $5 \times 10^{15}/\text{cm}^3$ 의 도핑 양 및 60 내지 100 keV의 가속 전압의 조건하에서 수행된다. 이런 실시예에서, 도핑은 $1.5 \times 10^{15}/\text{cm}^2$ 의 도핑양 및 80 keV의 가속 전압으로 수행된다. n형을 제공하는 불순물 원소로서, 그룹 15에 속하는 원소는 통상적으로 인(P) 또는 비소(As)이고 상기 원소가 사용된다. 여기서, 인(P)은 사용된다. 이 경우, 도전층(113 내지 116)은 n형을 제공하는 불순물 원소에 대한 마스크로서 기능하고, 높은 농도의 불순물 영역(118 내지 121)이 자기 정렬 방식으로 형성된다. n형을 부여하는 불순물 원소는 1×10^{20} 내지 $1 \times 10^{21}/\text{cm}^3$ 의 농도로 높은 농도 불순물 영역(118 내지 121)에 실시 형태된다.

<85> 그 다음, 레지스트 마스크를 제거하지 않고, 제 2 에칭 처리가 수행된다. 여기서, 에칭은 플라즈마를 생성하기 위하여 1.3Pa의 압력에서 코일 형상 전극에 공급된 700W의 RF 전력(13.56MHZ)을 사용하고 에칭 가스로서 SF₆, Cl₂ 및 O₂(유량비 : 24/12/24(sccm))를 사용하여 25 초동안 수행된다. 10W의 RF 전력(13.56 MHZ)은 기관 측면(샘플 스테이지)에 공급되어, 실질적으로 음의 자기 바이어스 전압이 인가된다. 제 2 에칭 처리에서, W에 대한 에칭 속도는 227.3 nm/min이고, TaN에 대한 에칭 속도는 32.1nm/min이고, TaN에 대한 에칭 속도는 32.1 nm/min이고, TaN에 대한 W의 선택비는 7.1이다. 절연막(106)인 SiON에 대한 에칭 속도는 33.7 nm/min이고, TaN에 대한 W의 선택비는 6.83이다. 에칭 가스로서 SF₆를 사용하는 경우, 절연막(106)에 대한 선택비는 높아서, 막 두께 감소가 억제될 수 있다.

<86> W의 테이퍼 각도는 제 2 에칭 처리에서 70° 이다. 또한, 제 2 에칭 처리에서, 제 2 도전층(122b 내지 125b)이 형성된다. 다른 한편, 제 1 도전층은 제 1 도전층(122a 내지 125a)을 형성하기 위하여 거의 에칭되지 않는다(도 1의 D). 비록 도시되지 않았지만, 실제로, 제 1 도전층의 폭은 제 2 에칭 처리전에 상태와 비교하여 약 0.15μm(즉, 총 라인 폭으로 약 0.3μm)만큼 좁아진다. 또한, 채널 길이 방향에서 제 2 도전층의 폭은 실시 형태에서 도시된 제 2 폭에 대응한다.

<87> 제 1 도전층(122a) 및 제 2 도전층(122b)에 의해 형성된 전극은 다음 단계에 의해 형성되는 CMOS 회로의 n 채널 형 TFT의 게이트 전극이다. 제 1 도전층(125a) 및 제 2 도전층(125b)에 의해 형성된 전극은 다음 단계에 의해 형성된 보유 캐패시터의 하나의 전극으로 된다.

<88> 제 2 에칭 처리에서 에칭 가스로서 CF₄, Cl₂, 및 O₂를 사용하는 것이 가능하다. 이 경우, 에칭은 1 Pa의 압력에서 코일 형상 전극에 공급된 500W의 RF 전력(13.56MHZ)을 사용하여 유량비 25/25/10(sccm)하에서 플라즈마를 생성함으로써 수행된다. 20 W의 RF 전력(13.56MHZ)은 기관 측면(샘플 스테이지)에 인가되어, 실질적으로 음의 자기 바이어스 전압이 인가된다. CF₄, Cl₂ 및 O₂를 사용하는 경우, W에 대한 에칭 속도는 124.62 nm/min이고, TaN에 대한 에칭 속도는 20.67nm/min이고, TaN에 대한 W의 선택비는 6.05이다. 따라서, W 막은 선택적으로 에칭된다. 또한, 이 경우, 제 1 형상의 도전층(122 내지 125)으로 커버되지 않은 절연막(106)의 영역은 약 50nm 만큼 에칭되어 얇아진다.

<89> 그 다음, 레지스트 마스크를 제거한 후, 제 2 도핑 처리는 도 2의 A에 도시된 상태를 달성하기 위하여 수행된다. 도핑은 불순물 원소에 대한 마스크로서 제 2 도전층(122b 내지 125b)를 사용하여 수행되어, 불순물 원소는 제 1 도전층의 테이퍼부 아래 반도체 층에 실시 형태된다. 이 실시예에서, 인(P)은 불순물 원소로서 사

용되고, 플라즈마 도핑은 $1.5 \times 10^{14} / \text{cm}^2$ 의 도핑양, 90 keV의 가속 전압, $0.5 \mu\text{A} / \text{cm}^2$ 의 이온 전류 밀도, 인화수소 (PH_3) 5% 수소 희석 가스, 및 30 sccm의 유량비의 도핑 조건하에서 수행된다. 따라서, 낮은 농도 불순물 영역 (127 내지 136)은 자기 정렬 방식으로 제 1 도전층과 오버랩된다. 낮은 농도 불순물 영역(127 내지 136)에 실시 형태된 인(P)의 농도는 1×10^{17} 내지 $1 \times 10^{19} / \text{cm}^2$ 이고, 낮은 농도 불순물 영역(127 내지 136)은 제 1 도전 층의 테이퍼부의 두께에 따라 농도 기울기를 가진다. 제 1 도전층의 테이퍼부와 오버랩되는 반도체 층에서, 불순물 농도(P 농도)는 제 1 도전층 안쪽으로 테이퍼부의 단부로부터 점차적으로 감소한다. 특히, 제 2 도핑 처리에서, 농도 분포는 형성된다. 게다가, 불순물 원소는 높은 농도 불순물 영역(137 내지 145)을 형성하기 위하여 높은 농도 불순물 영역(118 내지 121)에 실시 형태된다.

<90> 이 실시예에서, 테이퍼부의 폭(채널 길이 방향에서의 폭)은 바람직하게 $0.5 \mu\text{m}$ 이고 상한은 1.5 내지 $2 \mu\text{m}$ 이다. 따라서, 비록 막 두께에 따라, 상한은 농도 기울기를 가진 불순물 영역(낮은 농도)의 채널 길이 방향의 폭에 대해 1.5 내지 $2 \mu\text{m}$ 이다. 불순물 영역(높은 농도) 및 불순물 영역(낮은 농도)는 도면에서 분리된 영역으로서 도시된다. 실제로, 제한된 가장자리가 없고 단순히 농도 기울기를 가진 영역이다. 유사하게, 채널 형성 영역 및 불순물 영역(낮은 농도)은 제한된 가장자리를 가지지 않는다.

<91> 다음, 화소부와 다른 영역은 제 3 에칭 처리를 수행하기 위하여 레지스트 마스크(146 및 147)로 커버된다. 제 3 에칭 처리에서, 제 1 도전층의 테이퍼부는 반도체 층을 오버랩하는 영역을 제거하기 위하여 선택적으로 에칭된다. 제 3 에칭 처리는 W에 대해 높은 선택비를 가지며 ICP 에칭 장치를 사용하는 에칭 가스 Cl_3 를 사용한다. 이 실시예에서, Cl_3 의 가스 유량비는 80 sccm으로 설정되고 350W의 RF(13.56MHZ) 전력은 30 초 에칭 동안 플라즈마를 형성하기 위하여 1.2 Pa의 압력에서 코일 전극에 제공된다. 기관측(샘플 스테이지)은 50W의 RF(13.56 MHZ) 전력을 수신하여 실질적으로 음의 자기 바이어스 전압을 인가한다. 제 1 도전층(124c)은 제 3 에칭을 통하여 형성된다(도 2의 B).

<92> 비록 제 3 에칭 처리를 실행하는 실시예가 이 실시예에 도시되었지만, 제 3 에칭 처리는 만약 요구가 없다면 여기서 수행할 필요가 없다.

<93> 다음, 레지스트 마스크(146 및 147)는 제 1 층간 절연막(154)을 형성하기 위하여 제거된다. 제 1 층간 절연막 (154)은 플라즈마 CVD 또는 스퍼터링에 의해 10 내지 200 nm의 두께로 실리콘을 포함하는 절연막으로 형성된다. 제 1 층간 절연막(154)은 접촉 홀이 제조 처리 동안 감소된 두께로 절연막에서 추후에 형성될 때 반도체 층의 오버 에칭을 방지하기 위하여 에칭 스톱퍼로서 사용한다. 이 실시예에서, 50 nm의 두께를 가진 실리콘 옥사이드 필름은 플라즈마 CVD에 의해 형성된다. 제 1 층간 절연막(154)은 물론 실리콘 옥사이드 막으로 제한되지 않고, 다른 절연막의 단층 또는 적층 또한 사용될 수 있다.

<94> 다음에, 반도체 층을 도핑하기 위하여 사용된 불순물 원소는 도 2의 D에 도시된 바와 같이 활성화된다. 활성화는 어닐링 노를 사용하여 열적 어닐링에 의해 달성된다. 기관은 400 내지 700°C 에서, 통상적으로 500 내지 550°C 에서 산소 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하의 공기 질소 분위기에서 열적 어닐링된다. 이 실시예에서, 활성화 처리는 4시간 동안 550°C 에서 열처리를 통하여 이루어진다. 열적 어닐링과 달리, 레이저 어닐링 또는 빠른 열적 어닐링(RTA)는 사용될 수 있다.

<95> 도면에 도시되지 않았지만, 불순물 원소는 거의 완전히 n형 불순물 영역(낮은 농도) 및 불순물 영역(높은 농도) 사이의 가장자리를 제거하도록 활성화 처리를 통하여 확산된다.

<96> 이 실시예에서, 결정질의 촉매로서 사용된 니켈은 높은 농도의 인을 포함하는 불순물 영역으로 게터링 (gettering)되고 이동되고 동시에 상기 활성화 처리는 수행된다. 결과적으로, 주로 채널 형성 영역으로서 사용하는 반도체 층의 니켈 농도는 감소된다. 만약 형성된 채널 형성 영역이 TFT에 사용되면, TFT는 감소된 오프 전류 값 및 개선된 결정화로 인해 높은 필드 효과 이동성 및 우수한 특성을 가질 수 있다.

<97> 활성화 처리는 제 1 층간 절연막을 형성하기 전에 수행될 수 있다. 그러나, 사용된 배선 재료가 열에 대해 약할 때, 게이트 전극을 보호하기 위하여 이 실시예에서 처리 후 제 1 층간 절연막(실리콘을 주로 포함하는 절연막, 예를 들어 실리콘 니트라이드 막)을 형성하고 그 다음 활성화 처리를 수행하는 것이 바람직하다.

<98> 다음, 열 처리는 반도체 층을 수소화하기 위하여 수소 분위기에 수행된다. 사용될 수 있는 다른 수소화 방법은 플라즈마 수소화(플라즈마에 의해 수행된 수소를 사용)를 포함한다.

<99> 레이저 어닐링이 활성화 처리 동안 사용될 때, 기관은 상기 수소화 후 엑시머 레이저, YAG 레이저, 또는 기타의

레이저 광으로 바람직하게 조사된다.

- <100> 소스 배선 라인(126)은 제 1 층간 절연막(154)상에 형성된다(도 3의 A). 소스 배선 라인(126)은 통상적으로 알루미늄, 은, 구리 또는 주로 상기 재료를 포함하는 재료인 낮은 저항 재료로 형성된다.
- <101> 알루미늄을 주로 포함하는 도전막은 이런 실시예에서 스퍼터링에 의해 형성되고, 그후 소스 배선 라인(126)은 포토리소그래피를 사용하여 형성된다. 또한, 소스 배선 라인(126)을 제조하는 다른 방법으로서, 프린팅 및 플레이팅이 사용될 수 있다.
- <102> 그 다음 제 2 층간 절연막(155)은 화소의 소스 배선을 커버하기 위하여 형성된다. 주로 실리콘을 포함하는 이방성 절연막은 제 2 층간 절연막(155)에 사용될 수 있다.
- <103> 비록 제 1 층간 절연막(154)상 소스 배선 라인(126)을 형성하는 경우가 여기에 도시되었지만, 소스 배선 라인은 제 2 층간 절연막상에 형성될 수 있다. 이 경우, 제 2 층간 절연막은 활성화 후 실리콘 니트라이드 막을 사용하여 형성되고, 열처리하는 반도체 층을 수소화하기 위하여 수행되고(300 내지 550℃에서 1 내지 12 시간 동안), 소스 배선 라인은 제 2 층간 절연막상에 형성된다. 이런 경우 수소는 제 2 층간 절연막에 포함된 수소와 반도체 층의 종단 땀글링(dangling) 본딩이다.
- <104> 다음, 제 3 층간 절연막(156)은 유기 절연 재료로 제 2 층간 절연막(155)상에 형성된다. 이런 실시예에서, 아크릴 수지 막은 1.6 μ m의 두께로 형성된다. 그 다음 불순물 영역(137, 138, 149, 150, 151, 153, 및 144)에 도달하는 접촉 홀, 화소부의 소스 배선 라인(126)에 도달하는 접촉 홀, 게이트 전극(124)에 도달하는 접촉 홀 및 전극(125b)에 도달하는 접촉 홀은 패터닝에 의해 형성된다.
- <105> 그 다음 전극(157 내지 160)이 불순물 영역(137, 138, 149 및 150)에 전기적으로 각각 접속된다. 또한 구동 회로의 소스 배선이 형성된다. 또한 불순물 영역(144) 및 불순물 영역(153)에 전기적으로 접속된 화소 전극(163), 상기 화소부의 소스 배선 라인(126)을 가진 소스 영역으로서 사용하는 불순물 영역(151)과 전기적으로 접속하기 위한 전극(접속기 전극)(161), 게이트 전극(124)에 전기적으로 접속된 게이트 배선 라인(162), 및 전극(125b)에 전기적으로 접속된 캐패시터 배선(169)이 형성된다. 이들 전극 및 화소 전극은 주로 Al 또는 Ag을 포함하는 막, 또는 Al을 주로 포함하는 막의 적층부 및 주로 Ag을 포함하는 막 같은 우수한 반사도를 가진 재료로 형성된다.
- <106> 캐패시터 저장기(207)의 전극중 하나로서 기능하는 불순물 영역(135, 136, 144 및 145)은 n형 도전성을 부여하는 불순물 원소로 도핑된다. 캐패시터 저장기(207)는 캐패시터 배선(169)에 접속된 전극(125a 및 125b) 및 유전체로서 절연막(106)을 가진 반도체 층으로 구성된다.
- <107> 이런 방식에서, n 채널형 TFT(203) 및 n 채널형 TFT(204)로 구성된 CMOS 회로(202)를 포함하는 구동 회로(201)는 n 채널형 TFT 및 캐패시터 저장기(207)인 화소 TFT(206)를 가진 화소부(205)가 형성되는 동일 기판상에 형성될 수 있다(도 3의 B). 이와 같은 기판은 편리함을 위하여 능동 매트릭스 기판이라 불린다.
- <108> 이 실시예에서, EEMOS 회로는 도 8의 A에 도시된 n 채널형 TFT(203) 및 n 채널형 TFT(204)를 사용함으로써 구성된다.
- <109> 도 5는 이 실시예에 따라 제조된 능동 매트릭스 기판의 화소부의 평면도이다. 도 5에서, 도 3의 B에 상응하는 구성요소는 동일 심볼로 표시된다. 도 3의 B의 점선 A-A'에 의해 지시된 단면도는 도 4의 점선 A-A'를 따라 취해진다. 도 3의 B의 점선 B-B'에 의해 지시된 단면도는 도 5의 점선 B-B'을 따라 얻어진다. 도 4는 화소의 소스 배선(126) 바로 후방이 형성될 때 평면도이다.
- <110> 이 실시예에 따른 화소 구조에서, 화소 전극(163)의 엣지는 소스 배선 라인(126)과 오버랩하여 화소 전극들 사이의 갭은 블랙 매트릭스를 사용하지 않고 광에 대해 차폐된다.
- <111> 이 실시예에 도시된 처리는 능동 매트릭스 기판 제조시 6개의 포토 마스크만을 요구한다.
- <112> 제 2 실시예
- <113> 이 실시예에서, 실시예 1에서 제조된 능동 매트릭스 기판을 사용하는 능동 매트릭스 액정 디스플레이 장치를 제조하는 공정이 기술될 것이다. 상기 기술은 도 6을 참조하여 이루어진다.
- <114> 첫째, 도 3의 B의 상태를 가진 능동 매트릭스 기판이 실시예 1에 따라 얻어진후, 지향성 막(301)은 러빙(rubbing) 공정을 수행하기 위하여 도 3의 B의 능동 매트릭스 기판상에 형성된다. 이 실시예에서 지향성 막

(301)의 형성전에, 아크릴 수지 막 같은 유기 수지 막이 원하는 위치에서 기관들 사이 갭을 유지하기 위한 칼럼 스페이서를 형성하도록 패터닝되는 것이 주의된다. 또한, 칼럼 스페이서 대신, 구형 스페이서는 전체 표면상에 분포될 수 있다.

<115> 다음, 대향 기관(300)이 제공된다. 컬러 층(302) 및 광 차폐 층(303)이 각각의 화소에 대응하게 배열된 컬러 필터는 이런 대향 기관(300)에 제공된다. 또한, 광 차폐 층(303)은 구동기 회로의 일부에 제공된다. 이런 컬러 필터 및 광 차폐 층(303)을 커버하는 레벨 막(304)은 다음에 제공된다. 투명 도전막으로 만들어진 카운터 전극(305)은 레벨 막(304)상 화소부에 형성되고, 배향막(306)은 러빙 공정을 수행하기 위하여 대향 기관(300)의 전체 표면상에 형성된다.

<116> 그 다음, 능동 매트릭스 기관에서 화소부 및 구동기 회로가 형성되고 대향 기관이 밀봉 부재(307)를 사용함으로써 서로 부착된다. 충전재는 밀봉 부재(307)와 혼합되고, 두 개의 기관은 충전재 및 칼럼 스페이서에 의해 균일한 간격으로 서로 부착된다. 그후, 액정 재료(308)는 양쪽 기관 사이 공간에 주입되고 밀봉 부재(도시되지 않음)에 의해 완전히 밀봉된다. 공지된 액정 재료는 액정 재료(308) 처럼 사용될 수 있다. 따라서, 도 5에 도시된 바와 같은 능동 매트릭스 액정 디스플레이 장치는 완성된다. 만약 필요하다면, 능동 매트릭스 기관 또는 대향 기관은 미리 결정된 형상으로 잘려진다. 또한, 평탄화 플레이트 등은 공지된 기술을 사용하여 적당하게 제공된다. 그리고, FPC는 공지된 기술을 사용하여 능동 매트릭스 액정 디스플레이 장치에 부착된다.

<117> 따라서 액정 모듈 기관은 도 7의 평면도를 사용하여 기술될 것이다. 동일 참조 심볼이 도 6에 대응하는 부분에 사용된다는 것이 주의된다.

<118> 도 7의 평면도는 능동 매트릭스 기관 및 대향 기관(300)이 밀봉 부재(307)를 통하여 서로 부착되는 상태를 도시한다. 능동 매트릭스 기관상에서, 화소부, 구동기 회로, 및 FPC(가요성 프린팅 회로)가 부착되는 외부 입력 단자(309), 각각의 회로의 입력 부분과 외부 입력 단자(309)를 접속하기 위한 배선(310) 등이 형성된다. 또한, 칼럼 필터 등은 대향 기관(300)에 형성된다.

<119> 광 차폐층(303a)은 게이트 배선층 구동기 회로(201a)와 오버랩하기 위하여 대향 기관층에 제공된다. 또한, 광 차폐층(303b)은 소스 배선층 구동기 회로(201b)와 오버랩하도록 대향 기관층에 제공된다. 화소부(205)상의 대향 기관층에 제공된 컬러 필터(302)에서, 광 차폐층 및 레드 컬러(R), 그린 컬러(G) 및 블루 컬러(B) 각각의 컬러에 대한 컬러 층은 대응하는 각각의 화소에 제공된다. 실제로, 컬러 디스플레이는 3개의 컬러를 사용하여 형성된다. 즉, 3개의 컬러는 레드 컬러(R)용 컬러 층, 그린 컬러(G)용 컬러 층 및 블루 컬러(B)용 컬러 층이다. 각각의 컬러에 대한 컬러 층이 임의적으로 배열되는 것이 주의된다.

<120> 여기서, 컬러 디스플레이를 위하여, 컬러 필터(302)는 대향 기관상에 제공된다. 그러나, 본 발명은 이런 경우로 제한되지 않고, 능동 매트릭스 기관의 제조시, 컬러 필터는 능동 매트릭스 기관상에 형성될 수 있다.

<121> 또한, 컬러 필터에서, 광 차폐층은 디스플레이 영역을 제외한 일부가 차폐되도록 인접한 화소 사이에 제공된다. 광 차폐층(303a 및 303b)은 구동기 회로를 커버하는 영역에 제공된다. 그러나, 액정 디스플레이 장치가 디스플레이 부분으로서 전자 장치에 통합될 때, 구동기 회로를 커버하는 영역은 커버로 커버된다. 따라서, 컬러 필터는 광 차폐 층없이 구성될 수 있다. 능동 매트릭스 기관을 제조할 때, 광 차폐층은 능동 매트릭스 기관상에 형성될 수 있다.

<122> 또한, 광 차폐 층을 제공하지 않고, 컬러 필터를 구성하는 컬러 층은 광 차폐부가 다수의 층에 적층된 적층부에 의해 이루어지도록 카운터 전극 및 대향 기관 사이에 적당히 배열된다. 따라서, 디스플레이 영역(화소 전극 사이의 갭)을 제외한 부분 및 구동기 회로는 광이 차폐될 수 있다.

<123> 또한, 베이스 막 및 배선으로 구성된 FPC(411)는 이방성 도전 수지를 사용함으로써 외부 입력 단자에 부착된다. 또한, 보강 플레이트는 기계적 세기를 증가시키기 위하여 제공된다.

<124> 상기에서 제조된 액정 모듈은 다양한 전자 장치의 디스플레이 부분으로서 사용될 수 있다.

<125> 제 3 실시예

<126> 제 1 실시예의 n 채널형 TFT와 관련하여, 인헨스먼트형 및 디프레션형은 주기율표의 제 15 그룹에 속하는 원소(바람직하게, 인) 또는 주기율표의 제 13 그룹에 속하는 원소(바람직하게, 붕소)를 도핑함으로써 채널 형성 영역으로서 사용하는 반도체에 차별적으로 형성될 수 있다.

<127> 또한, NMOS 회로가 n 채널형 TFT를 결합함으로써 형성되는 경우, 두 개의 경우가 있다. 하나의 경우는 인헨스

먼트형 TFT(이후 "EEMOS 회로"라 함)에 의해 형성되는 경우이고 다른 경우는 인헨스먼트형 및 디프레션형을 결합함으로써 형성되는 경우(이후 "EDMOS 회로"라 함)이다.

- <128> 여기서, 도 8의 A는 EEMOS 회로의 경우를 도시하고, 도 8의 B는 EDMOS 회로의 경우를 도시한다. 도 8의 A에서, 각각의 참조 번호(31 및 32)는 인헨스먼트형 n 채널형 TFT(이후 "E 형 NTFT"라함)를 나타낸다. 도 8의 B에서, 참조번호(33)는 E형 NTFT를 나타내고, 참조번호(34)는 디프레션 n 채널형 TFT(이후 "D형 NTFT"라 함)를 나타낸다.
- <129> 도 8에서, VDH는 전압 소스 라인(양의 전압 소스 라인)을 나타내고 여기에 양의 전압이 인가되고, VDL은 전압 소스 라인(음의 전압 소스 라인)을 나타내고 여기에 음의 전압이 인가된다. 음의 전압 소스 라인은 접지 전위(즉, 접지 전압 소스 라인)의 전력 소스 라인이다.
- <130> 도 9는 시프트 레지스터가 도 8의 A에 도시된 EEMOS 회로 또는 도 8의 B에 도시된 EDMOS 회로를 사용함으로써 형성되는 경우를 도시한다. 도 9에서, 참조 번호(40, 41)는 플립 플롭 회로를 나타낸다. 또한, 참조번호(42, 43)는 E형 NTFT를 나타낸다. 클럭 신호(CL)는 E형 NTFT(42)의 게이트에 대한 입력이고, 인버트된 극성을 갖는 클럭 신호(CL 바)는 E형 NTFT(43)의 게이트에 대한 입력이다. 참조 번호(44)는 인버터 회로를 나타내고, 도 8의 A에 도시된 EEMOS 회로 또는 도 8의 B에 도시된 EDMOS 회로는 도 9의 B에 도시된 바와 같이 사용된다. 따라서, 디스플레이 장치의 전체 구동 회로는 n 채널형 TFT에 의해 구성될 수 있다.
- <131> 이 실시예는 제 1 실시예 또는 제 2 실시예와 자유롭게 결합될 수 있다.
- <132> 제 4 실시예
- <133> 이 실시예에서, 제 1 실시예와 다른 게이트 전극은 도 10에 도시된 바와 같이 화소 TFT에 제공된다. 도 10에서, 화소부만은 단지 화소부의 게이트 전극만이 제 1 실시예와 다르기 때문에 도시된다.
- <134> 이 실시예에서, 도 2의 B에 도시된 제 1 실시예의 제 3 에칭 처리는 수행되지 않는다. 따라서, 제 1 도전층(604)은 절연막을 통하여 불순물 영역(603, 605)과 오버랩되고, 제 1 도전층(607)은 절연막을 통하여 불순물 영역(606, 608)과 오버랩된다.
- <135> 테이퍼부를 가진 제 1 도전층(604, 607)은 제 1 실시예의 제 1 도전층(124a)과 대응한다.
- <136> 이 실시예에 따라, 마스크 시트의 수는 제 1 실시예와 비교하여 1씩 감소되고 능동 매트릭스 보드를 형성하기 위하여 필요한 포토마스크 시트의 수는 5로 감소된다.
- <137> 이 실시예는 제 1 내지 제 3 실시예중 임의의 하나와 자유롭게 결합될 수 있다.
- <138> 제 5 실시예
- <139> 제 1 실시예에서, 반사형 액정 디스플레이 장치에 사용된 능동 매트릭스 보드를 제조하는 방법이 기술된다. 이 실시예에서, 투과형 액정 디스플레이에 사용된 능동 매트릭스 보드를 제조하는 방법은 도 11을 참조하여 기술될 것이고, 단지 화소부는 단지 화소부만이 다르기 때문에 도 11에 도시된다.
- <140> 도 11의 A는 제 1 실시예에 따라, 제 3 층간 절연막이 형성된후, 투명 도전막을 포함하는 화소 전극(700)이 접착 홀과, 전극 및 게이트 와이어 각각을 형성하도록 포토마스크를 사용하여 패터닝 처리되는 처리를 도시한다. 화소 전극(700)의 투명 도전막은 ITO(인듐 옥사이드 및 주석 옥사이드의 합금), 인듐 옥사이드 및 아연 옥사이드($\text{In}_2\text{O}_3\text{-ZnO}$)의 합금, 아연 옥사이드(ZnO) 등으로 형성될 수 있다.
- <141> 화소 전극(700)은 화소 전극(700)과 오버랩된 접속 전극(706)에 의해 화소 TFT(702)의 불순물 영역(705)에 전기적으로 접속된다. 도 11의 A에서, 참조 번호(701)는 소스 와이어를 나타내고, 참조 번호(703, 704)는 게이트 전극을 나타낸다. 이 실시예에서, 접속 전극은 화소 전극이 형성된 후 형성된다. 그러나, 접속 홀이 형성되고 접속 전극이 형성된 후, 투명 도전막을 포함하는 화소 전극은 접속 전극과 오버랩되도록 형성될 수 있다.
- <142> 도 11의 A의 구조를 달성하는 제조 방법에서, 능동 매트릭스 보드를 제조하기 위하여 필요한 포토마스크의 수는 7로 설정될 수 있다.
- <143> 도 11의 B는 제 4 실시예에 의해 달성된 화소 TFT(709)를 사용하여 투과형 액정 디스플레이 장치에 사용된 능동 매트릭스 보드를 형성하는 방법을 도시한다. 도 11의 A와 동일 부분은 동일 참조 번호에 의해 표현된다.
- <144> 도 11의 B에서, 화소 TFT(709)의 게이트 전극은 도 11의 A와 같은 투명 도전막을 포함하는 화소 전극(700)을 형

성한다.

- <145> 도 11의 B에서, 게이트 전극의 구조는 도 11의 A와 다르고, 각각의 제 1 도전층(707, 708)은 테이퍼부를 가진다.
- <146> 도 11의 B의 구조를 달성하는 제조 방법에서, 능동 매트릭스 보드를 형성하기 위하여 필요한 포토마스크 수는 6으로 감소될 수 있다.
- <147> 이 실시예는 제 1 내지 제 4 실시예중 임의의 하나와 자유롭게 결합될 수 있다.
- <148> 제 6 실시예
- <149> 이 실시예는 구동 회로의 소스 와이어 및 화소부의 소스 와이어가 다른 처리로 형성되는 것을 특징으로 한다. 다음 설명에서, 단지 다른 부분만이 도 12를 참조하여 보다 상세히 기술될 것이다. 도 12에서, 화소부의 3개의 소스 와이어(91) 및 3개의 게이트 와이어(92)는 설명을 간략화하기 위하여 도시된다. 화소부의 소스 와이어(91)는 병렬로 배열된 밴드 및 간격이 화소 피치와 같도록 설계된다.
- <150> 도 12는 디지털 구동 동작을 수행하기 위한 블록 다이어그램이다. 이 실시예에서, 소스측 구동 회로(93), 화소부(94) 및 게이트측 구동 회로(95)가 제공된다. 상세한 설명에서, 구동 회로는 일반적으로 소스측 구동 회로 및 게이트측 구동 회로를 포함하는 말이다.
- <151> 소스측 구동 회로(93)는 시프트 레지스터(93a), 래치(A)(93b), 래치(B)(93c), D/A 컨버터(93d) 및 버퍼(93a)를 포함한다. 게이트측 구동 회로(95)는 시프트 레지스터(95a), 레벨 시프터(95b) 및 버퍼(95c)를 포함한다. 필요하다면, 레벨 시프터 회로는 래치(B)(93c) 및 D/A 컨버터(93d) 사이에 제공될 수 있다.
- <152> 이 실시예에서, 도 12에 도시된 바와 같이 소스측 구동 회로(93) 및 화소부(94) 사이에 접촉 부분이 존재한다. 이것은 화소부의 소스 와이어(91) 및 소스측 구동 회로의 소스 와이어가 다른 처리로 형성되기 때문이다. 이 실시예에서, 화소부의 소스 와이어는 낮은 저항을 가진 재료로 형성되고, 따라서 그들은 소스측 구동 회로의 소스 와이어와 다른 처리로 형성된다.
- <153> 제 1 실시예에서, 화소부의 소스 와이어(91)는 스퍼터링 방법을 사용함으로써 형성되고, 포토리소그래피 방법을 사용함으로써 에칭된다.
- <154> 이 실시예에서, 화소부의 소스 와이어(91)는 다른 방법(플레이팅 방법, 프린트 방법)을 사용함으로써 형성된다.
- <155> 도 13의 A는 화소부의 소스 와이어(801)가 플레이팅 방법(전기 플레이팅 방법)을 사용함으로써 형성되는 경우를 도시한다. 화소부의 소스 와이어(801)는 게이트 전극(803, 804)와 다른 층으로 형성된다.
- <156> 플레이팅 방법에 따라, DC 전류는 캐소드 표면상에 금속막을 형성하기 위하여 금속 이온(플레이팅 재료 소스)을 포함하는 수용액에 공급된다. 플레이팅될 금속으로 구리, 은, 금, 크롬, 철, 니켈, 백금 또는 그것의 합금이 사용될 수 있다.
- <157> 플레이팅 방법에서, 막 두께는 전류 밀도 및 관리자에 의한 플레이팅 시간의 제어하에서 적당하게 설정될 수 있다.
- <158> 이 실시예에서, 와이어는 포토리소그래피 방법을 사용함으로써 제 1 층간 절연막상에 형성되고, 금속막(구리)은 소스 와이어를 완성시키기 위하여 플레이팅 방법에 의해 각각의 와이어의 표면상에 형성된다. 구리는 전기 저항이 매우 낮기 때문에 본 발명의 소스 와이어에 최적이다. 추후 단계에서, EH 13A에 도시된 화소 TFT(802)는 제 1 실시예의 방법에 따라 형성될 수 있다.
- <159> 도 13의 B는 화소부의 소스 와이어(901)가 프린트 방법(스크린 프린트 방법)에 의해 형성되는 경우를 도시한다.
- <160> 스크린 프린트에 따라, 원하는 개구부 패턴을 가진 플레이트는 마스크로서 사용되고, 페이스트(회색) 또는 금속 파티클(은, 알루미늄 등)과 혼합된 잉크는 마스크의 개구부를 통하여 프린트 매체로 사용되는 기판상에 형성되고, 프린트된 기판은 원하는 패턴을 가진 와이어를 형성하도록 버닝된다. 상기된 프린트 방법은 비용면에서 비교적 싸고 큰 영역의 프린트 패턴을 제공하여 본 발명에 적당하다.
- <161> 이 실시예에서, 화소부의 소스 와이어만이 스크린 프린트 방법을 사용하여 제 1 층간 절연막상에 라인 방향으로 형성된다. 화소부의 소스 와이어(901)는 게이트 전극(903, 904)과 다른 층에 형성된다.
- <162> 도 13의 B의 구조를 달성하는 제조 방법에서, 매트릭스 보드를 형성하기 위하여 필요한 포토마스크의 수는 4로

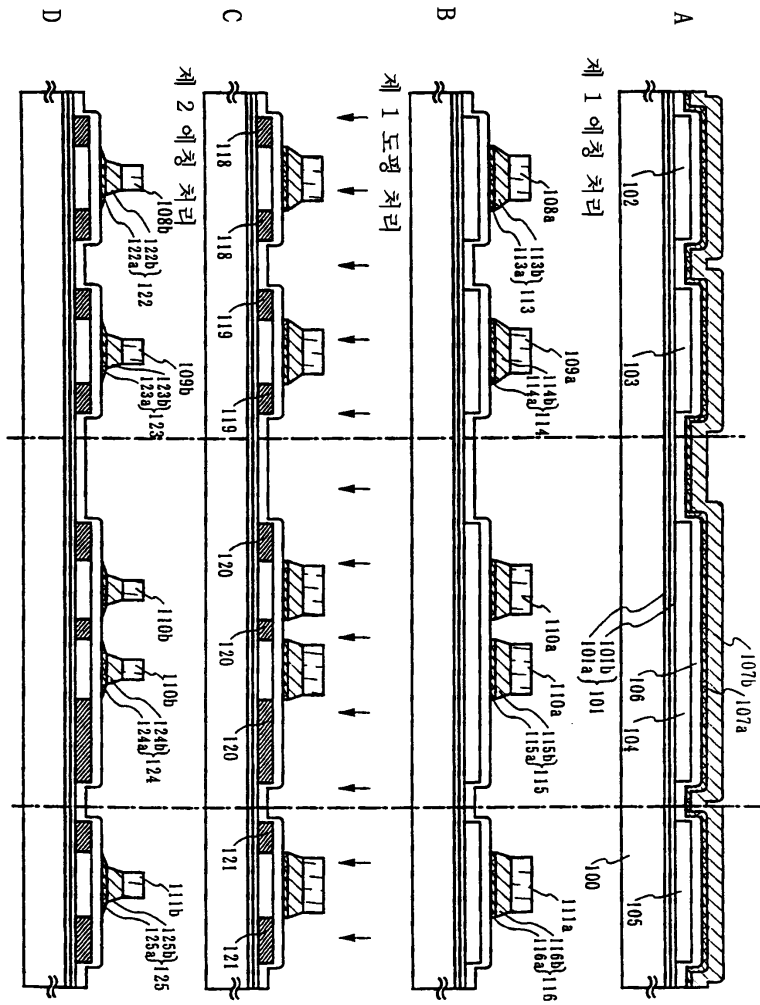
감소된다.

- <163> 도 13의 C는 화소부의 소스 와이어(906)가 프린트 방법(스크린 프린트 방법)을 사용함으로써 게이트 전극으로서 동일층에 형성되는 경우를 도시한다. 다음 경우에, 도전층(905a, 905b)은 화소의 소스 와이어(906)의 배치 정밀도를 향상시키기 위하여 제공된다.
- <164> 이 실시예에서, 도전층(905a, 905b)은 게이트 전극으로서 동일 처리시 형성된다. 추후에, 불순물 원소는 게이트 전극이 절연막에 의해 커버되지 않는동안 활성화된다. 활성화 방법으로서, 열적 어닐링 처리는 불활성 분위기에서 감소된 압력하에 수행되어 도전층의 산화로 인한 도전층의 저항의 증가는 억제된다. 추후에, 소스 와이어(906)는 프린트 방법을 사용함으로써 도전층(905a, 905b) 사이에 충전되도록 형성된다. 프린트 방법에서 발생하기 쉬운 와이어 브레이킹은 소스 와이어(906)를 따라 도전층(905a, 905b)을 제공함으로써 방지될 수 있다.
- <165> 스크린 프린트 방법 대신, 회전 드럼을 사용하는 활판 인쇄 방법, 주형 프린팅 방법 및 다양한 오프셋 프린팅 방법은 본 발명에 적용될 수 있다.
- <166> 화소부의 소스 와이어(91)는 상기된 바와 같이 다양한 방법에 의해 형성될 수 있다.
- <167> 화소부(94)는 다수의 화소를 포함하고, TFT 소자는 다수의 화소 각각에 제공된다. 또한, 게이트측 구동 회로에 접속된 많은 게이트 와이어(92)는 서로 평행하게 화소부(94)에 제공된다.
- <168> 게이트측 구동 회로는 화소부(94)와 관련하여 게이트측 구동 회로(95) 대향측면에 제공될 수 있다. 게다가, 상기 장치가 아날로그 스타일로 구동될 때, 샘플링 회로는 래치 회로의 적소에 제공될 수 있다.
- <169> 상기 구성은 제 1 내지 제 5 실시예의 제조 처리에 따라 수행될 수 있다.
- <170> 제 7 실시예
- <171> 본 발명에 따른 구동기 회로 및 화소부는 다양한 모듈(능동 매트릭스형 액정 모듈, 능동 매트릭스형 EL 모듈 및 능동 매트릭스형 EC 모듈)에 사용될 수 있다. 다른 말로, 본 발명은 디스플레이 섹션으로서 이들 모듈을 가진 전자 장치 모두에 적용될 수 있다.
- <172> 다음은 전자 장치의 실시예로서 제공될 수 있다 : 비디오 카메라; 디지털 카메라; 디스플레이 장착 헤드(고글형 디스플레이); 차 네비게이션 시스템; 투영기; 카 스테레오; 퍼스널 컴퓨터; 휴대용 정보 단말기(이동 컴퓨터, 휴대용 전화 및 전자 노트북 같은). 이들 실시예는 도 15a 내지 도 15c 및 도 16a, 도 16b에 도시된다.
- <173> 도 15a는 퍼스널 컴퓨터를 도시하고, 그것은 메인 몸체(2001), 이미지 입력 섹션(2002), 디스플레이 부분(2003), 및 키보드(2004)를 포함한다. 본 발명은 디스플레이 부분(2003)에 응용할 수 있다.
- <174> 도 15b는 이동 컴퓨터를 도시하고, 그것은 메인 몸체(2201), 카메라 섹션(2202), 이미지 수신 섹션(2203), 조작 스위치(2204), 및 디스플레이 부분(2205)을 포함한다. 본 발명은 디스플레이 부분(2205)에 응용할 수 있다.
- <175> 도 15c는 프로그램을 기록하는 기록 매체를 사용하는 플레이어(이후, 기록 매체라 함)를 도시하고 그것은 메인 몸체(2401); 디스플레이 부분(2402); 스피커 섹션(2403); 기록 매체(2404); 및 조작 스위치(2405)를 포함한다. 이런 플레이어는 기록 매체용 DVD(다기능 디지털 디스크)를 사용하고, 음악 감상, 사진 감상, 게임 및 인터넷에 사용될 수 있다. 본 발명은 디스플레이 부분(2402)에 응용할 수 있다.
- <176> 도 16a는 휴대용 책(전자 책)을 도시하고, 그것은 메인 몸체(3001), 디스플레이 부분(3002 및 3003), 기록 매체(3004), 조작 스위치(3005) 및 안테나(3006)를 도시한다. 본 발명은 디스플레이 부분(3002 및 3003)에 응용될 수 있다.
- <177> 도 16b는 디스플레이를 도시하고, 그것은 메인 몸체(3101), 지지 스탠드(3102), 및 디스플레이 부분(3103)을 포함한다. 본 발명은 디스플레이 부분(3103)에 응용될 수 있다.
- <178> 본 발명의 응용 범위 매우 넓고, 모든 분야의 전자 장치에 본 발명을 적용하는 것이 가능하다. 또한, 실시예 7의 전자 장치는 실시예 1 내지 6의 임의의 결합 구성을 사용함으로써 실현될 수 있다.

발명의 효과

- <179> 상기된 바와 같이, 본 발명에 따라, 화소부의 영역이 증가되고 반도체 장치가 큰 스크린을 가질 때조차 능동 매

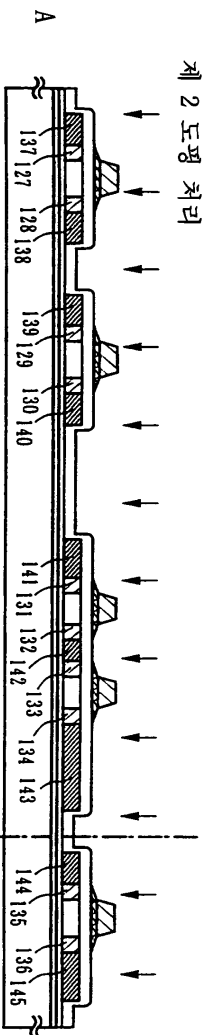
반도체층의 형성/절연막의 형성/
제 1 도전막 및 제 2 도전막의 형성



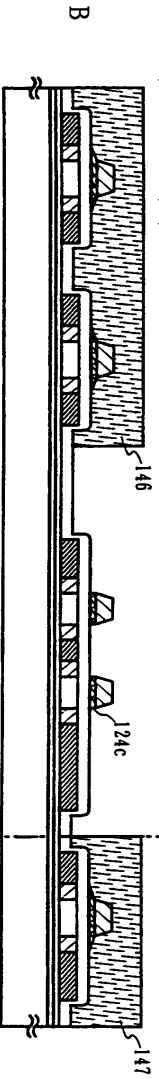
도면

도면1

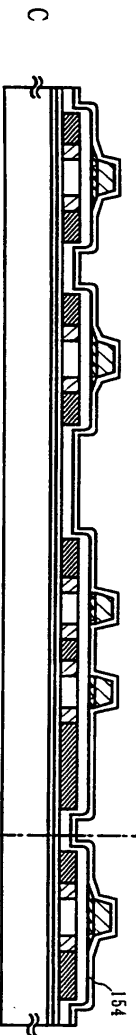
제 2 도평 처리

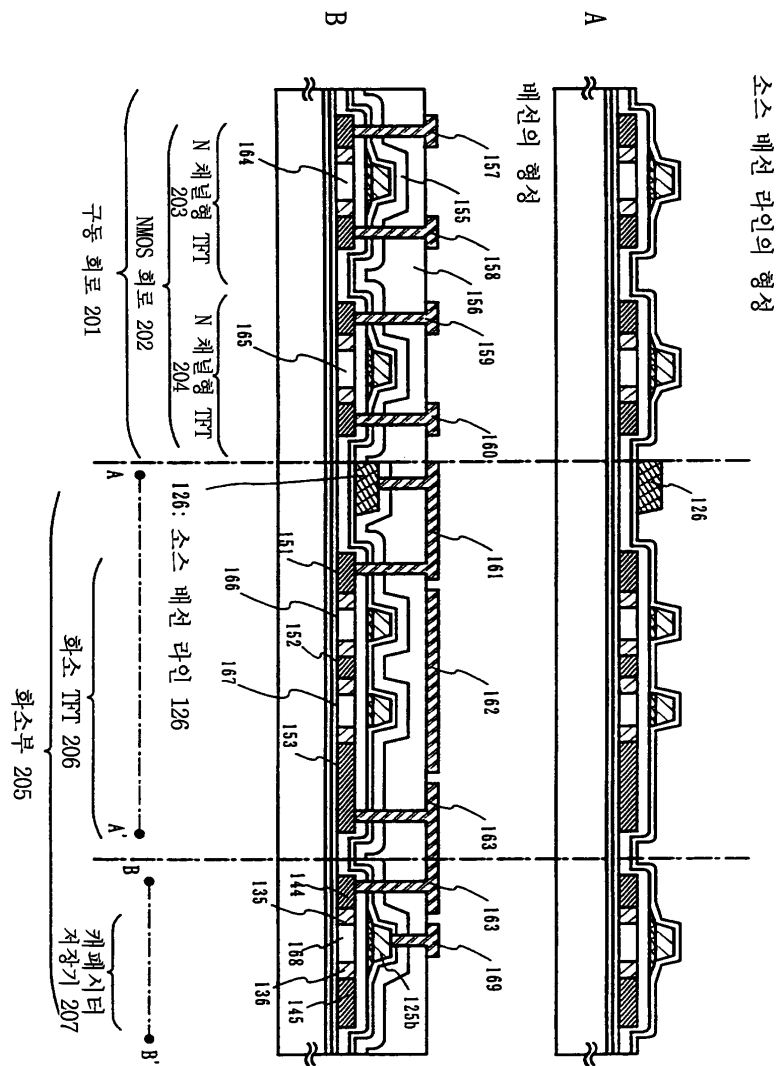


제 3 예칭 처리

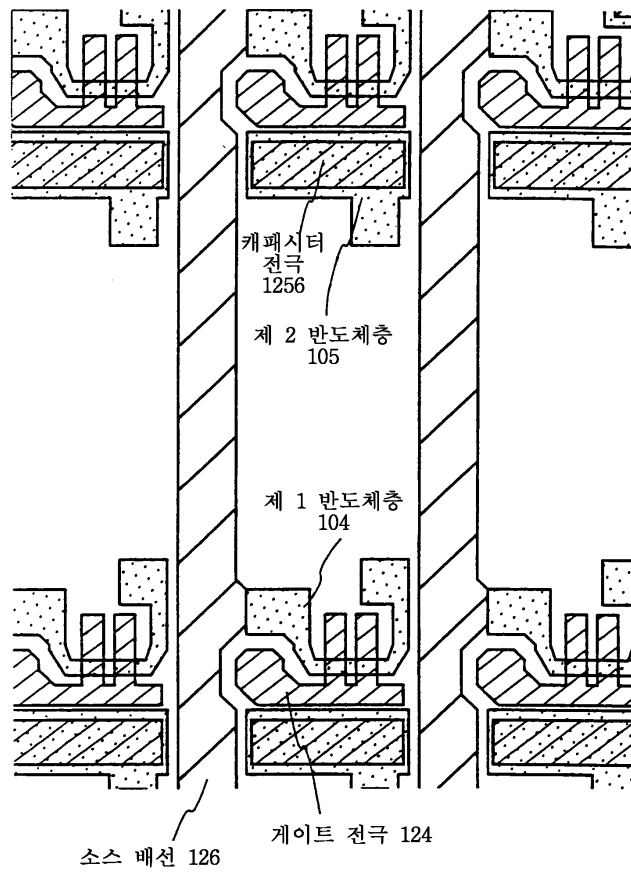


제 1 층간 절면막 형성/활성화

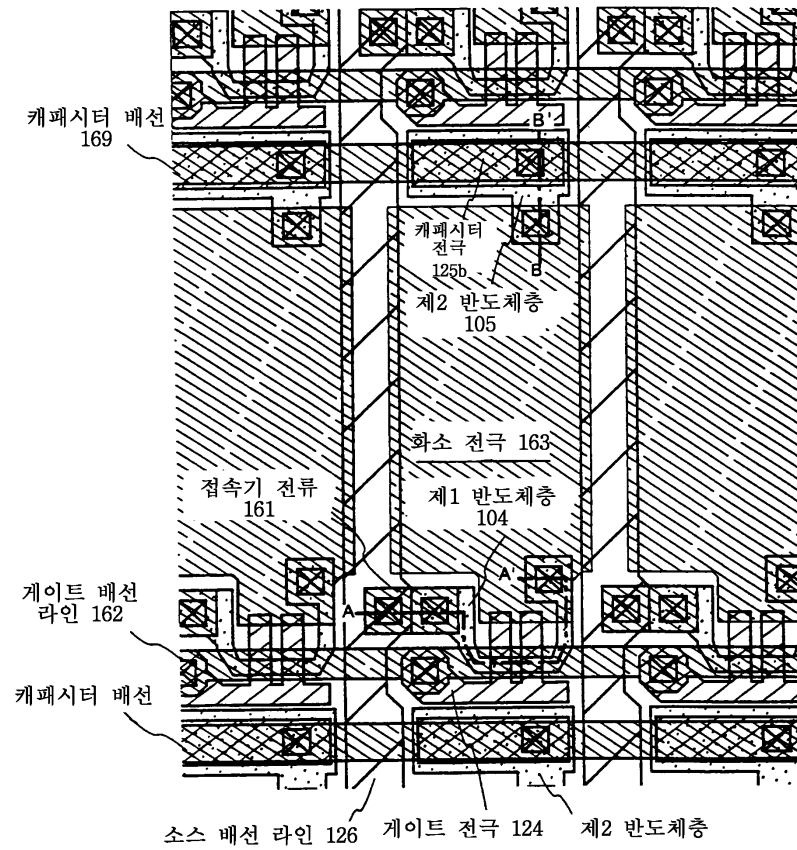




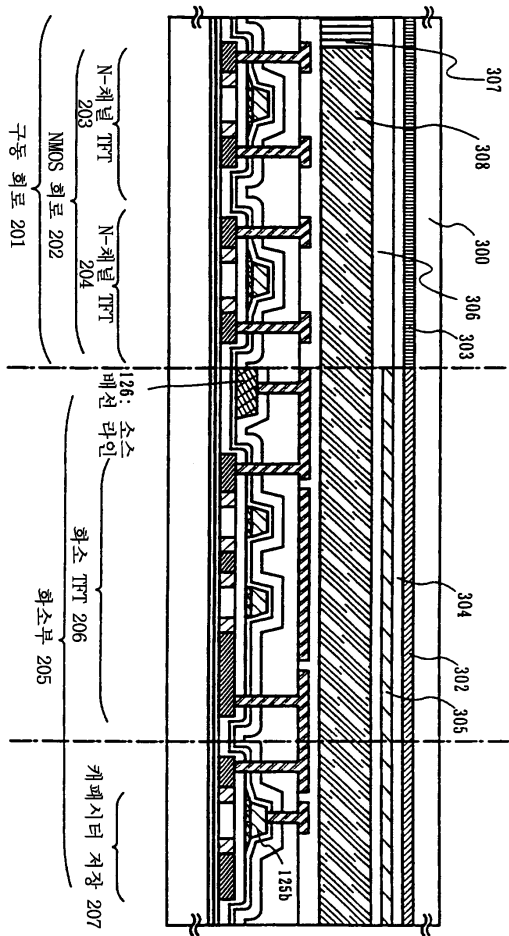
도면4



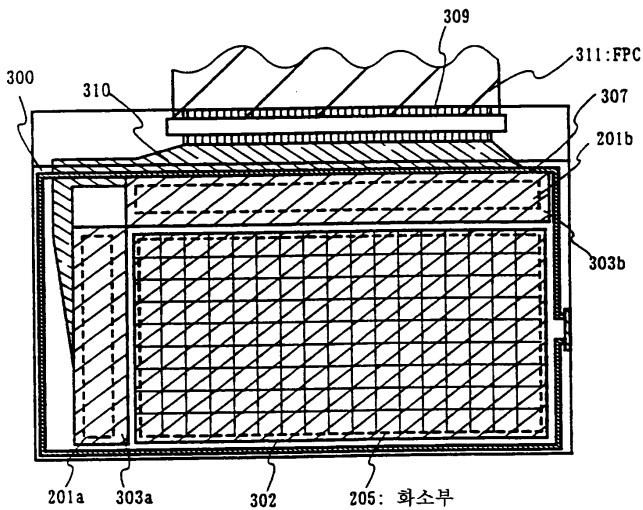
도면5



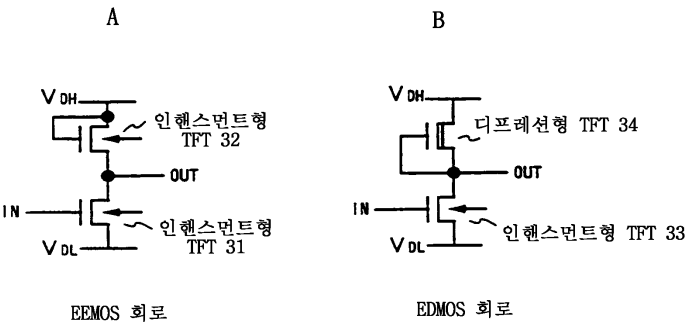
도면6



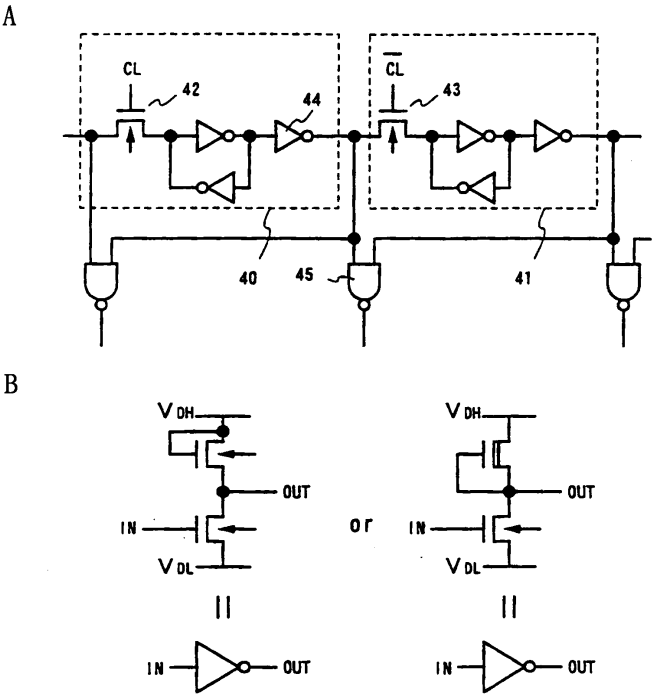
도면7



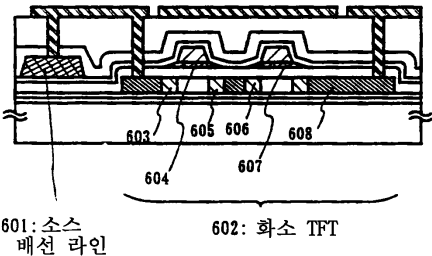
도면8



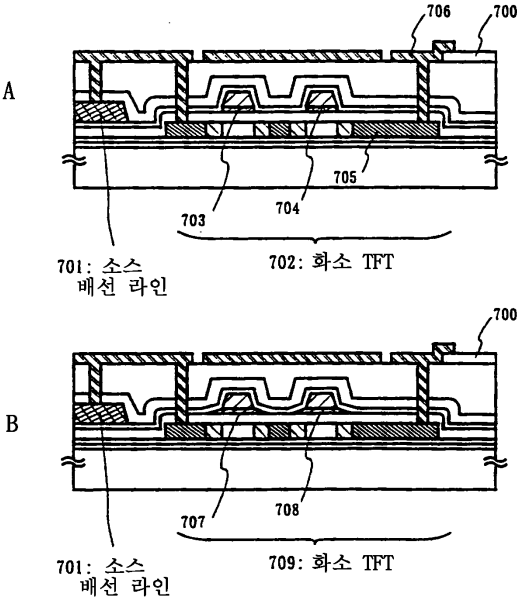
도면9



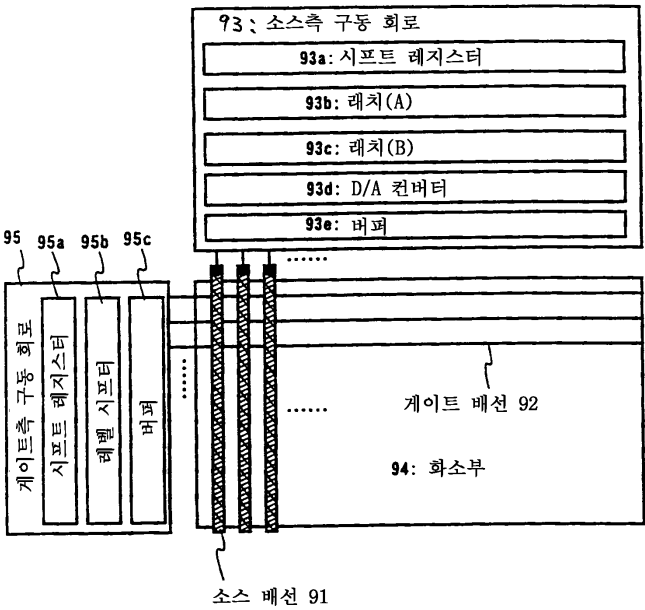
도면10



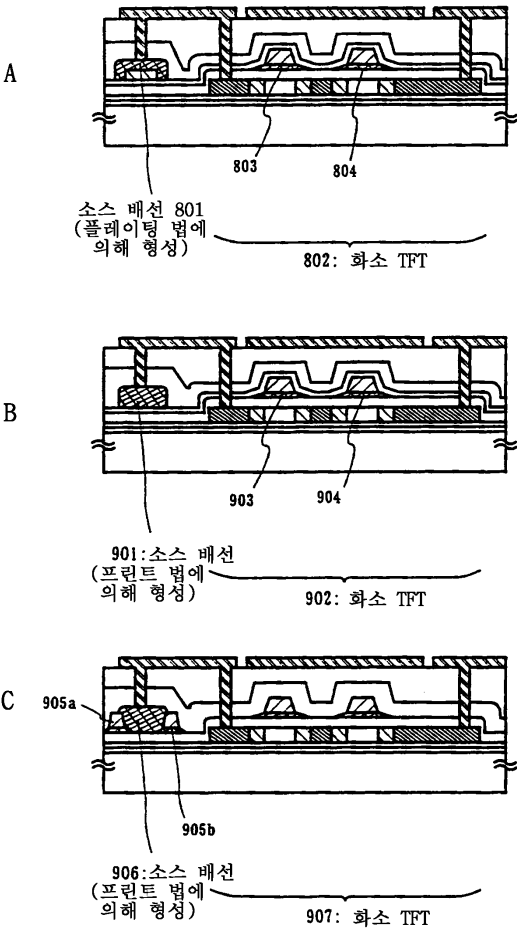
도면11



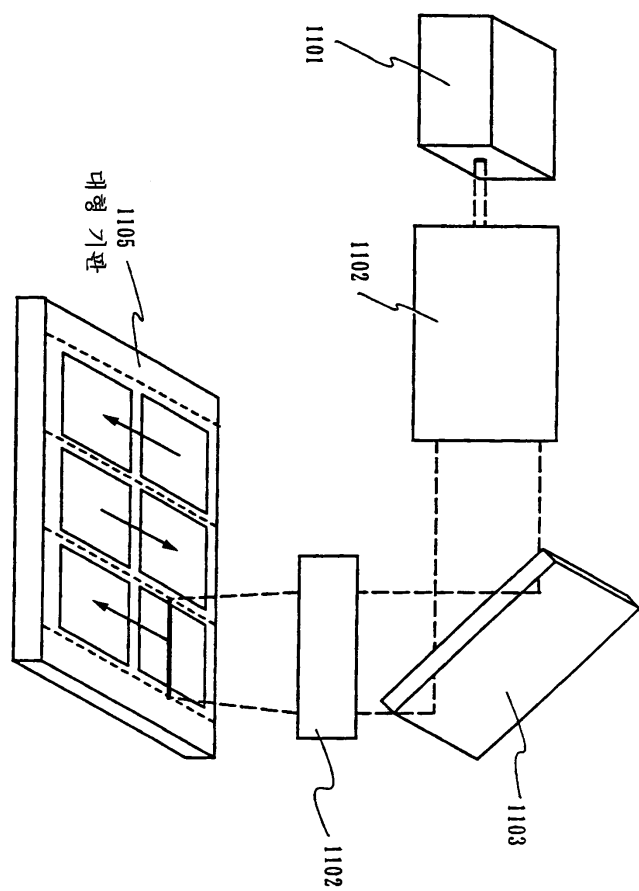
도면12



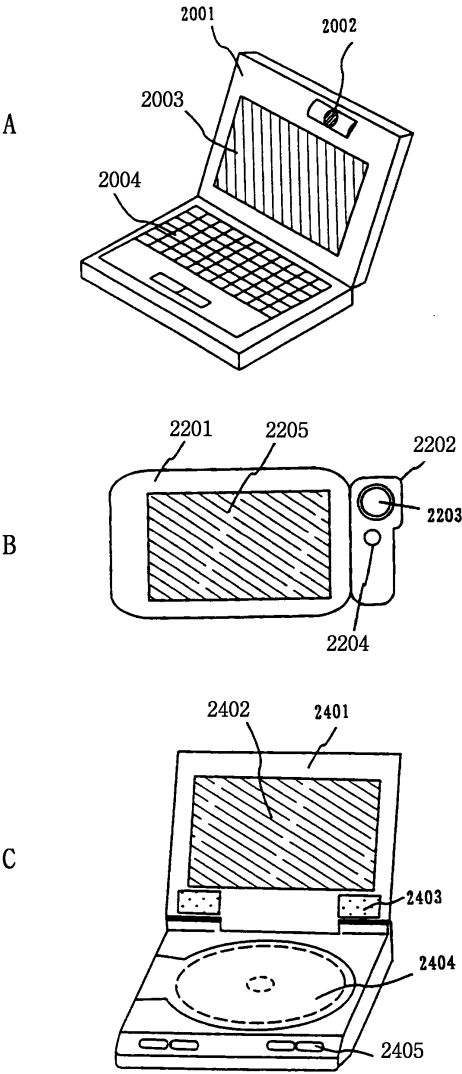
도면13



도면14



도면15



도면16

