(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年9 月27 日 (27.09.2007)

PCT

(10) 国際公開番号
WO 2007/108406 A1

(51) 国際特許分類:
H03K 19/003 (2006.01) *H03K 19/0948* (2006.01)

(21) 国際出願番号: PCT/JP2007/055342

(22) 国際出願日: 2007 年3 月16 日 (16.03.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2006-081749 2006 年3 月23 日 (23.03.2006) JP

(71) 出願人 (米国を除く全ての指定国について): 国立大学法人 千葉大学 (NATIONAL UNIVERSITY CORPORATION CHIBA UNIVERSITY) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町１番３３号 Chiba (JP).

(72) 発明者; および

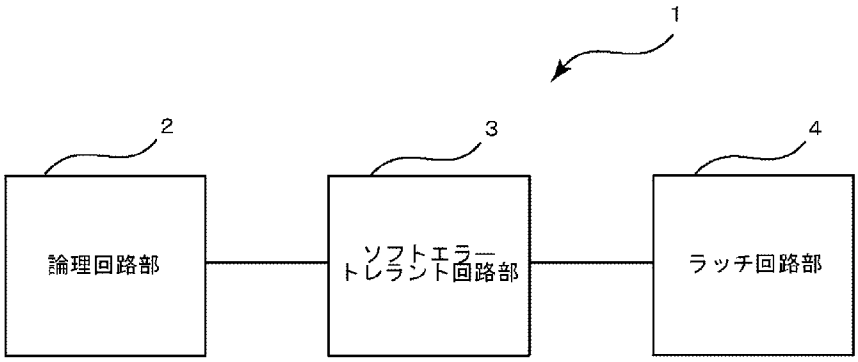
(75) 発明者/出願人 (米国についてのみ): 難波 一輝 (NANBA, Kazuteru) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町１番３３号 国立大学法人千葉大学工学部内 Chiba (JP). 伊藤 秀男 (ITO, Hideo) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町１番３３号 国立大学法人千葉大学工学部内 Chiba (JP). 佐々木 陽一 (SASAKI, Yoichi) [JP/JP]; 〒2638522 千葉県千葉市稲毛区弥生町１番３３号 国立大学法人千葉大学大学院自然科学研究科内 Chiba (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/続葉有/

(54) **Title:** ERROR TOLERANT METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT CAPABLE OF REALIZING THE METHOD

(54) **発明の名称:** エラートレラント方法及びその方法を実現可能な半導体集積回路



2 LOGIC CIRCUIT UNIT
3 SOFTWARE ERROR TOLERANT CIRCUIT UNIT
4 LATCH CIRCUIT

(57) **Abstract:** A software error tolerant method that is useful for a logic circuit unit and a semiconductor integrated circuit that carries out the method are provided to enhance capability in attenuating a software error while to suppress decrease in a circuit operation speed. In an error tolerance method, a pass transistor attenuates a signal including a software error generated by a logic circuit unit and a Schmidt trigger circuit masks the attenuated signal. A semiconductor integrated circuit is comprised of a logic circuit unit, a pass transistor electrically connected with the logic circuit unit and a Schmidt trigger circuit electrically connected with the pass transistor.

(57) 要約: 論理回路部に有用なソフトエラートレラント方法及びそれを実現する半導体集積回路であって、回路の動作速度低下を抑制しつつ、よりソフトエラー減衰能を高くする。論理回路部が発生させるソフトエラーを含む信号をパストランジスタによって減衰させ、更にこれをシュミットトリガ回路によってマスクするエラートレラント方法、および、論理回路部と、該論理回路部と電気的に接続されるパストランジスタと、該パストランジスタと電気的に接続されるシュミットトリガ回路と、を有する半導体集積回路とする。

WO 2007/108406 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

エラートレラント方法及びその方法を実現可能な半導体集積回路

技術分野

[0001] 本発明はエラートレラント方法及びその方法を実行可能な半導体集積回路に関する。

背景技術

[0002] 半導体集積回路において生ずるエラーとして、ソフトエラーとハードエラーとに分類することができる。ハードエラーとは、半導体集積回路の構成そのものに起因するエラーをいい、一度生じてしまうと半永久的に信号値を誤り続けてしまうものである。一方、ソフトエラーとは、半導体集積回路の構成は正常であるものの半導体集積回路の動作中に一時的に発生してしまうエラーのことをいい、時間が経過すればもとの正常な状態に回復するものである。ソフトエラーは、例えば半導体集積回路が宇宙空間やVLSIを封入するパッケージなどから発せられるα線や中性子線などの放射線が、VLSIと衝突すること等で発生し、特に記憶電荷量の小さいDRAM等のメモリ上で生じやすい。

[0003] ソフトエラー対策(以下「ソフトエラートレラント」という。)に関する技術として、例えば下記非特許文献1には、論理回路部とこの論理回路部に接続されたラッチ回路部を有する半導体集積回路において、ラッチ回路部を二重化されたラッチ構造とする技術が開示されている。

[0004] また、下記非特許文献2には、論理回路部と、この論理回路部の出力を遅延時間δ(ここでδは、ソフトエラーの影響を受ける時間の最大値)で遅延させる第一の遅延回路並びに遅延時間2δで遅延させる第二の遅延回路と、論理回路部の出力、第一の遅延回路の出力並びに第二の遅延回路の出力に基づき多数決を行う多数決回路、及び、この多数決回路の出力を格納するラッチ回路部と、を有する半導体集積回路に関する技術が開示されている。

[0005] また、下記非特許文献3には、論理回路部と、この論理回路部に接続される複数のパストランジスタと、これらパストランジスタを介して接続されるラッチ回路部と、を有す

ることで、論理回路部において発生したソフトエラーを減衰させる技術が記載されている。

[0006] 非特許文献1:M. Omana, D. Rossi, C. Metra、"Novel Transient Fault Hardened Static Latch"、ITC、pp886－892、2003

非特許文献2:Nicolaidis, "Time Redundancy－Based Soft－Error Tolorance to Rescue Nanometer Technologies"、Proc. IEEE VLSI Test Symp. 、pp86－94、1999

非特許文献3:J. Kumar, Mehdi B. Tahoori、"Use of pass transistor logic to minimize the impact of soft errors in combinational circuits"、Workshop on System Effects of Logic Soft Errors、2005

発明の開示

発明が解決しようとする課題

[0007] しかしながら、上記非特許文献1に記載の技術では、ラッチ部に発生したソフトエラーを防ぐことはできても、論理回路部に発生したソフトエラーについては防ぐことができない。

[0008] また、上記非特許文献2に記載の技術では、クロックの周期を2δ増加させる必要があるため、回路の動作速度を低下させてしまう虞がある。またこの技術では多数決回路を用いているが、回路が複雑で大面積となってしまうといった課題もある。

[0009] また、上記非特許文献3に記載の技術では、パストランジスタで減衰できる能力に限界があり、大きなソフトエラーパルスが発生した場合にその能力に課題が残る。

[0010] そこで、本発明は、論理回路部に有用なソフトエラートレラント方法及びそれを実現する半導体集積回路であって、回路の動作速度低下を抑制しつつ、よりソフトエラー減衰能を高くすることを目的とする。

課題を解決するための手段

[0011] 即ち、上記課題を解決する一手段としてのエラートレラント方法は、論理回路部が発生させるソフトエラーを含む信号をパストランジスタによって減衰させ、更にこれをシュミットトリガ回路によってマスクすることを特徴の一つとする。

[0012] また、限定されるわけではないが、この手段におけるシュミットトリガ回路として、イン

バータ型のシュミットトリガ回路を用いることも望ましい。

[0013] また、上記課題を解決する他の一手段としての半導体集積回路は、論理回路部と、論理回路部と電気的に接続されるパストランジスタと、パストランジスタと電気的に接続されるシュミットトリガ回路と、を有することを特徴の一つとする。

[0014] また、限定されるわけではないが、この手段におけるシュミットトリガ回路に電気的に接続されるラッチ回路部と、を有することも望ましく、また、シュミットトリガ回路と並列に配置されるパストランジスタと、を有することも望ましい。

発明の効果

[0015] 以上により、本発明は、論理回路部に有用なソフトエラートレラント方法及びそれを実現する半導体集積回路であって、回路の動作速度低下を抑制しつつ、よりソフトエラー減衰能を高くすることができる。

発明を実施するための最良の形態

[0016] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は多くの異なる形態による実施が可能であり、以下に示す実施形態及び実施例に狭く限定されることはない。

[0017] (実施形態1)

図1に、本実施形態に係る半導体集積回路の機能ブロック図を示す。

図1が示すとおり、本実施形態に係る半導体集積回路1は、論理回路部2と、論理回路部に接続されたソフトエラートレラント回路部3と、このソフトエラートレラント回路部3に接続されたラッチ回路部4と、を有して構成されている。

[0018] 論理回路部2は、入力されるデータに基づき計算を行いこの結果を出力するための回路部であって、限定されるわけではないが例えばANDゲート、ORゲート、NOTゲート、NANDゲート等を組み合わせることによって構成されるが、論理回路部2内にはもちろんラッチ回路を有していてもよい。

[0019] ソフトエラートレラント回路部3は、論理回路部2において生じるソフトエラーを訂正するための回路部3であって、具体的には例えば図2で示すようにパストランジスタ31と、このパストランジスタ31に接続されるシュミットトリガ回路32と、を有して構成されている。

[0020] パストランジスタ31は、トランジスタにおけるソース／ドレイン領域を介して論理回路部2とシュミットトリガ回路32とを接続するトランジスタであって、限定されるわけではないが、図2で示すとおり本実施形態に係るパストランジスタ31は、NMOSトランジスタ311とPMOSトランジスタ312とを有しており、各々のトランジスタにおけるソース／ドレイン領域は他方のトランジスタにおけるソース／ドレイン領域と電気的に接続されている。なおNMOSトランジスタ311のゲートは外部電源Vccに、PMOSトランジスタ312のゲートはグランドに接地されており、双方のトランジスタのゲートはオン状態となっている。なお、本実施形態におけるパストランジスタ31は、NMOSトランジスタ311とPMOSトランジスタ312とが組み合わされたものとなっているが、上記した機能を奏する限りにおいて限定されず、例えばNMOSトランジスタのみ、PMOSトランジスタのみであってもよく、本実施形態に限定されるものではない。

[0021] シュミットトリガ回路32は、主として信号の立ち上がり、立下りにおけるノイズを除去するために用いられる回路であって、限定されるわけではないが図2で示すとおりソース／ドレイン領域が共通する形で直列に接続されるNMOSトランジスタ321とPMOSトランジスタ322及びNMOSトランジスタ323とPMOSトランジスタ324、これらトランジスタの間で共通するソース／ドレイン領域325、326に電気的に接続されるインバータ327と、を有しており、インバータ327の出力はNMOSトランジスタ323、PMOSトランジスタ324のゲートに接続されている。なお、NMOSトランジスタ321、323の共通していない側のソース／ドレインはそれぞれ接地され、PMOSトランジスタ322、324の共通していない側のソース／ドレインはVccに接続されている。なお本実施形態ではインバータ327の出力がシュミットトランジスタ回路の出力ともなっている。

[0022] 本実施形態のシュミットトリガ回路32の例を図2に示しているが、例えば図3で示すような構成を採用することも可能であって、本実施形態に記載の構成に限定されることはない。なお、図3に示すシュミットトリガ回路32は、ソース／ドレイン領域が共通する形で順に直列に接続される複数のPMOSトランジスタ3211、3212及び複数のNMOSトランジスタ3213、3214と、複数のPMOSトランジスタ3211、3212の共通するソース／ドレイン領域3215に接続されるPMOSトランジスタ3216と、複数のNMO

Sトランジスタ3213、3214の共通するソースドレイン領域3217に接続されるNMOSトランジスタ3218と、を有して構成されている。なお、本図におけるシュミットトリガ回路32は、PMOSトランジスタ3212とNMOSトランジスタ3213の間のソース／ドレイン領域3219が出力となっており、上記のPMOSトランジスタ3216、NMOSトランジスタ3218のゲートに接続されている。

[0023] ここで、シュミットトリガ回路32によるノイズ除去の原理について、図4を用いて説明する。一般にデジタル回路は、入力信号が“1”か“0”（表現によっては“High”か“Low”又は“高電位”か“低電位”）の何れかであるかを判断して取り扱う。具体的には所定の電圧以上の入力に対しては“1”と、所定の電圧より低い入力信号に対しては“0”を判断する（この所定の電圧を「閾値電圧」という。）。しかしながら、これら入力信号には通常ノイズが加わっており、閾値電圧近傍の電圧においてはこれが顕著な問題となる。即ちノイズの大きさ如何によっては本来“1”であるはずの入力信号がノイズにより“0”となってしまう、又は本来“0”であるはずの入力信号が“1”となってしまう（図4（A）参照）。これに対しシュミットトリガ回路は閾値電圧を二つ有することで入力信号に対する判断に方向性を持たせている。この回路によると、入力信号がVth＋以上となり“1”と判断されると、入力信号がVth＋を下回っても“1”を維持し、Vth－以下にならないと“0”とは判断されない。これにより閾値電圧付近におけるノイズを防止することができる（図4（B）参照）。

[0024] ラッチ回路部4は、論理回路部2に基づくソフトエラートレラント回路部3からの出力を保持するための回路部であって、出力を格納することができる限りにおいて限定されるわけではないが、この回路構成の例について例えば図5に示しておく。なお、ラッチ回路4は、出力を一時格納しておくことがデータの処理上望ましいが、他の論理回路部等に直接入力させる等ラッチを不要とする構成の場合には省略も可能ではある。

[0025] 次に、本実施形態に係る半導体集積回路を用いたエラートレラント方法について説明する。まず、論理回路部2においてソフトエラーが生じたと仮定する。すると、このソフトエラーを含む信号（以下「ソフトエラー信号」という。）は、パストランジスタ31に入力され、電圧が減衰させられる。パストランジスタ31は、通常、論理回路部2からの信

号をそのままシュミットトリガ回路32に出力するが、一時的なソフトエラーが入力された場合、その入力されたソフトエラーの大きさを減衰させ、シュミットトリガ回路32がマスクできるノイズの大きさの範囲に収めることができる(パストランジスタの減衰率としては概ね10%程度である)。そしてシュミットトリガ回路32は、ソフトエラーが減衰させられた入力信号に基づきソフトエラーをマスクすることができるようになる。より具体的に説明すると、パストランジスタ31は、例えば図6で示すように、論理回路部2で生じたソフトエラーの初期の大きさが閾値電圧(Vth+)を超えてしまうような場合があったとしても、パストランジスタ31により、ノイズマスクできるまでソフトエラーの電圧を減衰させ、シュミットトリガ回路でマスク可能な範囲に抑えることができる。このようにすることで、本実施形態に係る論理回路部に有用なソフトエラートレラント方法となり、回路の動作速度低下を抑制しつつ、よりソフトエラー減衰能を高くすることができる。特に本回路によると、従来のように遅延回路を設ける必要がないため動作速度を落とすことがなく、また多数決回路も不必要となり面積増加を起こすことのない半導体集積回路となる。なお、論理回路部2においてソフトエラーが生じない場合は、論理回路部2からの出力信号をそのままラッチ回路部4に出力することができることはいうまでもない。

[0026] (実施形態2)

本実施形態は、ほぼ実施形態1と同様であるが、ソフトエラートレラント回路部3が、ラッチとしての機能を有している点が主に異なる。図7に本実施形態に係る半導体集積回路1の機能ブロック図を示し、図8に、本実施形態に係るソフトエラートレラント回路部3の等価回路の一例を示す。

[0027] 図7で示すように、本実施形態に係る半導体集積回路のソフトエラートレラント回路部3は、ラッチ機能を有しており、実施形態1におけるラッチ回路部4と一体の構成となっている点が異なる。

[0028] また、図8で示すように、本実施形態に係るソフトエラートレラント回路部3は、図2に示す実施形態1の例とほぼ同様であるが、パストランジスタ31とシュミットトリガ回路32と、シュミットトリガ回路32と並列に接続されたパストランジスタ33と、を有していることを特徴とする。

[0029] パストランジスタ31は、実施形態1とほぼ同様の構成であるが、NMOSトランジスタ

321のゲートがクロック信号clkに接続され、PMOSトランジスタ322のゲートがクロック信号clkに対し反転した反転クロック信号に接続されている点が異なる。即ちパストランジスタ31は、このようにすることでシュミットトリガ回路32又はこれと並列に配置されるパストランジスタ33への入力を制御することができる。

[0030] また本実施形態におけるシュミットトリガ回路32に並列に接続されたパストランジスタ33は、ほぼ前段のパストランジスタ31と同様の構成であるが、ゲートに入力される信号が異なる。具体的には、NMOSトランジスタ331のゲートには反転クロック信号が入力され、PMOSトランジスタ332のゲートにはクロック信号clkが入力される。これにより、前段のパストランジスタ31のゲートがオン状態のときはオフ状態となり、オフ状態のときはオン状態となる。

[0031] なお、シュミットトリガ回路33については、もちろん上記実施形態と同様、図8の例に限定されるわけではなく、例えば図9で示すような構成も可能である。図9で示すシュミットトリガ回路32は、図4で示しているシュミットトリガ回路とほぼ同様であるが、図4で示すシュミットトリガ回路の出力側に更にソース／ドレイン領域が共通する形で直列に接続されるPMOSトランジスタ3220とNMOSトランジスタ3221が配置されている点が異なる。なおPMOSトランジスタ3220の共通していない側のソース／ドレイン領域はVccに、NMOSトランジスタ3221の共通していない側のソース／ドレイン領域は設置されている。なお共通するソース／ドレイン領域3222がシュミットトリガ回路33の出力となっている。

[0032] 以上のとおり、本実施形態に係る半導体集積回路によると、上記実施形態1と同様の効果を有しているだけでなく、パストランジスタ31とシュミットトリガ回路32との間に別途パストランジスタ33を並列に設け、ループを形成させることでエラーマスク機能を有するとともにラッチ回路を構成することでラッチ機能をもかねさせることができる。これにより、更に小面積化を図ることが可能となる。

図面の簡単な説明

[0033] [図1]実施形態に係る半導体集積回路の機能ブロックを示す図である。

[図2]実施形態に係るパストランジスタとシュミットトリガ回路の詳細な回路を示す図である。

[図3]実施形態に係るシュミットトリガ回路の動作を説明する図である。

[図4]実施形態に係るシュミットトリガ回路の他の構成の例を示す図である。

[図5]実施形態に係るラッチ回路の詳細な回路を示す図である。

[図6]パストランジスタ及びシュミットトリガ回路の動作を説明する図である。

[図7]実施形態2に係る半導体集積回路の機能ブロックを示す図である。

[図8]パストランジスタとシュミットトリガ回路の詳細な回路を示す図である。

[図9]シュミットトリガ回路の他の例を示す図である。

符号の説明

[0034] 1…半導体集積回路、2…論理回路部、3…エラートレラント回路部、4…ラッチ回路部、31…パストランジスタ、32…シュミットトリガ回路、33…パストランジスタ、311、321、323…NMOSトランジスタ、312、322、324…PMOSトランジスタ

請求の範囲

[1] 論理回路部が発生させるソフトエラーを含む信号をパストランジスタによって減衰させ、更にこれをシュミットトリガ回路によってマスクするエラートレラント方法。

[2] 前記シュミットトリガ回路として、インバータ型のシュミットトリガ回路を用いることを特徴とする請求項1記載のエラートレラント方法。

[3] 論理回路部と、

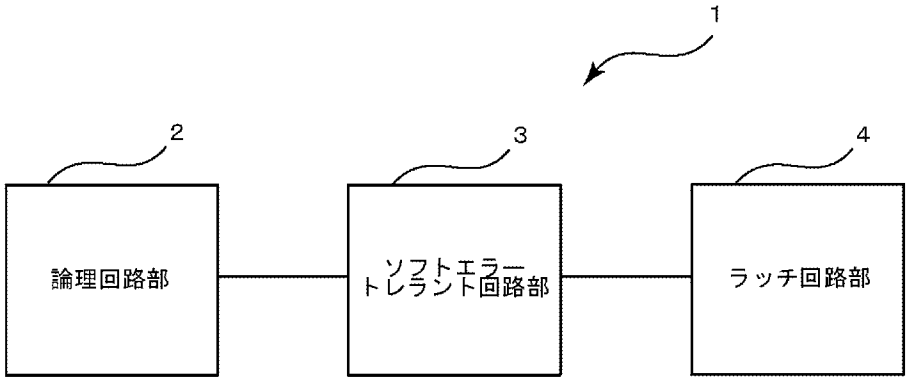
該論理回路部と電気的に接続されるパストランジスタと、

該パストランジスタと電気的に接続されるシュミットトリガ回路と、を有する半導体集積回路。

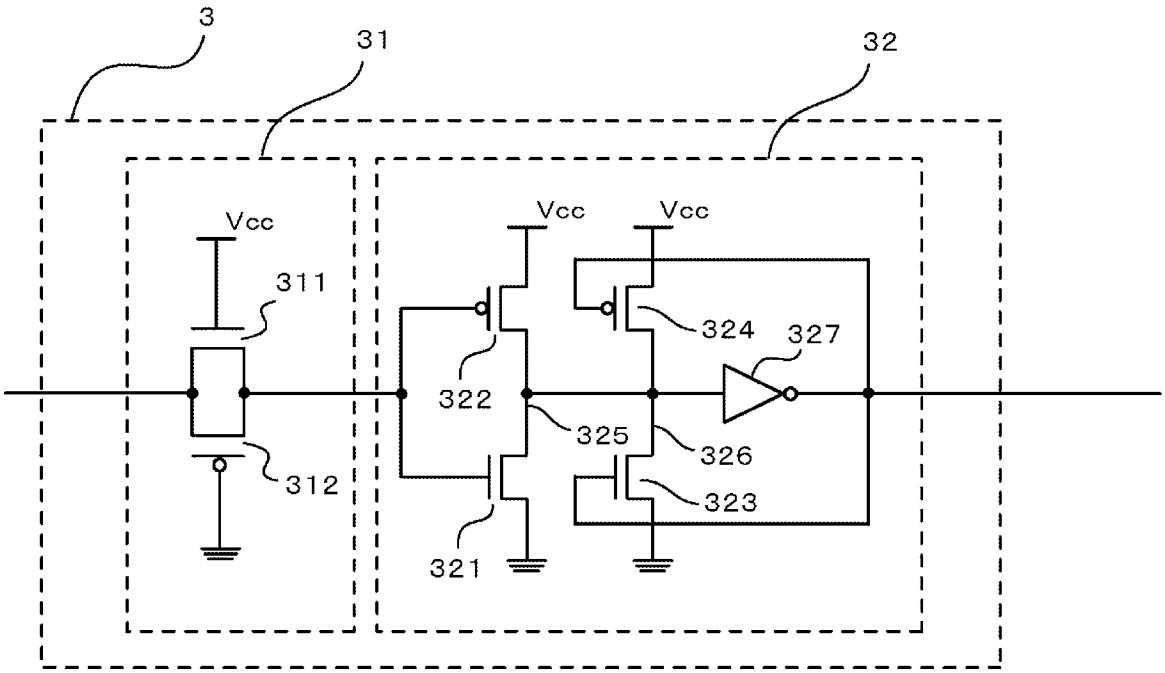
[4] 前記シュミットトリガ回路に電気的に接続されるラッチ回路部と、を有することを特徴とする請求項3記載の半導体集積回路。

[5] 前記シュミットトリガ回路と並列に配置されるパストランジスタと、を有する請求項3記載の半導体集積回路。

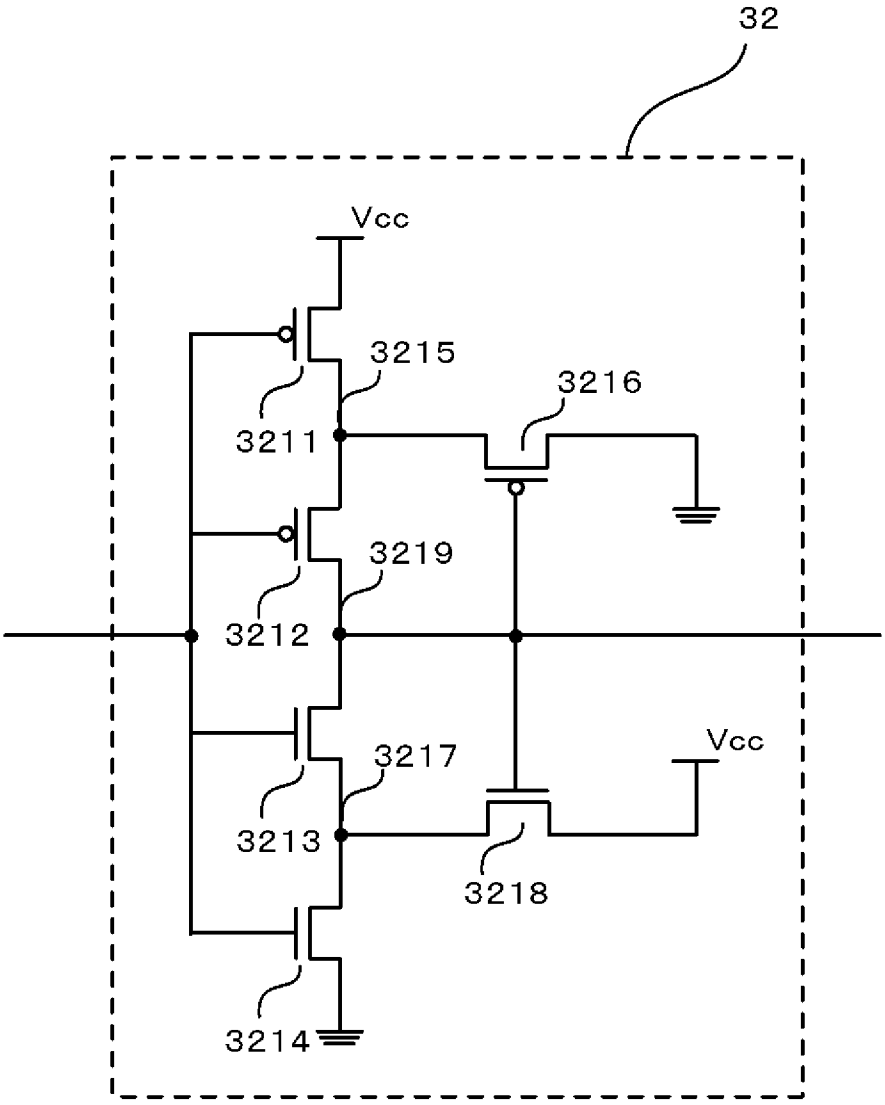
[図1]


1
2
3
4
論理回路部
ソフトエラー
トレラント回路部
ラッチ回路部

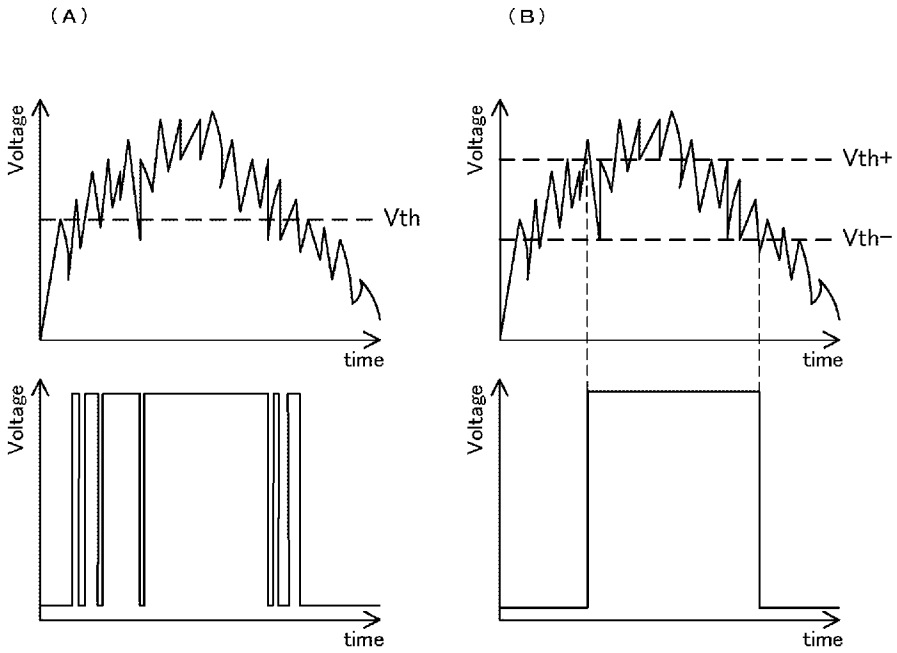
[図2]


3
31
32
Vcc
311
312
Vcc
Vcc
322
321
324
327
325
326
323

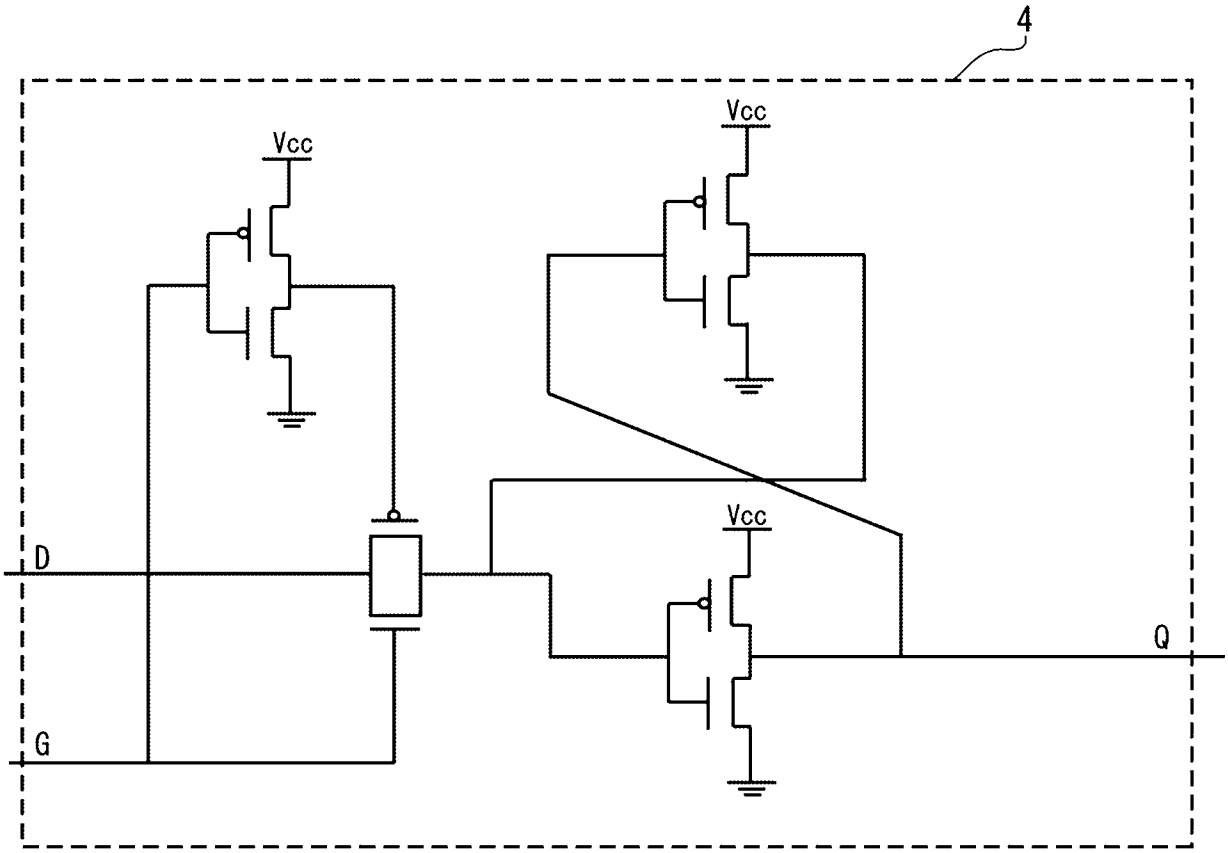
[図3]



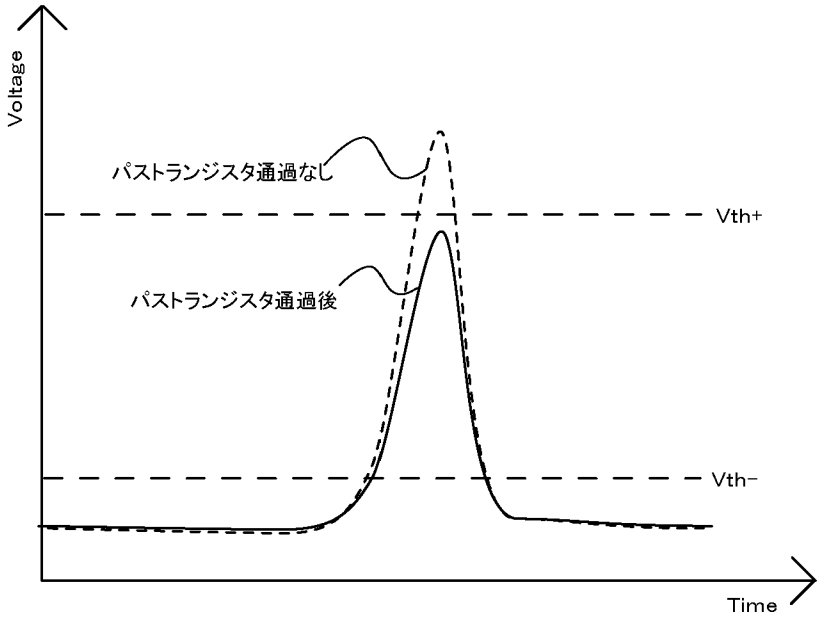
[図4]


(A)
(B)
Voltage
Vth
time
Voltage
time
Voltage
Vth+
Vth−
time
Voltage
time

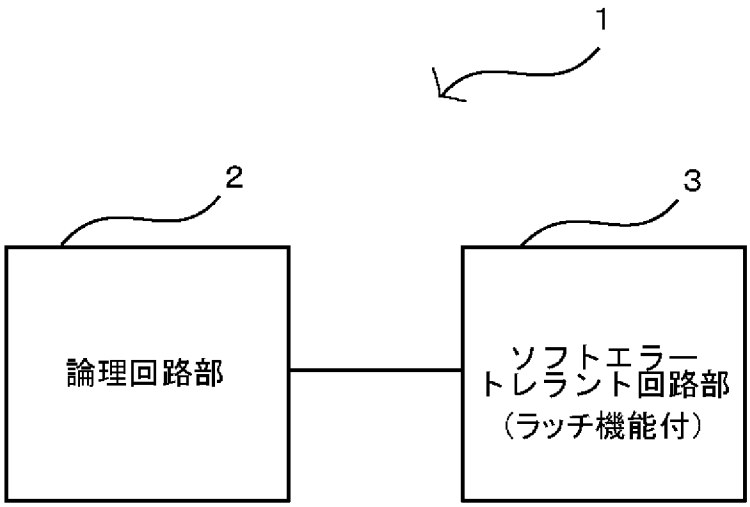
[図5]


4
Vcc
Vcc
Vcc
D
G
Q

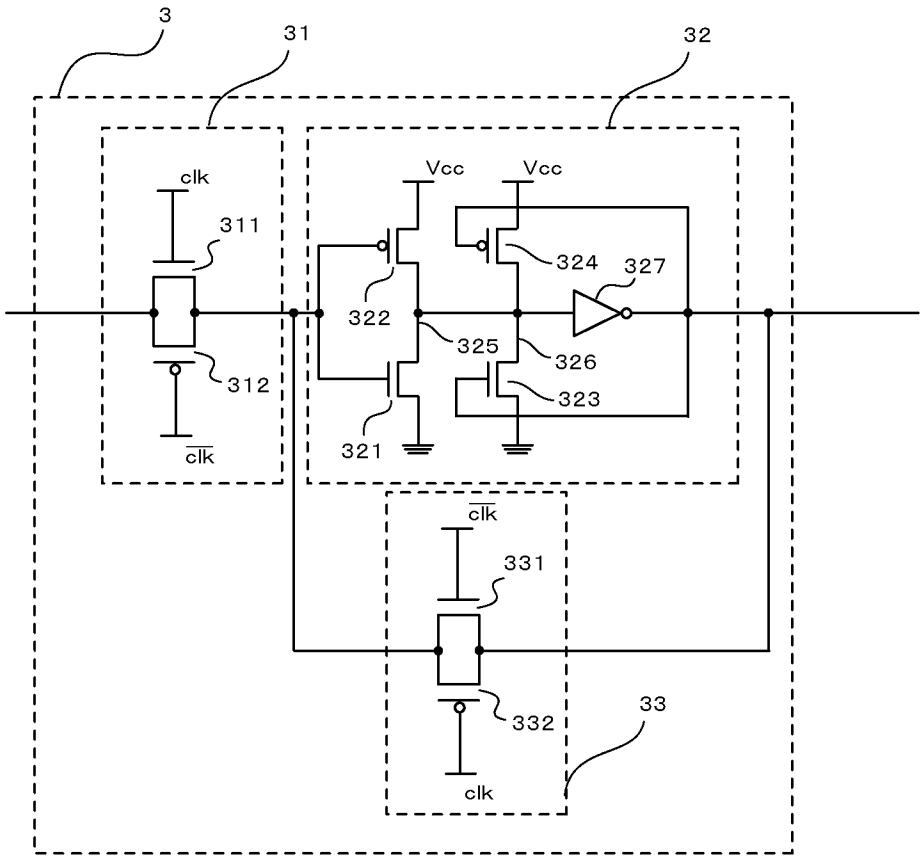
[図6]


Voltage
パストランジスタ通過なし
Vth+
パストランジスタ通過後
Vth−
Time

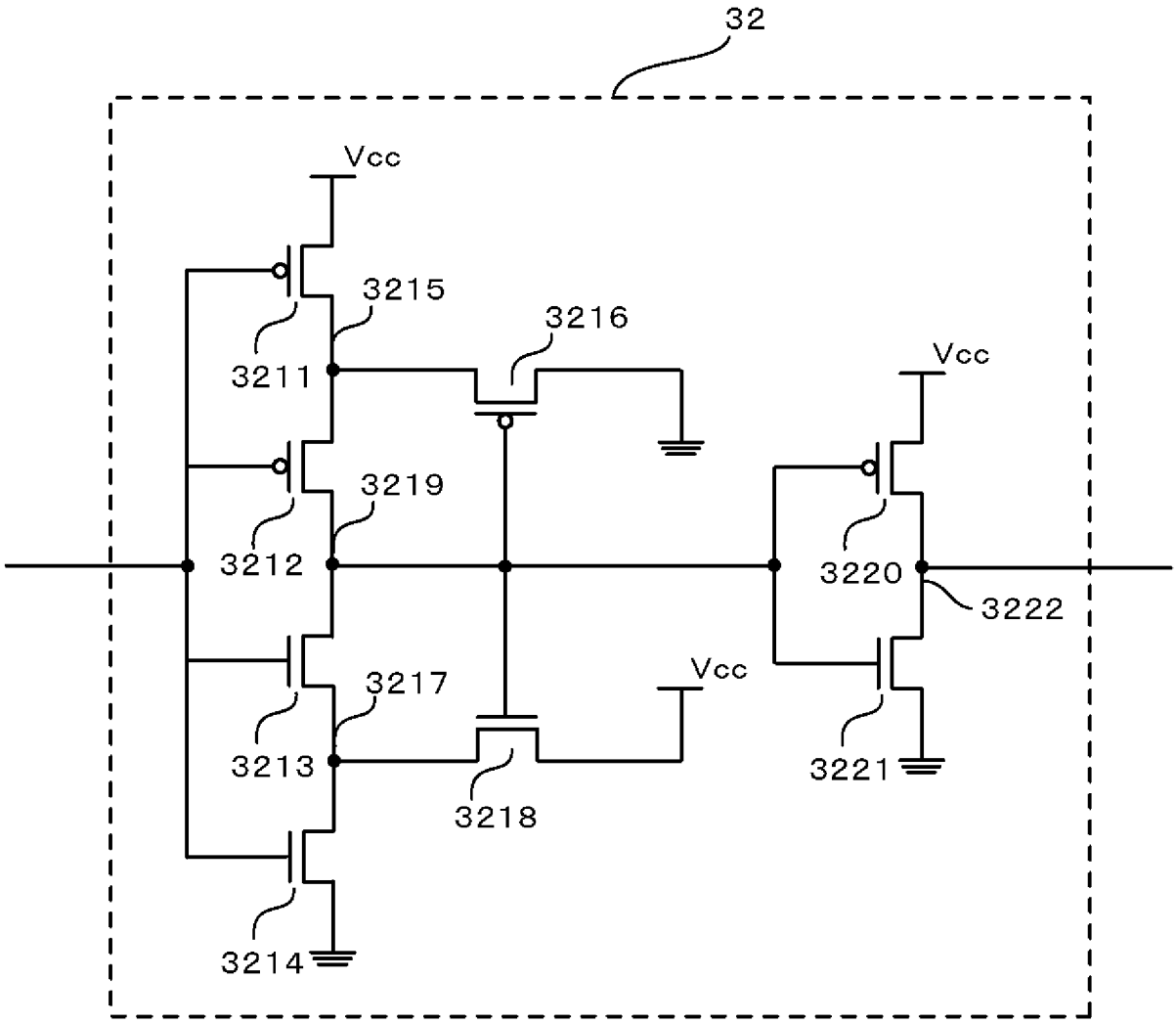
[図7]


1
2
3
論理回路部
ソフトエラー
トレラント回路部
（ラッチ機能付）

[図8]


3
31
32
clk
311
312
clk
Vcc
Vcc
322
321
324
327
325
326
323
clk
331
332
33
clk

[図9]


32
Vcc
3215
3216
3211
Vcc
3219
3212
3220
3222
3217
Vcc
3213
3221
3218
3214

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/055342

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/003(2006.01)i, *H03K19/0948*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/003, H03K19/0948

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 3-21113 A (NEC Corp.), 29 January, 1991 (29.01.91), All pages; Fig. 1 (Family: none)	1-4 5
Y A	JP 2004-304475 (Kawasaki Micro Electronics Kabushiki Kaisha), 28 October, 2004 (28.10.04), All pages; Figs. 1 to 4 (Family: none)	1-4 5
Y A	JP 2-168724 A (Hitachi, Ltd.), 28 June, 1990 (28.06.90), Page 4, upper left column, lines 1 to 7; Fig. 1 & US 5065048 A	1-4 5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 June, 2007 (12.06.07)	19 June, 2007 (19.06.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/055342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-60847 A (Semiconductor Technology Academic Research Center), 02 March, 2006 (02.03.06), All pages; Figs. 1 to 26 (Family: none)	1-4 5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００７／０５５３４２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/003(2006.01)i, H03K19/0948(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K19/003, H03K19/0948

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ Ａ	ＪＰ　３－２１１１３　Ａ（日本電気株式会社）１９９１．０１．２９，全頁，第１図（ファミリーなし）	１－４５
Ｙ Ａ	ＪＰ　２００４－３０４４７５（川崎マイクロエレクトロニクス株式会社）２００４．１０．２８，全頁，図１－４（ファミリーなし）	１－４５
Ｙ Ａ	ＪＰ　２－１６８７２４　Ａ（株式会社日立製作所）１９９０．０６．２８，第４頁左上欄第１－７行，第１図　＆　ＵＳ　５０６５０４８　Ａ	１－４５

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０６．２００７	１９．０６．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　８５２３
宮島　郁美
電話番号　０３－３５８１－１１０１　内線　３５９６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ　２００６－６０８４７　Ａ（株式会社半導体理工学研究センター）２００６．０３．０２，全頁，図１－２６（ファミリーなし）	１－４
Ａ		５