

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4144591号
(P4144591)

(45) 発行日 平成20年9月3日 (2008.9.3)

(24) 登録日 平成20年6月27日 (2008.6.27)

(51) Int.Cl.

F I

HO 1 L 21/822 (2006.01)

HO 1 L 27/04 (2006.01)

HO 1 L 21/8234 (2006.01)

HO 1 L 27/06 (2006.01)

HO 1 L 27/04 P

HO 1 L 27/04 E

HO 1 L 27/04 A

HO 1 L 27/06 1 O 2 A

請求項の数 6 (全 10 頁)

(21) 出願番号	特願2004-351183 (P2004-351183)	(73) 特許権者	000004260
(22) 出願日	平成16年12月3日 (2004.12.3)		株式会社デンソー
(65) 公開番号	特開2006-165100 (P2006-165100A)		愛知県刈谷市昭和町 1 丁目 1 番地
(43) 公開日	平成18年6月22日 (2006.6.22)	(74) 代理人	100071135
審査請求日	平成17年6月21日 (2005.6.21)		弁理士 佐藤 強
		(74) 代理人	100119769
			弁理士 小川 清
		(72) 発明者	森 重範
			愛知県刈谷市昭和町 1 丁目 1 番地 株式会
			社デンソー内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

同一の半導体基板にパワー素子、当該パワー素子の主端子に接続される電流検出用の抵抗および前記パワー素子を制御する制御回路が形成された半導体チップを備え、

前記パワー素子の主端子のパッドは、当該パワー素子の素子形成領域の辺部に沿って列状に形成されており、

前記抵抗は、その電流通過方向に沿った辺が前記パワー素子のパッド列に直交する向きとなるように前記パワー素子に隣接して形成されていることを特徴とする半導体装置。

【請求項 2】

前記抵抗は、前記パワー素子の主端子のパッド列長に等しい幅を有し、当該抵抗の一端と前記パッド列とがその全幅において隣接するように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記列状に形成されたパッドのうち等間隔に選択された複数のパッドと前記半導体チップの外部との間で配線がなされていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】

前記抵抗は、その幅の中心線と前記パワー素子のパッド列の中央位置とが一致するように形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】

前記パワー素子の列状に形成された主端子のパッドのうち前記抵抗と隣接する位置に形

10

20

成されたパッドと前記半導体チップの外部との間で配線がなされていることを特徴とする請求項 1 または 4 記載の半導体装置。

【請求項 6】

前記抵抗においてその電流通過方向に所定間隔を隔てた位置から前記制御回路に至る一対の引き出し用配線が形成され、

その引き出し用配線の少なくとも一方は、前記抵抗から第 1 のパッドに至る第 1 の配線と、前記第 1 のパッドと絶縁された第 2 のパッドから前記制御回路に至る第 2 の配線とから構成されていることを特徴とする請求項 1 ないし 5 の何れかに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、パワー素子と電流検出用の抵抗とを有する半導体装置に関する。

【背景技術】

【0002】

パワー MOSFET などのパワー素子からソレノイドなどの負荷に流れる電流は、通常シャント抵抗を用いて検出される。図 6 は、従来の IC チップの素子配置および IC チップとリードフレームの端子との接続態様を示している。また、図 7 は、当該 IC チップに搭載された回路と外部に接続される回路の電氣的構成を示している。

【0003】

IC チップ 1 には、パワー MOSFET 2 と制御回路 3 とが形成されており、MOSFET 2 のドレインに対応したパッド 4 とソースに対応したパッド 5 は、それぞれボンディングワイヤ 6 を介して端子 7、8 に接続されている。また、IC チップ 1 には、制御回路 3 の入力端子に対応してパッド 9、10 が形成されており、それぞれボンディングワイヤ 6 を介して端子 11、12 に接続されている。

20

【0004】

この IC をハイサイドスイッチとして用いる場合、図 7 に示すように端子 7、8、12 とグランドとの間にそれぞれ電源 13、還流ダイオード 14、ソレノイド 15 を接続するとともに、端子 8 と 11 とを接続し、端子 11 と 12 との間にシャント抵抗 16 を接続する。なお、シャント抵抗が内蔵された IC に係る先行技術文献については、先行技術調査により以下の特許文献 1 をはじめ複数発見されたが、本願発明に直接関連するものは発見されなかった。

30

【特許文献 1】特開 2003 - 203805 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述した従来の IC では、シャント抵抗 16 を IC チップ 1 とは別に設ける必要があり、IC のパッケージサイズの増大、コストの増加などの問題があった。

本発明は上記事情に鑑みてなされたもので、その目的は、電流検出用の抵抗が形成された IC チップを有する半導体装置を提供することにある。

【課題を解決するための手段】

40

【0006】

請求項 1 に記載した手段によれば、同一の半導体基板にパワー MOSFET やパワーランジスタ等のパワー素子、当該パワー素子の主端子（ソース、ドレイン、エミッタ、コレクタ等）に接続される電流検出用の抵抗およびパワー素子を制御する制御回路を形成する。モノリシック IC とすることにより、抵抗（シャント抵抗）を IC チップとは別に設ける必要がない。

【0007】

この構成を採用するには、パワー素子および抵抗に流れる電流に偏りが生じない配置とすることがある。そこで、本手段では、抵抗を、その電流通過方向に沿った辺がパワー素子のパッド列に直交する向きとなるようにパワー素子に隣接して形成している。この配置

50

によれば、パワー素子から抵抗に流れ込む電流の実効的な電流経路を狭めることができなく、パワー素子および抵抗での電流集中（電流の偏り）を低減することができるので、発熱の増加を抑えられるとともに高い電流検出精度を確保できる。

【 0 0 0 8 】

請求項 2 に記載した手段によれば、抵抗は、パワー素子の主端子のパッド列長に等しい幅を有し、当該抵抗の一端とパッド列とがその全幅において隣接するように形成されているので、パワー素子から抵抗に流れる電流は、パワー素子内部および抵抗内を均一に流れる。従って、一層発熱の増加を抑えられるとともに高い電流検出精度を確保できる。

【 0 0 0 9 】

請求項 3 に記載した手段によれば、列状に形成されたパッドのうち等間隔に選択された複数のパッドと半導体チップの外部との間で配線がなされているので、半導体チップ外からパワー素子に流れ込む電流、半導体チップ外から抵抗に流れ込む電流はそれぞれパワー素子、抵抗に均等に流れ、パワー素子のスイッチング状態にかかわらずパワー素子および抵抗での電流の偏りを防止することができる。

【 0 0 1 0 】

請求項 4 に記載した手段によれば、抵抗は、その幅の中心線とパワー素子のパッド列の中央位置とが一致するように形成されているので、同じパッド列長と抵抗幅の条件の下では、パワー素子から抵抗に流れ込む電流の実効的な電流経路が最も広くなり、且つ、抵抗の幅方向について電流が対称的に流れる。従って、抵抗での発熱の増加を抑えられるとともに高い電流検出精度を確保できる。

【 0 0 1 1 】

請求項 5 に記載した手段によれば、請求項 1 または 4 に記載した構成に加え、パワー素子の列状に形成された主端子のパッドのうち抵抗と隣接する位置に形成されたパッドと半導体チップの外部との間で配線がなされているので、半導体チップ外から抵抗に流れ込む電流が抵抗に均等に流れ、パワー素子のスイッチング状態にかかわらず抵抗での電流の偏りを防止することができる。なお、本手段によれば、半導体チップ外からパワー素子に流れ込む電流もパワー素子に均等に流れ易くなる。

【 0 0 1 2 】

請求項 6 に記載した手段によれば、抵抗から制御回路への引き出し用配線の少なくとも一方の途中に一対のパッドが設けられ、そのパッド同士は電氣的に絶縁されている。この構成によれば、半導体基板単体の状態において制御回路から抵抗が切り離されているため、半導体チップの検査工程において制御回路の入力段の検査（例えばオペアンプのオフセット電圧等の検査）を容易に実施することができる。また、半導体装置の組立工程において第 1 のパッドと第 2 のパッドとを同一の端子に接続することにより、制御回路と抵抗とが接続される。

【発明を実施するための最良の形態】

【 0 0 1 3 】

（第 1 の実施形態）

以下、本発明の第 1 の実施形態について図 1 ないし図 3 を参照しながら説明する。

図 1 は、IC チップの素子配置および IC チップとリードフレームの端子との接続態様を示しており、図 2 は、当該 IC チップに搭載された回路と外部に接続される回路の電氣的構成を示している。これら図 1、図 2 において、従来技術を示す図 6、図 7 と同一部分には同一符号を付して示している。

【 0 0 1 4 】

IC 2 1（半導体装置に相当）は、IC チップ 2 2（半導体チップに相当）をリードフレームに固定し、IC チップ 2 2 に形成された各パッドとリードフレームの端子 7、8、11、12 とをそれぞれボンディングワイヤ 6 で接続することにより組み立てられている。この IC 2 1 は、例えば車両の ECU (Electronic Control Unit) に搭載され、ハイスイッチとして動作して負荷であるソレノイド 1 5 に流れる電流を制御する。

【 0 0 1 5 】

ＩＣチップ２２には、Ｎチャネル型パワーＭＯＳＦＥＴ２（パワー素子に相当）、当該ＭＯＳＦＥＴ２を制御する制御回路３、アルミシャント抵抗２３（電流検出用の抵抗に相当）および図示しないその他の制御回路が形成されている。ＭＯＳＦＥＴ２には、ダイオード２ａが形成されている。ＭＯＳＦＥＴ２のドレイン（主端子）に対応した複数のパッド４とソース（主端子）に対応した複数のパッド５は、それぞれＭＯＳＦＥＴ２の素子形成領域の対向する辺部に沿って一列に形成されている。

【００１６】

シャント抵抗２３は、その電流通過方向に沿った辺（図１では長辺）が上記ＭＯＳＦＥＴ２の一列に並んだパッド５（以下、パッド列と称す）に直交する向きとなるようにＭＯＳＦＥＴ２に隣接して形成されている。シャント抵抗２３の下には他の素子が形成されて

10

【００１７】

また、シャント抵抗２３を搭載することによりＩＣチップ２２の隅部（図１ではＩＣチップ２２の左下隅部）に無駄なスペースが生じないように、シャント抵抗２３をＩＣチップ２２の左辺に沿って配置している。その結果、シャント抵抗２３は、上記パッド列の中央ではなく左端側に寄って配置されることになる。シャント抵抗２３の一端はＭＯＳＦＥＴ２のソースと電氣的に接続され、他端にはパッド２４が形成されている。パッド２４は、ボンディングワイヤ６を介して端子１２に接続されている。

【００１８】

シャント抵抗２３からは、その電流通過方向に所定間隔を隔てた電圧取り出し位置からビア２５、２６を介して配線２７、２８（引き出し用配線に相当）が引き出されている。配線２７、２８は、シャント抵抗２３と制御回路３とを繋ぐもので、このうち配線２８は、直接制御回路３に至るように形成されている。一方、配線２７は、シャント抵抗２３から第１のパッド２９に至る第１の配線２７ａと、第１のパッド２９に近接して形成された第２のパッド３０から制御回路３に至る第２の配線２７ｂとから構成されている。パッド２９、３０は、それぞれボンディングワイヤ６を介して共通の端子１１に接続されている。

20

【００１９】

制御回路３の入力段は、オペアンプ３１を用いた差動増幅回路であって、配線２７（２７ｂ）は抵抗３２を介してオペアンプ３１の非反転入力端子に接続され、配線２８は抵抗３３を介してオペアンプ３１の反転入力端子に接続されている。オペアンプ３１の反転入力端子と出力端子との間には抵抗３４が接続されている。

30

【００２０】

ＭＯＳＦＥＴ２のソースのパッド５のうちシャント抵抗２３と相対する位置（パッド列の左端側）に形成された３つのパッド５は、それぞれボンディングワイヤ６を介して端子８に接続されている。一方、ＭＯＳＦＥＴ２のドレインのパッド４のうち、ほぼ中央から右端にかけて等間隔に選択された３つのパッド４は、それぞれボンディングワイヤ６を介して端子７に接続されている。換言すれば、ＭＯＳＦＥＴ２の素子形成領域のほぼ対角付近に位置するパッド４とパッド５に対し、ボンディングワイヤ６が打たれている。

【００２１】

ＩＣ２１を用いる場合、端子７、８、１２とグランドとの間にそれぞれ電源１３、還流ダイオード１４、ソレノイド１５が外付けされる。従来構成とは異なり、外付けのシャント抵抗は不要である。また、端子１１は、ＩＣ２１の組み立て工程においてパッド２９と３０とを接続するために用いられ、ＩＣ２１を実際に使用する際には通常用いられない。ただし、端子１１の電位は端子８の電位と等しいため、端子１１を電圧検出端子として用いることは可能である。

40

【００２２】

図３は、シャント抵抗２３と配線２７、２８との接続部を示すＩＣチップ２２の縦断面図である。保護膜は省略している。例えば配線層が３層のアルミ配線からなる場合、（ａ）は、配線２７、２８が第２層目のアルミ配線（第２アルミ配線）で形成され、シャント

50

抵抗 23 が第 3 層目のアルミ配線（第 3 アルミ配線）により形成された場合を示している。（b）は、シャント抵抗 23 が第 2 層目のアルミ配線（第 2 アルミ配線）により形成され、配線 27、28 が第 3 層目のアルミ配線（第 3 アルミ配線）で形成された場合を示している。

【0023】

図 3（a）に示す場合、シリコン基板 35（半導体基板に相当）の上に層間膜 36 が形成され、その上にアルミ配線 27、28 がパターニングにより形成され、さらに層間膜 37 が形成されている。その上にはスパッタによりアルミシャント抵抗 23 が形成されている。アルミ配線 27、28 とアルミシャント抵抗 23 とは、それぞれビア 25、26 により接続されている。一方、図 3（b）に示す場合、シリコン基板 35 の上に層間膜 36 が形成され、その上にはスパッタによりアルミシャント抵抗 23 が形成されている。その上には、層間膜 37 が形成され、さらにパターニングによりアルミ配線 27、28 が形成されている。アルミシャント抵抗 23 とアルミ配線 27、28 とは、それぞれビア 25、26 により接続されている。

【0024】

次に、IC 21 の作用および効果について説明する。

図 2 において、IC 21 をハイサイドスイッチとして用いる場合、制御回路 3 は、図示しないチャージポンプ回路の出力電圧を用いて、MOSFET 2 のゲートに駆動電圧を与える。MOSFET 2 がオンすると、電源 13 から端子 7、MOSFET 2、シャント抵抗 23、端子 12、ソレノイド 15 の経路で主回路電流が流れ、MOSFET 2 がオフすると、還流ダイオード 14、端子 8、シャント抵抗 23、端子 12、ソレノイド 15 の経路で還流電流が流れる。制御回路 3 は、シャント抵抗 23 から配線 27、28 によって取り出される電圧に基づいて、ソレノイド 15 に流れる電流を制御する。

【0025】

さらに電流の流れを詳しく見ると、MOSFET 2 がオンしている期間、MOSFET 2 には、パッド 4 から流れ込んだ電流が素子全体に分散して対角方向に流れ、シャント抵抗 23 へと流れ込む。つまり、シャント抵抗 23 と相対する位置にあるパッド 5 に対し MOSFET 2 の素子形成領域をほぼ対角に隔てた位置にあるパッド 4 にボンディングすることにより、素子内部での実効的な電流経路が広くなり電流の均一化が図られる。

【0026】

そして、シャント抵抗 23 は、その電流通過方向に沿った辺が MOSFET 2 のパッド列に直角となるように形成されているので、MOSFET 2 からシャント抵抗 23 に流れ込む電流の実効的な電流経路が制限されることがなく、MOSFET 2 とシャント抵抗 23 との接続部付近における電流集中（電流の偏り）を防止することができ、電流がシャント抵抗 23 の幅方向に均一に広がって流れる。これにより、発熱の増加が抑えられ、高い電流検出精度を確保できる。

【0027】

また、シャント抵抗 23 と相対する位置に形成されたパッド 5 と端子 8 とが接続されているので、MOSFET 2 がオフしている期間、シャント抵抗 23 にはパッド 5 から流れ込んだ還流電流が幅方向に均等に分散して流れる。従って、還流期間においても、シャント抵抗 23 での発熱の増加を抑えられ且つ高い電流検出精度を確保できる。

【0028】

さらに、IC チップ 22 においてシャント抵抗 23 から制御回路 3 への引き出し用の配線 27 の途中に一对のパッド 29、30 が設けられており、当該パッド 29 と 30 は、組立工程において端子 11 を介して接続されるようになっている。IC チップ 22 単体の検査工程においてオペアンプ 31 の検査を行う場合、オペアンプ 31 の入力端子からシャント抵抗 23 が切り離された状態となるため、検査を容易に実施することができる。また、配線 27、28 はセンシング用の配線であるため電流は殆ど流れない。このため、パッド 29 と 30 とをボンディングワイヤ 6 を用いて接続しても検出精度の低下は生じない。

【0029】

(第2の実施形態)

図4は、本発明の第2の実施形態におけるICチップの素子配置を示している。

ICチップ38(半導体チップに相当)は、第1の実施形態で説明したICチップ22に対しシャント抵抗23の配置が異なっている。すなわち、シャント抵抗23は、その幅の中心線とMOSFET2のパッド列の中央位置とが一致するように形成されている。

【0030】

このような配置とすることにより、MOSFET2がオンしている期間、MOSFET2内部での実効的な電流経路が広くなり、パッド4から流れ込んだ電流が素子全体に分散して均一に流れ易くなる。また、MOSFET2とシャント抵抗23との接続部付近における電流集中(電流の偏り)をより一層低減することができる。これにより、発熱の増加を抑えられるとともに高い電流検出精度を確保できる。

10

【0031】

なお、ICチップ38のパッド24、29、30とリードフレームの端子との間で配線を行うと、配線の相互干渉により図4に示す左下隅部Aに別のパッド(ひいては別の回路)を設けることが難しくなる。従って、左下隅部Aにも回路を形成して有効に利用するためには、パッドと端子との間の配線方向が基板に対し垂直方向となるCSP(Chip Scale Package)を用いることが好ましい。

【0032】

(第3の実施形態)

図5は、本発明の第2の実施形態におけるICチップの素子配置を示している。

20

ICチップ39(半導体チップに相当)において、シャント抵抗40は、MOSFET2のパッド列長に等しい幅を有し、当該シャント抵抗40とパッド列とがその全幅において相対するように形成されている。このような配置によれば、MOSFET2からシャント抵抗40に流れ込む電流およびパッド5からシャント抵抗40に流れ込む還流電流は、MOSFET2の内部およびシャント抵抗40の内部を均一に流れる。従って、より一層発熱の増加を抑えられるとともに高い電流検出精度を確保できる。

【0033】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

30

シャント抵抗23、40は、その電流通過方向に沿った辺がMOSFET2のパッド列に直交する向きとなることが最も好ましい配置であるが、正確に直交する向きでなくても上述した効果を得ることができる。

【0034】

配線28についても、配線27と同様に一对のパッドを介した絶縁部を設けてもよい。また、パッド29と30は、必ずしも近接して設けなくてもよい。

シャント抵抗23、40と配線27、28とを接続するビア25、26は、それぞれ複数設けてもよい。

シャント抵抗23、40は、アルミニウムに限らず他の金属材料や半導体材料を用いて構成してもよい。

40

【図面の簡単な説明】

【0035】

【図1】本発明の第1の実施形態に係るICチップの素子配置およびICチップとリードフレームの端子との接続態様を示す図

【図2】ICチップの搭載回路と外部に接続される回路の電氣的構成を示す図

【図3】シャント抵抗と引き出し用配線との接続部を示すICチップの縦断面図

【図4】本発明の第2の実施形態に係るICチップの素子配置を示す図

【図5】本発明の第3の実施形態を示す図4相当図

【図6】従来技術を示す図1相当図

【図7】図2相当図

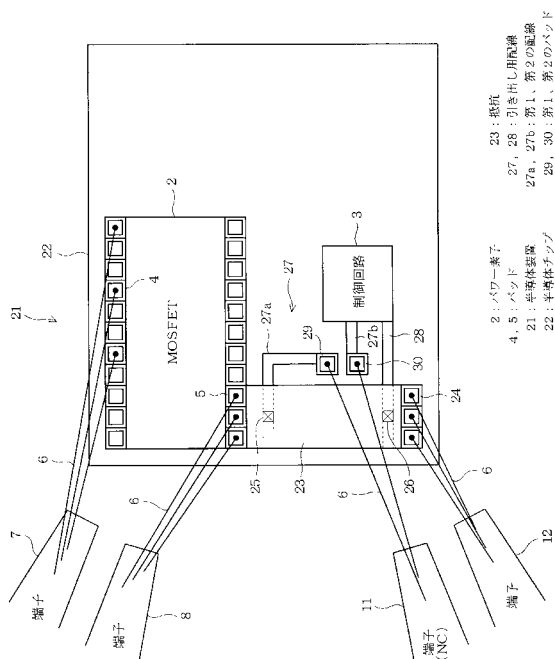
50

【符号の説明】

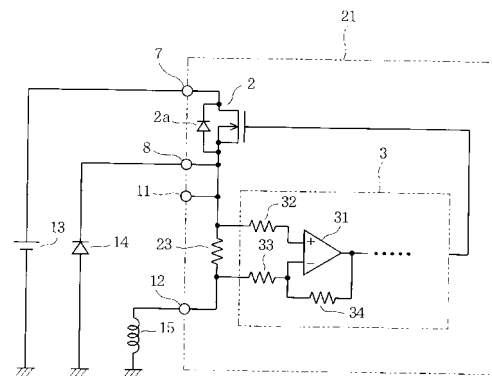
【 0 0 3 6 】

2はパワーMOSFET（パワー素子）、3は制御回路、4、5はパッド、21はIC（半導体装置）、22、38、39はICチップ（半導体チップ）、23、40は抵抗、27、28は配線（引き出し用配線）、27a、27bは配線（第1、第2の配線）、29、30はパッド（第1、第2のパッド）、35はシリコン基板（半導体基板）である。

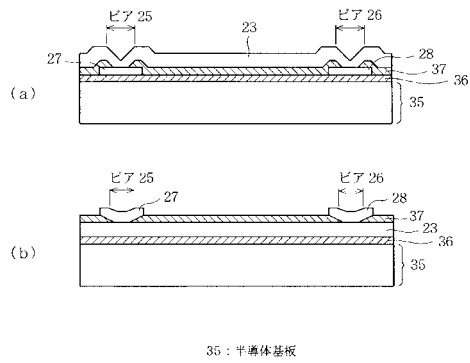
【図1】



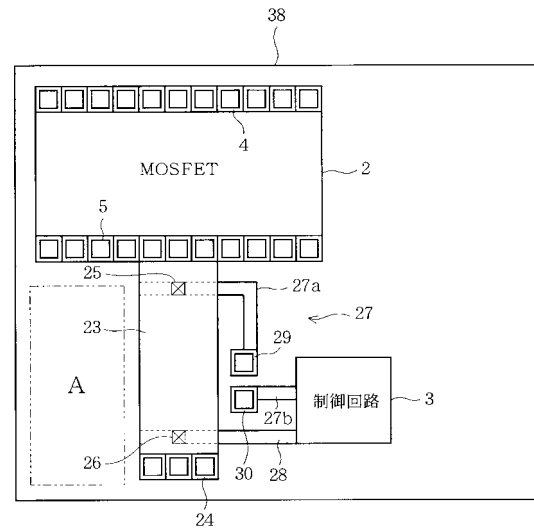
【図2】



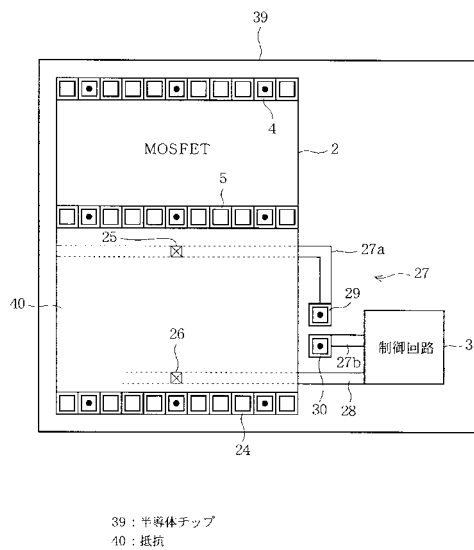
【図 3】



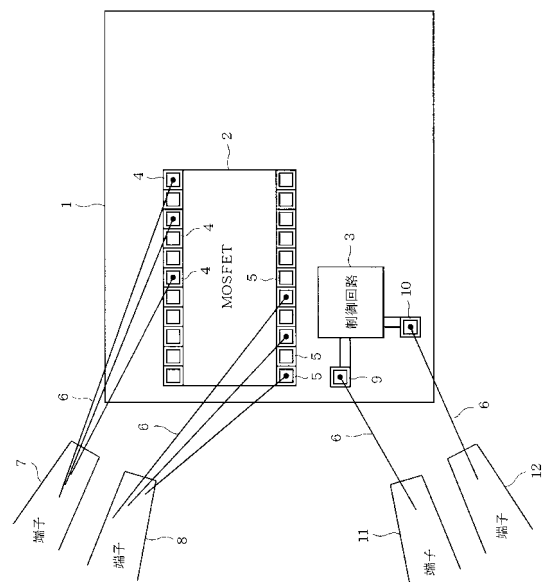
【図 4】



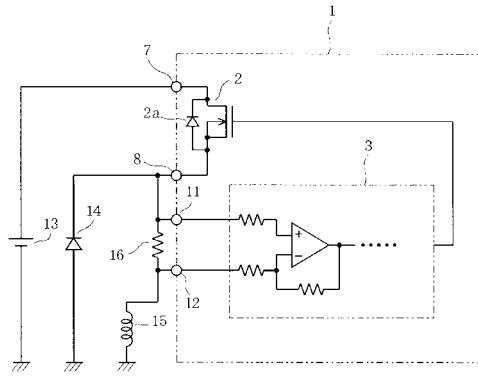
【図 5】



【図 6】



【図 7】



フロントページの続き

(56)参考文献 特開2000-114454(JP,A)
特開2002-050947(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/822
H01L	21/8234
H01L	27/04
H01L	27/06