(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 3/00

(45) 공고일자 2002년03월08일
(11) 등록번호 10-0324002
(24) 등록일자 2002년01월29일

(21) 출원번호	10-1998-0056729	(65) 공개번호	특1999-0063269
(22) 출원일자	1998년12월21일	(43) 공개일자	1999년07월26일
(30) 우선권주장	97-355435 1997년12월24일 일본(JP)		

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고
(72) 발명자 나이토 아키오
일본 가나가와켄 가와사키시 가와사키쿠 에키마에혼쵸 25-1도시바 마이크로일렉트로닉스 가부시키가이샤 나이
오가와 아츠시
일본 가나가와켄 가와사키시 사이와이쿠 호리가와쵸 580-1가부시키가이샤 도시바 반도체 시스템 엔지니어링센터내
(74) 대리인 김성택, 나영환

심사관 : 박재일

(54) 안정화발진회로

요약

본 발명은 전원 전압의 변동에 의존하는 발진 주파수의 변동을 억제할 수 있는 안정화 발진 회로를 제공한다.

차동 증폭형 발진 회로부(11)의 발진 신호를 차동 증폭형 버퍼 출력 회로부(12)에서 버퍼 및 증폭하여 출력하는 안정화 발진 회로에서, 차동 증폭형 발진 회로부의 전원 전압에 따라서 차동 증폭형 버퍼 출력 회로부의 정전류원(12)의 전류를 제어함으로써, 차동 증폭형 버퍼 출력 회로부의 차동 증폭쌍 트랜지스터의 콜렉터 · 접지간 용량을 제어하여, 전원 전압의 변동에 의존하는 발진 주파수의 변동을 억제하는 주파수 변동 억제 회로(13a)를 구비한다.

대표도

도3

명세서

도면의 간단한 설명

<1> 도 1은 본 발명의 제1 실시의 형태에 관련된 안정화 발진 회로를 나타내는 회로도.

<2> 도 2는 도 1의 안정화 발진 회로에서의 발진 주파수의 전원 전압 의존 특성을 나타내는 도면.

<3> 도 3은 도 1의 안정화 발진 회로의 제1 실시예를 나타내는 회로도 및 발진 주파수의 전원 전압 의존성의 보정 특성을 나타내는 도면.

<4> 도 4는 도 1의 안정화 발진 회로의 제2 실시예를 나타내는 회로도 및 발진 주파수의 전원 전압 의존 특성의 보정 특성을 나타내는 도면.

<5> 도 5는 종래의 발진 회로의 일례를 나타내는 회로도.

<6> <도면의 주요부분에 대한 부호의 설명>

<7> 10 : 공진 회로

<8> 11 : 차동 증폭형 발진 회로부

<9> 12 : 차동 증폭형 버퍼 출력 회로부

<10> 13a, 13b : 주파수 변동 억제 회로

<11> (Q1, Q2), (Q3, Q4) : 차동 증폭쌍을 이루는 NPN 트랜지스터

<12> I1 : 제1 정전류원

<13> I2 : 제2 정전류원

<14> (R1, R2) : 저항 소자

<15> Q5, Q6 : NPN 트랜지스터

<16> R3, R4 : 저항 소자

<17> I3 : 제3 정전류원

<18> Cs : 기생 용량

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

<19> 본 발명은 반도체 집적 회로(IC)에 형성되는 발진 회로에 관한 것이며, 특히 전원 변동에 의존하는 발진 주파수 변동을 억제한 안정화 발진 회로에 관한 것으로, 예컨대, 전지 구동형 휴대 기기에 탑재되는 FM 라디오 수신 회로 등에 사용된다.

<20> 종래, 전지 구동형 휴대용의 테이프 레코더, CD 플레이어 등에 탑재되는 FM 라디오 수신기의 국부 발진 회로로서 IC에 형성되는 발진 회로는 예컨대, 도 5에 도시하는 것과 같은 차동 증폭형 발진 회로나, 콜피츠형 발진 회로 등의 단순한 발진 회로가 사용되고 있다.

<21> 도 5에 도시하는 차동 증폭형 발진 회로는 차동 증폭형 발진 회로부(51)의 발진 신호를 차동 증폭형 버퍼 출력 회로부(52)에서 버퍼 및 증폭하여 출력하도록 구성되어 있다.

<22> 상기 차동 증폭형 발진 회로부(51)에 있어서, (Q1, Q2)는 서로의 베이스·콜렉터가 상호 접속되어 차동 증폭쌍을 이루는 NPN 트랜지스터이고, I1은 상기 차동 증폭쌍 트랜지스터(Q1, Q2)의 에미터 공통 노드와 접지 노드 사이에 접속된 제1 정전류원이고, 50은 전원 노드와 상기 NPN 트랜지스터(Q2)의 콜렉터 사이에 접속된 공진 회로(인덕터 성분을 L, 용량 성분을 C로 표시함)이며, 상기 NPN 트랜지스터(Q1)의 콜렉터는 전원 노드에 접속되어 있다.

<23> 또, 상기 공진 회로(50)는 통상 IC 외부에 접속된 공진자이고, 상기 공진회로 이외의 회로는 IC 내부에 형성되어 있다.

<24> 상기 차동 증폭형 버퍼 출력 회로부(52)에 있어서, (Q3, Q4)는 차동 증폭쌍을 이루는 NPN 트랜지스터이고, I2는 상기 차동 증폭쌍 트랜지스터(Q3, Q4)의 에미터 공통 노드와 접지 노드 사이에 접속된 제2 정전류원이며, (R1, R2)는 각각 대응하여 상기 NPN 트랜지스터쌍(Q3, Q4)의 각 콜렉터에 각 일단이 접속되고 각 타단이 일괄 접속되어 소정 노드에 접속된 저항 소자이다.

<25> 그리고, 상기 NPN 트랜지스터쌍(Q3, Q4)의 각 베이스는 각각 대응하여 상기 NPN 트랜지스터(Q2, Q1)의 각 베이스에 접속되어 있다.

<26> 또, Cs는 상기 발진 회로부(51)의 NPN 트랜지스터(Q2)의 콜렉터와 접지 노드 사이에 존재하는 기생 용량으로서, NPN 트랜지스터(Q2)의 콜렉터·접지간 용량, 제1 정전류원(I1)용의 NPN 트랜지스터의 콜렉터·접지간 용량, 상기 NPN 트랜지스터(Q4)의 베이스 콜렉터간 용량 Ccb4(미러 용량) 등의 합성 용량을 등가적으로 나타낸 것으로, 공진 회로(50)의 용량 성분 C에 대하여 교류적으로 병렬 접속되어 있다.

<27> 그러나, 상기한 것과 같은 차동 증폭형 발진 회로에서는, 상기 기생 용량 Cs 가 공진 회로(50)의 용량에 병렬 접속되는 회로 구성으로 이루어져 있다.

<28> 따라서, 전원 전압의 변동에 따라, 사용 트랜지스터의 콜렉터 전위가 저하하면, 상기 기생 용량 Cs가 증가하여 공진 회로(50)의 공진 특성이 변동하고, 결과적으로 발진 주파수 f가 낮아지는 방향으로 변화한다. 또한, 사용 트랜지스터의 콜렉터 전위가 상승하면, 상기 기생 용량 Cs가 저하하여 공진 회로(50)의 공진 특성이 변동하고, 결과적으로 발진 주파수 f가 높아지는 방향으로 변화한다.

<29> 즉, 전지의 소모라든가 발진 회로 탑재 기기에서 사용하는 모터의 회전에 수반하여 전원 전압에 중첩되는 리플 등에 의한 전원 전압의 변동에 의존하여 발진 주파수가 변동한다.

발명이 이루고자 하는 기술적 과제

<30> 상기한 바와 같은 종래의 발진 회로는 전원 전압의 변동에 의존하여 발진 주파수가 변동한다고 하는 문제가 있었다.

<31> 본 발명은 상기의 문제점을 해결하기 위해 이루어진 것으로서, 전원 전압의 변동에 의존하는 발진 주파수의 변동을 억제할 수 있는 안정화 발진 회로를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

<32> 본 발명의 안정화 발진 회로는 차동 증폭형 발진 회로부와, 상기 차동 증폭형 발진 회로부의 발진 신호를 버퍼를 통해 출력하는 차동형 버퍼 회로부를 구비한 안정화 발진 회로로서, 상기 차동 증폭형 발진 회로부의 전원 공급 노드와 상기 차동형 버퍼 회로부의 정전류원의 일부를 저항 소자를 통해 직류적으로 결합시켜 이루어지는 것을 특징으로 한다.

<33> 이하, 도면을 참조하여 본 발명의 실시 형태를 상세히 설명한다.

<34> 도 1은 본 발명의 제1 실시예에 관련된 안정화 발진 회로를 도시하고 있다.

<35> 도 1에 도시한 안정화 발진 회로는 차동 증폭형 발진 회로부(11)와, 상기차동 증폭형 발진 회로

부의 발진 신호를 버퍼 및 증폭하여 출력하는 차동 증폭형 버퍼 출력 회로부(12)를 구비하고 있다.

<36> 상기 차동 증폭형 발진 회로부(11)는 서로의 베이스·콜렉터가 상호 접속되어 차동 증폭쌍을 이루는 NPN 트랜지스터(Q1, Q2)와, 상기 차동 증폭쌍 트랜지스터(Q1, Q2)의 에미터 공통 노드와 접지 노드 사이에 접속된 제1 정전류원(I1)과, 전원 노드와 상기 차동 증폭쌍 트랜지스터(Q1, Q2) 중 한쪽의 NPN 트랜지스터(Q2)의 콜렉터 사이에 접속된 공진 회로(인덕터 성분을 L, 용량 성분을 C로 표시함)(10)를 구비하고 있다. 상기 차동 증폭쌍 트랜지스터(Q1, Q2) 중 다른쪽의 NPN 트랜지스터(Q1)의 콜렉터는 전원 노드에 접속되어 있다.

<37> 또한, 상기 공진 회로(10)는 통상 IC 외부에 접속된 공진자이고, 상기 공진 회로(10) 이외의 회로는 IC 내부에 형성되어 있다.

<38> 상기 차동 증폭형 버퍼 출력 회로부(12)는 IC 내부에 형성되어 있고, 상기 차동 증폭형 발진 회로부(11)의 차동 증폭쌍 트랜지스터(Q2, Q1)의 각 베이스에 각각 대응하여 각 베이스가 접속된 차동 증폭쌍을 이루는 NPN 트랜지스터(Q3, Q4)와, 상기 차동 증폭쌍 트랜지스터(Q3, Q4)의 에미터 공통 노드와 접지 노드 사이에 접속된 전원 전압 의존성을 갖는 제2 정전류원(I2)과, 상기 차동 증폭쌍 트랜지스터(Q3, Q4)의 각 콜렉터에 각 일단이 접속되고 각 타단이 일괄 접속되어 소정 노드에 접속된 저항 소자(R1, R2)를 구비하고 있다.

<39> 상기 전원 전압 의존성을 갖는 제2 정전류원(I2)의 구체적인 일례는 도 3의 (a) 또는 도 4의 (a)에 도시한 바와 같이, 상기 차동 증폭쌍 트랜지스터(Q3, Q4)의 에미터 공통 노드와 접지 노드 사이에 직렬로 접속된 NPN 트랜지스터(Q5) 및 저항 소자(R3)와, 상기 NPN 트랜지스터(Q5)에 베이스·콜렉터가 접속되고 콜렉터가 제3 정전류원(I3)에 접속된 NPN 트랜지스터(Q6)와, 상기 NPN 트랜지스터(Q6)의 에미터와 접지 노드 사이에 접속된 저항 소자(R4)를 구비한다.

<40> 또, Cs는 상기 발진 회로부(11)의 NPN 트랜지스터(Q2)의 콜렉터와 접지 노드 사이에 존재하는 기생 용량으로서, NPN 트랜지스터(Q2)의 콜렉터·접지간 용량, 제1의 정전류원용의 NPN 트랜지스터의 콜렉터·접지간 용량, 상기 NPN 트랜지스터(Q4)의 베이스·콜렉터간 용량 Ccb4(미러 용량) 등의 합성 용량을 등가적으로 나타낸 것으로, 공진 회로(10)의 용량 성분 C에 대하여 교류적으로 병렬 접속되어 있다.

<41> 또한, 본 발명의 안정화 발진 회로에서는, 상기 차동 증폭형 발진 회로부(11)의 전원 전압 Vcc의 변동에 따라서 상기 제2 정전류원(I2)의 전류를 제어함으로써, 상기 차동 증폭형 버퍼 출력 회로부(12)의 차동 증폭 트랜지스터(Q3, Q4) 중에 적어도 상기 공진 회로(10)에 베이스가 접속되어 있는 트랜지스터(Q4)의 콜렉터·접지간 용량 Ccb4(미러 용량)를 보정하도록 제어하는 주파수 변동 억제 회로(도 3의 (a)의 13a 또는 도 4의 (a)의 13b)가 설치된다.

<42> 도 2는 도 1의 안정화 발진 회로에서의 기생 용량 Cs 및 발진 주파수 f의 전원 전압 의존 특성을 나타낸다.

<43> 이어서, 도 2를 참조하면서, 도 1의 안정화 발진 회로에서의 기생 용량 Cs 및 발진 주파수 f의 전원 전압 의존성의 보정 동작에 대하여 설명한다.

<44> 도 1의 안정화 발진 회로에서는, 사용 트랜지스터의 기생 용량 Cs가 공진 회로(10)에 병렬로 접속되는 회로 구성으로 되어 있기 때문에, 전원 전압 Vcc의 변동에 수반하여, NPN 트랜지스터(Q2, Q4)의 콜렉터 전위가 변동하면, 도 2에 점선으로 나타낸 종래예의 특성과 같이, 상기 기생 용량 Cs를 형성하는 Ccb4 등이 변동하여 공진 회로(10)의 공진 특성이 변동하려고 한다.

<45> 그러나, 동시에, 주파수 변동 억제 회로(13)는 전원 전압 Vcc의 변동에 따라서 상기 제2 정전류원(I2)의 전류를 제어함으로써, 상기 차동 증폭형 버퍼 출력 회로부(12)의 차동 증폭쌍 트랜지스터(Q3, Q4) 중에 적어도 상기 공진 회로(10)에 베이스가 접속되는 트랜지스터(Q4)의 콜렉터·접지간 용량 Ccb4(미러 용량)를 보정하도록 제어한다.

<46> 이 경우, 주파수 변동 억제 회로(13)는 전원 전압 Vcc가 높아지면 제2 정전류원(I2)의 전류를 증가시키고, 전원 전압 Vcc가 낮아지면 제2 정전류원(I2)의 전류를 감소시키도록 구성되어 있다.

<47> 즉, 전원 전압 Vcc의 저하에 수반하여 사용 트랜지스터의 콜렉터 전위가 저하하면, 도 2에 점선으로 나타낸 종래예의 특성과 같이, 상기 기생 용량 Cs가 증가하고, 공진 회로(10)의 공진 특성이 변동하여 발진 주파수 f가 낮아지려고 하지만, 제2 정전류원(I2)의 전류를 감소시킴으로써 차동 증폭쌍 트랜지스터(Q3, Q4)의 이득이 낮아지고, 트랜지스터(Q4)의 콜렉터·접지간 용량 Ccb4(미러 용량)가 감소하도록 보정되므로, 상기 기생 용량 Cs의 증가량을 억제하고, 결과적으로 발진 주파수 f의 상승을 억제한다(도 2의 실선 참조).

<48> 또한, 전원 전압 Vcc의 상승에 따라 사용 트랜지스터의 콜렉터 전위가 상승하면, 도 2에 점선으로 나타낸 종래예의 특성과 같이, 상기 기생 용량 Cs이 감소하고, 공진 회로(10)의 공진 특성이 변동하여 발진 주파수 f가 높아지려고 하지만, 제2 정전류원(I2)의 전류를 증가시킴으로써 차동 증폭쌍 트랜지스터(Q3, Q4)의 이득이 높아지고, 트랜지스터(Q4)의 콜렉터·접지간 용량 Ccb4(미러 용량)가 증가하도록 보정되므로, 상기 기생 용량 C5의 감소량을 억제하고, 결과적으로 발진 주파수 f의 저하를 억제한다(도 2의 실선 참조).

<49> 따라서, 전원의 안정도가 나쁘거나 전지 전원의 소모와 발진 회로 탑재 기기에서 사용하는 모터의 회전에 수반하여 전원 전압에 리플 변동(예컨대, 50~100 Hz)이 중첩하는 등의 이유에 의해서 전원 전압이 크게 변동하는(예컨대, 3V에서 1.8V 정도까지 변동함) 시스템에 사용된 경우에도, 전지의 소모라든가, 발진 회로 탑재 기기에서 사용하는 모터의 회전에 따라 전원 전압에 중첩되는 리플 등에 의한 전원 전압의 변동에 의존하는 발진 주파수의 변동을 억제하여, 발진 주파수(예컨대, FM 파 수신 대역내)를 안정화하는 것이 가능하게 되어 있다.

<50> 또, 상기 주파수 변동 억제 회로(13)의 구체예로서는, 상기 차동 증폭형 발진 회로부(11)의 전원 공급 노드와 상기 차동 증폭형 버퍼 출력 회로부(12)의 제2 정전류원(I2)의 일부를 저항 소자(R5)를 통해

직류적으로 결합시키면 좋다.

<51> 도 3의 (a)는 도 1의 안정화 발진 회로의 제1 실시예로서, 도 3의 (b)에 도시한 바와 같이, 미러 용량 Ccb4의 전원 전압 의존성이 선형을 가지도록 구성된 선형 보정형의 주파수 변동 억제 회로(13a)를 구비한 안정화 발진 회로를 나타내고 있다.

<52> 도 3의 (b)는 도 3의 (a)의 안정화 발진 회로에서의 발진 주파수 f의 전원 전압 의존성의 보정 특성을 나타낸다.

<53> 도 3의 (a)의 주파수 변동 억제 회로(13a)는 상기 차동 증폭형 발진 회로부(11)의 전원 공급 노드와 상기 제2 정전류원(I2)의 저항 소자(R4)의 일단 사이에 접속된 전원 직류 결합용 저항 소자(R5)로 이루어지는 것을 특징으로 하는 것이다.

<54> 이러한 회로 구성에 의하면, 전원 전압 Vcc와 제2 정전류원(I2)의 전류·트랜지스터(Q4)의 미러 용량 Ccb4의 관계가 도 3의 (b)에 도시한 바와 같이 거의 선형을 나타내고, 이 선형 특성의 경사를 도 2에 점선으로 나타낸 종래예의 Cs 특성의 선형 부분의 경사에 일치시키도록 R4, R5의 비율에 의해 설정할 수 있다. 결과적으로, 이 선형 특성에 의해, 종래예의 기생 용량 Cs·발진 주파수의 전원 전압 의존성을 제거하는 것이 가능하게 된다.

<55> 도 4의 (a)는 도 1의 안정화 발진 회로의 제2 실시예로서, 도 4의 (b)에 도시한 바와 같이, 미러 용량 Ccb4의 전원 전압 의존성이 비선형을 가지도록 구성된 비선형 보정형의 주파수 변동 억제 회로(13b)를 구비한 안정화 발진 회로를 나타내고 있다.

<56> 도 4의 (b)는 도 4의 (a)의 안정화 발진 회로에서의 발진 주파수 f의 전원 전압 의존성의 보정 특성을 나타낸다.

<57> 도 4의 (a)의 주파수 변동 억제 회로(13b)는 상기 차동 증폭형 발진 회로부(11)의 전원 공급 노드와 상기 제2 정전류원(I2)의 저항 소자(R4)의 일단 사이에 직렬로 접속된 전원 직류 결합용의 저항 소자(R5, R6)와, 상기 저항 소자(R5, R6)의 직렬 접속 노드와 접지 노드 사이에 직렬로 접속된 다이오드 접속의 NPN 트랜지스터(Q7) 및 저항 소자(R7)를 구비하는 것을 특징으로 하는 것이다.

<58> 이러한 회로 구성에 의하면, 전원 전압 Vcc가 일정값 이하에서는 다이오드 접속의 NPN 트랜지스터(Q7)가 오프 상태이고, 전원 전압 Vcc가 일정값을 넘으면 다이오드 접속의 NPN 트랜지스터(Q7)가 온 상태가 된다.

<59> 이로써, 전원 전압 Vcc와 제2 정전류원(I2)의 전류·트랜지스터(Q4)의 미러용량 Ccb4의 관계가 다이오드 접속의 NPN 트랜지스터(Q7)의 전압 전류 특성에 의해 규제되어 도 4의 (b)에 도시한 바와 같이 거의 비선형을 나타내고, 이 비선형 특성의 경사를 도 2에 점선으로 나타낸 종래예의 Cs 특성의 비선형 부분의 경사에 일치시키도록 R5, R6의 비율에 의해 설정할 수가 있다. 결과적으로, 이 선형 특성에 의해, 도 2에 점선으로 나타낸 종래예의 기생 용량 Cs·발진 주파수의 전원 전압 의존성을 거의 완전히 제거하는 것이 가능하게 된다.

발명의 효과

<60> 전술한 바와 같이, 본 발명의 안정화 발진 회로에 따르면, 전원의 안정도가 나쁘거나, 전지 전원의 소모라든가, 발진 회로 탑재 기기에서 사용하는 모터의 회전에 수반하여 전원 전압에 리플 변동이 중첩하는 등의 이유에 의해서 전원 전압이 크게 변동하는 시스템에 사용된 경우에도, 전원 전압의 변동에 의존하는 발진 주파수의 변동을 억제할 수 있고, 발진 주파수를 안정화할 수 있다.

(57) 청구의 범위

청구항 1

차동 증폭형 발진 회로부와,

상기 차동 증폭형 발진 회로부의 발진 신호를 증폭하여 출력하고, 정전류원을 갖는 차동형 버퍼 회로부와,

상기 차동 증폭형 발진 회로부에 인가된 전원 전압의 변동에 따라서 상기 차동형 버퍼 회로부의 상기 정전류원의 전류를 제어하여, 상기 발진 신호 주파수의 변동을 억제하는 주파수 변동 억제 회로

를 구비하는 것을 특징으로 하는 안정화 발진 회로.

청구항 2

제1항에 있어서, 상기 주파수 변동 억제 회로는 상기 전원 전압의 변동에 따라서 상기 차동형 버퍼 회로부의 차동 증폭쌍 트랜지스터의 콜렉터·베이스간 용량을 보정하는 것을 특징으로 하는 안정화 발진 회로.

청구항 3

제1항에 있어서, 상기 주파수 변동 억제 회로는 상기 전원 전압이 높아질 때 상기 정전류원의 전류를 증가시키고, 상기 전원 전압이 낮아질 때 상기 정전류원의 전류를 감소시키는 것을 특징으로 하는 안정화 발진 회로.

청구항 4

제1항에 있어서, 상기 주파수 변동 억제 회로는 상기 차동 증폭형 발진 회로부의 전원 노드와 상기 차동형 버퍼 회로부의 정전류원의 일부 사이에 접속된 적어도 하나의 저항 소자를 포함하는 것을 특징

으로 하는 안정화 발진 회로.

청구항 5

제1항에 있어서, 상기 차동 증폭형 발진 회로부는

서로의 베이스·콜렉터가 상호 접속되고 에미터가 서로 접속된 차동 증폭쌍을 이루는 제1 및 제2 NPN 트랜지스터 - 상기 제1 NPN 트랜지스터의 콜렉터는 전원 노드에 접속되고, 상기 제2 NPN 트랜지스터의 콜렉터는 외부에 배치된 공진 회로를 통해 상기 전원 노드에 접속됨 - 와,

상기 제1 및 제2 NPN 트랜지스터의 에미터 공통 노드와 접지 노드 사이에 접속된 정전류원

을 포함하는 것을 특징으로 하는 안정화 발진 회로.

청구항 6

제5항에 있어서, 상기 차동형 버퍼 회로부는

상기 제1 및 제2 NPN 트랜지스터의 각 베이스에 각각 대응하여 각 베이스가 접속되고 에미터가 서로 접속된 차동 증폭쌍을 이루는 제3 및 제4 NPN 트랜지스터와,

상기 제3 및 제4 NPN 트랜지스터의 에미터 공통 노드와 상기 접지 노드 사이에 접속된 정전류원과,

상기 제3 및 제4 NPN 트랜지스터의 콜렉터와 상기 전원 노드 사이에 각각 대응하여 접속된 제1 및 제2 저항 소자

를 포함하는 것을 특징으로 하는 안정화 발진 회로.

청구항 7

제6항에 있어서, 상기 차동형 버퍼 회로부의 상기 정전류원은

상기 제3 및 제4 NPN 트랜지스터의 상기 에미터 공통 노드와 상기 접지 노드 사이에 서로 직렬로 접속되어 배치된 제5 NPN 트랜지스터 및 제3 저항 소자와,

상기 제5 NPN 트랜지스터의 베이스에 베이스·콜렉터가 접속되고 그 베이스·콜렉터가 또한 정전류원에 접속된 제6 NPN 트랜지스터와,

상기 제6 NPN 트랜지스터의 에미터와 상기 접지 노드 사이에 접속된 제4 저항 소자

를 포함하는 것을 특징으로 하는 안정화 발진 회로.

청구항 8

제7항에 있어서, 상기 주파수 변동 억제 회로는 상기 전원 노드와 상기 제4 저항 소자의 일단 사이에 접속된 제5 저항 소자를 포함하는 것을 특징으로 하는 안정화 발진 회로.

청구항 9

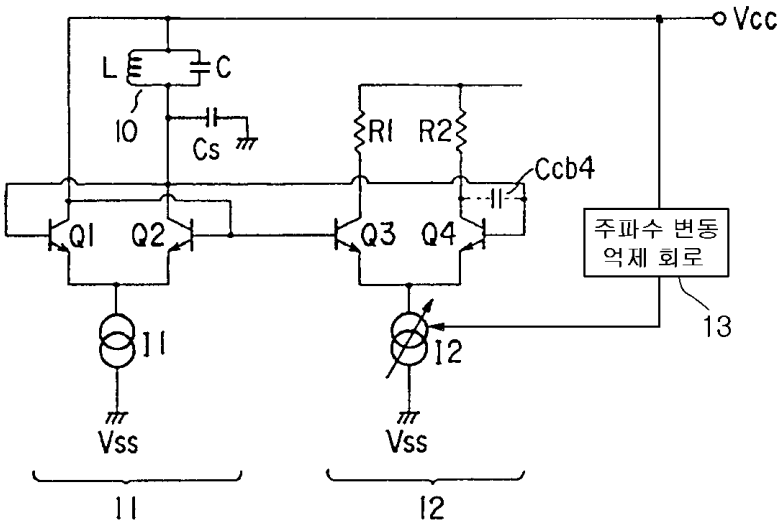
제7항에 있어서, 상기 주파수 변동 억제 회로는 상기 전원 노드와 상기 제4 저항 소자의 일단 사이에 직렬로 접속된 제5 및 제6 저항 소자와, 상기 제5 및 제6 저항 소자의 직렬 접속 노드와 상기 접지 노드 사이에 직렬로 접속된 다이오드 접속의 제7 NPN 트랜지스터 및 제7 저항 소자를 포함하는 것을 특징으로 하는 안정화 발진 회로.

청구항 10

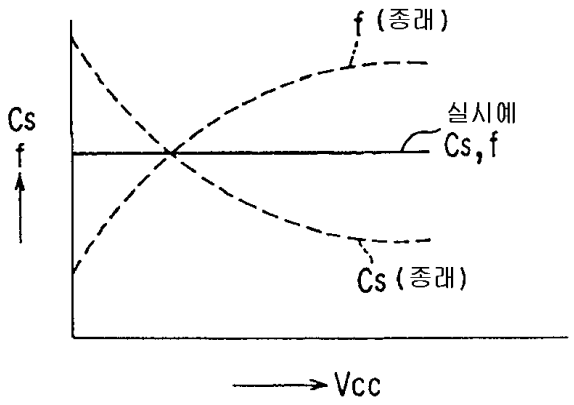
제1항에 있어서, FM 라디오 수신기의 국부 발진 회로에 사용되는 것을 특징으로 하는 안정화 발진 회로.

도면

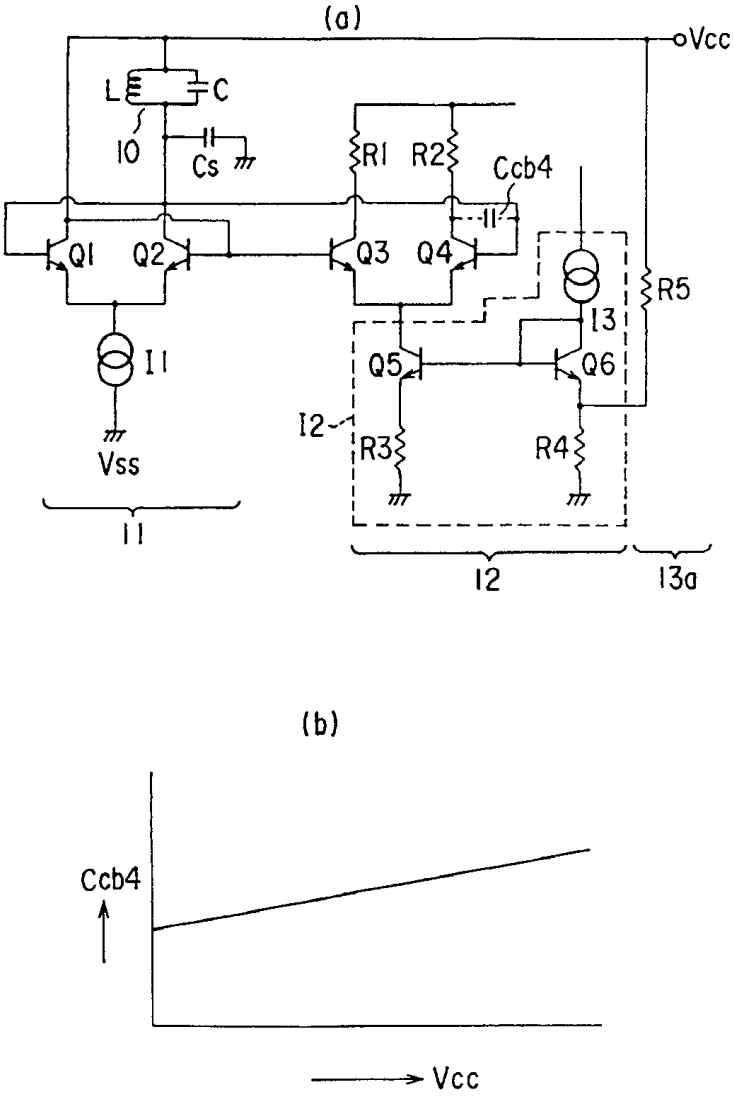
도면1


Vcc
L
C
10
Cs
R1
R2
Ccb4
Q1
Q2
Q3
Q4
주파수 변동
억제 회로
13
11
12
Vss
Vss
11
12

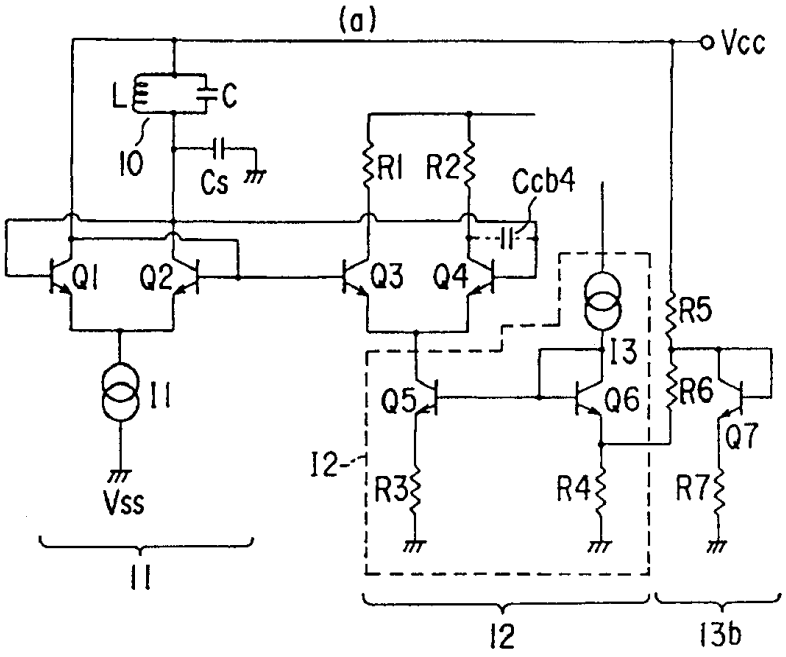
도면2

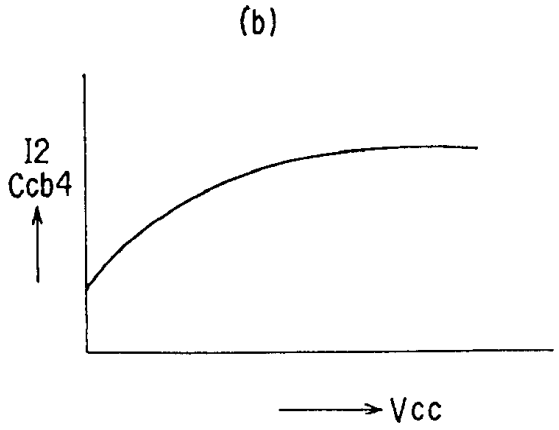

f (종래)
실시예
Cs, f
Cs
f
Cs (종래)
Vcc

도면3


(a)
Vcc
L
C
I0
Cs
R1
R2
Ccb4
Q1
Q2
Q3
Q4
R5
I3
I1
Q5
Q6
I2
R3
R4
Vss
I1
I2
I3a
(b)
Ccb4
Vcc

도면4


(a)
Vcc
L
C
10
Cs
R1
R2
Ccb4
Q1
Q2
Q3
Q4
R5
I3
I1
Q5
Q6
R6
Q7
I2
R3
R4
R7
Vss
I1
I2
I3b


(b)
I2
Ccb4
Vcc

도면5

