



(12) 发明专利申请

(10) 申请公布号 CN 117652033 A

(43) 申请公布日 2024. 03. 05

(21) 申请号 202280050300.3

(22) 申请日 2022.07.13

(30) 优先权数据

21186089.5 2021.07.16 EP

(85) PCT国际申请进入国家阶段日

2024.01.16

(86) PCT国际申请的申请数据

PCT/EP2022/069637 2022.07.13

(87) PCT国际申请的公布数据

W02023/285550 EN 2023.01.19

(71) 申请人 日立能源有限公司

地址 瑞士苏黎世

(72) 发明人 G·古普塔 L·德-米奇伊里斯

W·A·维塔勒

(74) 专利代理机构 北京市汉坤律师事务所

11602

专利代理师 王其文 张涛

(51) Int.Cl.

H01L 29/423 (2006.01)

H01L 29/66 (2006.01)

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 29/739 (2006.01)

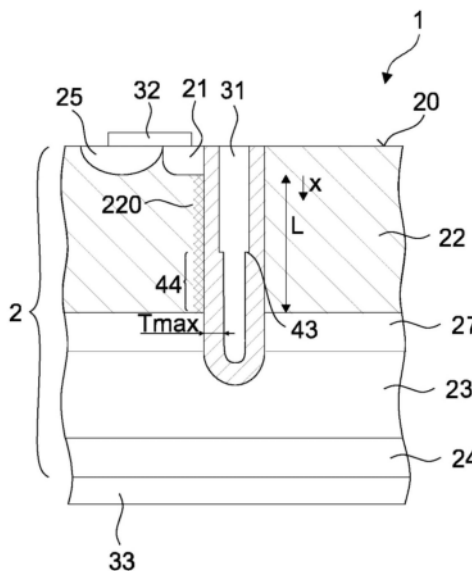
权利要求书3页 说明书12页 附图10页

(54) 发明名称

功率半导体器件及制造方法

(57) 摘要

在实施例中,功率半导体器件(1)包括:-半导体本体(2),所述半导体本体具有第一导电类型的源极区(21)和不同于所述第一导电类型的第二导电类型的阱区(22),并且所述阱区(22)包括直接在所述源极区(21)处的沟道区(220),-栅极电极(31),所述栅极电极布置在所述半导体本体(2)处并分配给所述沟道区(220),以及-栅极绝缘体(4),所述栅极绝缘体直接在所述半导体本体(2)和所述栅极电极(31)之间,其中栅极绝缘体(4)沿着沟道区(220)具有不均匀的厚度 T_{ox} ,使得沿着沟道区(220),栅极绝缘体(4)在远离源极区(21)的第一部分(44)中最厚。



1. 一种功率半导体器件 (1), 包括:

- 半导体本体 (2), 所述半导体本体具有第一导电类型的源极区 (21) 和不同于所述第一导电类型的第二导电类型的阱区 (22), 并且所述阱区 (22) 包括直接在所述源极区 (21) 处的沟道区 (220),

- 栅极电极 (31), 所述栅极电极布置在所述半导体本体 (2) 处并分配给所述沟道区 (220), 以及

- 栅极绝缘体 (4), 所述栅极绝缘体直接在所述半导体本体 (2) 和所述栅极电极 (31) 之间,

其中所述栅极绝缘体 (4) 沿着所述沟道区 (220) 具有不均匀的厚度 T_{ox} , 使得沿着所述沟道区 (220), 所述栅极绝缘体 (4) 在远离所述源极区 (21) 的第一部分 (44) 中最厚,

并且其中以下至少一项适用:

- 所述沟道区 (220) 沿着所述栅极绝缘体 (4) 具有非均匀沟道掺杂分布 (71),

- 所述栅极电极 (31) 沿着所述沟道区 (220) 具有非均匀栅极电极功函数分布 (72), 使得所述栅极电极 (3) 的阈值电压 (V_{th}) 在所述第一部分 (44) 中最高, 或者

- 所述栅极绝缘体 (4) 沿着所述沟道区 (220) 具有非均匀栅极介电常数分布, 使得所述栅极绝缘体 (4) 的相对介电常数在所述沟道区 (220) 远离所述源极区 (21) 的所述第一部分 (44) 中最低。

2. 根据前一权利要求所述的功率半导体器件 (1),

其中所述栅极电极 (31) 至少部分地布置在沟槽中, 所述沟槽形成于所述半导体本体 (2) 中并沿着所述沟道区 (220),

其中所述半导体本体 (2) 还包括直接在所述阱区 (22) 远离所述源极区 (21) 的一侧的所述第一导电类型的增强层 (27)。

3. 根据权利要求1所述的功率半导体器件 (1),

其中所述栅极电极 (31) 和所述栅极绝缘体 (4) 布置在所述半导体本体 (2) 的平面顶侧 (20) 上,

其中所述半导体本体 (2) 还包括直接在所述阱区 (22) 远离所述源极区 (21) 的一侧的所述第一导电类型的增强层 (27)。

4. 根据前述权利要求中任一项所述的功率半导体器件 (1),

其中:

- 所述源极区 (21) 与所述栅极绝缘体 (4) 和所述沟道区 (220) 直接接触,

- 所述半导体本体 (2) 还包括所述第一导电类型的漂移区 (23), 所述漂移区与所述栅极绝缘体 (4) 直接接触并且直接在所述阱区 (22) 处, 以及

- 所述功率半导体器件 (1) 是金属-绝缘体-半导体场效应晶体管 MISFET、金属-氧化物-半导体场效应晶体管 MOSFET、绝缘栅双极晶体管 IGBT、或反向传导绝缘栅双极晶体管 RC-IGBT。

5. 根据前一权利要求所述的功率半导体器件 (1),

其中沿着所述沟道区 (220), 所述栅极绝缘体 (4) 直接在所述漂移区 (23) 处最厚。

6. 根据前述权利要求中任一项所述的功率半导体器件 (1),

其中所述栅极绝缘体 (4) 沿着所述沟道区 (220) 的厚度 T_{ox} 背离所述源极区 (21) 单调增

加或者严格单调增加。

7. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 面向所述半导体本体 (2) 的外向侧 (40) 沿着所述沟道区 (220) 具有平面形式。

8. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中所述第一部分 (44) 的长度是沿着所述栅极绝缘体 (4) 的所述沟道区 (220) 的总长度 (L) 的至少 10% 并且最多 40%。

9. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中沿着所述沟道区 (220) 看, 所述栅极绝缘体 (4) 具有位于靠近所述源极区 (21) 的第二部分 (47)。

10. 根据前一权利要求所述的功率半导体器件 (1),
其中以下至少一项适用:
- 在所述第二部分 (47) 中, 所述栅极绝缘体 (4) 具有恒定厚度并且比在所述第一部分 (44) 中更薄, 或者
- 所述栅极绝缘体 (4) 在所述第二部分 (44) 中的厚度 T_{ox} 在 20nm 和 80nm 之间且包括端值, 并且在所述第一部分 (44) 中的厚度 T_{ox} 在 120nm 和 250nm 之间且包括端值。

11. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 沿着所述沟道区 (220) 的厚度 T_{ox} 变化所述栅极绝缘体 (4) 的最大厚度 (T_{max}) 至少 20%。

12. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 沿着所述沟道区 (220) 的厚度 T_{ox} 以阶跃方式变化, 使得所述栅极绝缘体 (4) 沿着所述沟道区 (220) 的厚度 T_{ox} 中存在至少一个阶跃 (43)。

13. 根据前一权利要求所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 包括在其厚度方面的多个阶跃 (43), 并且所述厚度是非单调增加的。

14. 根据前一权利要求所述的功率半导体器件 (1),
其中, 在背离所述源极区 (21) 的方向上, 存在到达更高厚度 T_{ox} 的第一阶跃, 随后是返回到靠近所述源极区 (21) 的原始厚度 T_{ox} 的第二阶跃, 并且随后是到达靠近所述漂移区 (23) 的最高最终厚度 T_{ox} 的最后第三阶跃。

15. 根据权利要求 1 至 11 中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 沿着所述沟道区 (220) 的厚度 T_{ox} 以连续的、无阶跃的方式变化。

16. 根据前一权利要求所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 的厚度 T_{ox} 在整个所述阱区 (22) 中以线性方式增加。

17. 根据前述权利要求中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 为多层形式。

18. 根据权利要求 1 至 16 中任一项所述的功率半导体器件 (1),
其中所述栅极绝缘体 (4) 为单层形式, 使得所述栅极绝缘体 (4) 恰好由一个连续层组成。

19.一种用于制造根据前述权利要求中任一项所述的功率半导体器件(1)的方法,包括:

- 提供半导体衬底,以及
- 将至少一个半导体层外延生长到所述半导体衬底上。

20.根据前一项权利要求所述的方法,
其中所述半导体衬底包括所述漂移区(23)的至少一部分,并且
其中所述至少一个外延生长的半导体层包括所述阱区(22)和所述源极区(21)。

功率半导体器件及制造方法

技术领域

[0001] 提供了一种功率半导体器件。进一步,提供了一种用于这种功率半导体器件的制造方法。

背景技术

[0002] 文献US 6 503 786 B2涉及一种具有不对称沟道结构以获得增强的线性操作能力的功率MOS器件。

[0003] 文献W0 2017/112276 A1公开了用于DRAM器件的非均匀栅极氧化物厚度。

[0004] 文献US2007/0063269 A1描述了一种具有增加的短路能力的沟槽IGBT。

[0005] 文献US2016/0064550 A1涉及功率器件。

[0006] 文献EP 1 248 300 A2、US2008/0166846 A1和US2016/0093719 A1涉及电子器件。

发明内容

[0007] 本公开的实施例涉及一种表现出改善的电气行为的功率半导体器件。

[0008] 这个目的通过独立权利要求中限定的一种功率半导体器件和一种用于这种功率半导体器件的制造方法来实现。示例性进一步发展构成了从属权利要求的主题。

[0009] 在至少一个实施例中,功率半导体器件包括:

[0010] -半导体本体,该半导体本体具有第一导电类型的源极区和不同于第一导电类型的第二导电类型的阱区,并且阱区包括直接在源极区处开始的沟道区,

[0011] -栅极电极,该栅极电极布置在半导体本体处并分配给沟道区,以及

[0012] -栅极绝缘体,该栅极绝缘体直接在半导体本体和栅极电极之间,

[0013] 其中栅极绝缘体沿着沟道区具有不均匀的厚度 T_{ox} ,使得沿着沟道区,栅极绝缘体在远离源极区的第一部分中最厚。

[0014] 栅极电极通过栅极绝缘体与半导体本体绝缘。

[0015] 根据至少一个实施例,至少一个栅极电极部分地或完全地布置在半导体本体中形成的至少一个沟槽中。至少一个沟槽以及因此所分配的栅极电极可以穿过阱区延伸到漂移区中,例如在背离半导体本体的顶侧的方向上。因此,至少一个栅极绝缘体也部分或完全位于所分配的沟槽中。因此,功率半导体器件可以是基于沟槽的器件。

[0016] 否则,至少一个栅极电极和至少一个栅极绝缘体被施加在半导体本体的顶侧上。因此,顶侧可以是平面。

[0017] 例如,至少一个源极区与所分配的栅极绝缘体直接接触和/或直接在所分配的沟道区处。第一导电类型例如是n导电的,并且因此至少一个源极区是n掺杂的。

[0018] 根据至少一个实施例,至少一个沟道区也具有不同于第一导电类型的第二导电类型。第二导电类型例如是p导电的,以及因此至少一个沟道区是p掺杂的。可能的是,至少一个沟道区的最大掺杂浓度可能小于至少一个源极区的最大掺杂浓度。

[0019] 根据至少一个实施例,半导体本体还包括漂移区,该漂移区也可以具有第一导电

类型。例如,漂移区与栅极绝缘体直接接触和/或直接处于沟道区处。沿着背离半导体本体的顶侧的方向,漂移区可以位于半导体本体的沟道区和漏极区或集极区之间。例如,可选的沟槽可以终止于漂移区。

[0020] 作为选项,半导体本体可以包括增强层。例如,增强层直接位于阱区和漂移区之间,并且可以具有比漂移区更高的最大掺杂浓度。增强层也可以具有第一导电类型。增强层可以作为空穴阻挡层工作,也就是说,它增强了源极侧附近的等离子体浓度,从而导致改善的 V_{ce-sat} ,而没有过多地增加 E_{off} 。附加地,增强层还有助于控制沟道区的长度,并使制造工艺引起的可变性最小化。例如,增强层的厚度至少为 $1\mu m$ 和/或至多为 $5\mu m$ 。

[0021] 根据至少一个实施例,阱区从半导体本体的顶侧延伸到漂移区。沟道区是阱区的一部分,并且可以具有相同的掺杂浓度。在操作期间,电子在沟道区中沿着栅极绝缘体从源极区流到漂移区。沟道区具有在垂直于栅极绝缘体和阱区之间的界面的方向上的厚度,例如,在纳米范围内,示例性地为 $1nm$ 至 $50nm$ 。

[0022] 根据至少一个实施例,功率半导体器件是金属-绝缘体-半导体场效应晶体管MISFET、金属-氧化物-半导体场效应晶体管MOSFET、或绝缘栅双极晶体管IGBT、反向传导绝缘栅双极晶体管RC-IGBT。

[0023] 例如,半导体本体由硅(简称Si)制成。然而,半导体本体可以可替代地由宽带隙半导体材料(如SiC、Ga₂O₃或GaN)制成。

[0024] 栅极绝缘体由可以是氧化物的任何电绝缘材料制成。例如,栅极绝缘体由以下材料中的至少一种制成:SiO₂、Si₃N₄、Al₂O₃、Y₂O₃、ZrO₂、HfO₂、La₂O₃、Ta₂O₅、TiO₂。因此,栅极绝缘体也可以被称为栅极氧化物。

[0025] 根据至少一个实施例,功率半导体器件是功率器件。例如,功率半导体器件被配置用于至少 $0.2kV$ 或至少 $0.6kV$ 或至少 $1.2kV$ 的最大电压。

[0026] 例如在混合动力车辆或插电式电动车辆中,功率半导体器件例如是车辆中用于将来自电池或燃料电池的直流电转换为用于电动机的交流电的功率模块。而且,功率半导体器件可以是例如交通工具(如汽车)中的保险丝。

[0027] 为了简化,在下文中仅提及一个沟道区和所分配的部件。如果存在多个沟道区和所分配的部件,下面描述的特征可以仅应用于沟道区和所分配的部件中的一个、多个或全部。

[0028] 根据至少一个实施例,沿着沟道区的栅极绝缘体的厚度朝向漂移区单调或严格单调地增加。单调意味着厚度恒定或增加,以及严格单调意味着厚度朝向漂移区总是增加。

[0029] 根据至少一个实施例,沿着沟道区,栅极绝缘体具有第一部分。第一部分可以远离源极区,并且因此可以靠近漂移区。例如,第一部分是沿着沟道区看的栅极绝缘体最厚部分。

[0030] 根据至少一个实施例,第一部分的长度是沿着栅极绝缘体的沟道区的总长度的至少 5% 或至少 10% 或至少 15% 。可替代地或附加地,所述长度为最多 40% 或最多 30% 或最多 25% 。

[0031] 根据至少一个实施例,栅极绝缘体具有第二部分,沿着沟道区看,该第二部分位于靠近源极区。沿着沟道区的栅极绝缘体可以由第二部分和第一部分组成。

[0032] 根据至少一个实施例,栅极绝缘体沿着第二部分中的沟道区具有恒定厚度。也就

是说,栅极绝缘体的唯一有意的厚度变化可以在第一部分中或者在第一部分和第二部分之间的边界处。

[0033] 根据至少一个实施例,栅极绝缘体沿沟道区的厚度变化栅极绝缘体最大厚度的至少10%或至少20%或至少30%。例如,栅极绝缘体的剩余部分具有第一部分的厚度的至多70%或至多80%或至多90%的厚度。

[0034] 根据至少一个实施例,沿着沟道区的栅极绝缘体的厚度以阶跃方式变化,使得沿着沟道区存在栅极绝缘体的厚度方面的一个或多个阶跃。否则,栅极绝缘体的厚度可能以连续无阶跃的方式变化。

[0035] 根据至少一个实施例,栅极绝缘体具有多层形式,使得栅极绝缘体包括至少两个子层。否则,栅极绝缘体具有单层形式,并且只包括一层。如果存在多个子层,子层可以由不同的材料制成和/或可以具有不同的介电常数。子层可以直接在彼此之上。可能的是,子层具有不同的大小,使得子层可以不一致地布置。也可能的是,子层具有不同的厚度,可替代地子层全部具有相同的厚度。

[0036] 根据至少一个实施例,沟道区沿着栅极绝缘体具有非均匀沟道掺杂分布。例如,沟道区中的掺杂浓度 N_A 在第一部分中最大,并且因此在第二部分中最小。例如,沟道区中的掺杂浓度 N_A 在距半导体本体的顶侧至少 $0.5\mu\text{m}$ 或至少 $1.5\mu\text{m}$ 的深度处最大。沿着栅极绝缘体看,所述最大掺杂浓度 N_A 也可以在距源极区至少 $0.5\mu\text{m}$ 或至少 $1.5\mu\text{m}$ 的距离处。所述最大值可以位于阱区内。因此,所述最大值通过外延生长而不是通过离子注入实现。

[0037] 根据至少一个实施例,栅极电极沿着沟道区具有非均匀栅极电极功函数分布,使得栅极电极的阈值电压在第一部分中最高。因此,远离源极区的第一部分中的栅极电极的功函数 Φ_m 对于具有p型掺杂阱区以及因此具有p型掺杂沟道区的器件最大,而对于具有n型掺杂阱区以及因此具有n型掺杂沟道区的器件最小。

[0038] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀栅极介电常数分布,使得栅极绝缘体的相对介电常数在远离源极区的沟道区的第一部分中最低。

[0039] 根据至少一个实施例,存在非均匀厚度分布以及非均匀沟道掺杂分布和/或非均匀栅极电极功函数分布和/或非均匀栅介电常数分布。也就是说,非均匀栅极绝缘体厚度分布可以与非均匀沟道掺杂分布、非均匀栅极电极功函数分布或非均匀栅介电常数分布相结合,或者与非均匀沟道掺杂分布、非均匀栅极电极功函数分布和非均匀栅介电常数分布中的两个相结合,或者与所有三个其它非均匀分布相结合。

[0040] 根据至少一个实施例,功率半导体器件被配置为使得例如饱和电流和短路电流两者减小,而集电极-发射极饱和电压 V_{ce-sat} 以及因此通态损耗可以保持不受影响。由于与类似设置的沿着沟道区具有恒定厚度的栅极绝缘体的参考半导体器件相比,栅极绝缘体的非均匀厚度分布(其中厚度沿着沟道区在栅极绝缘体的第一部分中增加,而在剩余部分中减小),这可能是真实的。

[0041] 附加地提供了一种用于制造功率半导体器件的方法。借助于该方法,如结合上述实施例中的至少一个所指示的那样制造功率半导体器件。因此,对于该方法也公开了功率半导体器件的特征,反之亦然。

[0042] 在至少一个实施例中,用于制造功率半导体器件的方法特别地以所陈述的顺序包括以下步骤:

- [0043] -提供半导体衬底,以及
- [0044] -将至少一个半导体层外延生长到所述半导体衬底上。
- [0045] 例如,半导体衬底包括漂移区的至少一部分。
- [0046] 例如,至少一个外延生长的半导体层包括阱区和源极区。

附图说明

[0047] 下面参照附图通过示例性实施例更详细地解释功率半导体器件和制造方法。各个图中相同的元件以相同的附图标记指示。然而,元件之间的关系没有按比例示出,而是各个元件可能被放大示出以帮助理解。

[0048] 在附图中:

[0049] 图1是参考半导体器件的示意截面视图,

[0050] 图2是本文描述的功率半导体器件的示例性实施例的示意性截面图,

[0051] 图3是图2的功率半导体器件的俯视图,

[0052] 图4至图7是本文描述的功率半导体器件和参考半导体器件的电数据的示意性表示,

[0053] 图8是本文描述的功率半导体器件和参考半导体器件的栅极绝缘体厚度的示意性表示,

[0054] 图9至图12是本文描述的功率半导体器件和参考半导体器件的电数据的仿真结果,以及

[0055] 图13至19是本文描述的功率半导体器件的示例性实施例的示意性截面视图。

具体实施方式

[0056] 图1示出了参考半导体器件9,除了栅极绝缘体4的设计之外,该参考半导体器件对应于本文描述的功率半导体器件1的示例性实施例。像功率半导体器件1一样,参考半导体器件9包括例如由Si制成的半导体本体2。

[0057] 半导体本体2包括源极区21和阱区22,沟槽穿过该阱区。在阱区22中,存在沟道区220。当参考半导体器件9处于导通状态时,电子通过直接位于栅极绝缘体4处的沟道区220从源极区21流到漂移区23。

[0058] 源极区21具有第一导电类型,如n型导电,以及阱区以及因此沟道区220具有不同的第二导电类型,如p型导电。在沟槽中,存在通过电绝缘栅极绝缘体4与半导体本体2分离的栅极电极31。沟槽以及因此栅极电极31终止于半导体本体2的漂移区23中。漂移区23也具有第一导电类型。

[0059] 在参考半导体器件9中,栅极绝缘体4至少沿着沟道区220始终具有恒定厚度。与此相反,在功率半导体器件1的示例性实施例中,栅极绝缘体4沿着沟道区220具有不均匀的厚度。注意,沟道区220的形状仅被非常示意性地绘出。

[0060] 根据图2和图3的功率半导体器件1,栅极绝缘体4包括一个阶跃43,在该阶跃处栅极绝缘体4的厚度以突变的方式变化。在该步骤之后,沿着沟道区220看,栅极绝缘体4包括其中栅极绝缘体4具有其最大厚度 T_{max} 的第一部分44。在此,术语“沿着沟道区220”是指,例如,从沟道区220在靠近源极区21的栅极绝缘体4处开始的点,直到漂移区23开始,也就是

说,是指沿着方向x从源极区21直到漂移区23的方向,例如直接在栅极绝缘体4处。因此,在此和下文中感兴趣的栅极绝缘体4的区具有长度L,该长度对应于源极区21和的漂移区23之间的直接在栅极绝缘体4处的距离。因此,长度L可以被限定为第一导电类型的层(例如,源极区21和漂移区23)之间的第二导电类型层的长度,其中漂移区23可以包括较低掺杂浓度的层(图中未示出)。

[0061] 进一步,在漂移区23和阱区22之间,存在增强层27。增强层27也具有第一导电类型。

[0062] 源极区21和阱区22两者可以通过位于半导体本体2的顶侧20处的至少一个源极电极32电连接。

[0063] 作为选项,为了电接触沟道区220,在半导体本体2的顶侧20处可以存在至少一个插塞25。插塞25可以具有与阱区22不同的厚度,使得插塞25可以比阱区22更深或更浅地延伸到半导体本体2中。进一步,源极区21和插塞25的厚度可以相同或可以不同。

[0064] 源极区21和至少一个插塞25两者可以通过位于顶侧20处的至少一个源极电极32电连接。示例性地,插塞25具有比阱区22或沟道区220更高的最大掺杂浓度。插塞的深度可以比阱区/沟道区更低、更深或与其相同。

[0065] 例如,功率半导体器件1是绝缘栅双极晶体管,简称IGBT。因此,在漂移区23远离阱区22的一侧处,存在也具有第二导电类型的集极区26。附加地,作为进一步的选项,在漂移区23和集极区26之间可以存在第一导电类型的缓冲区(未示出)。缓冲区的掺杂浓度可以高于漂移区23的掺杂浓度。在集极区26处,存在集极电极34。

[0066] 例如,半导体本体2至少部分通过外延生长产生。也就是说,半导体本体2的相应层的掺杂浓度可以在生长期间产生,并且可以不在生长之后产生,例如通过离子注入。这例如至少适用于增强层27和阱区22,该增强层和阱区因此可以通过外延生长来掺杂。作为选项,漂移区23可以部分或完全是生长衬底的一部分。这同样适用于所有其他示例。

[0067] 在顶侧20的俯视图看,容纳栅极电极31的沟槽可以具有延伸形式。参见图3,源极区21、至少一个插塞25以及沟道区21可以对称地布置在沟槽的两侧上。

[0068] 例如,栅极绝缘体沿着第一部分之外的沟道区的厚度在20nm和80nm之间(包括端值),或者在40nm和80nm之间(包括端值)。可替代地或附加地,在第一部分中,所述厚度在120nm和250nm之间(包括端值),或者在120nm和180nm之间(包括端值)。

[0069] 例如,源极区21、集极区26或可替代地源极区24和至少一个插塞(plug)25的最大掺杂浓度为至少 $1 \times 10^{18} \text{ cm}^{-3}$ 或至少 $5 \times 10^{18} \text{ cm}^{-3}$ 或至少 $1 \times 10^{19} \text{ cm}^{-3}$ 和/或最多 $5 \times 10^{20} \text{ cm}^{-3}$ 或最多 $2 \times 10^{20} \text{ cm}^{-3}$ 或最多 $1 \times 10^{20} \text{ cm}^{-3}$ 。进一步地,阱区22的以及因此沟道区220的最大掺杂浓度可以是至少 $5 \times 10^{16} \text{ cm}^{-3}$ 或至少 $1 \times 10^{17} \text{ cm}^{-3}$ 和/或最多 $5 \times 10^{19} \text{ cm}^{-3}$ 或最多 $5 \times 10^{18} \text{ cm}^{-3}$ 。例如,增强层27的最大掺杂浓度为至少 10^{15} cm^{-3} 和/或为至多 10^{18} cm^{-3} 。

[0070] 取决于功率半导体器件1的电压等级,漂移区23的最大掺杂浓度可以是至少 $1 \times 10^{11} \text{ cm}^{-3}$ 或至少 $1 \times 10^{12} \text{ cm}^{-3}$ 或至少 $1 \times 10^{13} \text{ cm}^{-3}$ 和/或最多 $1 \times 10^{17} \text{ cm}^{-3}$ 或最多 $5 \times 10^{16} \text{ cm}^{-3}$ 或最多 $1 \times 10^{16} \text{ cm}^{-3}$ 。

[0071] 在图2和图3中,源极区21和至少一个插塞25仅沿着栅极电极31的一侧定位,使得存在仅沿着栅极绝缘体4的一个外向侧的沟道区220。然而,源极区21以及至少一个插塞25也可以位于沿着栅极电极31的两侧(例如,比较图13),或者当在顶视图中看时位于栅极电

极31四周。

[0072] 否则,与图1相同的情况也适用于图2和图3。

[0073] 下面解释具有不均匀厚度的栅极绝缘体4的构思。

[0074] 对于示例性地用于低频应用的功率半导体器件1,可能期望具有尽可能低的通态损耗,以便最小化总电损耗。此外,从器件可靠性的角度来看,具有低短路电流可能是有利的。因此,可能期望具有最小化的通态损耗和改进的短路能力的功率半导体器件1。

[0075] 然而,用于降低通态压降 V_{ce-sat} 的一些手段(例如通过减小沟道长度 L 或增加沟道宽度 W)通常导致不期望的较高饱和电流 I_{sat} ,如使用输出特性 I_c 与 V_{ce} 示意性示出那样,参见图4。更高的 I_{sat} 与更高的短路电流 I_{sc} 直接相关,从而不利地影响功率半导体器件1的短路能力。另一方面,例如通过增加沟道掺杂浓度来提高功率半导体器件1的阈值电压 V_{th} 以降低 I_{sat} 导致更高的 V_{ce-sat} ,如图5所示。因此,图4和图5是沿着整个沟道区具有均匀阈值分布的IGBT的典型输出特性的示意图,在图4中是针对相同的 V_{th} 和不同的沟道电阻以及在图5中是针对不同的阈值电压 V_{th} 。

[0076] 诸如以下的用于减少短路电流的其他技术:

[0077] a) 增加沟道长度 L ,

[0078] b) 通过降低阳极注入剂量来降低阳极注入效率,

[0079] c) 通过减小沿沟槽的源极覆盖来减小沟道宽度,以及

[0080] d) 通过增加单元间距来减小沟道宽度,

[0081] 也不希望地导致更高的通态损耗。而且,诸如d)的技术也可能不利地影响功率半导体器件1的击穿能力。减少栅极偏置以便减少短路电流也可能是不期望的,因为它会导致不稳定的动态行为,并且另外它主要由应用要求来限定。

[0082] 因此,在常规MISFET或IGBT器件中,在最小化通态损耗和降低短路电流之间存在权衡。对于需要改善的短路能力的应用,期望能够在不影响 V_{ce-sat} 的情况下降低短路电流 I_{sc} 。

[0083] 影响非IGBT器件中的栅极电极处的电行为的另一可能性是例如在沟槽底部处使用相对较厚的栅氧化物主要用于防止热载流子注入。然而,较厚氧化物的范围可能限于n-基极区,并且可能不延伸到p掺杂区中,在该p掺杂区中它会影响MOS沟道特性。而且,可以相对于相邻单元,而不是在相同单元的沟道区中引入沟道掺杂或栅极氧化物厚度方面的不对称性。沿着沟槽侧壁和沟槽底部均匀地使用具有例如180nm至250nm的厚度的相对较厚的栅极氧化物也可以通过提高其阈值电压来改善IGBT短路能力。然而,这种方法将遭受更高的通态电压降。制造用于DRAM器件的非均匀栅极氧化物的另一方法可以在凹陷侧壁的顶部区段处使用相对较厚的氧化物。

[0084] 利用本文描述的功率半导体器件1,通过在没有不利地影响通态损耗的情况下改善短路电流,改善了通态损耗和短路电流之间的权衡。与其他方法不同,所描述的设计的特征在于沿着靠近栅极绝缘体4的沟道区220的非均匀阈值电压分布,以降低给定 V_{ce-sat} 的饱和电流。通过沿着沟道区220实施非均匀栅极绝缘体厚度,实现了本文描述的功率半导体器件1中的所提出的非均匀 V_{th} 。所描述的功率半导体器件1不会不利地影响功率半导体器件1的击穿能力,更不会不利地影响其关断损耗。此外,所描述的构思通常适用于任何MOS器件,诸如功率MOSFET或IGBT或反向传导IGBT器件,并且甚至与平面和沟槽架构两者兼容。

[0085] 利用本文描述的功率半导体器件1,引入了具有增强的短路能力的改进的MISFET、MOSFET或IGBT器件,而没有对通态损耗的有害影响。改进的设计还放宽了IGBT的设计限制,从而实现了独立探索以上提及的其他方法以最小化通态损耗的可能性,这些通态损耗通常受到相应器件的短路能力的限制。

[0086] 在下文中,呈现了本文描述的半导体器件1的思想的一些理论背景。

[0087] 对于参考长沟道MOS器件9,已知的是高Vce下的沟道夹断导致输出特性中的电流饱和,这最终决定了短路电流。沟道夹断电压Vpinch-off由阈值电压Vth决定。特别地,当所施加的偏置Vce超过夹断电压Vpinch-off $\approx (V_g - V_{th})$ (其中Vg是所施加的栅极电压)时,沟道在其漏极端附近在x=L处开始夹断,其中L是沟道长度。在这种施加的Vce下,垂直于沟道的电压降小于Vth,并且因此在漏极端附近沟道不能再维持。

[0088] 然而,为了更详细地理解该器件,应该认为沟道夹断更多地是局部现象(特别地在沟道的漏极端附近发生)。因此,更准确地说,是局部阈值电压Vth(x)决定了夹点,并且因此决定饱和电流。这意味着可以通过在沟道端部,即在漂移区23附近的第一部分44中局部增加Vth(L)来降低Vpinch-off。进一步,为了保持总沟道电阻,并且从而使Vce-sat不受影响,可以在沟道的其余部分中降低Vth(x)。

[0089] 这在图6中示意性地图示,在该图中参照参考半导体器件9的曲线包括沿着整个沟道的均匀阈值电压Vth-1分布。另一方面,功率半导体器件1的曲线由沿着沟道的非均匀Vth分布组成,其中Vth在沟道端部附近,即在第一部分44中局部升高,使得Vth-2(L)>Vth-1,以便降低夹断点,而在沟道的其余部分中Vth-2'<Vth-1以保持总沟道电阻相同。以这样的方式,饱和电流以及由此短路电流可以显著减小,而不影响通态损耗,如图7中的示意输出所示。因此,局部Vth变化是MISFET或MOSFET或IGBT器件的改善的短路能力的关键。

[0090] 沟道的Vth是各种其它MOS单元设计参数的函数,如下式所示:

$$[0091] \quad V_t = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_a 2\epsilon_s 2\Phi_B}}{C_{ox}}$$

[0092] 其中Vt是阈值电压,Vfb是平带电压,Vfb=($\Phi_m - \Phi_s$)其中 Φ_m 和 Φ_s 分别是栅极金属功函数和半导体功函数。 N_a 是沟道本体掺杂, ϵ_s 是半导体的介电常数,Cox是栅极绝缘体电容,以及 Φ_B 是半导体表面电势,并且:

$$[0093] \quad \Phi_B = kt \ln \frac{N_a}{n_i}$$

[0094] 其中k是玻尔兹曼常数,T是温度,以及ni是半导体的本征载流子浓度。

[0095] 因此,在第一部分44中的具有相对较高Vth的沟道上的所需的非均匀Vth分布可以通过在以下MOS设计参数中的一个中或任意组合中引入非均匀性来实现:

[0096] 1. 沟道掺杂分布, $N_a(x)$,

[0097] 2. 栅极氧化物厚度Tox(x),如本文详述那样,

[0098] 3. 栅极电介质, $\epsilon_{ox}(y)$,和/或

[0099] 4. 栅极金属功函数 $\Phi_m(x)$,因为Vfb=($\Phi_m - \Phi_s$)。

[0100] 在下文中,关注于栅极绝缘体厚度变化,但是所述厚度变化当然可以与变化的沟道掺杂分布、变化的栅极电介质和/或变化的栅极金属功函数相结合。

[0101] 上面的图1和图2示出了具有均匀栅极绝缘体厚度分布的参考半导体器件9和如在

下面呈现的仿真中实施的具有非均匀栅极绝缘体厚度分布的功率半导体器件1的示意性横截面。研究了三种不同的栅极氧化物剖面,参见图8。参考参考半导体器件9的设计具有100nm的均匀栅极氧化物厚度 T_{ox} ,其用作参考。在功率半导体器件1的设计A中,第一部分44中的 T_{ox} 升高到140nm,以便增加该点处的局部 $V_{th}(L)$,而沟道区220的剩余部分中的 T_{ox} 降低到40nm,以便保持与参考半导体器件9的通态相同的通态。

[0102] 而在功率半导体器件1的设计B中,第一部分44处的 T_{ox} 被进一步提高到150nm,以获得比设计A的局部 $V_{th}(L)$ 高得多的局部 $V_{th}(L)$ 、具有栅极绝缘体4的剩余部分中的60nm的厚度 T_{ox} 。这些栅极氧化物分布的影响在图9中的仿真输出特性上清晰可见,其中对于设计A和B可以观察到 I_{sat} 方面的明显降低,这是由于降低了夹断点的较高的局部 $V_{th}(L)$,而没有以 V_{ce-sat} 为代价,该 V_{ce-sat} 在参考半导体器件9和设计A中实际上保持相同。

[0103] 在第一部分44处具有甚至更大 T_{ox} 的设计B示出了 I_{sat} 方面的进一步改善,然而具有稍高的 V_{ce-sat} ,其与参考半导体器件9相比增加了约5%,参见图10。这归因于沿着沟道区220的栅极绝缘体4的剩余部分中相对较厚的 T_{ox} 。

[0104] 如图11所示,与参考半导体器件9相比,对于设计A和B,可以观察到短路电流方面的明显降低,例如20%或40%的降低,如预期的那样。

[0105] 如图12所示,器件的击穿特性保持不受变化的栅极绝缘体分布的影响。开关损耗 E_{off} 在很大程度上保持不受 T_{ox} 分布变化的影响,比较下表,该表总结了具有不同 T_{ox} 分布的设计A和B的仿真结果。

[0106] 参考半导体器件9:

[0107] -栅极氧化物分布:均匀,100nm;

[0108] -150A下的 V_{ce-sat} :1.619V;

[0109] -10mA下的 V_{th} :4.30V;

[0110] - E_{off} :12.69mJ;

[0111] - I_{sc} : =100%。

[0112] 功率半导体器件1的设计A:

[0113] -栅极氧化物分布:不均匀,40nm和140nm;

[0114] -150A下的 V_{ce-sat} :1.633V;

[0115] -10mA下的 V_{th} :5.56V;

[0116] - E_{off} :13.10mJ;

[0117] - I_{sc} : =参考半导体器件9的 I_{sc} 的大约90%。

[0118] 功率半导体器件1的设计B:

[0119] -栅极氧化物分布:不均匀,60nm和150nm;

[0120] -150A下的 V_{ce-sat} :1.700V;

[0121] -10mA下的 V_{th} :5.94V;

[0122] - E_{off} :13.09mJ;

[0123] - I_{sc} : =参考半导体器件9的 I_{sc} 的大约70%。

[0124] 在这些器件9、A、B中,通道的长度 L 在每种情况下为 $2.5\mu m$,以及设计A、B中的第一部分44具有 $1.0\mu m$ 的长度。

[0125] 在图13的功率半导体器件1的示例性实施例,栅极绝缘体4的厚度分以两个阶跃

43变化。可能的是,第二阶跃大于第一阶跃,使得厚度增加在靠近漂移区23的阶跃43处更大,或者反之亦然。因此,栅极绝缘体4的厚度 T_{ox} 朝向漂移区23单调增加。

[0126] 如在功率半导体器件1的全部其他示例性实施例中可能的那样,栅极绝缘体4的面向半导体本体2的外向侧40可以具有平面形式,至少沿着沟道区220。因此,像阶跃43一样,栅极绝缘体4的厚度变化可能仅影响栅极绝缘体4的内部侧,该内部侧面向栅极电极31。

[0127] 而且,图示了图13的功率半导体器件1不是IGBT,而是MOSFET或MISFET。因此,功率半导体器件1包括漏极区24而不是集极区26。因此,在漂移区23远离阱区22的一侧处,存在也具有第一导电类型的漏极区24,但是例如具有比漂移区23中更高的最大掺杂浓度。在漏极区24处,存在漏极电极33。

[0128] 当然,IGBT功率半导体器件1的全部栅极绝缘体设计可以应用于MOSFET和MISFET功率半导体器件1,反之亦然。

[0129] 进一步,全部功率半导体器件1可以被配置为反向传导IGBT。反向传导IGBT包括与第一导电类型的短路交替的第二导电类型的集极区。

[0130] 否则,与图2至12相同的情况也可以适用于图13,反之亦然。

[0131] 根据图14,栅极绝缘体4包括多个阶跃43,并且厚度不是单调增加的。因此,在源极区21附近可以存在到较高厚度的较小第一阶跃,以及回到原始厚度的较小第二阶跃,并且靠近漂移区23存在到较高的最终厚度的较大第三阶跃。

[0132] 否则,与图2至13相同的情况也可以适用于图14,反之亦然。

[0133] 在图15中,示出了厚度不是以阶跃方式变化,而是在第一部分44的开始处连续变化。厚度 T_{ox} 变化的过渡区46总计例如长度L的至少2%和/或至多15%或至多10%或至多5%。类似于图13或图14,可以存在多于一个这样的过渡区46。

[0134] 否则,与图2至14相同的情况也可以适用于图15,反之亦然。

[0135] 在前面的示例性实施例中,栅极绝缘体4由相同材料的单个连续层制成,并且具有变化的厚度。与此相反,参见图16,栅极绝缘体4具有多层形式。例如,栅极绝缘体4包括靠近半导体本体2并且完全在半导体本体和栅极电极31之间延伸的第三子层45。而且,存在靠近栅极电极31并延伸到漂移区23中的第一子层41,以及在第一子层41和第三子层45之间的第二子层42。第一子层41仅部分存在于穿过阱区22,并且不存在于源极区21附近。

[0136] 例如,第一子层41是子层中最厚的子层,以及第二子层42或者可替代地第三子层45是最薄的子层。子层41、42、45中的每一个可以具有在各自子层41、42、45内不变的厚度,使得子层41、42、45可以各自具有恒定厚度。在第一子层41和第二子层42结束的地方,存在阶跃43。因此,子层41、42、45不一致。全部子层41、42、45可以由相同的材料制成,或者另外地可以由不同的材料制成。

[0137] 可选地,第二子层42从第一子层41突出的长度总计为第一部分44沿着长度L的范围的至多50%或至多30%。

[0138] 否则,与图2至15相同的情况也可以适用于图16,反之亦然。

[0139] 在图17中,示出了栅极绝缘体4的厚度在整个阱区22中以严格单调的方式增加,例如以线性方式增加。还可能的是,所述厚度沿着整个栅极绝缘体4(也就是说,也在源极区21处和/或漏极区23中)以严格单调的方式增加,例如以线性方式增加。

[0140] 根据图18,功率半导体器件1具有平面设计,而不具有像例如图2和图3的功率半导

体器件1的沟槽设计。因此,顶侧20是平面的,并且栅极绝缘体4和栅极电极31被施加在顶侧20上。因此,源极区21和漂移区23之间的长度L平行于顶侧20,而不像在其他示例性实施例中垂直于顶侧20。这同样适用于厚度 T_{ox} 沿着其变化的方向x。

[0141] 在图18中,沟道区220从源极区21在侧向方向上即平行于顶侧20突出,并在栅极绝缘体4下方延伸。源极区21也可以在栅极绝缘体4下面延伸,但是不太远。

[0142] 在MISFET或MOSFET的情况下以及在IGBT的情况下,栅极绝缘体4的全部以上提及的不同设计可以类似地应用于图18的平面构思。因此,与图2至图17相同的情况也可以适用于图18。

[0143] 而且,在图19中,示出了由于构成栅极绝缘体4的至少两种不同材料81、82,不仅存在非均匀栅极绝缘体厚度分布,而且存在非均匀栅极介电常数分布。也就是说,栅极绝缘体4的厚度沿着沟道区220变化。

[0144] 例如,由于至少两种不同的材料81、82沿着沟道区220的相对介电常数的差异至少为2.0或者至少为3.0或者至少为3.5。可替代地或附加地,所述差异最多为50或最多为25。当比较相应相对介电常数时,可以使用在室温下(即300K)和在至多1kHz的变化电场的频率下各种材料的教科书值。如果只存在非均匀栅极绝缘体厚度分布和均匀栅极介电常数分布,则栅极绝缘体4可以由单个材料制成。

[0145] 除了非均匀栅极介电常数分布之外或作为其可替代方案,可以存在栅极电极31的非均匀栅极电极功函数分布72。因此,栅极电极31可以包括靠近源极区21的第一栅极材料84和靠近漏极区23的第二栅极材料85。在栅极绝缘体4的材料81、82改变的位置,栅极材料84、85可以改变。因此,远离源极区21的第一部分44中的栅极电极31的功函数 Φ_m 对于具有p掺杂阱区22并因此具有p掺杂沟道区220的器件最大,而对于具有n掺杂阱区22并因此具有n掺杂沟道区220的器件最小。

[0146] 例如,沿着沟道区220的栅极电极的功函数差至少为0.7eV或者至少为1.0eV或者至少为1.1eV。这适用于例如当栅极电极31基于多晶硅时。如果也考虑用于低功函数的金属(如Li、Zn、Hf)或用于高功函数的金属(如Pt、Pd或Au),则功函数差可以是至少1.3eV或至少1.4eV。例如,功函数差至多为2.0eV或至多1.5eV。

[0147] 例如,第二栅极材料85是具有大约5.22eV的功函数 Φ_m 的p+掺杂多晶硅。例如,第一栅极材料84是具有大约4.1eV的功函数 Φ_m 的n+掺杂多晶硅。虽然基于硅,但是这些第一栅极材料84和第二材料85可以被称为不同的栅极电极金属。

[0148] 因此,在第一部分44和第二部分47之间的界面处,非均匀栅极电极功函数分布72中存在阶跃,参见图19中的插图。

[0149] 除了非均匀栅极介电常数分布和/或非均匀的栅极电极功函数分布72之外或者作为其可替代方案,还可以存在非均匀沟道掺杂分布71。也就是说,阱区22中的掺杂浓度 N_A 沿着沟道区220变化。

[0150] 例如,非均匀沟道掺杂分布71中存在的最大掺杂浓度为至少 $5 \times 10^{16} \text{ cm}^{-3}$ 且至多 $5 \times 10^{19} \text{ cm}^{-3}$,和/或非均匀沟道掺杂分布71中存在的最小掺杂浓度为至多 $2 \times 10^{17} \text{ cm}^{-3}$ 或至多为 $1 \times 10^{17} \text{ cm}^{-3}$ 。最大掺杂浓度可以存在于第一部分44中,并且最小掺杂浓度可以存在于第二部分47中。分别贯穿第一部分44和第二部分47,掺杂浓度 N_A 可以是恒定的,使得掺杂浓度 N_A 例如以阶跃方式变化。然而,掺杂浓度 N_A 方面的阶跃不需要精确地遵循 θ 函数或单位阶跃函

数,而是可以具有正弦形状,参见图19中的插图。所述阶跃可以处于栅极绝缘体4的材料81、82改变的位置处。

[0151] 非均匀栅极电极功函数分布72、非均匀栅极绝缘体介电常数分布和非均匀沟道掺杂分布71中的这种至少一个也可以类似地存在于全部其他示例性实施例中。

[0152] 否则,与图2至18相同的情况也可以适用于图19,反之亦然。

[0153] 除非另有指示,否则图中示出的部件以特定顺序示例性地一个在另一个之上。图中不接触的部件示例性地彼此间隔开。如果线彼此平行绘制,则对应的表面示例性地彼此平行定向。同样地,除非另有指示,附图中正确地再现了所绘制的部件相对于彼此的位置。

[0154] 本文中描述的功率半导体器件不受基于示例性实施例的描述的限制。相反,功率半导体器件涵括任何新特征以及特征的任何组合,包括专利权利要求中的特征的任何组合,即使这个特征或这个组合本身没有在专利权利要求或示例性实施例中明确指定。

[0155] 本专利申请要求欧洲专利申请2118 6089.5的优先权,该欧洲专利申请的公开内容通过援引并入本文。

[0156] 附图标记列表

[0157] 1 功率半导体器件

[0158] 2 半导体本体

[0159] 20 顶侧

[0160] 21 源极区

[0161] 22 阱区

[0162] 220 沟道区

[0163] 23 漂移区

[0164] 24 漏极区

[0165] 25 插塞

[0166] 26 集极区

[0167] 27 增强层

[0168] 31 栅极电极

[0169] 32 源极电极

[0170] 33 漏极电极

[0171] 34 集极电极

[0172] 4 栅极绝缘体

[0173] 40 外向侧

[0174] 41 栅极绝缘体的第一子层

[0175] 42 栅极绝缘体的第二子层

[0176] 43 阶跃

[0177] 44 第一部分

[0178] 45 栅极绝缘体的第三子层

[0179] 46 过渡区

[0180] 47 第二部分

[0181] 71 非均匀沟道掺杂分布

- [0182] 72 非均匀栅极电极功函数分布
- [0183] 81 栅极绝缘体的第一材料
- [0184] 82 栅极绝缘体的第二材料
- [0185] 84 第一栅极材料
- [0186] 85 第二栅极材料
- [0187] 9 参考半导体器件
- [0188] A 第一示例性功率半导体器件
- [0189] B 第二示例性功率半导体器件
- [0190] Isat 饱和电流
- [0191] L 沿着栅极绝缘体的沟道区的长度
- [0192] T_{max} 栅极绝缘体的最大厚度
- [0193] T_{ox} 沿着沟道区的栅极绝缘体的厚度
- [0194] V_{th} 阈值电压
- [0195] X 沿着沟道区的长度

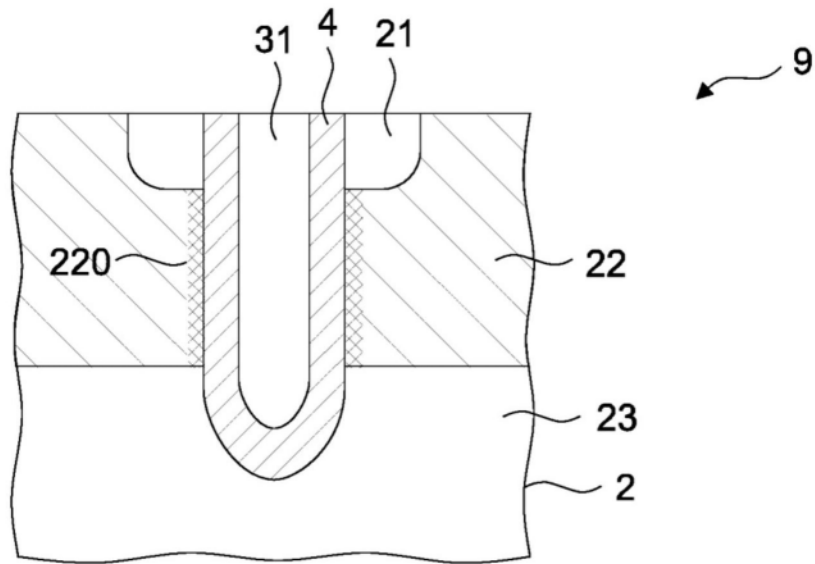


图1

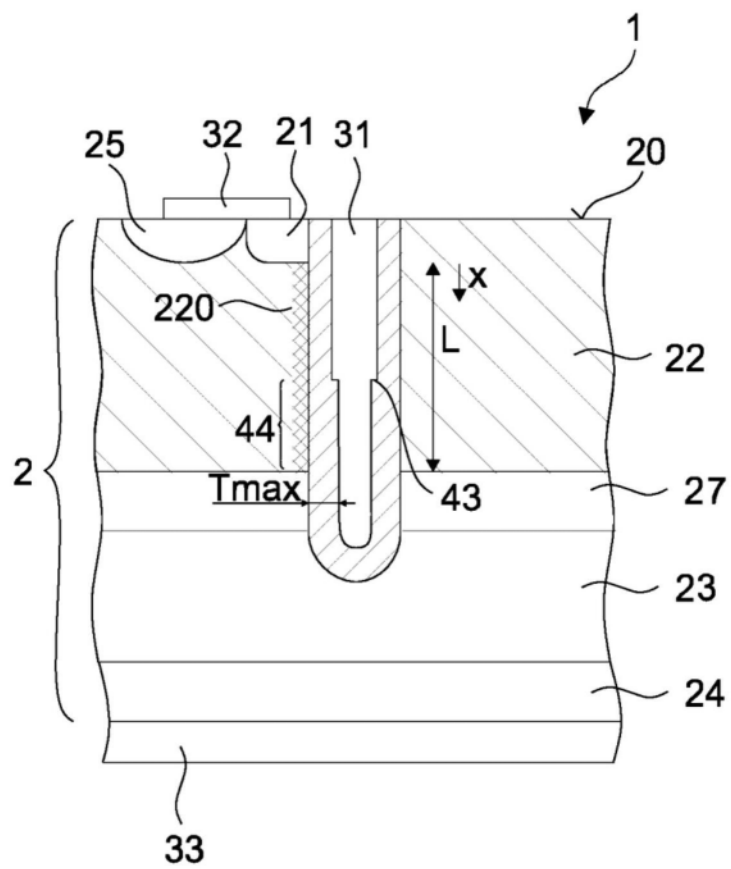


图2

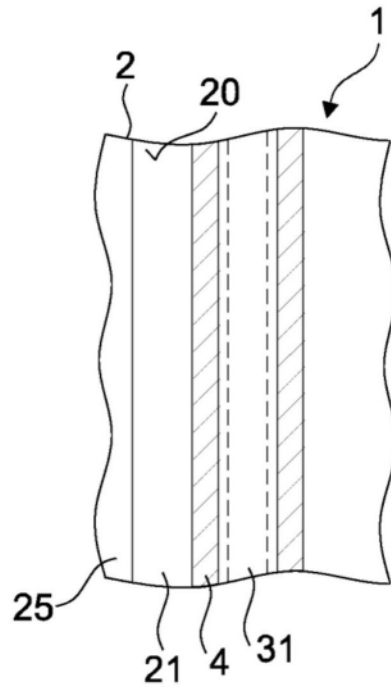


图3

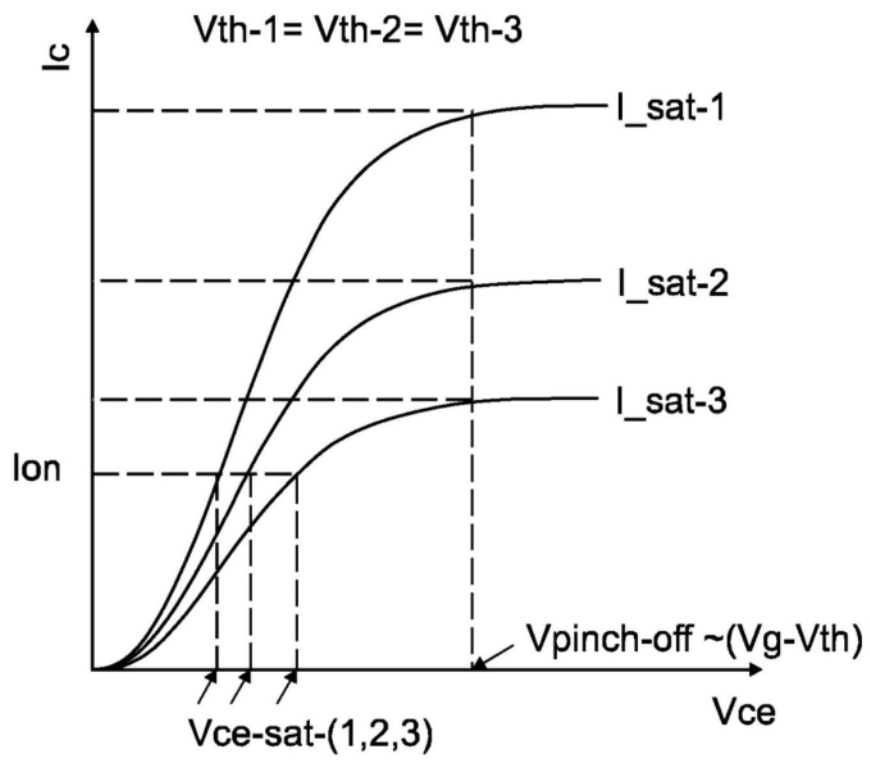


图4

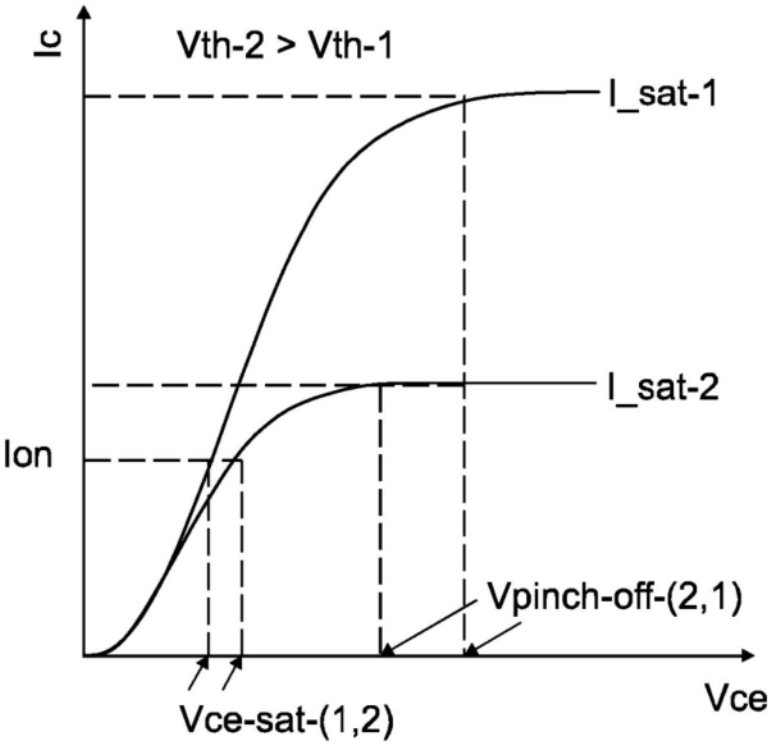


图5

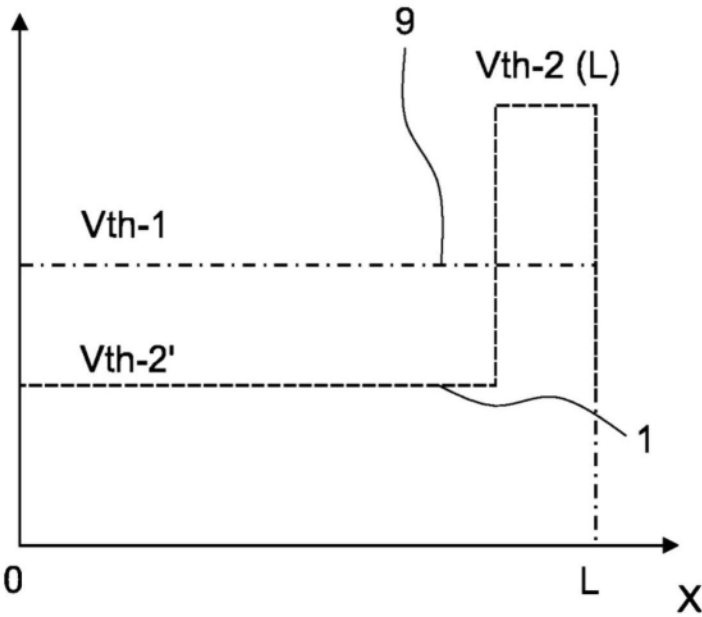


图6

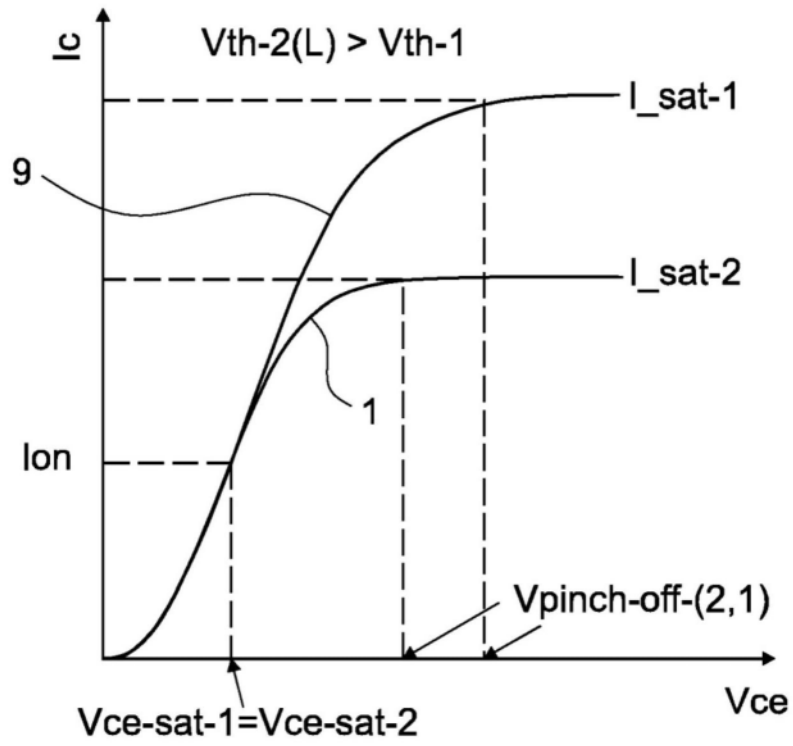


图7

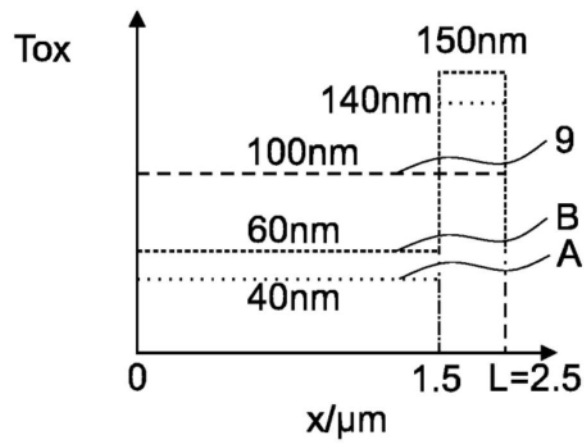


图8

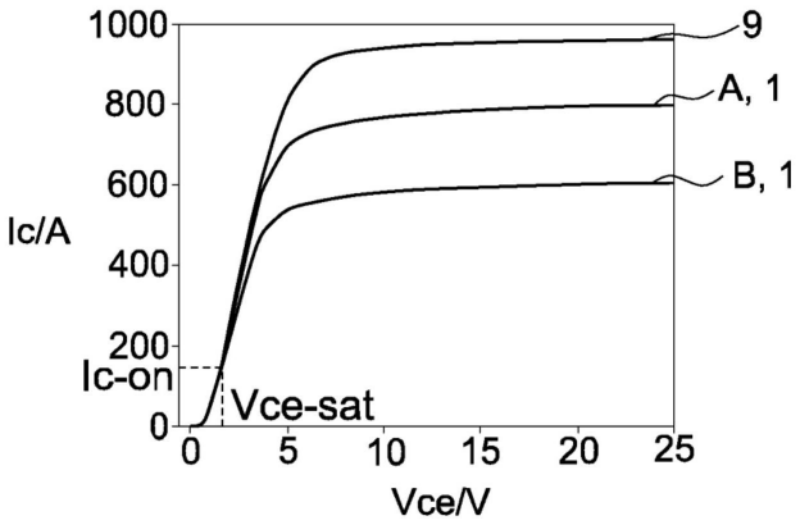


图9

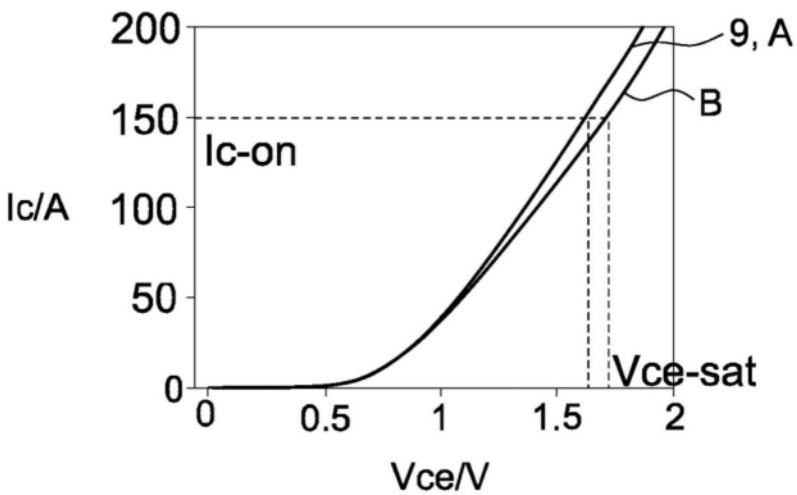


图10

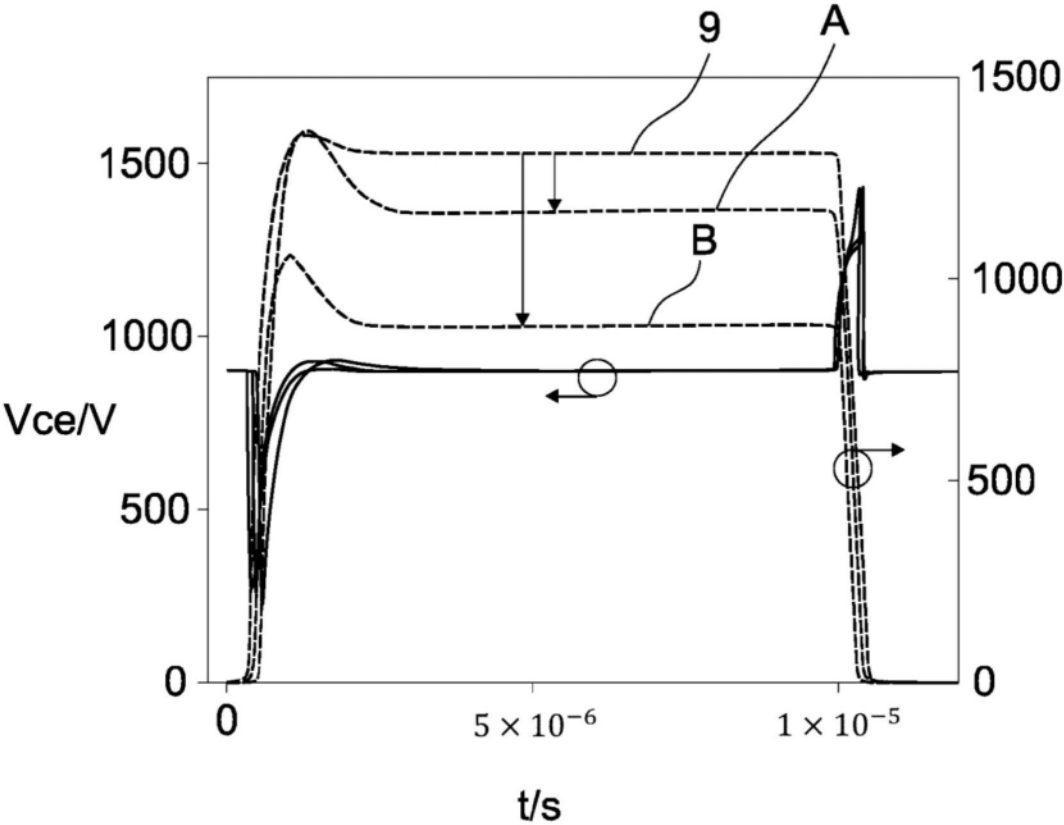


图11

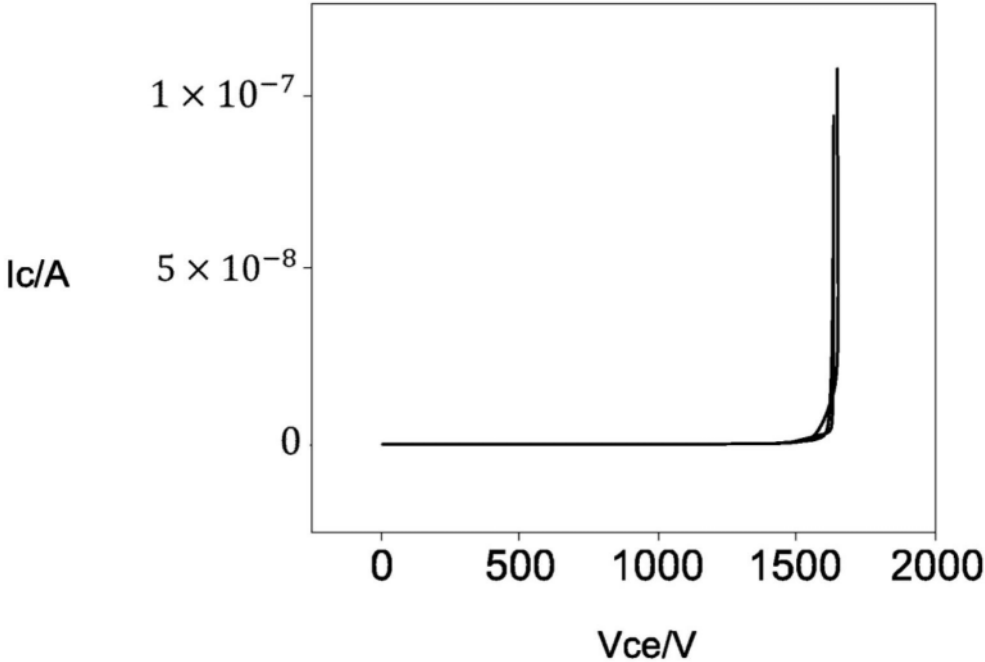


图12

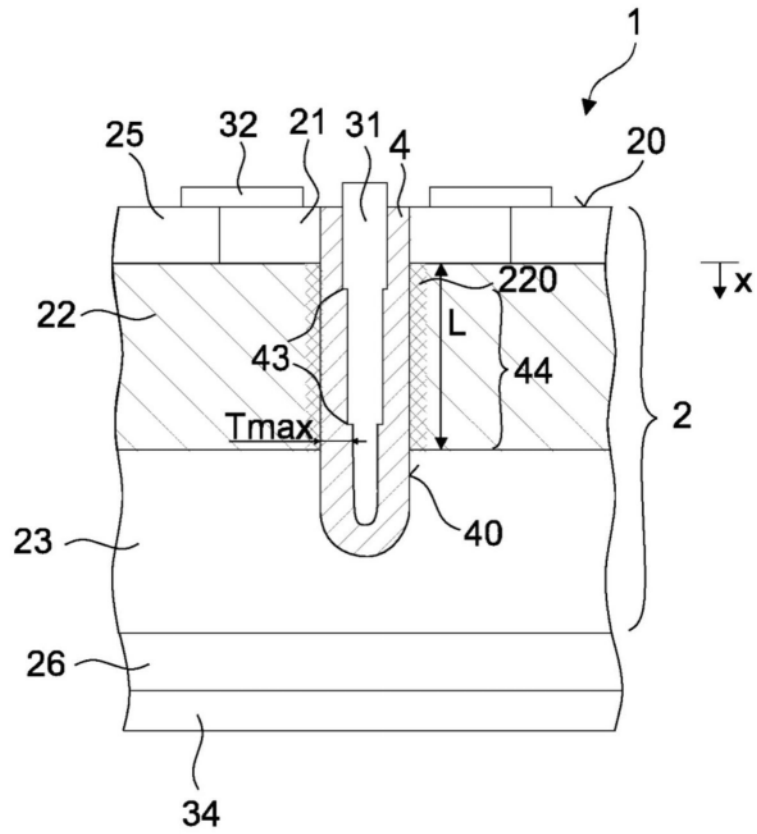


图13

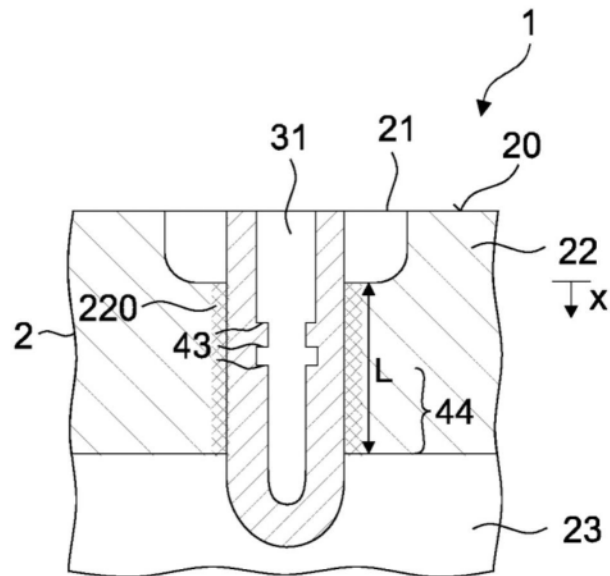


图14

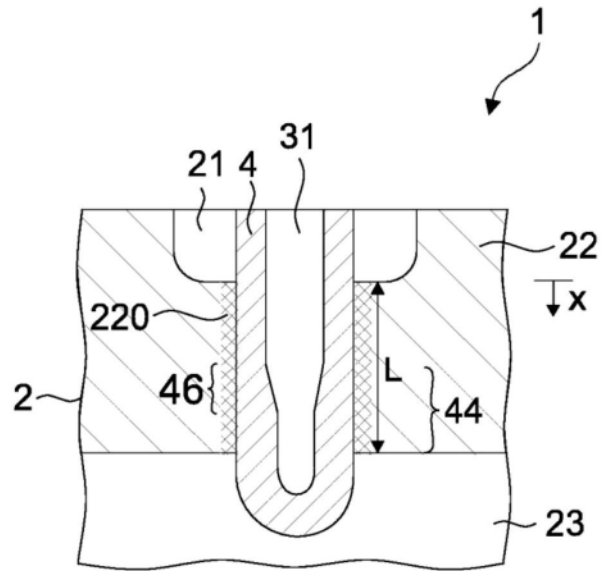


图15

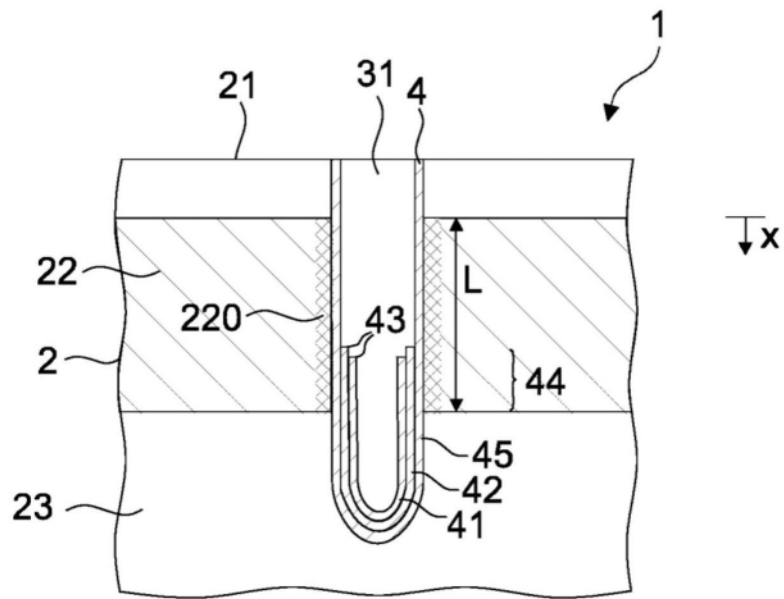


图16

