

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2009-290859

(P2009-290859A)

(43) 公開日 平成21年12月10日 (2009. 12. 10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03K 5/04 (2006.01)</b>	H03K 5/04	5J001
<b>H03K 19/096 (2006.01)</b>	H03K 19/096 A	5J056

審査請求 未請求 請求項の数 25 O L (全 23 頁)

(21) 出願番号 特願2009-45778 (P2009-45778) (22) 出願日 平成21年2月27日 (2009. 2. 27) (31) 優先権主張番号 10-2008-0051064 (32) 優先日 平成20年5月30日 (2008. 5. 30) (33) 優先権主張国 韓国 (KR)	(71) 出願人 591024111 株式会社ハイニックスセミコンダクター HYNIX SEMICONDUCTOR INC. 大韓民国京畿道利川市夫鉢邑牙美里山136-1 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea (74) 代理人 100117514 弁理士 佐々木 敦朗 (72) 発明者 尹 元 柱 大韓民国京畿道利川市夫鉢邑牙美里山136-1
---	---

最終頁に続く

(54) 【発明の名称】 デューティサイクル補正回路及び方法

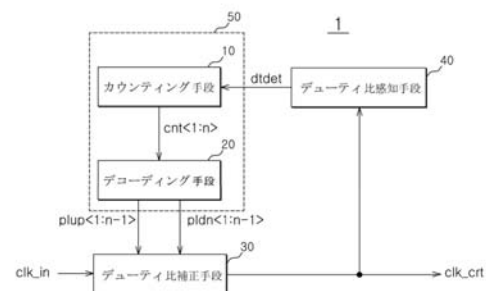
## (57) 【要約】

【課題】本発明は、より安定しているデューティサイクル補正動作を具現するデューティサイクル補正回路及び方法を提供する。

【解決手段】本発明は、デューティ比感知信号に応じて、複数ビットのプルアップ制御信号及び複数ビットのプルダウン制御信号の論理値を交互に変化させるデューティ比制御手段と、複数ビットのプルアップ制御信号及び複数ビットのプルダウン制御信号に応じて、第1のドライバ及び第2のドライバの駆動力を調節して、補正クロックを出力するデューティ比補正手段と、補正クロックのデューティ比を感知して、デューティ比感知信号を生成するデューティ比感知手段とを含むことを特徴とする。

。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

デューティ比感知信号に応じて、複数ビットのプルアップ制御信号及び複数ビットのプルダウン制御信号の論理値を交互に変化させるデューティ比制御手段と、

前記複数ビットのプルアップ制御信号及び前記複数ビットのプルダウン制御信号に応じて、第 1 のドライバ及び第 2 のドライバの駆動力を調節して、補正クロックを出力するデューティ比補正手段と、

前記補正クロックのデューティ比を感知して、前記デューティ比感知信号を生成するデューティ比感知手段と

を含むことを特徴とするデューティサイクル補正回路。

10

**【請求項 2】**

前記デューティ比制御手段は、

前記デューティ比感知信号に応じて、複数ビットのカウンティング信号を生成するカウンティング手段と、

前記複数ビットのカウンティング信号をデコードして、前記複数ビットのプルアップ制御信号及び前記複数ビットのプルダウン制御信号を生成するデコーディング手段と

を含むことを特徴とする請求項 1 に記載のデューティサイクル補正回路。

**【請求項 3】**

前記カウンティング手段は、前記デューティ比感知信号のイネーブル時、前記複数ビットのカウンティング信号の論理値を所定の単位に増加させ、前記デューティ比感知信号がディセーブルされると、前記複数ビットのカウンティング信号の論理値を固定させることを特徴とする請求項 2 に記載のデューティサイクル補正回路。

20

**【請求項 4】**

前記デコーディング手段は、前記複数ビットのカウンティング信号の最下位ビットの論理値を判別して、前記判別の結果により、前記複数ビットのプルアップ制御信号又は前記複数ビットのプルダウン制御信号の論理値を変化させることを特徴とする請求項 2 に記載のデューティサイクル補正回路。

**【請求項 5】**

前記デコーディング手段は、前記複数ビットのカウンティング信号の 2 番目の下位ビットの論理値を判別して、前記判別の結果により、前記複数ビットのプルアップ制御信号又は前記複数ビットのプルダウン制御信号の論理値を変化させることを特徴とする請求項 2 に記載のデューティサイクル補正回路。

30

**【請求項 6】**

前記デューティ比補正手段の第 1 のドライバ及び第 2 のドライバは、それぞれプルアップ部及びプルダウン部を備え、前記複数ビットのプルアップ制御信号に応じて前記第 1 のドライバのプルアップ部の駆動力を変化させ、前記複数ビットのプルダウン制御信号に応じて前記第 2 のドライバのプルダウン部の駆動力を変化させることを特徴とする請求項 4 又は請求項 5 に記載のデューティサイクル補正回路。

**【請求項 7】**

前記第 1 のドライバは、

出力ノードと、

前記入力クロックを駆動して前記出力ノードに伝達するデフォルトドライバと、

前記入力クロック及び前記複数ビットのプルアップ制御信号に応じて、前記出力ノードをプルアップするプルアップ部と、

前記入力クロックに応じて、前記出力ノードをプルダウンするプルダウン部と

を含むことを特徴とする請求項 6 に記載のデューティサイクル補正回路。

40

**【請求項 8】**

前記第 2 のドライバは、

前記補正クロックを出力する出力ノードと、

前記第 1 のドライバの出力信号を駆動して、前記出力ノードに伝達するデフォルトドラ

50

イバと、

前記第 1 のドライバの出力信号に応じて、前記出力ノードをプルアップするプルアップ部と、

前記第 1 のドライバの出力信号及び前記複数ビットのプルダウン制御信号に応じて、前記出力ノードをプルダウンするプルダウン部と

を含むことを特徴とする請求項 6 に記載のデューティサイクル補正回路。

【請求項 9】

前記デューティ比感知手段は、前記補正クロックの第 1 のレベル区間が第 2 のレベル区間に比べて広いと、前記デューティ比感知信号のイネーブル状態を維持させ、前記第 1 のレベルの区間が前記第 2 のレベル区間に比べてこれ以上広くないと、前記デューティ比感知信号をディセーブルさせることを特徴とする請求項 1 に記載のデューティサイクル補正回路。

10

【請求項 10】

所定の単位に論理値が増加する複数ビットのカウンティング信号を生成するカウンティング手段と、

前記複数ビットのカウンティング信号の最下位ビットの論理値を判別して、複数ビットのプルアップ制御信号又は複数ビットのプルダウン制御信号の論理値を変更するデコーディング手段と、

前記複数ビットのプルアップ制御信号及び前記複数ビットのプルダウン制御信号に応じて、第 1 のドライバ及び第 2 のドライバの駆動力を調節して、補正クロックを出力するデューティ比補正手段と

20

を含むことを特徴とするデューティサイクル補正回路。

【請求項 11】

前記カウンティング手段は、デューティ比感知信号のイネーブル時、前記複数ビットのカウンティング信号の論理値を増加させ、前記デューティ比感知信号がディセーブルされると、前記複数ビットのカウンティング信号の論理値を固定させることを特徴とする請求項 10 に記載のデューティサイクル補正回路。

【請求項 12】

前記デコーディング手段は、前記複数ビットのカウンティング信号の最下位ビットの論理値が第 1 の論理値であれば、前記複数ビットのプルアップ制御信号の論理値を変化させ、前記複数ビットのカウンティング信号の最下位ビットの論理値が第 2 の論理値であれば、前記複数ビットのプルダウン制御信号の論理値を変化させることを特徴とする請求項 11 に記載のデューティサイクル補正回路。

30

【請求項 13】

前記第 1 のドライバは、

出力ノードと、

前記入力クロックを駆動して、前記出力ノードに伝達するデフォルトドライバと、

前記入力クロック及び前記複数ビットのプルアップ制御信号に応じて、前記出力ノードをプルアップするプルアップ部と、

前記入力クロックに応じて、前記出力ノードをプルダウンするプルダウン部と

40

を含むことを特徴とする請求項 12 に記載のデューティサイクル補正回路。

【請求項 14】

前記第 2 のドライバは、

前記補正クロックを出力する出力ノードと、

前記第 1 のドライバの出力信号を駆動して、前記出力ノードに伝達するデフォルトドライバと、

前記第 1 のドライバの出力信号に応じて、前記出力ノードをプルアップするプルアップ部と、

前記第 1 のドライバの出力信号及び前記複数ビットのプルダウン制御信号に応じて、前記出力ノードをプルダウンするプルダウン部と

50

を含むことを特徴とする請求項 1 2 に記載のデューティサイクル補正回路。

【請求項 1 5】

前記補正クロックのデューティ比を感知して、前記デューティ比感知信号を生成するデューティ比感知手段をさらに含むことを特徴とする請求項 1 1 に記載のデューティサイクル補正回路。

【請求項 1 6】

前記プルアップ制御信号は、第 1 のプルアップ制御信号及び第 2 のプルアップ制御信号を含み、前記プルダウン制御信号は、第 1 のプルダウン制御信号及び第 2 のプルダウン制御信号を含み、

前記デコーディング手段は、前記複数ビットのカウンティング信号の最下位の 2 つのビットの論理値を判別して、前記判別の結果により、前記第 1 のプルアップ制御信号、前記第 2 のプルダウン制御信号、前記第 1 のプルダウン制御信号及び前記第 2 のプルアップ制御信号の論理値を所定の単位ずつ交互に変化させることを特徴とする請求項 2 又は請求項 1 0 に記載のデューティサイクル補正回路。

【請求項 1 7】

前記デューティ比補正手段の前記第 1 のドライバは、第 1 のプルアップ部及び第 1 のプルダウン部を備え、前記第 2 のドライバは、第 2 のプルアップ部及び第 2 のプルダウン部を備え、

前記第 1 のプルアップ部は、前記第 1 のプルアップ制御信号に応じて駆動力を変化させ、前記第 1 のプルダウン部は、前記第 1 のプルダウン制御信号に応じて駆動力を変化させ、前記第 2 のプルアップ部は、前記第 2 のプルアップ制御信号に応じて駆動力を変化させ、前記第 2 のプルダウン部は、前記第 2 のプルダウン制御信号に応じて駆動力を変化させることを特徴とする請求項 1 6 に記載のデューティサイクル補正回路。

【請求項 1 8】

前記第 1 のドライバは、  
出力ノードと、

前記入力クロックを駆動して、前記出力ノードに伝達するデフォルトドライバと、

前記入力クロック及び前記第 1 のプルアップ制御信号に応じて、前記出力ノードをプルアップする前記第 1 のプルアップ部と、

前記入力クロック及び前記第 1 のプルダウン制御信号に応じて、前記出力ノードをプルダウンする前記第 1 のプルダウン部と

を含むことを特徴とする請求項 1 7 に記載のデューティサイクル補正回路。

【請求項 1 9】

前記第 2 のドライバは、

前記補正クロックを出力する出力ノードと、

前記第 1 のドライバの出力信号を駆動して、前記出力ノードに伝達するデフォルトドライバと、

前記第 1 のドライバの出力信号及び第 2 のプルアップ制御信号に応じて、前記出力ノードをプルアップする前記第 2 のプルアップ部と、

前記第 1 のドライバの出力信号及び前記第 2 のプルダウン制御信号に応じて、前記出力ノードをプルダウンする前記第 2 のプルダウン部を含むことを特徴とする請求項 1 7 に記載のデューティサイクル補正回路。

【請求項 2 0】

入力クロックのデューティ比を補正して、補正クロックを生成する直列連結している第 1 及び第 2 のドライバを備えるデューティサイクル補正回路の補正方法であって、

前記補正クロックのデューティ比を感知して、デューティ比感知信号を生成する段階と、

前記デューティ比感知信号に応じて、前記第 1 のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階と、

前記補正クロックのデューティ比を感知して、前記デューティ比感知信号を生成する段

10

20

30

40

50

階と、

前記デューティ比感知信号に応じて、前記第2のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階と

を含むことを特徴とするデューティサイクル補正方法。

【請求項21】

前記デューティ比感知信号を生成する段階は、それぞれ前記補正クロックの第1のレベル区間が第2のレベル区間に比べて広いと、前記デューティ比感知信号のイネーブル状態を維持させ、前記第1のレベルの区間が前記第2のレベル区間に比べてこれ以上広がらないと、前記デューティ比感知信号をディセーブルさせる段階を含むことを特徴とする請求項20に記載のデューティサイクル補正方法。

10

【請求項22】

前記第1のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階は、

前記デューティ比感知信号のイネーブル状態が感知されると、カウンティング動作を遂行して、複数ビットのカウンティング信号の論理値を増加させる段階と、

前記複数ビットのカウンティング信号の最下位ビットの論理値を判別して、前記判別の結果により、前記複数ビットのプルアップ制御信号の論理値を変化させる段階と、

前記複数ビットのプルアップ制御信号に応じて、前記第1のドライバのプルアップ部の駆動力を変化させる段階と

を含むことを特徴とする請求項20に記載のデューティサイクル補正方法。

20

【請求項23】

前記第2のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階は、

前記デューティ比感知信号のイネーブル状態が感知されると、カウンティング動作を遂行して、複数ビットのカウンティング信号の論理値を増加させる段階と、

前記複数ビットのカウンティング信号の最下位ビットの論理値を判別して、前記判別の結果により、複数ビットのプルダウン制御信号の論理値を変化させる段階と、

前記複数ビットのプルダウン制御信号に応じて、前記第2のドライバのプルダウン部の駆動力を変化させる段階と

を含むことを特徴とする請求項20に記載のデューティサイクル補正方法。

30

【請求項24】

前記第1のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階は、

前記デューティ比感知信号のイネーブル状態が感知されると、カウンティング動作を遂行して、複数ビットのカウンティング信号の論理値を増加させる段階と、

前記複数ビットのカウンティング信号の最下位の2つのビットの論理値を判別して、前記判別の結果により、前記複数ビットのプルダウン制御信号の論理値を変化させる段階と

、

前記複数ビットのプルダウン制御信号に応じて、前記第1のドライバのプルダウン部の駆動力を変化させる段階と

40

を含むことを特徴とする請求項20に記載のデューティサイクル補正方法。

【請求項25】

前記第2のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階は、

前記デューティ比感知信号のイネーブル状態が感知されると、カウンティング動作を遂行して、複数ビットのカウンティング信号の論理値を増加させる段階と、

前記複数ビットのカウンティング信号の最下位の2つのビットの論理値を判別して、前記判別の結果により、前記複数ビットのプルアップ制御信号の論理値を変化させる段階と

、

前記複数ビットのプルアップ制御信号に応じて、前記第2のドライバのプルアップ部の

50

駆動力を変化させる段階と

を含むことを特徴とする請求項 20 に記載のデューティサイクル補正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に関し、特に、半導体集積回路に具備されるクロックのデューティサイクルを補正する回路及び方法に関する。

【背景技術】

【0002】

一般に、S D R A M (Synchronous Dynamic Random Access Memory) のような半導体集積回路は、クロックを用いた動作により動作速度を向上させた。このために、半導体集積回路は、クロックバッファを備え、外部から入力されたクロックをバッファリングした後に使用するが、場合に応じて D L L (Delay Locked Loop) 回路又は P L L (Phase Locked Loop) 回路を用いて外部クロックとの位相差を補正した内部クロックを自体生成して使用することもできる（例えば、特許文献 1）。半導体集積回路の内部で使用されるクロックは、ハイレベル区間及びローレベル区間の比、すなわちデューティ比(Duty Ratio)が 50 : 50 に維持されることが好ましい。しかしながら、半導体集積回路の内部に具備される多くの遅延素子により、内部クロックのデューティ比の歪みがよく発生する。

【0003】

半導体集積回路の高速化に伴い、クロックの活用度は益々増加しつつあり、これにより安定なデューティ比を有するクロックが要求されている。よって、各半導体集積回路は、内部に具備されるデューティサイクル補正回路によりクロックのデューティ比を安定化させるため、高速動作時の安定しているクロックを活用するために、デューティサイクル補正回路の重要性が益々高くなっている。デューティサイクル補正回路には、アナログタイプ及びデジタルタイプがあり、デジタルタイプのデューティサイクル補正回路が占有面積及び動作速度の面において利点を有している。

【0004】

デジタルタイプで具現された従来のデューティサイクル補正回路は、マルチステージ(Multi-Stage)ドライバを含み、デジタルコードの入力に応じてドライバの駆動力を変化させることで、クロックのデューティ比を調整する。例えば、2 段のドライバを備え、第 1 段のドライバのプルアップ部の駆動力と、第 2 段のドライバのプルダウン部の駆動力とを調整することで、クロックのロー区間の幅を変更する。このとき、デジタルコードは、一般のカウンタを用いてバイナリ(Binary)コードを生成し、これをデコードして生成される信号であり、デジタルコードの論理値の変化により、2 段のドライバの駆動力は各々順次変化する。

【0005】

従来のデューティサイクル補正回路は、デジタルコードに応じて複数のドライバの何れか一つに対する駆動力を変化させた後、他のドライバの駆動力を変化させる。すなわち、デジタルコードのデフォルト値により、第 1 段のドライバのプルアップ部と、第 2 段のドライバのプルダウン部とが各々最大の駆動力を有するように設定され、以後、デジタルコードの変化により、第 1 段のドライバのプルアップ部の駆動力を減少させて最小化した後、第 2 段のドライバのプルダウン部の駆動力を減少させて最小化させる。第 1 段のドライバのプルアップ部の駆動力が最小化すれば、第 1 段のドライバの全体の駆動力が減少するため、第 2 段のドライバとの間にファンアウト(Fan-out)の差が大きくなり、ドライバ全体の誤作動につながる恐れがある。すなわち、従来のデューティサイクル補正回路は、各ドライバ間のファンアウトを考慮しないまま、デューティサイクル補正動作だけを考慮して設計されているため、動作の安全性が低下するという問題点がある。

【先行技術文献】

【特許文献】

【0006】

【特許文献１】特開平８－１４７９６７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本発明は、前記問題点を解決するために案出されたもので、その目的は、より安定しているデューティサイクル補正動作を具現するデューティサイクル補正回路及び方法を提供することにある。

【０００８】

また、本発明の目的は、クロックのデューティサイクルをより精密に補正できるデューティサイクル補正回路及び方法を提供することにある。

10

【課題を解決するための手段】

【０００９】

前記課題を達成するための本発明の一実施例によるデューティサイクル補正回路は、デューティ比感知信号に応じて、複数ビットのプルアップ制御信号及び複数ビットのプルダウン制御信号の論理値を交互に変化させるデューティ比制御手段；前記複数ビットのプルアップ制御信号及び前記複数ビットのプルダウン制御信号に応じて、第１のドライバ及び第２のドライバの駆動力を調節して、補正クロックを出力するデューティ比補正手段；及び、前記補正クロックのデューティ比を感知して、前記デューティ比感知信号を生成するデューティ比感知手段を含むことを特徴とする。

【００１０】

20

また、本発明の他の実施例によるデューティサイクル補正回路は、所定の単位に論理値が増加する複数ビットのカウンティング信号を生成するカウンティング手段；前記複数ビットのカウンティング信号の最下位ビットの論理値を判別して、複数ビットのプルアップ制御信号又は複数ビットのプルダウン制御信号の論理値を変更するデコーディング手段；及び、前記複数ビットのプルアップ制御信号及び前記複数ビットのプルダウン制御信号に応じて、第１のドライバ及び第２のドライバの駆動力を調節して、補正クロックを出力するデューティ比補正手段を含むことを特徴とする。

【００１１】

また、本発明のまた他の実施例によるデューティサイクル補正方法は、入力クロックのデューティ比を補正して、補正クロックを生成する直列連結している第１及び第２のドライバを備えるデューティサイクル補正回路の補正方法であって、

30

前記補正クロックのデューティ比を感知して、デューティ比感知信号を生成する段階；前記デューティ比感知信号に応じて、前記第１のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階；前記補正クロックのデューティ比を感知して、前記デューティ比感知信号を生成する段階；及び、前記デューティ比感知信号に応じて、前記第２のドライバの駆動力を変化させ、前記補正クロックのデューティ比を補正する段階を含むことを特徴とする。

【発明の効果】

【００１２】

本発明のデューティサイクル補正回路及び方法は、入力クロックのデューティサイクルを補正するマルチステージドライバにおいて、各ドライバの駆動力を交互に変化させることで、ファンアウトの差が大きくなることを防止し、より安定しているデューティサイクル補正動作を具現できる。

40

【００１３】

また、本発明のデューティサイクル補正回路及び方法は、マルチステージドライバの各ドライバの安全性を確保しながら、デューティサイクル補正動作を行うことで、より精密にクロックのデューティサイクルを補正できる。

【図面の簡単な説明】

【００１４】

【図１】本発明の一実施例によるデューティサイクル補正回路の構成を示すブロック図で

50

ある。

【図 2】図 1 に示すデコーディング手段の詳細構成を示す第 1 の例示図である。

【図 3】図 1 に示すデューティ比補正手段の詳細構成を示す第 1 の例示図である。

【図 4】図 1 に示すデコーディング手段の詳細構成を示す第 2 の例示図である。

【図 5】図 1 に示すデューティ比補正手段の詳細構成を示す第 2 の例示図である。

【発明を実施するための形態】

【0015】

以下、添付図面に基づき、本発明の好適な実施例を詳細に説明する。

【0016】

図 1 は、本発明の一実施例によるデューティサイクル補正回路の構成を示すブロック図である。

10

【0017】

同図に示すように、デューティサイクル補正回路は、カウンティング手段 10、デコーディング手段 20、デューティ比補正手段 30 及びデューティ比感知手段 40 を含む。

【0018】

カウンティング手段 10 は、デューティ比感知信号( $dtdet$ )に応じて、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )を生成する。デューティ比感知信号( $dtdet$ )は、補正クロック( $clk\_crt$ )のロー区間の幅が、ハイ区間の幅に比べて広い場合にイネーブルされる信号である。カウンティング手段 10 は、デューティ比感知信号( $dtdet$ )のイネーブル時に動作し、これにより生成される  $n$ ビットのカウンティング信号( $cnt<1:n>$ )は、所定の単位(ここでは、“1”)に論理値が増加する。以後、カウンティング手段 10 は、デューティ比感知信号( $dtdet$ )がディセーブルすれば、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )の論理値を固定させる。

20

【0019】

デコーディング手段 20 は、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )をデコードし、 $n-1$ ビットのブルアップ制御信号( $plup<1:n-1>$ )と、 $n-1$ ビットのブルダウン制御信号( $pldn<1:n-1>$ )とを生成する。デコーディング手段 20 は、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )の最下位ビットの論理値を判別し、 $n-1$ ビットのブルアップ制御信号( $plup<1:n-1>$ )又は  $n-1$ ビットのブルダウン制御信号( $pldn<1:n-1>$ )の論理値を変更させる。例えば、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )の最下位ビットの論理値が、“0”であれば  $n-1$ ビットのブルアップ制御信号( $plup<1:n-1>$ )の論理値を“1”だけ変化させ、“1”であれば  $n-1$ ビットのブルダウン制御信号( $pldn<1:n-1>$ )の論理値を“1”だけ変化させる。

30

【0020】

$n$ ビットのカウンティング信号( $cnt<1:n>$ )は、カウンティング手段 10 が“1”単位に論理値を変化させることにより生成される信号なので、 $n$ ビットのカウンティング信号( $cnt<1:n>$ )の最下位ビットの論理値は“0”及び“1”を繰返して有することになり、これにより  $n-1$ ビットのブルアップ制御信号( $plup<1:n-1>$ )及び  $n-1$ ビットのブルダウン制御信号( $pldn<1:n-1>$ )の論理値は、交互に変化する。ここでは、デコーディング手段 20 が  $n$ ビットのカウンティング信号( $cnt<1:n>$ )の最下位ビットの論理値を判別することを例としたが、2 番目の下位ビットの論理値を判別することも、本発明の範囲に含まれる。

40

【0021】

デューティ比補正手段 30 は、 $n-1$ ビットのブルアップ制御信号( $plup<1:n-1>$ )及び  $n-1$ ビットのブルダウン制御信号( $pldn<1:n-1>$ )に応じて、入力クロック( $clk\_in$ )のデューティ比を補正して補正クロック( $clk\_crt$ )を出力する。

【0022】

デューティ比補正手段 30 は、マルチステージドライバとして具現され、以下で詳細に

50



説明するが、直列連結している第 1 のドライバ及び第 2 のドライバを用いて、入力クロック( $clk\_in$ )のデューティ比を補正して補正クロック( $clk\_crt$ )を出力する。第 1 のドライバ及び第 2 のドライバはそれぞれプルアップ部及びプルダウン部を具備するが、第 1 のドライバのプルアップ部は  $n - 1$  ビットのプルアップ制御信号( $plup < 1 : n - 1 >$ )に応じて駆動力が変化し、第 2 のドライバのプルダウン部は  $n - 1$  ビットのプルダウン制御信号( $pldn < 1 : n - 1 >$ )に応じて駆動力が変化する。勿論、 $n - 1$  ビットのプルアップ制御信号( $plup < 1 : n - 1 >$ )が第 2 のドライバのプルアップ部に入力され、 $n - 1$  ビットのプルダウン制御信号( $pldn < 1 : n - 1 >$ )が第 1 のドライバのプルダウン部に入力される形態も、容易に構成できる。

#### 【0023】

前述したように、 $n - 1$  ビットのプルアップ制御信号( $plup < 1 : n - 1 >$ )及び  $n - 1$  ビットのプルダウン制御信号( $pldn < 1 : n - 1 >$ )は、交互に論理値が“1”ずつ変化する。よって、 $n - 1$  ビットのプルアップ制御信号( $plup < 1 : n - 1 >$ )に応じて動作する第 1 のドライバのプルアップ部と、 $n - 1$  ビットのプルダウン制御信号( $pldn < 1 : n - 1 >$ )に応じて動作する第 2 のドライバのプルダウン部とは、交互にその駆動力が変化する。このように、第 1 のドライバのプルアップ部及び第 2 のドライバのプルダウン部が、交互に駆動力を変化させることで、第 1 のドライバ及び第 2 のドライバのファンアウト差は、適正範囲を超過しなくなる。

#### 【0024】

このように、本発明の一実施例によるデューティサイクル補正回路は、マルチステージドライバを用いてクロックのデューティサイクルを補正するが、各ドライバの駆動力を交互に変更させるので、各ドライバのファンアウト差が大きくなることを防止することで、動作の安全性を向上できる。

#### 【0025】

デューティ比感知手段 40 は、補正クロック( $clk\_crt$ )のデューティ比を感知して、デューティ比感知信号( $dt det$ )を生成する。デューティサイクル補正回路の動作初期には、補正クロック( $clk\_crt$ )の第 1 の区間(例えば、ロー区間)が、第 2 の区間(例えば、ハイ区間)に比べて広く具現される。以後、前述したデューティサイクル補正動作が遂行されていて、補正クロック( $clk\_crt$ )の第 1 の区間が第 2 の区間に比べてこれ以上広くなないと、デューティ比感知手段 40 はデューティ比感知信号( $dt det$ )をディセーブルさせ、デューティサイクル補正回路はこれ以上補正クロック( $clk\_crt$ )のデューティサイクルを変化させない。このようなデューティ比感知手段 40 の構成は、デューティアキュムレータ(Duty Accumulator)のような一般の回路構成を用いて容易に具現でき、こうした水準の回路構成の具現は当業者に特別な事項でないはずである。

#### 【0026】

一方、カウンティング手段 10 及びデコーディング手段 20 は、デューティ比制御手段 50 として通称できる。すなわち、デューティ比制御手段 50 は、デューティ比感知信号( $dt det$ )に応じて、 $n - 1$  ビットのプルアップ制御信号( $plup < 1 : n - 1 >$ )及び  $n - 1$  ビットのプルダウン制御信号( $pldn < 1 : n - 1 >$ )の論理値を交互に変化させる。

#### 【0027】

図 2 及び図 3 は、図 1 に示すデコーディング手段及びデューティ比補正手段の詳細構成を示す第 1 の例示図であって、信号のビット数を表現した  $n$  が 5 であると仮定して示すものである。以下では、5 ビットのカウンティング信号( $cnt < 1 : 5 >$ )のうち、最上位ビットがカウンティング信号 1( $cnt < 1 >$ )であり、最下位ビットがカウンティング信号 5( $cnt < 5 >$ )であると表現する。同様に、それぞれ 4 ビットで具現されるプルアップ制御信号( $plup < 1 : 4 >$ )及びプルダウン制御信号( $pldn < 1 : 4 >$ )のうち、最上位ビットはそれぞれプルアップ制御信号 1( $plup < 1 >$ )及びプルダウン制御信号 1( $pldn < 1 >$ )であり、最下位ビットはそれぞれプルアップ制御信号 4( $plup < 4 >$ )及びプルダウン制御信号 4( $pldn < 4 >$ )であると表現する。

10

20

30

40

50

## 【 0 0 2 8 】

同図に示すように、デコーディング手段 2 0 a は、第 1 ~ 第 8 のフリップフロップ (F F 1 ~ F F 8) 及び第 1 ~ 第 5 のインバータ (I V 1 ~ I V 5) を含む。

## 【 0 0 2 9 】

第 1 のインバータ (I V 1) は、カウンティング信号 5 (c n t < 5 >) を反転させて、負カウンティング信号 5 ( / c n t < 5 >) を生成する。

## 【 0 0 3 0 】

第 1 のフリップフロップ (F F 1) は、リセット信号 (r s t) によりリセットされ、負カウンティング信号 5 ( / c n t < 5 >) に応じてカウンティング信号 1 (c n t < 1 >) をラッチして、プルアップ制御信号 1 (p l u p < 1 >) を生成する。第 2 のインバータ (I V 2) は、カウンティング信号 1 (c n t < 1 >) の入力を受ける。第 2 のフリップフロップ (F F 2) は、リセット信号 (r s t) によりリセットされ、カウンティング信号 5 (c n t < 5 >) に応じて第 2 のインバータ (I V 2) の出力信号をラッチして、プルダウン制御信号 1 (p l d n < 1 >) を出力する。

10

## 【 0 0 3 1 】

第 3 のフリップフロップ (F F 3) は、リセット信号 (r s t) によりリセットされ、負カウンティング信号 5 ( / c n t < 5 >) に応じてカウンティング信号 2 (c n t < 2 >) をラッチして、プルアップ制御信号 2 (p l u p < 2 >) を生成する。第 3 のインバータ (I V 3) は、カウンティング信号 2 (c n t < 2 >) の入力を受ける。第 4 のフリップフロップ (F F 4) は、リセット信号 (r s t) によりリセットされ、カウンティング信号 5 (c n t < 5 >) に応じて第 3 のインバータ (I V 3) の出力信号をラッチして、プルダウン制御信号 2 (p l d n < 2 >) を出力する。

20

## 【 0 0 3 2 】

第 5 のフリップフロップ (F F 5) は、リセット信号 (r s t) によりリセットされ、負カウンティング信号 5 ( / c n t < 5 >) に応じてカウンティング信号 3 (c n t < 3 >) をラッチして、プルアップ制御信号 3 (p l u p < 3 >) を生成する。第 4 のインバータ (I V 4) は、カウンティング信号 3 (c n t < 3 >) の入力を受ける。第 6 のフリップフロップ (F F 6) は、リセット信号 (r s t) によりリセットされ、カウンティング信号 5 (c n t < 5 >) に応じて第 4 のインバータ (I V 4) の出力信号をラッチして、プルダウン制御信号 3 (p l d n < 3 >) を出力する。

30

## 【 0 0 3 3 】

第 7 のフリップフロップ (F F 7) は、リセット信号 (r s t) によりリセットされ、負カウンティング信号 5 ( / c n t < 5 >) に応じてカウンティング信号 4 (c n t < 4 >) をラッチして、プルアップ制御信号 4 (p l u p < 4 >) を生成する。第 5 のインバータ (I V 5) は、カウンティング信号 4 (c n t < 4 >) の入力を受ける。第 8 のフリップフロップ (F F 8) は、リセット信号 (r s t) によりリセットされ、カウンティング信号 5 (c n t < 5 >) に応じて第 5 のインバータ (I V 5) の出力信号をラッチして、プルダウン制御信号 4 (p l d n < 4 >) を出力する。

## 【 0 0 3 4 】

このようなデコーディング手段 2 0 a の構成により、4 ビットのプルアップ制御信号 (p l u p < 1 : 4 >) と、4 ビットのプルダウン制御信号 (p l d n < 1 : 4 >) とは、交互にその論理値が変化する。5 ビットのカウンティング信号 (c n t < 1 : 5 >)、4 ビットのプルアップ制御信号 (p l u p < 1 : 4 >) 及び 4 ビットのプルダウン制御信号 (p l d n < 1 : 4 >) の論理値の変化は、下記の表 1 から分かる。

40

【表 1】

10進数	Cnt <1:5>	Plup<1>	Plup<2>	Plup<3>	Plup<4>	pl dn<1>	pl dn<2>	pl dn<3>	pl dn<4>
0	00000	0	0	0	0	1	1	1	1
1	00001	0	0	0	0	1	1	1	1
2	00010	0	0	0	1	1	1	1	1
3	00011	0	0	0	1	1	1	1	0
4	00100	0	0	1	0	1	1	1	0
5	00101	0	0	1	0	1	1	0	1
6	00110	0	0	1	1	1	1	0	1
7	00111	0	0	1	1	1	1	0	0
8	01000	0	1	0	0	1	1	0	0
9	01001	0	1	0	0	1	0	1	1
10	01010	0	1	0	1	1	0	1	1
11	01011	0	1	0	1	1	0	1	0
12	01100	0	1	1	0	1	0	1	0
13	01101	0	1	1	0	1	0	0	1
14	01110	0	1	1	1	1	0	0	1
15	01111	0	1	1	1	1	0	0	0
16	10000	1	0	0	0	1	0	0	0
17	10001	1	0	0	0	0	1	1	1
18	10010	1	0	0	1	0	1	1	1
19	10011	1	0	0	1	0	1	1	0
20	10100	1	0	1	0	0	1	1	0
21	10101	1	0	1	0	0	1	0	1
22	10110	1	0	1	1	0	1	0	1
23	10111	1	0	1	1	0	1	0	0
24	11000	1	1	0	0	0	1	0	0
25	11001	1	1	0	0	0	0	1	1
26	11010	1	1	0	1	0	0	1	1
27	11011	1	1	0	1	0	0	1	0
28	11100	1	1	1	0	0	0	1	0
29	11101	1	1	1	0	0	0	0	1
30	11110	1	1	1	1	0	0	0	1
31	11111	1	1	1	1	0	0	0	0

10

20

30

40

50

表 1 に示すように、5 ビットのカウンティング信号( $cnt < 1 : 5 >$ )のうち、最下位ビットであるカウンティング信号 5 ( $cnt < 5 >$ )の論理値が“0”であれば、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )の論理値が“1”ずつ増加し、カウンティング信号 5 ( $cnt < 5 >$ )の論理値が“1”であれば、4 ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )の論理値が“1”ずつ減少する。すなわち、デコーディング手段 20 a は、5 ビットのカウンティング信号( $cnt < 1 : 5 >$ )の入力により、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )及び 4 ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )を生成する。このとき、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )の論理値と、4 ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )の論理値とは、交互に変化する。このように、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )の論理値と、4 ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )の論理値とが交互に変化することで、デューティ比補正手段 30 は、デューティ比補正動作時、ファンアウト差の増加による誤動作を防止できる。

10

#### 【0035】

図 3 を参照すれば、デューティ比補正手段 30 a は、第 1 のドライバ 310 a 及び第 2 のドライバ 320 a を含む。

#### 【0036】

第 1 のドライバ 310 a は、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )に応じて入力クロック( $clk\_in$ )を駆動して、駆動クロック( $clk\_drv$ )を出力する。第 1 のドライバ 310 a は、第 1 の出力ノード( $Nout1$ )、第 1 のデフォルトドライバ 312、第 1 のプルアップ部 314 a 及び第 1 のプルダウン部 316 a を含む。

20

#### 【0037】

第 1 の出力ノード( $Nout1$ )は、駆動クロック( $clk\_drv$ )を出力する。

第 1 のデフォルトドライバ 312 は、入力クロック( $clk\_in$ )を駆動して第 1 の出力ノード( $Nout1$ )に伝達する。第 1 のデフォルトドライバ 312 は、第 1 ~ 第 4 のトランジスタ( $TR1 \sim TR4$ )を含む。

#### 【0038】

第 1 のトランジスタ( $TR1$ )は、入力クロック( $clk\_in$ )を受信するゲート及び外部供給電源( $VDD$ )が印加されるソースを含む。第 2 のトランジスタ( $TR2$ )は、グラウンド電源( $VSS$ )が印加されるゲート、第 1 のトランジスタ( $TR1$ )のドレイン端に接続されるソース及び第 1 の出力ノード( $Nout1$ )に接続されるドレインを含む。第 3 のトランジスタ( $TR3$ )は、外部供給電源( $VDD$ )が印加されるゲート及び第 1 の出力ノード( $Nout1$ )に接続されるドレインを含む。第 4 のトランジスタ( $TR4$ )は、入力クロック( $clk\_in$ )を受信するゲート、第 3 のトランジスタ( $TR3$ )のソース端に接続されるドレイン及び接地されるソースを含む。

30

#### 【0039】

第 1 のプルアップ部 314 a は、入力クロック( $clk\_in$ )及び 4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )に応じて、第 1 の出力ノード( $Nout1$ )をプルアップする。第 1 のプルアップ部 314 a は、4 つの第 5 のトランジスタ( $TR5a < 1 : 4 >$ )及び 4 つの第 6 のトランジスタ( $TR6a < 1 : 4 >$ )を含む。

40

#### 【0040】

4 つの第 5 のトランジスタ( $TR5a < 1 : 4 >$ )のそれぞれは、入力クロック( $clk\_in$ )を受信するゲート及び外部供給電源( $VDD$ )が印加されるソースを含む。4 つの第 6 のトランジスタ( $TR6a < 1 : 4 >$ )のそれぞれは、4 ビットのプルアップ制御信号( $plup < 1 : 4 >$ )を 1 ビットずつ受信するゲート、4 つの第 5 のトランジスタ( $TR5a < 1 : 4 >$ )のドレイン端にそれぞれ接続されるソース及び前記第 1 の出力ノード( $Nout1$ )に接続されるドレインを含む。

#### 【0041】

第 1 のプルダウン部 316 a は、外部供給電源( $VDD$ )及び入力クロック( $clk\_in$ )に応じて、第 1 の出力ノード( $Nout1$ )をプルダウンする。第 1 のプルダウン部 3

50

16aは、4つの第7のトランジスタ( $TR7a < 1 : 4 >$ )及び4つの第8のトランジスタ( $TR8a < 1 : 4 >$ )を含む。

【0042】

4つの第7のトランジスタ( $TR7a < 1 : 4 >$ )のそれぞれは、外部供給電源(VDD)が印加されるゲート及び第1の出力ノード(Nout1)に接続されるドレインを含む。4つの第8のトランジスタ( $TR8a < 1 : 4 >$ )のそれぞれは、入力クロック( $clk\_in$ )を受信するゲート、4つの第7のトランジスタ( $TR7a < 1 : 4 >$ )のソース端にそれぞれ接続されるドレイン及び接地されるソースを含む。

【0043】

第2のドライバ320aは、4ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )に応じて駆動クロック( $clk\_drv$ )を駆動して、補正クロック( $clk\_crt$ )を生成する。第2のドライバ320aは、第2の出力ノード(Nout2)、第2のデフォルトドライバ322、第2のプルアップ部324a及び第2のプルダウン部326aを含む。

【0044】

第2の出力ノード(Nout2)は、補正クロック( $clk\_crt$ )を出力する。

第2のデフォルトドライバ322は、駆動クロック( $clk\_drv$ )を駆動して第2の出力ノード(Nout2)に伝達する。第2のデフォルトドライバ322は、第9～第12のトランジスタ( $TR9 \sim TR12$ )を含む。

【0045】

第9のトランジスタ( $TR9$ )は、駆動クロック( $clk\_drv$ )を受信するゲート及び外部供給電源(VDD)が印加されるソースを含む。第10のトランジスタ( $TR10$ )は、グラウンド電源(VSS)が印加されるゲート、第9のトランジスタ( $TR9$ )のドレイン端に接続されるソース及び第2の出力ノード(Nout2)に接続されるドレインを含む。第11のトランジスタ( $TR11$ )は、外部供給電源(VDD)が印加されるゲート及び第2の出力ノード(Nout2)に接続されるドレインを含む。第12のトランジスタ( $TR12$ )は、駆動クロック( $clk\_drv$ )を受信するゲート、第11のトランジスタ( $TR11$ )のソース端に接続されるドレイン及び接地されるソースを含む。

【0046】

第2のプルアップ部324aは、駆動クロック( $clk\_drv$ )及びグラウンド電源(VSS)に応じて、第2の出力ノード(Nout2)をプルアップする。第2のプルアップ部324aは、4つの第13のトランジスタ( $TR13a < 1 : 4 >$ )及び4つの第14のトランジスタ( $TR14a < 1 : 4 >$ )を含む。

【0047】

4つの第13のトランジスタ( $TR13a < 1 : 4 >$ )のそれぞれは、駆動クロック( $clk\_drv$ )を受信するゲート及び外部供給電源(VDD)が印加されるソースを含む。4つの第14のトランジスタ( $TR14a < 1 : 4 >$ )のそれぞれは、グラウンド電源(VSS)が印加されるゲート、4つの第13のトランジスタ( $TR13a < 1 : 4 >$ )のドレイン端にそれぞれ接続されるソース及び第2の出力ノード(Nout2)に接続されるドレインを含む。

【0048】

第2のプルダウン部326aは、4ビットのプルダウン制御信号( $pldn < 1 : 4 >$ )及び駆動クロック( $clk\_drv$ )に応じて、第2の出力ノード(Nout2)をプルダウンする。第2のプルダウン部326aは、4つの第15のトランジスタ( $TR15a < 1 : 4 >$ )及び4つの第16のトランジスタ( $TR16a < 1 : 4 >$ )を含む。

【0049】

4つの第15のトランジスタ( $TR15a < 1 : 4 >$ )のそれぞれは、外部供給電源(VDD)が印加されるゲート及び第2の出力ノード(Nout2)に接続されるドレインを含む。4つの第16のトランジスタ( $TR16a < 1 : 4 >$ )のそれぞれは、駆動クロック( $clk\_drv$ )を受信するゲート、4つの第15のトランジスタ( $TR15a < 1 : 4 >$ )のソース端にそれぞれ接続されるドレイン及び接地されるソースを含む。

10

20

30

40

50

## 【 0 0 5 0 】

このように構成されたデューティ比補正手段 3 0 a において、4 ビットのプルアップ制御信号( $p1up < 1 : 4 >$ )と、4 ビットのプルダウン制御信号( $p1dn < 1 : 4 >$ )との論理値が、前記表 1 に示すようであれば、補正クロック( $clk\_crt$ )の波形の初期はロー区間がハイ区間に比べて広い形態となる。以後、4 ビットのプルアップ制御信号( $p1up < 1 : 4 >$ )と、4 ビットのプルダウン制御信号( $p1dn < 1 : 4 >$ )との論理値が順次変化することで、第 1 のドライバ 3 1 0 a の第 1 のプルアップ部 3 1 4 a の駆動力と、第 2 のドライバ 3 2 0 a の第 2 のプルダウン部 3 2 6 a の駆動力とは交互に減少する。これにより、補正クロック( $clk\_crt$ )のロー区間は益々狭くなる。以後、補正クロック( $clk\_crt$ )のロー区間がハイ区間に比べてこれ以上広がらないと、第 1 のドライバ 3 1 0 a の第 1 のプルアップ部 3 1 4 a の駆動力と、第 2 のドライバ 3 2 0 a の第 2 のプルダウン部 3 2 6 a の駆動力とは固定される。

10

## 【 0 0 5 1 】

図 4 及び図 5 は、図 1 に示すデコーディング手段及びデューティ比補正手段の詳細構成を示す第 2 の例示図である。ここでも、プルアップ制御信号( $p1up$ )及びプルダウン制御信号( $p1dn$ )は、4 ビットとして具現される。一方、プルアップ制御信号( $p1up$ )は、第 1 のプルアップ制御信号( $p1up1 < 1 : 4 >$ )及び第 2 のプルアップ制御信号( $p1up2 < 1 : 4 >$ )を含み、プルダウン制御信号( $p1dn$ )は、第 1 のプルダウン制御信号( $p1dn1 < 1 : 4 >$ )及び第 2 のプルダウン制御信号( $p1dn2 < 1 : 4 >$ )を含む。ここで、カウンティング信号( $cnt < 1 : n >$ )は、6 ビットの信号として具現され、最上位ビットがカウンティング信号 1 ( $cnt < 1 >$ )であり、最下位ビットがカウンティング信号 6 ( $cnt < 6 >$ )であると表現するようにする。

20

## 【 0 0 5 2 】

同図に示すように、デコーディング手段 2 0 b は、デコーダ(D E C)、第 9 ~ 第 2 4 のフリップフロップ(F F 9 ~ F F 2 4)及び第 6 ~ 第 9 のインバータ(I V 6 ~ I V 9)を含む。

## 【 0 0 5 3 】

デコーダ(D E C)は、カウンティング信号 5 ( $cnt < 5 >$ )及びカウンティング信号 6 ( $cnt < 6 >$ )をデコードして、第 1 ~ 第 4 のラッチ制御信号( $lat < 1 : 4 >$ )を生成する。ここで、2 ビットのデジタル信号をデコードして 4 つの出力信号の何れかをイネーブルさせるデコーダ(D E C)の構成は、当業者であれば容易に実施・構成できる。第 1 ~ 第 4 のラッチ制御信号( $lat < 1 : 4 >$ )は、カウンティング信号( $cnt < 1 : 6 >$ )の論理値の変化により順次一つずつイネーブルされる。

30

## 【 0 0 5 4 】

第 9 のフリップフロップ(F F 9)は、リセット信号( $rst$ )によりリセットされ、第 1 のラッチ制御信号( $lat < 1 >$ )に応じてカウンティング信号 1 ( $cnt < 1 >$ )をラッチして、第 1 のプルアップ制御信号 1 ( $p1up1 < 1 >$ )を生成する。第 1 0 のフリップフロップ(F F 1 0)は、リセット信号( $rst$ )によりリセットされ、第 3 のラッチ制御信号( $lat < 3 >$ )に応じて第 1 のプルアップ制御信号 1 ( $p1up1 < 1 >$ )を生成する。第 6 のインバータ(I V 6)は、カウンティング信号 1 ( $cnt < 1 >$ )の入力を受ける。第 1 1 のフリップフロップ(F F 1 1)は、リセット信号( $rst$ )によりリセットされ、第 2 のラッチ制御信号( $lat < 2 >$ )に応じて第 6 のインバータ(I V 6)の出力信号をラッチして、第 2 のプルダウン制御信号 1 ( $p1dn2 < 1 >$ )を出力する。第 1 2 のフリップフロップ(F F 1 2)は、リセット信号( $rst$ )によりリセットされ、第 4 のラッチ制御信号( $lat < 4 >$ )に応じて第 2 のプルダウン制御信号 1 ( $p1dn2 < 1 >$ )をラッチして、第 2 のプルアップ制御信号 1 ( $p1up2 < 1 >$ )を出力する。

40

## 【 0 0 5 5 】

第 1 3 のフリップフロップ(F F 1 3)は、リセット信号( $rst$ )によりリセットされ、第 1 のラッチ制御信号( $lat < 1 >$ )に応じてカウンティング信号 2 ( $cnt < 2 >$ )をラッチして、第 1 のプルアップ制御信号 2 ( $p1up1 < 2 >$ )を生成する。第 1 4 のフリッ

50

フリップフロップ(F F 1 4)は、リセット信号(r s t)によりリセットされ、第3のラッチ制御信号(1 a t < 3 >)に応じて第1のプルアップ制御信号2(p l u p 1 < 2 >)を生成する。第7のインバータ(I V 7)は、カウンティング信号2(c n t < 2 >)の入力を受ける。第15のフリップフロップ(F F 1 5)は、リセット信号(r s t)によりリセットされ、第2のラッチ制御信号(1 a t < 2 >)に応じて第7のインバータ(I V 7)の出力信号をラッチして、第2のプルダウン制御信号2(p l d n 2 < 2 >)を出力する。第16のフリップフロップ(F F 1 6)は、リセット信号(r s t)によりリセットされ、第4のラッチ制御信号(1 a t < 4 >)に応じて第2のプルダウン制御信号2(p l d n 2 < 2 >)をラッチして、第2のプルアップ制御信号2(p l u p 2 < 2 >)を出力する。

【0056】

第17のフリップフロップ(F F 1 7)は、リセット信号(r s t)によりリセットされ、第1のラッチ制御信号(1 a t < 1 >)に応じてカウンティング信号3(c n t < 3 >)をラッチして、第1のプルアップ制御信号3(p l u p 1 < 3 >)を生成する。第18のフリップフロップ(F F 1 8)は、リセット信号(r s t)によりリセットされ、第3のラッチ制御信号(1 a t < 3 >)に応じて第1のプルアップ制御信号3(p l u p 1 < 3 >)を生成する。第8のインバータ(I V 8)は、カウンティング信号3(c n t < 3 >)の入力を受ける。第19のフリップフロップ(F F 1 9)は、リセット信号(r s t)によりリセットされ、第2のラッチ制御信号(1 a t < 2 >)に応じて第8のインバータ(I V 8)の出力信号をラッチして、第2のプルダウン制御信号3(p l d n 2 < 3 >)を出力する。第20のフリップフロップ(F F 2 0)は、リセット信号(r s t)によりリセットされ、第4のラッチ制御信号(1 a t < 4 >)に応じて第2のプルダウン制御信号3(p l d n 2 < 3 >)をラッチして、第2のプルアップ制御信号3(p l u p 2 < 3 >)を出力する。

【0057】

第21のフリップフロップ(F F 2 1)は、リセット信号(r s t)によりリセットされ、第1のラッチ制御信号(1 a t < 1 >)に応じてカウンティング信号4(c n t < 4 >)をラッチして、第1のプルアップ制御信号4(p l u p 1 < 4 >)を生成する。第22のフリップフロップ(F F 2 2)は、リセット信号(r s t)によりリセットされ、第3のラッチ制御信号(1 a t < 3 >)に応じて第1のプルアップ制御信号4(p l u p 1 < 4 >)を生成する。第9のインバータ(I V 9)は、カウンティング信号4(c n t < 4 >)の入力を受ける。第23のフリップフロップ(F F 2 3)は、リセット信号(r s t)によりリセットされ、第2のラッチ制御信号(1 a t < 2 >)に応じて第9のインバータ(I V 9)の出力信号をラッチして、第2のプルダウン制御信号4(p l d n 2 < 4 >)を出力する。第24のフリップフロップ(F F 2 4)は、リセット信号(r s t)によりリセットされ、第4のラッチ制御信号(1 a t < 4 >)に応じて第2のプルダウン制御信号4(p l d n 2 < 4 >)をラッチして、第2のプルアップ制御信号4(p l u p 2 < 4 >)を出力する。

【0058】

このようなデコーディング手段20bの構成により、6ビットのカウンティング信号(c n t < 1 : 6 >)における最下位の2つのビットは、第1のプルアップ制御信号(p l u p 1 < 1 : 4 >)、第1のプルダウン制御信号(p l d n 1 < 1 : 4 >)、第2のプルアップ制御信号(p l u p 2 < 1 : 4 >)及び第2のプルダウン制御信号(p l d n 2 < 1 : 4 >)のうち、どの信号の論理値を変更するかを選択するのに活用される。第1のプルアップ制御信号(p l u p 1 < 1 : 4 >)及び第1のプルダウン制御信号(p l d n 1 < 1 : 4 >)は、初期に同一の論理値を有し、論理値が“1”ずつ増加する形態として具現され、第2のプルアップ制御信号(p l u p 2 < 1 : 4 >)及び第2のプルダウン制御信号(p l d n 2 < 1 : 4 >)は、初期に同一の論理値を有し、論理値が“1”ずつ減少する形態として具現される。このとき、6ビットのカウンティング信号(c n t < 1 : 6 >)における最下位の2つのビットの論理値の変化により、第1のプルアップ制御信号(p l u p 1 < 1 : 4 >)、第2のプルダウン制御信号(p l d n 2 < 1 : 4 >)、第1のプルダウン制御信号(p l d n 1 < 1 : 4 >)及び第2のプルアップ制御信号(p l u p 2 < 1 : 4 >)の順に論理値が変更される。

10

20

30

40

50

## 【 0 0 5 9 】

図 5 を参照すれば、本実施例のデューティ比補正手段 3 0 b は、図 3 のデューティ比補正手段 3 0 a と類似している形態の構成を有する。しかしながら、第 1 のドライバ 3 1 0 b の第 1 のプルアップ部 3 1 4 b は、第 1 のプルアップ制御信号 (p l u p 1 < 1 : 4 >) に応じて駆動力が変化し、第 1 のプルダウン部 3 1 6 b は、第 1 のプルダウン制御信号 (p l d n 1 < 1 : 4 >) に応じて駆動力が変化し、第 2 のドライバ 3 2 0 b の第 2 のプルアップ部 3 2 4 b は、第 2 のプルアップ制御信号 (p l u p 2 < 1 : 4 >) に応じて駆動力が変化し、第 2 のプルダウン部 3 2 6 b は、第 2 のプルダウン制御信号 (p l d n 2 < 1 : 4 >) に応じて駆動力が変化することが、異なる。

## 【 0 0 6 0 】

10

第 1 のプルアップ部 3 1 4 b は、4 つの第 5 のトランジスタ (T R 5 b < 1 : 4 >) 及び 4 つの第 6 のトランジスタ (T R 6 b < 1 : 4 >) を含む。4 つの第 5 のトランジスタ (T R 5 b < 1 : 4 >) のそれぞれは、入力クロック (c l k \_ i n) を受信するゲート及び外部供給電源 (V D D) が印加されるソースを含む。4 つの第 6 のトランジスタ (T R 6 b < 1 : 4 >) のそれぞれは、4 ビットの第 1 のプルアップ制御信号 (p l u p 1 < 1 : 4 >) をそれぞれ 1 ビットずつ受信するゲート、4 つの第 5 のトランジスタ (T R 5 b < 1 : 4 >) のドレイン端にそれぞれ接続されるソース及び第 1 の出力ノード (N o u t 1) に接続されるドレインを含む。

## 【 0 0 6 1 】

20

第 1 のプルダウン部 3 1 6 b は、4 つの第 7 のトランジスタ (T R 7 b < 1 : 4 >) 及び 4 つの第 8 のトランジスタ (T R 8 b < 1 : 4 >) を含む。4 つの第 7 のトランジスタ (T R 7 b < 1 : 4 >) のそれぞれは、4 ビットの第 1 のプルダウン制御信号 (p l d n 1 < 1 : 4 >) をそれぞれ 1 ビットずつ受信するゲート及び第 1 の出力ノード (N o u t 1) に接続されるドレインを含む。4 つの第 8 のトランジスタ (T R 8 b < 1 : 4 >) のそれぞれは、入力クロック (c l k \_ i n) を受信するゲート、4 つの第 7 のトランジスタ (T R 7 b < 1 : 4 >) のソース端にそれぞれ接続されるドレイン及び接地されるソースを含む。

## 【 0 0 6 2 】

30

第 2 のプルアップ部 3 2 4 b は、4 つの第 1 3 のトランジスタ (T R 1 3 b < 1 : 4 >) 及び 4 つの第 1 4 のトランジスタ (T R 1 4 b < 1 : 4 >) を含む。4 つの第 1 3 のトランジスタ (T R 1 3 b < 1 : 4 >) のそれぞれは、駆動クロック (c l k \_ d r v) を受信するゲート及び外部供給電源 (V D D) が印加されるソースを含む。4 つの第 1 4 のトランジスタ (T R 1 4 b < 1 : 4 >) のそれぞれは、4 ビットの第 2 のプルアップ制御信号 (p l u p 2 < 1 : 4 >) をそれぞれ 1 ビットずつ受信するゲート、4 つの第 1 3 のトランジスタ (T R 1 3 b < 1 : 4 >) のドレイン端にそれぞれ接続されるソース及び第 2 の出力ノード (N o u t 2) に接続されるドレインを含む。

## 【 0 0 6 3 】

40

第 2 のプルダウン部 3 2 6 b は、4 つの第 1 5 のトランジスタ (T R 1 5 b < 1 : 4 >) 及び 4 つの第 1 6 のトランジスタ (T R 1 6 b < 1 : 4 >) を含む。4 つの第 1 5 のトランジスタ (T R 1 5 b < 1 : 4 >) のそれぞれは、4 ビットの第 2 のプルダウン制御信号 (p l d n 2 < 1 : 4 >) をそれぞれ 1 ビットずつ受信するゲート及び第 2 の出力ノード (N o u t 2) に接続されるドレインを含む。4 つの第 1 6 のトランジスタ (T R 1 6 b < 1 : 4 >) のそれぞれは、駆動クロック (c l k \_ d r v) を受信するゲート、4 つの第 1 5 のトランジスタ (T R 1 5 b < 1 : 4 >) のソース端にそれぞれ接続されるドレイン及び接地されるソースを含む。

## 【 0 0 6 4 】

第 1 のプルアップ制御信号 (p l u p < 1 : 4 >)、第 2 のプルダウン制御信号 (p l d n 2 < 1 : 4 >)、第 1 のプルダウン制御信号 (p l d n 1 < 1 : 4 >) 及び第 2 のプルアップ制御信号 (p l u p 2 < 1 : 4 >) の論理値がそれぞれ 1 ビットずつ交互に変化することで、第 1 のドライバ 3 1 0 b の第 1 のプルアップ部 3 1 4 b、第 2 のドライバ 3 2 0 b の第 2 のプルダウン部 3 2 6 b、第 1 のドライバ 3 1 0 b の第 1 のプルダウン部 3 1 6 b

50



、第２のドライバ３２０ｂの第２のプルアップ部３２４ｂの順に各構成の駆動力が変化し、このような動作により、デューティ比補正手段３０ｂは、補正クロック(c l k \_ c r t)のロー区間を益々狭めることによりデューティ比を補正できる。このとき、図２及び図３で説明した場合よりも精密なデューティ比補正動作を行うことができる。

【００６５】

前述したように、本発明のデューティサイクル補正回路及び方法は、マルチステージドライバを用いて入力クロックのデューティサイクルを補正するが、各ドライバの駆動力を交互に変化させることで、ドライバ間のファンアウト差が大きくなる誤動作を防止できる。これは、論理値が“１”ずつ増加するカウンティング信号をデコードする際、下位ビットを各ドライバを区分するのに使用して得られる利点である。これにより、デューティサイクル補正回路の動作の安全性が向上し、より安定的にデューティサイクル補正動作を具現できる。また、デコーディング方式を若干変化させ、各ドライバの構成に単純な設計変更を実施することで、安定な且つ精密なデューティサイクル補正動作を具現できる。

10

【００６６】

なお、本発明の詳細な説明では具体的な実施例について説明したが、本発明の要旨から逸脱しない範囲内で多様に変形・実施が可能である。よって、本発明の範囲は、前述の実施例に限定されるものではなく、特許請求の範囲の記載及びこれと均等なものに基づいて定められるべきである。

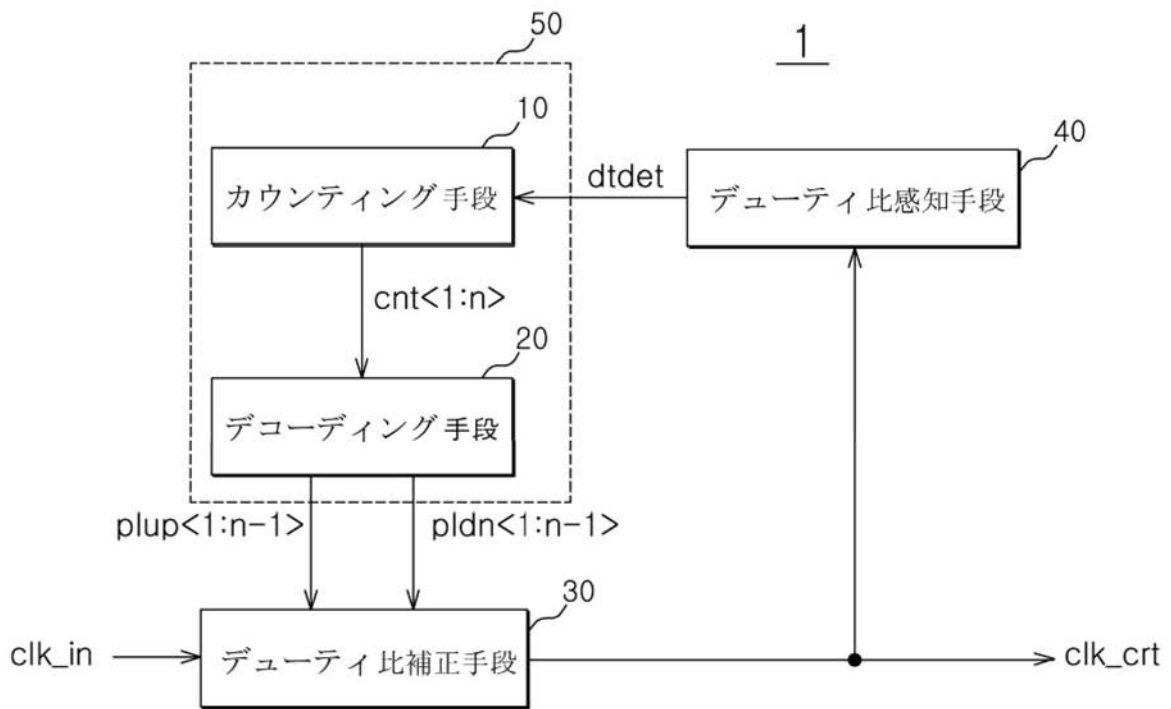
【符号の説明】

【００６７】

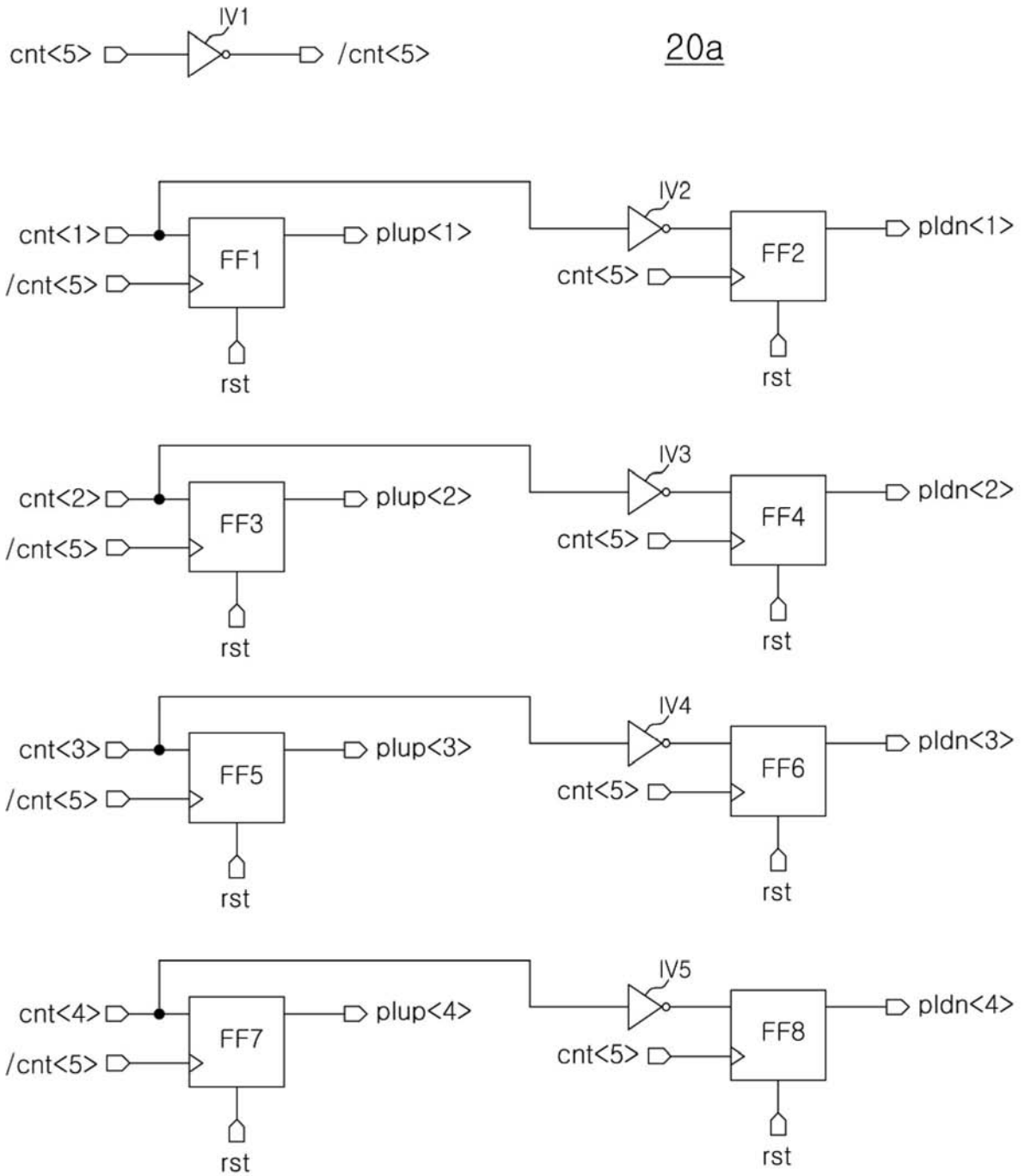
20

- １０ ... カウンティング手段
- ２０ ... デコーディング手段
- ３０ ... デューティ比補正手段
- ４０ ... デューティ比感知手段
- ３１０ ... 第１のドライバ
- ３２０ ... 第２のドライバ

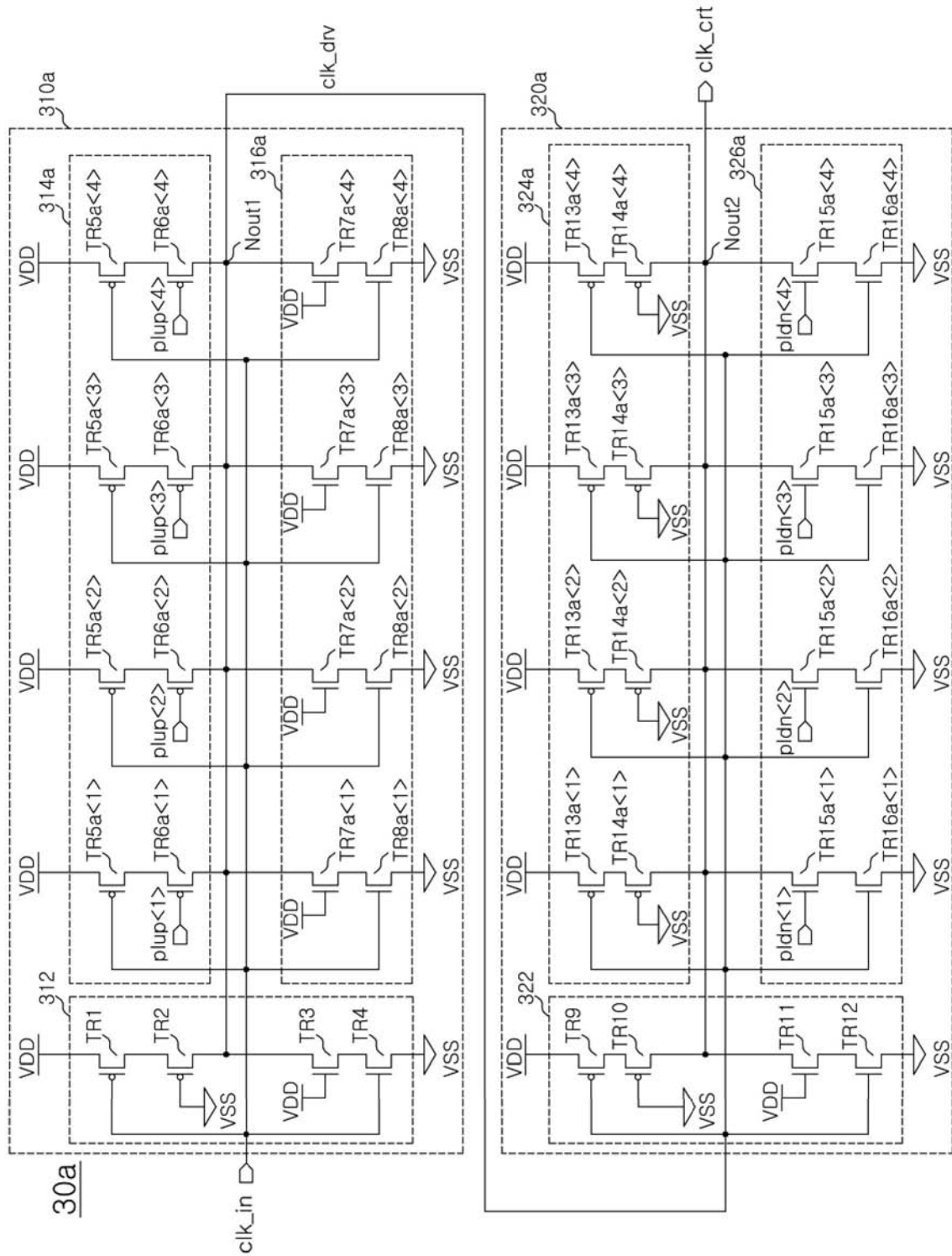
【 図 1 】



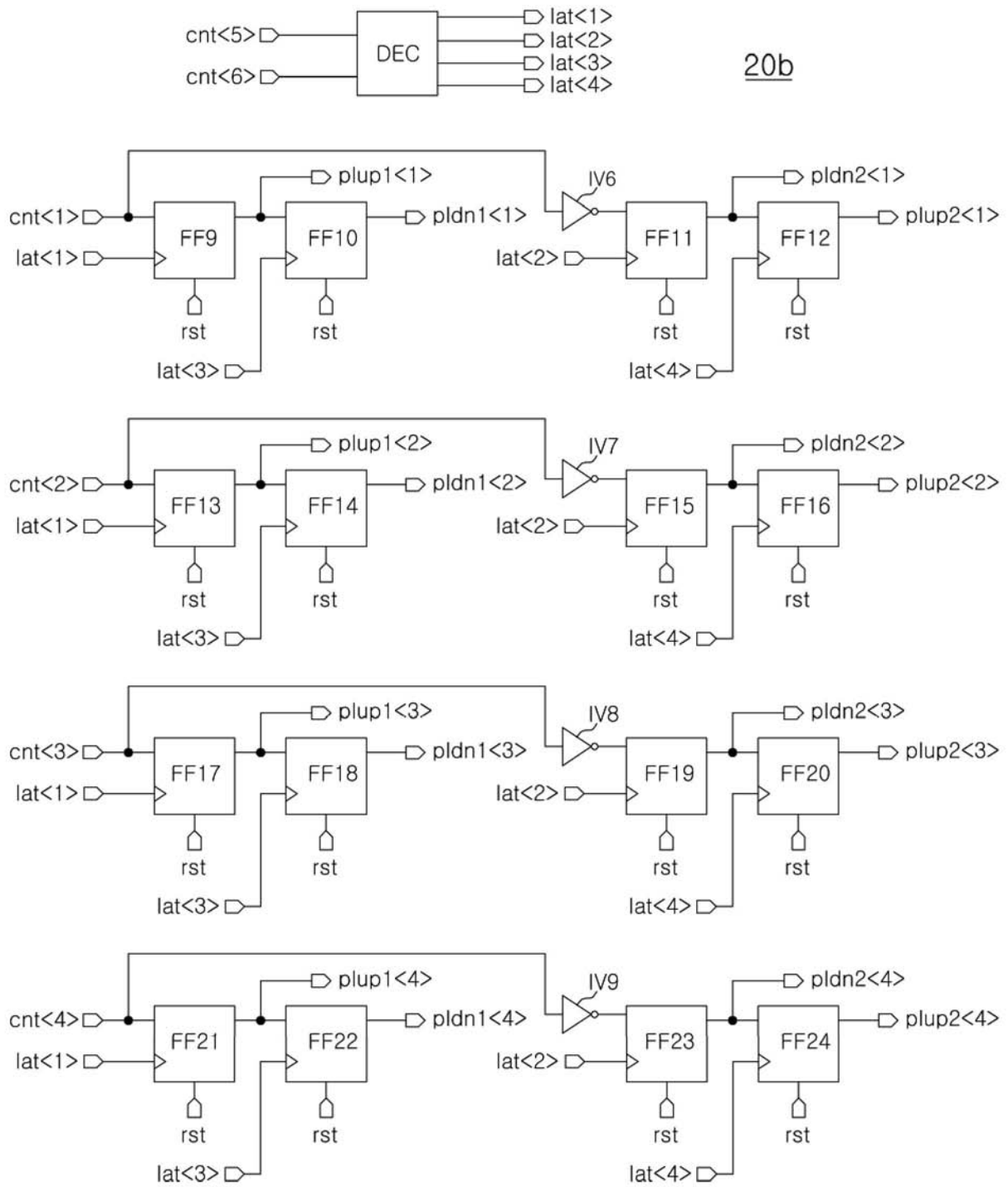
【 図 2 】



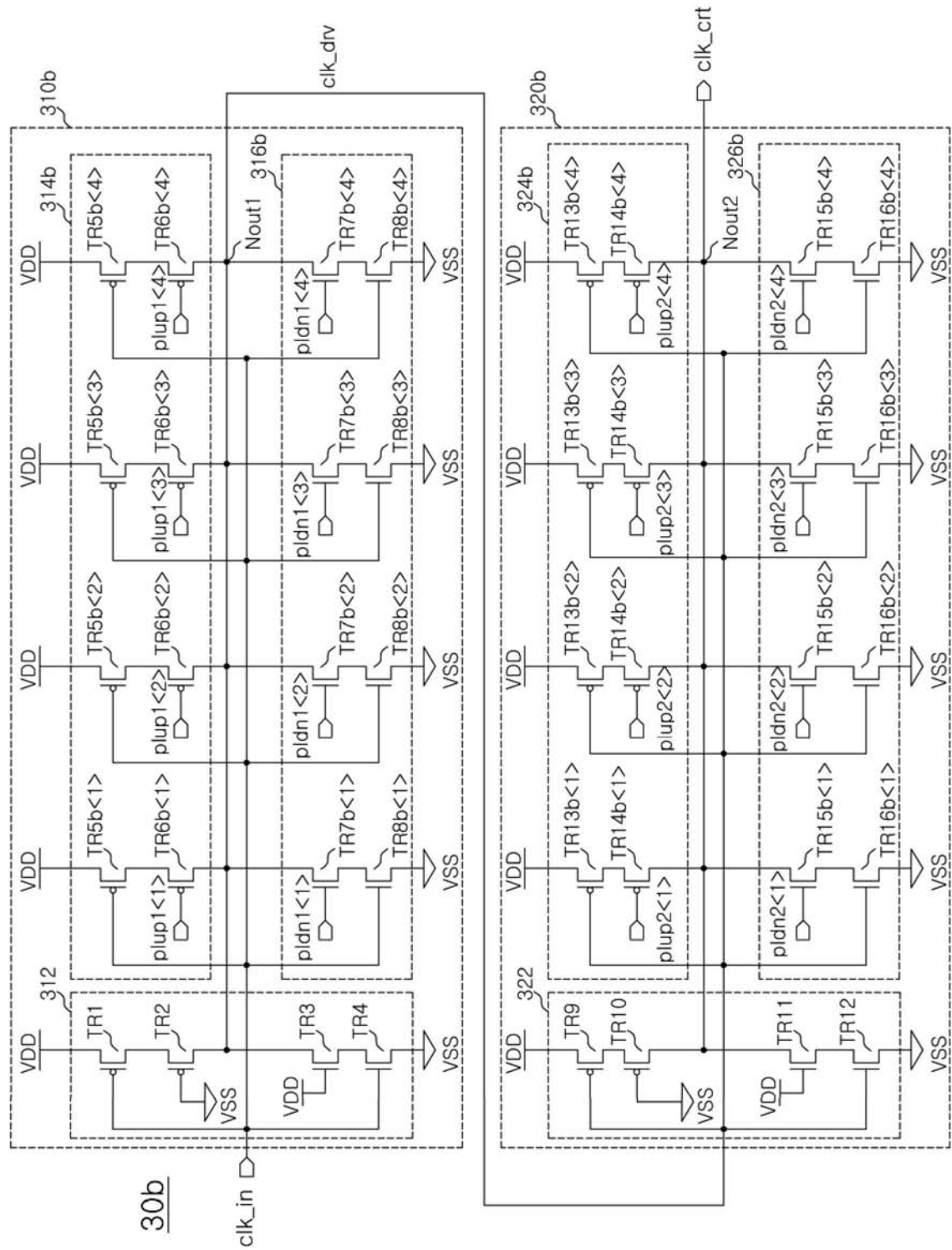
【 図 3 】



【 図 4 】



【図 5】



---

フロントページの続き

(72)発明者 李 鉉 雨

大韓民国京畿道利川市夫鉢邑牙美里山 1 3 6 - 1

Fターム(参考) 5J001 AA04 BB02 BB12 BB19 BB21 DD09

5J056 AA03 BB21 CC14 DD12 DD28 EE07 EE11 FF07 FF08