(19)日本国特許庁(JP)
(12)特　許　公　報(B2)
(11)特許番号
特許第6237570号
(P6237570)
(45)発行日　平成29年11月29日(2017.11.29)
(24)登録日　平成29年11月10日(2017.11.10)

(51)Int.Cl.			F I		
H02M　1/08	**(2006.01)**		H02M	1/08	A
H03K　17/04	**(2006.01)**		H03K	17/04	Z
H01L　21/336	**(2006.01)**		H01L	29/78	３０１Ｄ
H01L　29/78	**(2006.01)**		H01L	29/78	６５２Ｆ
			H01L	29/78	６５７Ｆ

請求項の数 6　(全 16 頁)　最終頁に続く

(21)出願番号　特願2014-219348(P2014-219348)
(22)出願日　平成26年10月28日(2014.10.28)
(65)公開番号　特開2015-195700(P2015-195700A)
(43)公開日　平成27年11月5日(2015.11.5)
審査請求日　平成29年2月23日(2017.2.23)
(31)優先権主張番号　特願2014-66595(P2014-66595)
(32)優先日　平成26年3月27日(2014.3.27)
(33)優先権主張国　日本国(JP)

(73)特許権者　000004260
株式会社デンソー
愛知県刈谷市昭和町１丁目１番地
(74)代理人　100106149
弁理士　矢作　和行
(74)代理人　100121991
弁理士　野々部　泰平
(74)代理人　100145595
弁理士　久保　貴則
(72)発明者　赤間　貞洋
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　山本　聖
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

最終頁に続く

(54)【発明の名称】駆動装置

(57)【特許請求の範囲】

【請求項１】

パワースイッチング素子（２００）のオンオフを制御する駆動装置であって、

前記パワースイッチング素子のオン動作を行うオン側回路（１１０）と、前記パワースイッチング素子のオフ動作を行うオフ側回路（１２０）と、を備え、

前記オン側回路および前記オフ側回路の少なくとも一方の回路は、

出力トランジスタとしての複数のメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５，Ｔｒ５０～Ｔｒ５５）と、

複数の前記メインＭＯＳトランジスタとゲートが共通し、複数の前記メインＭＯＳトランジスタに対してカレントミラーを構成することによって、前記メインＭＯＳトランジスタのドレイン電流を規定するセンスＭＯＳトランジスタ（Ｔｒ２０，Ｔｒ６０）と、

前記センスＭＯＳトランジスタのドレイン電流を一定に制御するセンス電流制御回路（ＳＣ）と、を有し、

さらに、前記オン側回路および前記オフ側回路の少なくとも一方の回路は、

前記メインＭＯＳトランジスタのゲートに接続され、前記メインＭＯＳトランジスタのオンオフを制御することにより前記パワースイッチング素子におけるゲート電流を切り替える複数のスイッチ回路（ＳＷ）を有し、

前記スイッチ回路のそれぞれは、対応する前記メインＭＯＳトランジスタのゲートに接続されることを特徴とする駆動装置。

【請求項２】

　前記センス電流制御回路は、
　参照電位（Ｖｒｅｆ）を発生させる参照電源（１１３，１２３）と、
　前記センスＭＯＳトランジスタに直列接続された基準抵抗（１１２，１２２）と、
　前記基準抵抗と前記センスＭＯＳトランジスタとの間の電位が前記参照電位に近づくように前記センスＭＯＳトランジスタのゲートに出力を発生させるオペアンプ（１１１，１２１）と、を有して、
　前記センスＭＯＳトランジスタのドレイン電流として前記基準抵抗の抵抗値と前記参照電位とによって決まる電流を流すように構成されることを特徴とする請求項１に記載の駆動装置。

【請求項３】
　前記センス電流制御回路は、
　前記センスＭＯＳトランジスタのゲートに出力を発生させるオペアンプ（１６１）と、
　所定の電流を前記オペアンプの一方の入力端子に供給する電流源（Ｐ２）と、
　前記オペアンプに対して前記電流源と感温素子（１６４）とが並列に接続され、
　温度に依存する前記感温素子の電圧降下に基づいて、前記センスＭＯＳトランジスタのドレイン電流を変化させるように構成されることを特徴とする請求項１に記載の駆動装置。

【請求項４】
　前記メインＭＯＳトランジスタおよび前記センスＭＯＳトランジスタを構成する単位ＭＯＳトランジスタ（Ｔｒ１６）は、チャネル長（Ｌ）およびチャネル幅（Ｗ）がすべて同一に構成されることを特徴とする請求項１～３のいずれか１項に記載の駆動装置。

【請求項５】
　前記メインＭＯＳトランジスタおよび前記センスＭＯＳトランジスタを構成する単位ＭＯＳトランジスタは、隣接する素子との間にトレンチ（４００）を有して素子分離されるＬＤＭＯＳにより構成され、
　前記トレンチは、隣り合う素子において互いに共有されるように形成されることを特徴とする請求項４に記載の駆動装置。

【請求項６】
　前記パワースイッチング素子のコレクタ電流を検出する電流検出部（１５０）を備え、
　前記電流検出部は、前記パワースイッチング素子のコレクタ電流が所定の閾値を超える場合において、前記パワースイッチング素子のコレクタ電流が所定の閾値を超えない場合に較べて前記センスＭＯＳトランジスタのゲート電圧を小さく設定することを特徴とする請求項１～５のいずれか１項に記載の駆動装置。

【発明の詳細な説明】

【技術分野】

【０００１】
　本発明は、パワースイッチング素子のオンオフ動作を行う駆動装置に関する。

【背景技術】

【０００２】
　インバータやコンバータ等の半導体電力変換装置を構成するパワースイッチング素子について、スイッチング動作時のサージ電圧とスイッチング損失とのトレードオフを解消する技術として、ゲート電圧あるいはゲート電流を動的に制御するアクティブゲートコントロール（ＡＧＣ）が用いられている。

【０００３】
　例えば、パワースイッチング素子として絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）を用いる場合、ターンオフ時のコレクターエミッタ間電圧（以降、コレクタ電圧Ｖｃｅという）の時間変化ｄＶ／ｄｔをフィードバックして、ＩＧＢＴのゲート電荷の放電速度を制御する。具体的には、特許文献１において、ＩＧＢＴのゲートに注入するゲート電流の電流量を切り替えることによって、ゲート電荷の放電速度を、放電の途中で切り替える技術が提案されている。しかしながら、特許文献１の技術は、切り替え段数に対応する数

のゲートオフ回路が必要となるため、回路規模、すなわちレイアウト面積が大きくなってしまう。

【０００４】

一方、特許文献２では、広い出力電流を有する、換言すれば、出力電流を幅広く切り替えることのできる半導体装置において、レイアウト面積を抑えることのできる回路が提案されている。具体的には、この半導体装置は、出力電流をリファレンス電流のカレントミラーによって生成する。そして、カレントミラーを多段とすることによって、出力電流の広いダイナミックレンジを実現している。

【先行技術文献】

【特許文献】

【０００５】

【特許文献１】特許第３８８５５６３号公報

【特許文献２】特開２００６－２００９８号公報

【発明の概要】

【発明が解決しようとする課題】

【０００６】

しかしながら、特許文献２の技術は、出力トランジスタをオンするためのゲートへの電流供給をリファレンス電流によって行うため、カレントミラーを構成する出力トランジスタの段数が増加するほどリファレンス電流が変化してしまう。すなわち、出力トランジスタをオンするごとに出力電流が変動してしまう。

【０００７】

また、特許文献２のような回路構成では、一般に、リファレンス電流をできるだけ小さくすることが望ましいが、カレントミラーを構成する出力トランジスタのゲートへの電荷の注入速度がリファレンス電流に依存するため、リファレンス電流が小さいと出力トランジスタがオンするまでの時間が長くなってしまう。つまり、特許文献２の技術をパワースイッチング素子のオフ用回路に適用する場合、パワースイッチング素子をオフする旨の指示を受けてから出力トランジスタがオンするまでの応答速度が確保できない虞がある。

【０００８】

本発明は、上記問題点を鑑みてなされたものであり、ゲート電流を高精度で制御しつつ、ゲート電流の切り替え速度の高速化することを目的とする。

【課題を解決するための手段】

【０００９】

ここに開示される発明は、上記目的を達成するために以下の技術的手段を採用する。なお、特許請求の範囲およびこの項に記載した括弧内の符号は、ひとつの態様として後述する実施形態に記載の具体的手段との対応関係を示すものであって、発明の技術的範囲を限定するものではない。

【００１０】

上記目的を達成するために、本発明は、パワースイッチング素子（２００）のオンオフを制御する駆動装置であって、パワースイッチング素子のオン動作を行うオン側回路（１１０）と、パワースイッチング素子のオフ動作を行うオフ側回路（１２０）と、を備え、オン側回路およびオフ側回路の少なくとも一方の回路は、出力トランジスタとしての複数のメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５，Ｔｒ５０～Ｔｒ５５）と、複数のメインＭＯＳトランジスタとゲートが共通し、複数のメインＭＯＳトランジスタに対してカレントミラーを構成することによって、メインＭＯＳトランジスタのドレイン電流を規定するセンスＭＯＳトランジスタ（Ｔｒ２０，Ｔｒ６０）と、センスＭＯＳトランジスタのドレイン電流を一定に制御するセンス電流制御回路（ＳＣ）と、を有し、さらに、オン側回路およびオフ側回路の少なくとも一方の回路は、メインＭＯＳトランジスタのゲートに接続され、メインＭＯＳトランジスタのオンオフを制御することによりパワースイッチング素子におけるゲート電流を切り替える複数のスイッチ回路（ＳＷ）を有し、各々のスイッチ回路は、それぞれが対応するメインＭＯＳトランジスタのゲートに接続されることを

特徴としている。

【００１１】

これによれば、センスＭＯＳトランジスタとカレントミラーを構成するメインＭＯＳトランジスタが複数形成され、これらの有効／無効がスイッチ回路のオンオフ制御によって制御されている。このため、有効とされるメインＭＯＳトランジスタの数を切り替えることによって、出力電流を切り替えることができる。

【００１２】

また、カレントミラーによってメインＭＯＳトランジスタのドレイン電流を規定するセンスＭＯＳトランジスタのドレイン電流が、参照電位と基準抵抗の抵抗値によって規定される。このため、本発明に係る駆動装置に電力を供給する電源電圧や、オフ側回路の出力電流の電流値に依らず、出力電流を高精度に制御することができる。さらに、センスＭＯＳトランジスタのドレイン電流はスイッチ回路のオンオフに依らず一定であるから、有効とされるメインＭＯＳトランジスタの数に依らず、出力電流を高精度に制御することができる。

【００１３】

また、出力トランジスタとしてのメインＭＯＳトランジスタを駆動させるためのゲートへの電圧印加がオペアンプの出力によって制御されるため、リファレンス電流によって制御される場合に較べて、スイッチング速度を高速化することができる。

【図面の簡単な説明】

【００１４】

【図１】第１実施形態に係る駆動装置の概略構成を示す回路図である。

【図２】駆動装置による駆動を示すタイミングチャートである。

【図３】スイッチ回路の詳細な構成を示す回路図である。

【図４】ＮＭＯＳトランジスタのレイアウトを示す上面図である。

【図５】図４に示す領域Ｖの拡大図である。

【図６】変形例１に係る駆動装置の概略構成を示す回路図である。

【図７】第２実施形態に係る駆動装置の概略構成を示す回路図である。

【図８】第３実施形態に係る駆動装置の概略構成を示す回路図である。

【図９】変形例２に係る駆動装置の概略構成を示す回路図である。

【図１０】変形例３に係る駆動装置の概略構成を示す回路図である。

【発明を実施するための形態】

【００１５】

以下、本発明の実施の形態を図面に基づいて説明する。なお、以下の各図相互において、互いに同一もしくは均等である部分に、同一符号を付与する。

【００１６】

（第１実施形態）

最初に、図１を参照して、本実施形態に係る駆動装置について説明する。

【００１７】

図１に示すように、この駆動装置１００は、負荷５００を駆動するパワースイッチング素子としての絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ）２００の駆動を制御するものである。

【００１８】

この駆動装置１００は、オン側回路１１０と、オフ側回路１２０と、ｄＶ／ｄｔ検出回路１３０と、遅延回路１４０と、を備えている。

【００１９】

オン側回路１１０およびオフ側回路１２０は電源とＧＮＤとの間で直列に接続され、その中間点にＩＧＢＴ２００のゲートが接続されている。オン側回路１１０は、ＰＭＯＳトランジスタにより構成され、このＰＭＯＳトランジスタがオン状態のときにはＩＧＢＴ２００のゲートに電源電圧Ｖｃｃが印加される。これによりＩＧＢＴ２００がオン状態になり、ＩＧＢＴ２００のコレクターエミッタ間に電流が流れ、負荷５００に電力が供給され

る。

【００２０】

オフ側回路１２０は、複数のＮＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５，Ｔｒ２０）を有している。これらＮＭＯＳトランジスタは、出力トランジスタとしてのメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）と、メインＭＯＳトランジスタのドレイン電流を規定するセンスＭＯＳトランジスタＴｒ２０とから構成されている。本実施形態では、６つのメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）が、センスＭＯＳトランジスタＴｒ２０に対してカレントミラーを構成するようになっている。具体的には、各メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）のゲートはセンスＭＯＳトランジスタＴｒ２０のゲートと共通とされ、ソースが共通してＧＮＤに接続されている。各メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）のドレインはＩＧＢＴ２００のゲート接続されている。

【００２１】

このような構成では、各メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）には、それぞれ、センスＭＯＳトランジスタＴｒ２０のサイズ比と同一の電流比でドレイン電流が流れる。つまり、本実施形態では、ＩＧＢＴ２００のゲートに注入する電流の電流経路が６つ存在している。なお、サイズとはＭＯＳトランジスタにおけるチャネル幅Ｗとチャネル長Ｌのアスペクト比（Ｗ／Ｌ）である。

【００２２】

また、オフ側回路１２０は、センスＭＯＳトランジスタＴｒ２０のドレイン電流を制御するためのオペアンプ１２１と、該オペアンプ１２１の出力を規定するための基準抵抗１２２と、該オペアンプ１２１の一つの入力端子に参照電位Ｖｒｅｆを与える参照電源１２３と、を有している。オペアンプ１２１は、図示しないマイコンなどからＩＧＢＴ２００をオフさせることを示す制御信号が入力されると、センスＭＯＳトランジスタＴｒ２０のゲートに電圧を印加することで、ＩＧＢＴ２００のゲートに定電流が注入されるようにする。

【００２３】

基準抵抗１２２は、シャント抵抗であり、センスＭＯＳトランジスタＴｒ２０のドレイン電流の電流値を規定する。ひいては、ＩＧＢＴ２００のゲートに注入される電流の電流値を規定する。ＩＧＢＴ２００のゲートに注入される電流は、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）に流れるドレイン電流の合計である。そして、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）はセンスＭＯＳトランジスタＴｒ２０とともにカレントミラーを構成しているので、ＩＧＢＴ２００のゲートに注入される電流はセンスＭＯＳトランジスタＴｒ２０のドレイン電流に依存する。

【００２４】

このような構成では、ＩＧＢＴ２００をオフさせることを示す信号が入力されると、オペアンプ１２１が駆動されてセンスＭＯＳトランジスタＴｒ２０にゲート電圧が印加される。このときのドレイン電流は基準抵抗１２２の抵抗値Ｒにより規定される。そして、その電流値は、基準抵抗１２２とセンスＭＯＳトランジスタＴｒ２０との間の中間電位が、参照電位Ｖｒｅｆに近づくように、オペアンプ１２１の出力が調整されることによりフィードバック制御される。これにより、センスＭＯＳトランジスタＴｒ２０のドレイン電流が高精度に一定の値（＝（Ｖｃｃ－Ｖｒｅｆ）／Ｒ）に制御される。よって、ＩＧＢＴ２００のゲートに注入される電流も、高精度に一定電流とされる。なお、本実施形態において、特許請求の範囲に記載のセンス電流制御回路ＳＣは、オペアンプ１２１と基準抵抗１２２および参照電源１２３とにより構成される回路に相当する。

【００２５】

さらに、オフ側回路１２０は、ＩＧＢＴ２００のゲートに注入される電流の電流値、すなわちドライブ能力を切り替えるためのスイッチ回路（ＳＷ１～ＳＷ５）を有している。このスイッチ回路（ＳＷ１～ＳＷ５）は、６つのメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）のうち５つのメインＭＯＳトランジスタ（Ｔｒ１１～Ｔｒ１５）のゲートにそれぞれ接続されている。例えば、スイッチ回路ＳＷ１が有効とされ、その他のスイッチ回

路（ＳＷ２～ＳＷ５）が無効の状態であれば、ＩＧＢＴ２００のゲート電荷は、メインＭＯＳトランジスタＴｒ１０およびＴｒ１１により規定される電流により引き抜かれる。つまり、スイッチ回路（ＳＷ１～ＳＷ５）のうち、どのスイッチ回路が有効となっているかによってオフ側回路１２０のドライブ能力を制御することができる。なお、５つのスイッチ回路（ＳＷ１～ＳＷ５）は互いに等価であり、以降、個々のスイッチ回路について述べる場合を除き、符号ＳＷと総称する。本実施形態におけるスイッチ回路ＳＷの詳しい回路構成は追って説明する。

【００２６】

駆動装置１００におけるｄＶ／ｄｔ検出回路１３０は、ＩＧＢＴ２００のコレクタ電圧Ｖｃｅの時間変化ｄＶ／ｄｔを検出する回路である。具体的には、ｄＶ／ｄｔ検出回路１３０は、ＩＧＢＴ２００のコレクタとＧＮＤとの間に直列接続されて微分器を構成するコンデンサＣ１と抵抗器Ｒ１の中間点に接続されている。オペアンプ１２１にＩＧＢＴ２００をオフさせることを示す信号が入力されると、ＩＧＢＴ２００のゲート電荷が引き抜かれてコレクタ電圧Ｖｃｅが上昇するため、ｄＶ／ｄｔがゼロでない値をとる。ｄＶ／ｄｔ検出回路１３０はこれを検出し、その旨を遅延回路１４０に出力する。

【００２７】

遅延回路１４０は、ｄＶ／ｄｔが上昇を開始した時点から所定の遅延時間だけ遅れてスイッチ回路ＳＷを動作させる回路である。５つのスイッチ回路（ＳＷ１～ＳＷ５）のうち、どのスイッチ回路ＳＷを動作させるかについては、予め決めておくこともできるし、ｄＶ／ｄｔの値等に応じて決定されてもよい。

【００２８】

次に、本実施形態に係る駆動装置１００における、ＩＧＢＴ２００のゲート電荷の放電期間中の放電速度を切り替える駆動について、図２を参照して説明する。

【００２９】

時刻ｔ１において、オペアンプ１２１にＩＧＢＴ２００をオフさせることを示す制御信号が入力される。これにより、図２に示すように、オペアンプ１２１が駆動してＩＧＢＴ２００のゲートに電流が注入される。この説明において、時刻ｔ１におけるスイッチ回路ＳＷは、ＳＷ１が有効（オン）とされ、ＳＷ２～ＳＷ５は無効（オフ）であるとする。つまり、ゲートに注入される電流は、メインＭＯＳトランジスタＴｒ１０のドレイン電流Ｉ１と、メインＭＯＳトランジスタＴｒ１１のドレイン電流Ｉ２との合計値Ｉ１＋Ｉ２である。

【００３０】

ＩＧＢＴ２００のゲートに電流が注入されて電荷の引き抜きが行われ始めると、ゲート電圧は低下していく。そして、時刻ｔ２において、ゲート電圧が所定の電位（ミラー電圧）まで低下し一定時間が経過すると、コレクタ電圧Ｖｃｅが上昇を始める。すなわち、時刻ｔ２の時点で、ｄＶ／ｄｔがほぼゼロの状態から、ｄＶ／ｄｔが正の値をとる。ｄＶ／ｄｔ検出回路１３０はこれを検出して、その旨を遅延回路１４０に対して出力する。

【００３１】

そして、遅延回路１４０により予め規定された遅延時間後の時刻ｔ３において、スイッチ回路ＳＷ１がオフされることによって、メインＭＯＳトランジスタＴｒ１１のオフ動作が開始される。メインＭＯＳトランジスタＴｒ１１は瞬時にオフされるのではなく、素子に規定された立ち下がり時間を要してオフ（時刻ｔ４）に至る。このため、ゲートに注入される電流は、時刻ｔ３から時刻ｔ４に至る間に、Ｉ１＋Ｉ２からＩ１へ変化する。そして、この期間において、ＩＧＢＴ２００のコレクタ電圧Ｖｃｅの変化ｄＶ／ｄｔは、徐々に小さくなっていく。時刻ｔ４に至ると、メインＭＯＳトランジスタＴｒ１１はオフ状態となり、ＩＧＢＴ２００のゲート電流は、Ｉ１＋Ｉ２からＩ１に切り替わる。

【００３２】

このため、オフ側回路１２０のドライブ能力、換言すればゲート電荷の放電速度、は、時刻ｔ３の時点に較べて時刻ｔ４の時点のほうが小さくなる。したがって、時刻ｔ３直前のｄＶ／ｄｔに比べて、時刻ｔ４直後のｄＶ／ｄｔは小さくなる。その結果、コレクタ電

圧Ｖｃｅのオーバーシュートが抑制され、サージ電圧を低減する効果を発揮することができる。その後、時刻ｔ６において、コレクタ電圧Ｖｃｅが定常値に収束してＩＧＢＴ２００のオフ動作は終了する。

【００３３】

なお、メインＭＯＳトランジスタＴｒ１１のオフ開始のタイミング（時刻ｔ３）は、メインＭＯＳトランジスタＴｒ１１が完全にオフになる時刻ｔ４が、想定されるコレクタ電圧Ｖｃｅの定常値に至る時刻ｔ５よりも早い時期に設定されることが好ましい。

【００３４】

また、時刻ｔ６以降において、再びメインＭＯＳトランジスタＴｒ１１をオンしてオフ側回路１２０のドライブ能力を向上させることによって、ＩＧＢＴ２００の確実なオフを保証するように構成しても良い。

【００３５】

次に、図３を参照して、本実施形態におけるスイッチ回路ＳＷの具体的な構成について説明する。なお、図３に示す回路は、各スイッチ回路（ＳＷ１～ＳＷ５）いずれも同一の構成である。

【００３６】

スイッチ回路ＳＷは、主回路１２５と、主回路１２５に一定の電流Ｉ３を供給する定電流回路１２６とを有している。

【００３７】

主回路１２５は、遅延回路１４０からの信号に基づいて入力端子ＩＮと出力端子ＯＵＴの間における電流の通電および遮断を担っている。主回路１２５は、図３に示すように、遅延回路１４０からの信号によりオンオフ動作するＭＯＳトランジスタＴｒ３０を有している。また、定電流回路１２６に対して、ＭＯＳトランジスタＴｒ３０と並列に接続され、定電流回路１２６から入力される電流Ｉ３をミラーするようにカレントミラーを構成する２つのＮＰＮトランジスタＱ１，Ｑ２を有している。また、ゲートに注入される電流に基づいて入力端子ＩＮと出力端子ＯＵＴの間における電流の通電および遮断を行うＭＯＳトランジスタＴｒ４０を有している。さらに、スイッチ回路ＳＷをオン状態とする場合にＭＯＳトランジスタＴｒ４０のゲートに電流を注入する電流源Ｐ１を有している。なお、本実施形態では、図３に示す入力端子ＩＮがオペアンプ１２１の出力端子に接続されており、出力端子ＯＵＴがメインＭＯＳトランジスタ（Ｔｒ１１～Ｔｒ１５）のゲートに接続されている。

【００３８】

主回路１２５の動作について説明する。スイッチ回路ＳＷをオン状態とする場合、遅延回路からＭＯＳトランジスタＴｒ３０をオン状態とする旨の信号が入力される。この状態では、定電流回路１２６から供給される電流Ｉ３は、ＭＯＳトランジスタＴｒ３０のドレイン電流として流れ、カレントミラーを成すＮＰＮトランジスタＱ１，Ｑ２に電流が流れない。すなわち、図３に示す電流Ｉ４は流れない。このため、電流源Ｐ１からの電流Ｉ５がＭＯＳトランジスタＴｒ４０のゲートに注入されてオンとなり、入力端子ＩＮと出力端子ＯＵＴの間が通電される。すなわち、スイッチ回路ＳＷがオン状態となる。なお、電流源Ｐ１とＧＮＤとの間に挿入された抵抗器Ｒ１は、ＭＯＳトランジスタＴｒ４０の定常状態におけるゲート電圧を規定するための抵抗である。

【００３９】

一方、スイッチ回路ＳＷをオフ状態とする場合、遅延回路からＭＯＳトランジスタＴｒ３０をオフ状態とする旨の信号が入力される。この状態では、ＭＯＳトランジスタＴｒ３０のドレイン電流は流れず、定電流回路１２６から主回路１２５に入力される電流Ｉ３は、ＮＰＮトランジスタＱ１，Ｑ２によりミラーされて図３に示す電流Ｉ４が流れる。この電流Ｉ４は、電流源Ｐ１による電流Ｉ５およびＭＯＳトランジスタＴｒ４０のゲート電荷を引き抜くように流れるため、ＭＯＳトランジスタＴｒ４０がオフする。よって、入力端子ＩＮと出力端子ＯＵＴの間の電流が遮断されてスイッチ回路ＳＷがオフ状態となる。なお、スイッチ回路ＳＷがオフすると、対応するメインＭＯＳトランジスタのゲートがハイ

インピーダンスとなる。本実施形態におけるスイッチ回路ＳＷは、スイッチ回路ＳＷのオフ動作を確実にするため、出力端子ＯＵＴとＧＮＤとの間にプルダウン抵抗器Ｒ２が挿入されている。

【００４０】

前述の定電流回路１２６は、主回路１２５に一定の電流Ｉ３を供給するための回路である。この定電流回路１２６は、一定の電流を与えるための一般的に知られた回路を採用することができるため、回路の詳細な説明を割愛する。

【００４１】

次に、図４および図５を参照して、センスＭＯＳトランジスタＴｒ２０およびメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）のレイアウトについて説明する。便宜上、図４に示すように、Ｘ方向と、Ｘ方向に直交するＹ方向と、Ｘ方向とＹ方向により規定されるＸＹ平面に直交するＺ方向を定義する。これらＮＭＯＳトランジスタは半導体基板３００の表層において、ＸＹ平面に沿って形成されている。

【００４２】

図４に示すように、メインＭＯＳトランジスタＴｒ１０～Ｔｒ１５およびセンスＭＯＳトランジスタＴｒ２０を構成するＮＭＯＳトランジスタは、Ｘ方向およびＹ方向に沿って、単位ＭＯＳトランジスタＴｒ１６が７×７の格子状に並んで形成されたＬＤＭＯＳ（横方向拡散ＭＯＳ）である。本実施形態では、４９個の単位ＭＯＳトランジスタＴｒ１６のうち、１個がセンスＭＯＳトランジスタＴｒ２０に相当し、残りの４８個がメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）に相当する。なお、図４に示すように、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）は、それぞれ８個の単位ＭＯＳトランジスタＴｒ１６から構成されている。

【００４３】

これらＮＭＯＳトランジスタのレイアウトについてより詳しく説明する。図５は図４に示す領域Ｖを拡大した図である。図５に示すように、各単位ＭＯＳトランジスタＴｒ１６には、それぞれ複数のソース領域Ｓとドレイン領域Ｄが格子状に形成されている。本実施形態では、４×４で１つのセルを形成している。そして、１つのセルを形成するソース領域Ｓおよびドレイン領域Ｄを取り囲むように、ゲート領域Ｇが形成されている。このゲート領域Ｇと、４×４の格子を成すソース領域Ｓおよびドレイン領域Ｄと、により一つの単位ＭＯＳトランジスタＴｒ１６を構成している。なお、センスＭＯＳトランジスタＴｒ２０、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）は、すべて同一の単位ＭＯＳトランジスタＴｒ１６から構成されている。

【００４４】

さらに、図５に示すように、単位ＭＯＳトランジスタＴｒ１６は、互いに電気的に素子分離するためのトレンチ４００を有している。トレンチ４００は、半導体基板３００の表層からＺ方向に沿って形成されるとともに、各単位ＭＯＳトランジスタＴｒ１６をそれぞれ取り囲んで形成されている。換言すれば、トレンチ４００は、各単位ＭＯＳトランジスタＴｒ１６におけるゲート領域Ｇを取り囲むように、枡状に形成されている。そして、本実施形態では、隣り合うＮＭＯＳトランジスタ、例えば、Ｘ方向において隣り合う単位ＭＯＳトランジスタＴｒ１６の間に形成されたトレンチ４００の一辺４１０が、双方のトレンチ４００を共有している。なお、本実施形態では、Ｙ方向において隣り合う単位ＭＯＳトランジスタＴｒ１６の間のトレンチ４００の一辺は共有されていない。

【００４５】

また、図５に示すように、本実施形態における各単位ＭＯＳトランジスタＴｒ１６は、ソース領域Ｓやドレイン領域Ｄの一部配置を除き、ソース領域Ｓの形状および面積、ドレイン領域Ｄの形状および面積、ゲート領域Ｇの形状および面積が、互いに等価に形成されている。すなわち、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）およびセンスＭＯＳトランジスタＴｒ２０を構成する単位ＭＯＳトランジスタＴｒ１６は、チャネル長Ｌとチャネル幅Ｗがすべて同一に形成されている。

【００４６】

次に、本実施形態に係る駆動装置１００の作用効果について説明する。

【００４７】

図１に示すように、センスＭＯＳトランジスタＴｒ２０とカレントミラーを構成するメインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）が複数形成され、これらの有効／無効がスイッチ回路ＳＷのオンオフ制御によって制御されている。このため、有効とされるメインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）の数を切り替えることによって、出力電流を切り替えることができる。

【００４８】

また、カレントミラーによってメインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）のドレイン電流を規定するセンスＭＯＳトランジスタＴｒ２０のドレイン電流が、参照電位Ｖｒｅｆと基準抵抗１２２の抵抗値Ｒによって規定される。このため、本発明に係る駆動装置１００に電力を供給する電源電圧Ｖｃｃや、オフ側回路１２０の出力電流の電流値に依らず、出力電流を高精度に制御することができる。さらに、センスＭＯＳトランジスタＴｒ２０のドレイン電流は、スイッチ回路ＳＷのオンオフに依らず一定であるから、有効とされるメインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）の数に依らず、出力電流を高精度に制御することができる。

【００４９】

また、出力トランジスタとしてのメインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）を駆動させるためのゲートへの電圧印加がオペアンプ１２１の出力によって制御されるため、リファレンス電流によって制御される場合に較べて、スイッチング速度を高速化することができる。

【００５０】

さらには、センスＭＯＳトランジスタＴｒ２０のドレイン電流が、参照電位Ｖｒｅｆと基準抵抗１２２の抵抗値Ｒによって規定されるため、センスＭＯＳトランジスタＴｒ２０のドレインーソース間電圧Ｖｄｓを閾値電圧（いわゆるＶｔｈ）よりも十分大きく保つことができる。これにより、基準抵抗１２２の抵抗値Ｒを小さくできるから、基準抵抗１２２となる抵抗器をディスクリート部品として別途用意することなく、メインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）やセンスＭＯＳトランジスタＴｒ２０と同一の半導体基板３００上に集積化することができる。

【００５１】

さらに、図５に示すように、各ＮＭＯＳトランジスタ（Ｔｒ２０，Ｔｒ１０〜Ｔｒ１５）を構成する単位ＭＯＳトランジスタＴｒ１６を互いに素子分離するトレンチ４００が、隣り合う単位ＭＯＳトランジスタＴｒ１６の間で一部共有化されている。本実施形態においては、Ｘ方向に隣り合う単位ＭＯＳトランジスタＴｒ１６において、枡状のトレンチ４００の一辺４１０が共有化されている。したがって、トレンチ４００が共有化されない構成に較べて、Ｘ方向のレイアウト面積を小さくすることができる。

【００５２】

また、図５に示すように、メインＭＯＳトランジスタ（Ｔｒ１０〜Ｔｒ１５）およびセンスＭＯＳトランジスタＴｒ２０は、それらを構成する単位ＭＯＳトランジスタＴｒ１６チャネル長Ｌとチャネル幅Ｗがすべて同一に形成されている。各単位ＭＯＳトランジスタＴｒ１６がすべて等価に形成されているから、駆動装置１００の製造が容易になり、ゲートに印加される電圧に対するドレイン電流の特性も均一化することができる。また、図４に示すように、単位ＭＯＳトランジスタＴｒ１６を格子状に配置することができるため、半導体基板３００の表層面積に対するＮＭＯＳトランジスタの占める割合を小さくすることができる。すなわち、レイアウト面積を小さくすることができる。

【００５３】

（変形例１）

上記した実施形態における構成に加えて、本変形例では、図６に示すように、駆動装置１００が電流検出部１５０を備えている。また、参照電源１２３は参照電位Ｖｒｅｆが可変になっている。なお、図６では、オン側回路１１０、各ＮＭＯＳトランジスタ（Ｔｒ１

０～Ｔｒ１５，Ｔｒ２０）、スイッチ回路ＳＷ、基準抵抗１２２、ｄＶ／ｄｔ検出回路１３０および遅延回路１４０の図示を省略している。

【００５４】

電流検出部１５０はＩＧＢＴ２００のコレクタ電流を検出して、過電流から保護する回路である。この電流検出部１５０は、コンパレータ１５１と、コンパレータ１５１の一方の入力端子に閾値となる電圧を与える電圧源１５２と、ＩＧＢＴ２００のコレクタ電流を電圧に変換するための抵抗器Ｒ３とを有している。

【００５５】

前述のように、コンパレータ１５１の一方の入力端子Ａには電圧源１５２が接続されている。そして、他方の入力端子Ｂは、ＩＧＢＴ２００のセンスエミッタ端子ＳＥとＧＮＤとの間に接続された抵抗器Ｒ３との中間点に接続されている。すなわち、コンパレータ１５１における入力端子Ｂには、ＩＧＢＴ２００のセンスエミッタ端子ＳＥからＧＮＤに向かって流れる電流と抵抗器Ｒ３の抵抗値に対応した電圧が印加されている。入力端子Ｂに印加される電圧は、センスエミッタ端子ＳＥからＧＮＤに向かって流れる電流に比例する。つまり、この電圧はＩＧＢＴ２００のコレクタ電流が大きくなるほど高電圧となる。

【００５６】

コンパレータ１５１は、センスエミッタ端子ＳＥを流れる電流に対応した電圧が、電圧源１５２の電圧を超えた場合、すなわち、コレクタ電流が所定の閾値を超えた場合に、参照電源１２３に対して、参照電位Ｖｒｅｆを大きくするように制御する。

【００５７】

これによれば、ＩＧＢＴ２００に過度のコレクタ電流（過電流）が流れている場合に、参照電位Ｖｒｅｆが大きくされることによって、センスＭＯＳトランジスタＴｒ２０のドレイン電流が小さくなる。このため、オフ側回路１２０のドライブ能力が抑制され、ＩＧＢＴ２００を緩やかにオフすることができる。したがって、過電流発生時において、サージ電圧を抑制することができ、ＩＧＢＴ２００を保護することができる。

【００５８】

（第２実施形態）

上記した実施形態では、オフ側回路１２０において、ＩＧＢＴ２００の温度に基づく制御を可能にした例について示したが、これはオン側回路１１０についても適用することができる。

【００５９】

具体的には、図７に示すように、オン側回路１１０は、複数のＰＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５，Ｔｒ６０）を有している。これらＰＭＯＳトランジスタは、出力トランジスタとしてのメインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）と、メインＭＯＳトランジスタのドレイン電流を規定するセンスＭＯＳトランジスタＴｒ６０とから構成されている。本実施形態では、６つのメインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）が、センスＭＯＳトランジスタＴｒ６０に対してカレントミラーを構成するようになっている。具体的には、各メインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）のゲートはセンスＭＯＳトランジスタＴｒ６０のゲートと共通とされ、ドレインが共通して電源Ｖｃｃに接続されている。各メインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）のソースはＩＧＢＴ２００のゲート接続されている。

【００６０】

また、オン側回路１１０は、センスＭＯＳトランジスタＴｒ６０のドレイン電流を制御するためのオペアンプ１１１と、該オペアンプ１１１の出力を規定するための基準抵抗１１２と、該オペアンプ１１１の一つの入力端子に参照電位Ｖｒｅｆを与える参照電源１１３と、を有している。オペアンプ１１１は、図示しないマイコンなどからＩＧＢＴ２００をオンさせることを示す制御信号が入力されると、センスＭＯＳトランジスタＴｒ６０のゲートに電圧を印加することで、ＩＧＢＴ２００のゲートへ定電流が供給されるようにする。

【００６１】

さらに、オン側回路１１０は、ＩＧＢＴ２００のゲートへ供給される電流の電流値、すなわちドライブ能力を切り替えるためのスイッチ回路（ＳＷ６～ＳＷ１０）を有している。このスイッチ回路（ＳＷ６～ＳＷ１０）は、６つのメインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）のうち５つのメインＭＯＳトランジスタ（Ｔｒ５１～Ｔｒ５５）のゲートにそれぞれ接続されている。これらスイッチ回路（ＳＷ６～ＳＷ１０）は、第１実施形態に記載のスイッチ回路ＳＷと等価であり、その回路構成は、図３に示す回路構成を採用することができる。

【００６２】

本実施形態における構成要素である、メインＭＯＳトランジスタ（Ｔｒ５０～Ｔｒ５５）、センスＭＯＳトランジスタＴｒ６０、オペアンプ１１１、基準抵抗１１２、参照電源１１３、およびスイッチ回路（ＳＷ６～ＳＷ１０）は、それぞれ、第１実施形態におけるメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）、センスＭＯＳトランジスタＴｒ２０、オペアンプ１２１、基準抵抗１２２、参照電源１２３、およびスイッチ回路（ＳＷ１～ＳＷ５）に相当する要素である。よって、各構成要素の動作および作用効果は、第１実施形態およびその変形例に準じるものである。すなわち、オン側回路１１０の出力電流を高精度に制御することができ、また、リファレンス電流によって制御される場合に較べて、スイッチング速度を高速化することができる。

【００６３】

なお、本実施形態における参照電位Ｖｒｅｆは、第１実施形態における参照電位Ｖｒｅｆと必ずしも一致している必要はない。

【００６４】

（第３実施形態）

センス電流制御回路ＳＣは、オペアンプ１１１，１２１と基準抵抗１１２，１２２および参照電源１１３，１２３とにより構成される回路に限定されない。

【００６５】

上記した各実施形態におけるセンス電流制御回路ＳＣでは、基準抵抗１１２，１２２の抵抗値Ｒと参照電源１１３，１２３の参照電位Ｖｒｅｆとによって規定される電流値になるようにフィードバック制御されるよう構成されていた。これに対して、本実施形態におけるセンス電流制御回路ＳＣは、フィードバック制御を行わない構成となっている。

【００６６】

具体的には、本実施形態におけるオフ側回路１６０のセンス電流制御回路ＳＣは、図８に示すように、センスＭＯＳトランジスタＴｒ２０のゲートに出力端子が接続されたオペアンプ１６１と、オペアンプ１６１の一方の入力端子に所定の電圧を印加する参照電源１６２と、を有している。他方の入力端子には、オペアンプ１６１の出力が負帰還されており、参照電源１６２により規定される電圧がセンスＭＯＳトランジスタＴｒ２０に印加されるようになっている。このような構成であっても、有効とされるメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）の数を切り替えることによって、出力電流を切り替えることができる。なお、本実施形態に較べて第１および第２実施形態のようなセンス電流制御回路ＳＣを採用したほうが、センスＭＯＳトランジスタＴｒ２０のドレイン電流を高精度に維持できるが、高精度を要しない負荷５００を駆動する場合には本実施形態に係るセンス電流制御回路ＳＣを採用することによって部品点数や製造コストを低減することができる。

【００６７】

（変形例２）

第３実施形態におけるセンス電流制御回路ＳＣの、センスＭＯＳトランジスタＴｒ２０およびメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）へ供給するゲート電流を高精度に制御するために、図９に示すように、Ｖｄｓ調整回路１６３を採用することができる。

【００６８】

本変形例におけるＶｄｓ調整回路１６３は、例えばウィルソン型のカレントミラー回路であり、２つの電流経路がセンスＭＯＳトランジスタＴｒ２０およびメインＭＯＳトラン

ジスタ（Ｔｒ１０～Ｔｒ１５）のドレインにそれぞれ接続されている。これにより、各ＮＭＯＳトランジスタのドレイン－ソース間電圧Ｖｄｓが一定に調整されるため、より精度良く各ＮＭＯＳトランジスタのドレイン電流を制御することができる。

【００６９】

（変形例３）

センスＭＯＳトランジスタＴｒ２０およびメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）の閾値電圧や電荷の移動度は一般に温度特性を有しているので、温度の変化とともにＩＧＢＴ２００のゲート電圧が変化する虞がある。本変形例では、これを抑制するため、センス電流制御回路ＳＣとして、第３実施形態および変形例２に示した参照電源１６２に適切な温度特性を持たせた構成を採用している。

【００７０】

具体的には、本実施形態におけるオフ側回路１６０のセンス電流制御回路ＳＣは、図１０に示すように、オペアンプ１６１と、所定の電流をオペアンプ１６１の一方の入力端子に供給する電流源Ｐ２と、オペアンプ１６１に対して電流源Ｐ２と並列接続された感温素子１６４と、を有している。本変形例における感温素子１６４は、例えば感温ダイオードである。各ＮＭＯＳトランジスタの閾値電圧や電荷の移動度は一般に負の温度特性を有し、また、感温ダイオードの電圧降下量（Ｖｆ）も負の温度特性を有する。このため、図１０に示すように、オペアンプ１６１の非反転入力端子に電流源Ｐ２および感温ダイオードを接続し、反転入力端子にオペアンプ１６１の出力を負帰還させる。これによって、駆動装置１００の温度上昇に合わせて、センスＭＯＳトランジスタＴｒ２０およびメインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）のゲート電圧を低下させることができる。すなわち、温度によるＩＧＢＴ２００のゲート電圧の変化を抑制することができる。なお、感温素子１６４としては、感温ダイオードに限定されるものではない。

【００７１】

（その他の実施形態）

以上、本発明の好ましい実施形態について説明したが、本発明は上記した実施形態になんら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することが可能である。

【００７２】

上記した実施形態および変形例では、パワースイッチング素子としてＩＧＢＴ２００を例示したが、この例に限定されない。例えば、パワースイッチング素子として、パワーＭＯＳトランジスタ等についても本発明を適用することができる。

【００７３】

また、スイッチ回路ＳＷとして、図３に示すような回路構成を例示したが、これに限定されない。すなわち、遅延回路１４０の出力に基づいて、入力端子ＩＮと出力端子ＯＵＴ間における電流の通電および遮断を制御できればよい。

【００７４】

また、上記した実施形態および変形例では、駆動装置１００が、一つのセンスＭＯＳトランジスタＴｒ２０を有する例について示したが、センスＭＯＳトランジスタＴｒ２０は複数形成されてもよい。この場合、各センスＭＯＳトランジスタそれぞれに対応したメインＭＯＳトランジスタが複数形成される。また、メインＭＯＳトランジスタの数についても上記例に限定されない。

【００７５】

さらに、上記した実施形態および変形例では、センスＭＯＳトランジスタＴｒ２０を構成する単位ＭＯＳトランジスタＴｒ１６が１個である例を示したがこの数についても限定されない。また、メインＭＯＳトランジスタ（Ｔｒ１０～Ｔｒ１５）を構成する単位ＭＯＳトランジスタＴｒ１６が８個である例を示したが、この数についても限定されるものではない。

【００７６】

上記した第３実施形態、変形例２および変形例３の説明は、オフ側回路に対してセンス

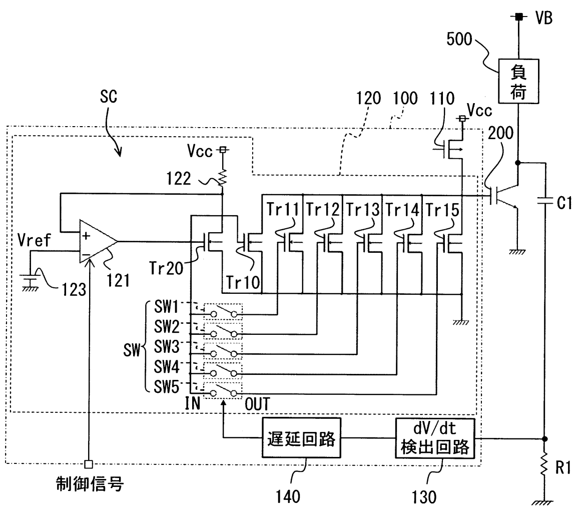
電流制御回路ＳＣのバリエーションを記載したものであるが、オン側回路１１０に適用することもできる。

【符号の説明】

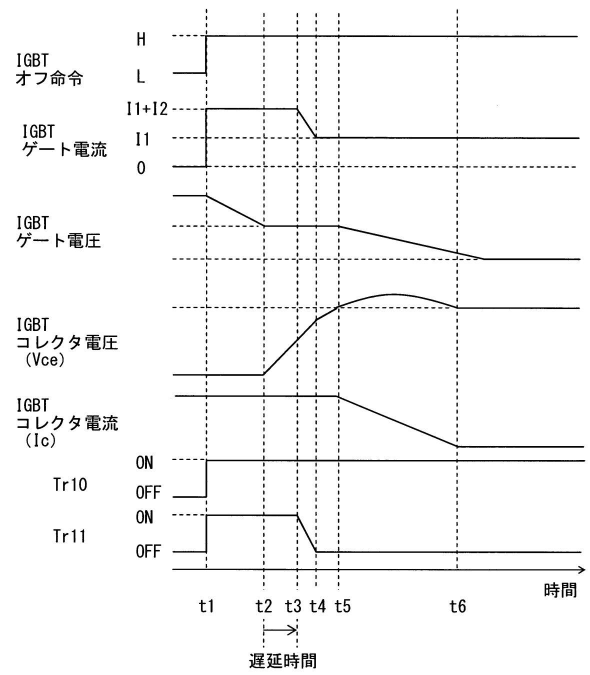
【００７７】

１００・・・駆動装置
１１０・・・オン側回路
１２０・・・オフ側回路
１３０・・・ｄＶ／ｄｔ検出回路
１４０・・・遅延回路
２００・・・パワースイッチング素子（ＩＧＢＴ）
Ｔｒ１０～Ｔｒ１５，Ｔｒ５０～Ｔｒ５５・・・メインＭＯＳトランジスタ
Ｔｒ２０，Ｔｒ６０・・・センスＭＯＳトランジスタ
ＳＷ（ＳＷ１～ＳＷ５，ＳＷ６～ＳＷ１０）・・・スイッチ回路

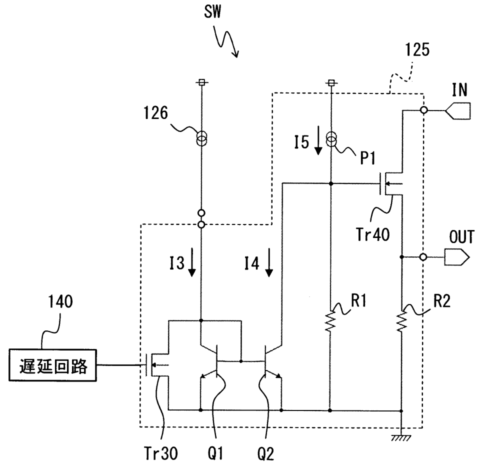
【図１】


VB
500
負荷
SC
120
100
110
Vcc
200
Vcc
122
C1
Tr11
Tr12
Tr13
Tr14
Tr15
Vref
+
−
121
123
Tr20
Tr10
SW1
SW2
SW3
SW4
SW5
SW
IN
OUT
遅延回路
dV/dt 検出回路
R1
制御信号
140
130

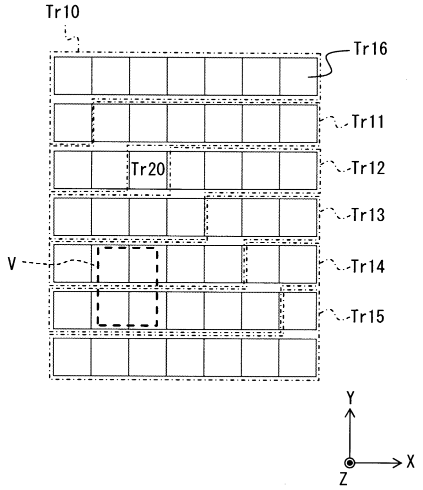
【図２】



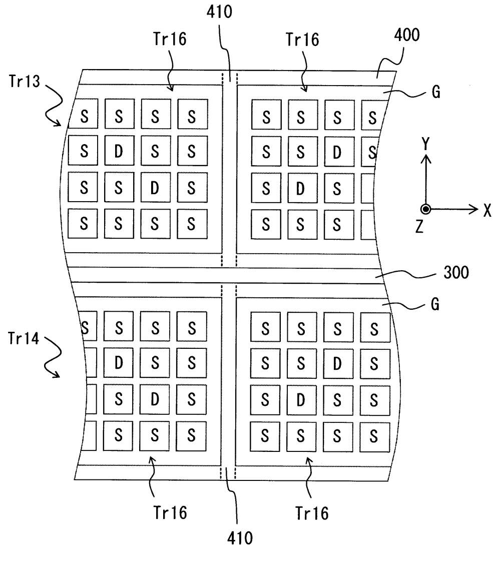
【図３】


SW
125
126
IN
I5
P1
Tr40
OUT
I3
I4
140
R1
R2
遅延回路
Tr30
Q1
Q2

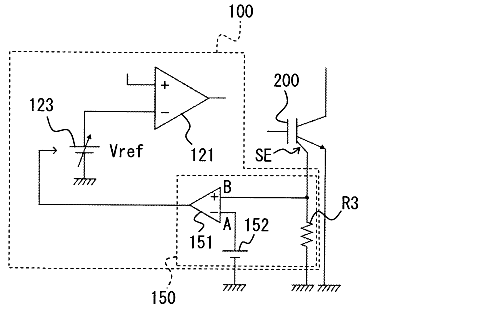
【図４】


Tr10
Tr16
Tr11
Tr20
Tr12
Tr13
V
Tr14
Tr15
Y
X
Z

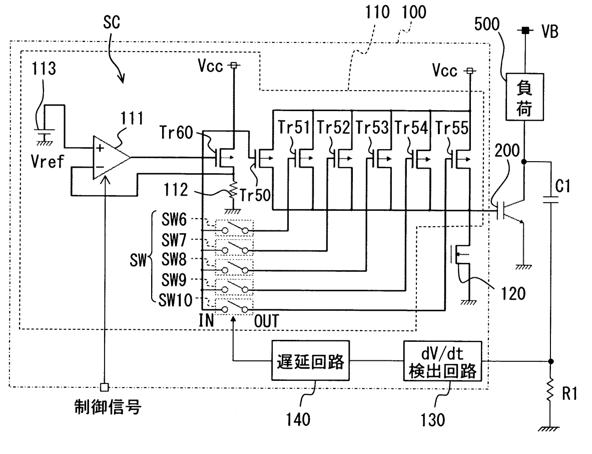
【図５】


410
Tr16
Tr16
400
Tr13
G
S
D
Y
X
Z
300
G
Tr14
Tr16
Tr16
410

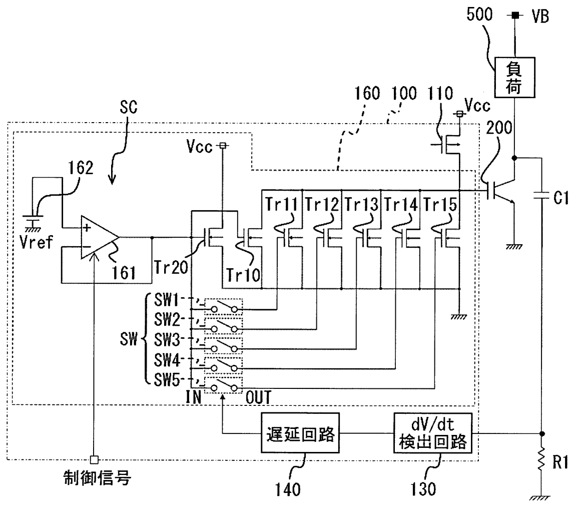
【図６】


100
200
123
Vref
121
SE
B
R3
A
152
151
150

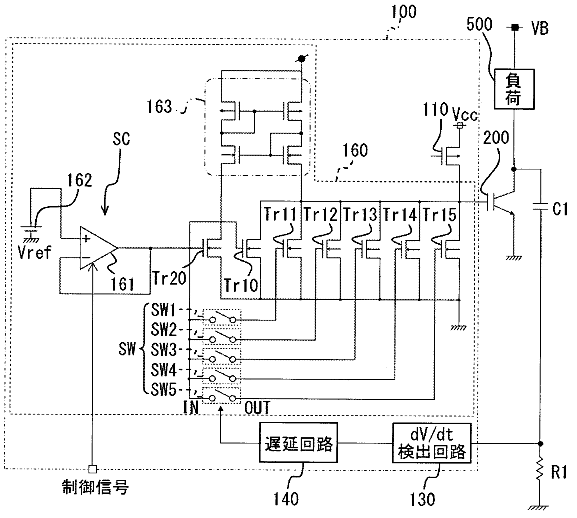
【図７】


SC
110
100
500
VB
113
Vcc
Vcc
負荷
111
Tr60
Tr51
Tr52
Tr53
Tr54
Tr55
200
Vref
112
Tr50
C1
SW6
SW7
SW
SW8
SW9
SW10
120
IN
OUT
遅延回路
dV/dt 検出回路
R1
制御信号
140
130

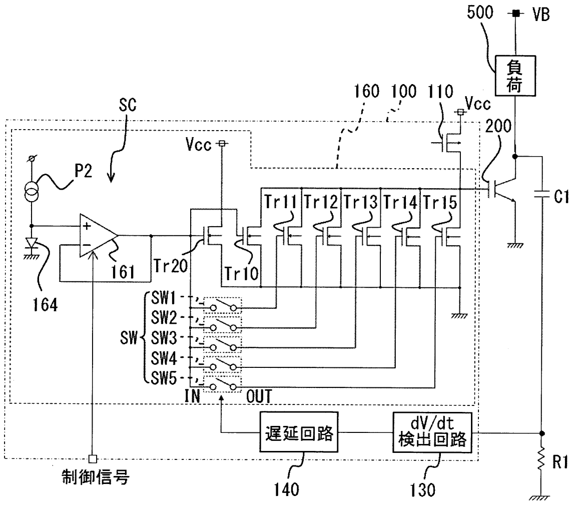
【図８】


500
VB
負荷
160
100
110
Vcc
SC
Vcc
200
162
C1
Vref
Tr11
Tr12
Tr13
Tr14
Tr15
161
Tr20
Tr10
SW1
SW2
SW
SW3
SW4
SW5
IN
OUT
遅延回路
dV/dt
検出回路
R1
制御信号
140
130

【図９】


100
500
VB
負荷
163
110
Vcc
SC
160
200
162
C1
Vref
Tr11
Tr12
Tr13
Tr14
Tr15
161
Tr20
Tr10
SW1
SW2
SW
SW3
SW4
SW5
IN
OUT
遅延回路
dV/dt
検出回路
R1
制御信号
140
130

【図１０】


500
VB
負荷
160
100
110
Vcc
SC
Vcc
200
P2
C1
Tr11
Tr12
Tr13
Tr14
Tr15
161
Tr20
Tr10
164
SW1
SW2
SW
SW3
SW4
SW5
IN
OUT
遅延回路
dV/dt
検出回路
R1
制御信号
140
130

フロントページの続き

(51)Int.Cl.　　　　　　　　　ＦＩ
ＨＯ１Ｌ　29/78　　６５６Ｃ

(72)発明者　小林　敦
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内
(72)発明者　金森　淳
愛知県刈谷市昭和町１丁目１番地　株式会社デンソー内

審査官　小林　秀和

(56)参考文献　米国特許出願公開第２０１３／０１６９３２２（ＵＳ，Ａ１）
特開２０１２－０９８２２０（ＪＰ，Ａ）
特開２０１２－２４９３５７（ＪＰ，Ａ）
特開２０１４－０５４０１９（ＪＰ，Ａ）
特開２０１０－２８３９７３（ＪＰ，Ａ）
特許第４９５４２９０（ＪＰ，Ｂ２）
特開平１１－２９９２２１（ＪＰ，Ａ）
国際公開第２００７／１３８９２９（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
ＨＯ２Ｍ　　１／０８
ＨＯ１Ｌ　２１／３３６
ＨＯ１Ｌ　２９／７８
ＨＯ３Ｋ　１７／０４