



オン抵抗を低く、移動度を高く、かつピンチオフ特性を良好にした上で、ドレイン電圧を増大させてもキック現象が生じない、大電流用の、半導体装置およびその製造方法を提供する。本発明は、開口部 28 が設けられた GaN 系積層体 15 と、チャネルを含む再成長層 27 と、ゲート電極 G と、ソース電極 S と、ドレイン電極 D とを備え、再成長層 27 は電子走行層 22 および電子供給層 26 を含み、GaN 系積層体には再成長層に開口部でその端面が被覆される p 型 GaN 層 6 が含まれ、その p 型 GaN 層にオーミック接触する p 部電極 11 を備えることを特徴とする。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本発明は、大電力のスイッチングに用いられる、半導体装置およびその製造方法、とくに窒化物半導体のうちGaN系半導体を用いた半導体装置およびその製造方法に関するものである。

背景技術

[0002] 大電流用のスイッチング素子には、高い逆方向耐圧と低いオン抵抗とが求められる。III族窒化物半導体を用いた電界効果トランジスタ（FET：Field Effect Transistor）は、バンドギャップが大きいことから、高耐圧、高温動作などの点で優れており、とくにGaN系半導体を用いた縦型トランジスタは、大電力の制御用トランジスタとして注目されている。たとえばGaN系半導体に開口部を設けて、その開口部の壁面に二次元電子ガス（2DEG：2 Dimensional Electron Gas）のチャネルを含む再成長層を設けることで、移動度を高めオン抵抗を低くした縦型GaN系FETの提案がなされている（特許文献1）。この縦型GaN系FETでは、ピンチオフ特性を改善するためのp型GaN系半導体層を配置する機構が提案されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2006-286942号公報

発明の概要

発明が解決しようとする課題

[0004] 上記の縦型GaN系FETでは、ピンチオフ特性を改善することができるかもしれないが、ドレイン電圧を増大させてドレイン電流を高めると、ドレイン電流－ドレイン電圧特性の飽和領域においてドレイン電流が増大する等の暴走を起こす、キンク現象を生じるおそれ大きい。

[0005] 本発明は、オン抵抗を低く、移動度を高く、かつピンチオフ特性を良好に

した上で、ドレイン電圧を増大させてもキンク現象が生じにくい、大電流用の、半導体装置およびその製造方法を提供することを目的とする。

課題を解決するための手段

- [0006] 本発明の半導体装置は、開口部が設けられたGa_{0.5}N_{0.5}系積層体と、Ga_{0.5}N_{0.5}系積層体の開口部を覆うようにエピタキシャル成長した、チャンネルを含む再成長層と、開口部において再成長層の上に位置するゲート電極と、開口部の周囲のGa_{0.5}N_{0.5}系積層体上において再成長層に接して位置するソース電極と、ソース電極からGa_{0.5}N_{0.5}系積層体の厚み方向に隔たって、ソース電極とチャンネルを挟むように位置するドレイン電極とを備える。そして、再成長層は電子走行層および電子供給層を含み、チャンネルが電子走行層における電子供給層との界面に形成される二次元電子ガスであり、Ga_{0.5}N_{0.5}系積層体には、開口部の壁面において再成長層にその端面が被覆されるp型Ga_{0.5}N_{0.5}系半導体層が含まれ、そのp型Ga_{0.5}N_{0.5}系半導体層にオーミック接触するp部電極を備えることを特徴とする。
- [0007] 上記の構成においてチャンネルは二次元電子ガス（2DEG）なので、Ga_{0.5}N_{0.5}系積層体においてp型Ga_{0.5}N_{0.5}系半導体層以外の層のGa_{0.5}N_{0.5}系積層体はn型またはi型のGa_{0.5}N_{0.5}系半導体で形成される。とくに、Ga_{0.5}N_{0.5}系積層体の表層は、ソース電極がオーミック接触するため高濃度のn⁺型Ga_{0.5}N_{0.5}系半導体層で形成される。このため、上記のp型Ga_{0.5}N_{0.5}系半導体層は、上記表層側のn⁺型Ga_{0.5}N_{0.5}系半導体層と、電子がドリフトする比較的低濃度のn⁻型Ga_{0.5}N_{0.5}系半導体層とによって挟まれることになる。

上記の構成におけるp型Ga_{0.5}N_{0.5}系半導体層は、つぎの作用を発揮する。

- (1) バンドの正方向へのシフトによるピンチオフ特性の向上
- (2) 縦方向耐圧性能の向上
- (3) p部電極を取り付けられることによる、キンク現象の防止

上記の(1)および(2)は、上記のp部電極がなくても、すなわちp型半導体ということにより、いわゆるバックゲート効果により、その作用を得ることができる。しかし、p型Ga_{0.5}N_{0.5}系半導体層にオーミック接触するp部

電極を設けることで、ドレイン電圧を高くしたときチャンネルからドレイン電極にいたる間に生成する正孔を外部に引き抜くことができ、(3)の作用を得ることができる。すなわち、p部電極は、p型Ga_{0.5}In_{0.5}N系半導体層の正孔を呼び込み、外部に引き抜くことができる。以下、(3)について詳細に説明する。

p部電極がない場合、p型Ga_{0.5}In_{0.5}N系半導体層が配置されていても、ドレイン電圧を高めたとき、チャンネルのドレイン側に高電界領域ができ、高エネルギーの電子によってアバランシェ破壊が起き、多数の正孔が形成される。Ga_{0.5}In_{0.5}N系半導体はワイドバンドギャップなので、再結合時定数が長く、Ga_{0.5}In_{0.5}N系積層体には正孔が蓄積されてゆく。Ga_{0.5}In_{0.5}N系半導体層は正孔のフェルミ準位に対して接地されておらず、正孔が蓄積されることでチャンネル近傍のポテンシャルが下降、伝導帯の電子濃度が増加する。その結果、ドレイン電流ードレイン電圧の飽和領域でドレイン電流の増大などの暴走を招く。

p型Ga_{0.5}In_{0.5}N系半導体層にp部電極を設けることで、アバランシェ破壊が生じて正孔が多数形成されても、p部電極を通じて外部に引き抜くことができるので、正孔の蓄積は解消し、キンク現象は防止される。

p部電極を設けることで、p型Ga_{0.5}In_{0.5}N系半導体層は、(1)および(2)だけでなく、上記(1)～(3)に示す作用を得ることができ、縦型Ga_{0.5}In_{0.5}N系FETにおいて、いわば一石三鳥の効果を得ることができる。この結果、キンク現象、縦型耐圧等の制約を克服して、自由度を拡大して、開口部の壁面上に形成される2DEGを縦に通して大電流を操作することが可能となる。

なお、p型Ga_{0.5}In_{0.5}N系半導体層は、p型Ga_{0.5}In_{0.5}N層でもよいし、p型AlGa_{0.5}In_{0.5}N層でもよい。p型AlGa_{0.5}In_{0.5}N層とした場合、さらにバンドを正方向に持ち上げることができピンチオフ特性をさらに向上することができる。p型Ga_{0.5}In_{0.5}N系半導体層のキャリア濃度は、通常、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度であるが、あとで説明するように、バックゲートの効果を高めるために、高濃度のp⁺型Ga_{0.5}In_{0.5}N系半導体層とする場合もある。

上記のGaN系積層体は、GaNの所定結晶面上にエピタキシャル成長されたものであるが、その下地のGaNは、GaN基板でも、または支持基体上のGaN膜でもよい。さらに、GaN系積層体の成長時にGaN基板等の上に形成して、その後の工程で、GaN基板等の所定厚み部分を除いて、製品の状態では薄いGaN層下地のみが残っているものであってもよい。その薄い下地のGaN層は、導電性でも非導電性でもよく、ドレイン電極は、製造工程および製品の構造によるが、薄いGaN層の表面または裏面に設けることができる。

GaN基板または支持基体等が製品に残る場合、当該支持基体または基板は、導電性でも、非導電性でもよい。導電性の場合、ドレイン電極は、その支持基体または基板の裏面（下）またはおもて面（上）に直接設けることができる。また、非導電性の場合、非導電性基板の上であって、上記半導体層中の下層側に位置する導電層の上に、ドレイン電極を設けることができる。

[0008] p部電極は、平面的に見てソース電極に含まれ、p型GaN系半導体層とソース電極との間を貫通して、ソース電極とオーミック接触することができる。これによって、p部電極は、ソース電極下に埋め込まれる形態をとり、ソース電極と共通の電位、たとえば接地電位をとる。その他の、p部電極に固有の配線などは必要としない。このため、非常に簡単な構造のp部電極とすることができ、簡単な工程の変更で製造することが可能となる。また、ソース電極下に埋め込む形態をとるので、面積的な増大はなく、この縦型GaN系FETを微細化することができ、その微細化のために低いオン抵抗を実現することができる。

上記のp型GaN系半導体層の上のGaN系積層体を貫通して、ソース電極とオーミック接触するp部電極（p型GaN系半導体層とオーミック接触している）は、金属でもp⁺型GaN系半導体でもよい。

[0009] 再成長層上であって、ゲート電極の下に、絶縁層を備えることができる。これによって、ゲート電極下に絶縁層を配置することで、ゲートに正電圧を

印加したときのゲートリーク電流を抑制できるため、大電流動作が可能となる。また、しきい値電圧をより正方向にシフトできるため、ノーマリーオフを得やすくなる。

[0010] 本発明の半導体装置の製造方法は、GaNの所定結晶面上に、p型GaN系半導体層を含むGaN系積層体を形成する工程と、GaN系積層体に、エッチングにより、p型GaN系半導体層を貫通する開口部を形成する工程と、GaN系積層体の開口部に、電子走行層および電子供給層を含む再成長層をエピタキシャル成長させる工程と、開口部の周囲の表面からp型GaN系半導体層に届く縦穴をあけ、次いで、その縦穴に導電材料を充填することで導電部を設ける工程と、導電部に導電接触し、かつ、開口部における再成長層に導電接触するように、ソース電極を設ける工程とを備えることを特徴とする。

[0011] 上記の方法によって、p部電極は、ソース電極下に埋め込まれて、ソース電極と共通の電位、たとえば接地電位をとるp部電極または導電部を、簡単な工程で形成することができる。導電部以外に、p部電極に固有の配線などは必要としない。このため、非常に簡単な工程の変更で製造することが可能となる。

発明の効果

[0012] 本発明によれば、オン抵抗を低く、移動度を高く、かつピンチオフ特性を良好にした上で、ドレイン電圧を増大させてもキンク現象が生じにくい、大電流用の、半導体装置およびその製造方法を得ることができる。

図面の簡単な説明

[0013] [図1]本発明の実施の形態における縦型GaN系FETを示す断面図である。

[図2]図1の縦型GaN系FETの平面図である。

[図3]図1の縦型GaN系FETの製造方法を示し、(a)は支持基体上にオーミック接触するGaN層を有する基板にキャップ層までのエピタキシャル積層体を形成した状態、(b)は開口部を設けるためにレジストパターンを形成した状態、を示す図である。

[図4] (a) はエッチングによって開口部を設けた状態、(b) はレジストパターンを除去してさらに開口部をエッチングした状態、を示す図である。

[図5] 開口部に、再成長層を形成し、孔をあけて導電部を充填した状態を示す図である。

発明を実施するための形態

[0014] 図1は、本発明の実施の形態における縦型GaN系FET10の断面図である。縦型GaN系FET10は、導電性のGaN基板1と、その上にエピタキシャル成長した、n⁻型GaNドリフト層4/p型GaN層6/n⁺型キャップ層8、を備える。上記の、n⁻型GaNドリフト層4/p型GaN層6/n⁺型キャップ層8は、連続して形成されたGaN系積層体15を形成する。GaN基板1の種類によっては、GaN基板1とn⁻型GaNドリフト層4との間にAlGaN層またはGaN層からなるバッファ層を挿入してもよい。

なお、GaN基板1は、支持基体上にオーミック接触するGaN層を有する基板であってもよいし、上述のように製品状態では、GaN基板等の相当の厚み部分が除去されてGaN系積層体のエピタキシャル成長の下地膜としての薄いGaN層のみが残った状態でもよい。これら、GaN基板、支持基体上にオーミック接触するGaN層を有する基板、製品に薄く残された下地のGaN層などを、単にGaN基板と略称する場合もある。

また、p型GaN系半導体層は、本実施の形態ではp型GaN層6としていたが、p型AlGaN層を用いてもよい。

GaN系積層体15には、p型GaN層6を貫通してn⁻型GaNドリフト層4内に至る開口部28が設けられ、その開口部28の壁面およびGaN系積層体15の表面を被覆するように、エピタキシャル成長した再成長層27が形成されている。再成長層27は、i (intrinsic) GaN電子走行層22およびAlGaN電子供給層26で構成される。i GaN電子走行層22とAlGaN電子供給層26との間にAlN等の中間層を挿入してもよい。ゲート電極Gは再成長層27に位置し、ドレイン電極DはGaN基板1の裏面に

位置する。ソース電極Sは、Ga_{0.5}N系積層体15上において再成長層27にオーミック接触する。図1では、ソース電極Sは、再成長層27に接触して再成長層27上に位置するが、n⁺型キャップ層8に接触してn⁺型キャップ層8上に位置しながら再成長層27の端面にオーミック接触するようにしてもよい。

本実施の形態の縦型Ga_{0.5}N系FET10では、電子は、ソース電極Sから電子走行層22を通りn⁻型Ga_{0.5}Nドリフト層4を経てドレイン電極Dへと、厚み方向または縦方向に流れる。この電子の経路において、p型Ga_{0.5}N層6は、n⁻型Ga_{0.5}Nドリフト層4と、n⁺型キャップ層8とに挟まれている。電子は、p型Ga_{0.5}N層6を流れるわけではないが、p型Ga_{0.5}N層6は、電子のバンドエネルギーを持ち上げ、かつ耐圧特性を向上するなどのバックゲート効果を発揮する。

[0015] 本実施の形態では、ソース電極Sの下に埋め込まれる形態でp型Ga_{0.5}N層6を配置した上で、p型Ga_{0.5}N層6とソース電極Sとにオーミック接触する導電部11を配置した点に特徴を有する。導電部11は、n⁺型キャップ層8を貫通し、p型Ga_{0.5}N層6内に届いて、p型Ga_{0.5}N層6とオーミック接触している。導電部11によって、p型Ga_{0.5}N層6とソース電極Sとは共通の電位を有し、p型Ga_{0.5}N層6はたとえば接地電位に固定される。以後の説明では、導電部11をp部電極11と呼ぶ場合がある。

p型Ga_{0.5}N層6は、上記したように次の作用を発揮する。

- (1) バンドの正方向へのシフトによるピンチオフ特性の向上
- (2) 縦方向耐圧性能の向上
- (3) p部電極11を取り付けられることによる、キック現象の防止

上記の(1)および(2)は、上記のp部電極11がなくても、上述のバックゲート効果により、その作用を得ることができる。しかし、p型Ga_{0.5}N層6にオーミック接触するp部電極11を設けることで、ドレイン電圧を高くしたときチャネルからドレイン電極にいたる間に生成する正孔を外部に引き抜くことができ、(3)の作用を得ることができる。以下、(3)につい

て詳細に説明する。

p部電極11がない場合、p型GaN層6が配置されていても、ドレイン電圧を高めたとき、チャンネルのドレイン側に高電界領域ができ、高エネルギーの電子によってアバランシェ破壊が起き、高濃度の正孔が形成される。GaN系半導体はワイドバンドギャップなので、再結合時定数が長く、GaN系積層体15とくにn⁻型GaNドリフト層4には正孔が高濃度に蓄積されてゆく。その結果、ドレイン電流ードレイン電圧の飽和領域においてドレイン電流の増大などの暴走を招く。p型GaN層6にp部電極11を設けることで、アバランシェ破壊が生じて正孔が多数形成されても、p部電極11を通じて外部に引き抜くことができ、キンク現象を防止することができる。

p部電極11を設けることで、p型GaN層6は上記(1)～(3)に示す作用を得ることができる。この結果、縦型GaN系FET10において、キンク現象、縦型耐圧等の制約を克服して、自由度を拡大して、開口部に形成される2DEGを縦に通して大電流を操作することが可能となる。

[0016] 図2は、図1に示す縦型GaN系FET10の平面図である。この平面図によれば、縦型GaN系FET10は六角形であり、平面的に稠密に配置することができる。さらに、環状六角形をなすp部電極11または導電部11は、環状六角形をなすソース電極Sの下に完全に覆われている。すなわちp型GaN層6は、面積的に何ら付加部分を設けることなくソース電極Sと導電接続される。このため、平面的に稠密に配置されて小型形状を維持したまま、キンク現象に対する備えを設けることができる。また、上記の埋め込み型の導電部11は、p型GaN層6内に届くためのエッチング時間さえ注意すれば、簡単な工程で形成することができる。

[0017] n⁻型GaNドリフト層4は、たとえば、厚み1 μ m～25 μ m、キャリア濃度 $0.2 \times 10^{16} \text{ cm}^{-3}$ で～ $20.0 \times 10^{16} \text{ cm}^{-3}$ とするのがよい。p型GaN層6は、厚み0.1 μ m～10 μ m、キャリア濃度 $0.5 \times 10^{16} \text{ cm}^{-3}$ ～ $50 \times 10^{16} \text{ cm}^{-3}$ とするのがよい。p型GaN層3のバックゲート効果の機能を重視する場合には、キャリア濃度を高めて、 $1 \times 10^{17} \text{ cm}^{-3}$

$3 \sim 1 \times 10^{19} \text{ cm}^{-3}$ とすることができる。n⁺型Ga_{0.9}N_{0.1}キャップ層8は、厚み0.1 μm~3 μm、キャリア濃度 $1.0 \times 10^{17} \text{ cm}^{-3} \sim 30.0 \times 10^{17} \text{ cm}^{-3}$ とするのがよい。

[0018] 再成長層27において、電子走行層22は厚み5 nm~100 nm程度とし、電子供給層26は厚み1 nm~100 nm程度とするのがよい。電子走行層22の厚みが5 nmより薄いと、2DEGと電子供給層26/電子走行層22の界面が近接しすぎて2DEGの移動度を低下させる。電子走行層22の厚みが100 nmを超えると、p型Ga_{0.9}N_{0.1}層6の効果が薄れ、ピンチオフ特性が劣化するので、100 nm以下とするのがよい。

[0019] ー製造方法ー

次に、本実施の形態における縦型Ga_{0.9}N_{0.1}系半導体装置10の製造方法を説明する。まず、図3(a)に示すように、支持基体上にオーミック接触するGa_{0.9}N_{0.1}層を有する基板1またはGa_{0.9}N_{0.1}基板1の上に、n⁻型Ga_{0.9}N_{0.1}ドリフト層4/p型Ga_{0.9}N_{0.1}層6/n⁺型Ga_{0.9}N_{0.1}キャップ層8、の積層体をエピタキシャル成長する。これらの層の形成は、例えば、MOCVD(有機金属化学気相成長)法を用いる。またはMOCVD法でなくMBE(分子線エピタキシャル)法を用いてもよい。これにより結晶性の良いGa_{0.9}N_{0.1}系半導体層を形成できる。また、各層の膜厚、キャリア濃度は、次のとおりである。

n⁻型Ga_{0.9}N_{0.1}ドリフト層4 : 厚み5.0 μm、キャリア濃度 $5.0 \times 10^{15} \text{ cm}^{-3}$

p型Ga_{0.9}N_{0.1}層6 : 厚み0.5 μm、キャリア濃度 $5.0 \times 10^{18} \text{ cm}^{-3}$

n⁺型Ga_{0.9}N_{0.1}キャップ層8 : 厚み0.3 μm、キャリア濃度 $5.0 \times 10^{17} \text{ cm}^{-3}$

[0020] 次に、図3(b)に示すように、n⁺型Ga_{0.9}N_{0.1}キャップ層8上に、通常の露光技術を用いて、所定領域にレジストマスクM1を形成する。ここで形成するレジストマスクM1は、平面形状が六角形、断面形状が台形(メサ型)である。

その後、図4(a)に示すように、誘導結合プラズマ(Inductivity Coupl

ed Plasma) を用いて生成した高密度プラズマを用いた R I E (Reactive Ion Etching : 反応性イオンエッチング) により、 n^+ 型 Ga N キャップ層 8、 p 型 Ga N 層 6、および n^- 型 Ga N ドリフト層 4 の一部をエッチングし、開口部 28 を形成する。これにより、 n^+ 型 Ga N キャップ層 8、 p 型 Ga N 層 6、および n^- 型 Ga N ドリフト層 4 の端面は、開口部 28 に露出して開口部の壁面を構成する。この時点で、開口部 28 の壁面には、深さ数 nm (1 nm ~ 20 nm 程度) にわたって、エッチングダメージが発生している。なお、開口部 28 の壁面は、基板表面に対し約 $10^\circ \sim 90^\circ$ の傾斜面となっている。この傾斜面の基板表面に対する角度は、R I E 法で用いる塩素ガスのガス圧および他のガスとの流量比により制御可能である。R I E が終了すると、有機洗浄を行い、アッシング等により、レジストマスク M1 を除去する。

[0021] 続いて、TMAH (水酸化テトラメチルアンモニウム) 水溶液をエッチング液として、開口部壁面の異方性ウエットエッチングを行う (80°C 、数分 ~ 数時間)。異方性ウエットエッチングによって、高密度プラズマを用いた R I E によって開口部 28 の壁面に生じたエッチングダメージを除去する。同時に、 n^+ 型 Ga N キャップ層 8、 p 型 Ga N 層 6 の端面の一部にそれぞれの m 面を露出させる。

開口部 28 の側面は、複数のほぼ基板面に垂直な面 S_1 と、各面 S_1 の間を補完するように形成された傾斜した面 S_3 とが、開口部の側面の傾斜方向 (傾斜角度 θ) に混在して形成されている。縦型 FET 10 では、主面が $\{0001\}$ 面である Ga N 基板 1 の場合、六方晶の Ga N 層、および Al Ga N 層を $\{0001\}$ 面 (以下、 C 面とする) を成長面として、エピタキシャル成長させている。したがって、 n^+ 型 Ga N キャップ層 8 における垂直な面 S_1 は、 $\{1-100\}$ 面 (以下、 m 面とする) となる。 m 面は、 C 面とは異なり無極性面である。このため、 m 面を成長面として、Ga N 電子走行層 22、Al Ga N 電子供給層 26 を再成長させることによって、ピエゾ電荷等の分極電荷が Al Ga N 26 / Ga N 22 のヘテロ界面に生じない。このためチャネルの最低エネルギーを低下させる向きの電界は生じない。これによって

、より一層、ピンチオフ特性の向上を得ることができる。

図4(a)等における開口部28の壁面の傾斜角 θ が90度に近いほど、壁面におけるm面または面 S_1 の占める割合が高くなる。よって、縦型FET10においてピンチオフ特性を一層向上するためには、傾斜角 θ が90度に近い方が好ましく、たとえば60度以上とするのがよい。

[0022] エッチングダメージの深さは、RIEの処理条件によって異なる。また、開口部境界面に対するm面の割合は製造する縦型FET10の仕様によって異なる。したがって、これらの条件を考慮して、異方性エッチングは、エッチングダメージを除去でき、かつ、所定の特定が得られるようなエッチングの条件で行えばよい。なお、異方性ウエットエッチングを行うためのエッチング液は、TMAH水溶液に限られない。エッチング液として、基板の材質に応じて適切なものを用いればよい。

図4(b)において、開口部28は、図2に示すように平面形状が六角形となる。

[0023] 次に、図5に示すように、再成長層27を構成する、GaN電子走行層22およびAlGaN電子供給層26を、開口部28の壁面および開口部28の周囲のGaN系積層体15上に形成する。GaN電子走行層22とAlGaN電子供給層26との間にAlN中間層を挿入してもよい。再成長層27の成長では、まず、MOCVDを用いて、不純物を添加しないGaN電子走行層22を形成する。MOCVDにおける成長温度は、1020℃とする。AlN中間層を挿入する場合は、その後、成長温度を1080℃として、AlN中間層およびAlGaN電子供給層26を形成する。これによって開口部28の表面に沿って電子走行層22、AlN中間層、電子供給層26からなる再成長層27を形成する。なお、一例を挙げると、形成するGaN電子走行層22、AlN中間層、およびAlGaN電子供給層26の厚さは、それぞれ100nm、1nm、24nmであり、AlGaN電子供給層26のAl組成比は、25%である。

[0024] 再成長は、開口部28の壁面での成長速度の低下を避けるため、GaN系

積層体 15 の成長温度より低い温度で、かつ高い V/I 比で形成することが好ましい。さらに、電子走行層 22 の形成から中間層および電子供給層 26 を形成するために成長温度を昇温する際、結晶表面へのダメージを低減するため短時間で昇温することが好ましい。例えば、20分以下の時間で昇温することが好ましい。なお、MOCVD法でなくMBE法を用いてもよい。

[0025] その後、開口部 28 の形成法と同様にレジストMを用いて導電部 11 のパターンを形成し、このレジストMをマスクとしてドライエッチングによりp型Ga_{0.5}N層6内に届く孔を設ける。そして、このレジストMを除去したのち、新たにレジストパターンを形成し蒸着法により電極金属を成膜し、リフトオフ法により導電部 11 を形成する。その後、p型Ga_{0.5}N層とオーミック接触をえるために合金化アニールを行う。導電部 11 は、平面的には図2に示すように環状六角形である。

[0026] 次に、ソース電極S、ゲート電極G、ドレイン電極Dを形成する。この環状六角形の導電部 11 またはp部電極 11 に導電接続するように、環状六角形のソース電極Sを形成する。ソース電極Sの形成にあたっては、まず、通常の露光技術を用い、所定領域に開口部を有するフォトリソレジストを形成する。次に、蒸着法により電極を成膜したのちリフトオフ法を用い、n⁺型Ga_{0.5}Nキャップ層8または再成長層27の平坦面上にTi/Al膜を形成する。その後、窒素雰囲気中において800℃の温度で30秒の熱処理を行う。これにより、Ti/Al膜とn⁺型Ga_{0.5}Nキャップ層8または再成長層27との界面に合金層を形成する。この結果、オーミックコンタクト抵抗が0.4Ωmm程度の良好なオーミックコンタクトを有するソース電極Sを形成することができる。

ソース電極Sとしては、Ti/Al以外にも再成長層27とオーミックコンタクトする金属であればよい。また、ソース電極SとしてTi/Alを蒸着する前に、塩素系ガスを用いたRIE法によるエッチングで、AlGa_{0.5}N電子供給層26およびAlN中間層を除去することが好ましい。この場合、

中間層による電子のバリアがなく、オーミックコンタクトにおける抵抗を $0.2 \Omega \text{mm}$ に低減することができる。

[0027] ゲート電極Gの形成にあたっては、まず、通常の露光技術を用い、所定の開口部を有するフォトレジストを形成する。次に、蒸着法およびリフトオフ法を用い、開口部28に形成したAlGaIn電子供給層26に沿ってNi/Au膜を形成する。

なお、ゲート電極Gとしては、Ni/Au以外にも例えばPt/Au、Pd/AuおよびMo/Au等のGaIn系半導体とショットキ接合を形成する金属であってもよい。また、ゲート電極Gを形成する前に、例えばシリコン膜の絶縁膜（図示せず）をCVD法やスパッタ法を用いて、開口部28内のAlGaIn電子供給層26に沿って10nm形成するようにしてもよい。これにより、MIS-HFET構造を有する縦型FETとすることもできる。絶縁膜としては、酸化シリコン膜以外にも、窒化シリコン膜、酸化アルミニウム膜を使用してもよい。

[0028] その後、ゲート電極Gおよびソース電極Sに接続する配線層（図示せず）を形成し、トランジスタ表面を保護する絶縁膜層（図示せず）を形成する。絶縁膜層としては、例えば、窒化シリコン膜、酸化シリコン膜または窒化酸化シリコン膜をトランジスタ表面全体を覆うように形成する。また、ボンディングパッド部（図示せず）の絶縁膜層をRIE法を用いて除去する。以上によりウェーハ表面の製造工程が完了する。

[0029] ドレイン電極Dの形成にあたっては、まず、ウェーハ表面をフォトレジストで保護する。支持基体上にオーミック接触するGaIn層を有する基板1の裏面に、蒸着法を用い、Ti/Al膜を形成する。ウェーハ表面のフォトレジストを除去した後、 850°C の温度で30秒間熱処理する。これにより、支持基体上にオーミック接触するGaIn層を有する基板1とドレイン電極Dの金属が合金を形成し、基板1とドレイン電極Dがオーミックコンタクトする。以上により図1に示す縦型GaIn系FET10が完成する。

[0030] なお、ドレイン電極DをGaIn基板1の裏面に形成しているが、n-型Ga

Nドリフト層4においてソース電極Sと相対する面にドレイン電極Dを形成するようにしてもよい。例えば、n⁻型Ga_{0.5}Nドリフト層4とGa_{0.5}N基板1との間にn型のGa_{0.5}Nコンタクト層を設け、表面側からコンタクト層に接続されるドレイン電極を形成することもできる。

[0031] 上記開示された本発明の実施形態の構造は、あくまで例示であって、本発明の範囲はこれらの記載の範囲に限定されるものではない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味及び範囲内でのすべての変更を含むものである。

産業上の利用可能性

[0032] 本発明によれば、開口部壁面にチャネルを含む再成長層を設けた縦型Ga_{0.5}N系FETにおいて、開口部の周囲に、p部電極を設けたp型Ga_{0.5}N系半導体層を配置することで、正孔を外部に容易に引き抜くことが可能になり、キंक現象を克服することが可能となった。さらに、このp部電極をソース電極と平面的に重複する埋め込み構造とすることで、平面的に付加部分を増やすことなく、小型化の状態を維持したまま、p部電極をソース電極に導電接続して、たとえば接地することができるようになった。

符号の説明

[0033] 1 Ga_{0.5}N基板、4 n⁻型Ga_{0.5}Nドリフト層、6 p型Ga_{0.5}N層、8 n⁺型Ga_{0.5}Nキャップ層、10 縦型Ga_{0.5}N系FET、11 p部電極（導電部）、15 Ga_{0.5}N系積層体、22 Ga_{0.5}N電子走行層、26 AlGa_{0.5}N電子供給層、27 再成長層、28 開口部、S ソース電極、G ゲート電極、D ドレイン電極、M1 レジストパターン。

請求の範囲

[請求項1]

開口部が設けられたGaN系積層体と、
前記GaN系積層体の前記開口部を覆うようにエピタキシャル成長した、チャンネルを含む再成長層と、
前記開口部において前記再成長層の上に位置するゲート電極と、
前記開口部の周囲の前記GaN系積層体上において前記再成長層に接して位置するソース電極と、
前記ソース電極から前記GaN系積層体の厚み方向に隔たって、前記ソース電極と前記チャンネルを挟むように位置するドレイン電極とを備え、
前記再成長層は電子走行層および電子供給層を含み、前記チャンネルが前記電子走行層における前記電子供給層との界面に形成される二次元電子ガスであり、
前記GaN系積層体には、前記開口部の壁面において前記再成長層にその端面が被覆されるp型GaN系半導体層が含まれ、そのp型GaN系半導体層にオーミック接触するp部電極を備えることを特徴とする、半導体装置。

[請求項2]

前記p部電極は、平面的に見て前記ソース電極に含まれ、前記p型GaN系半導体層と前記ソース電極との間を貫通して、前記ソース電極とオーミック接触することを特徴とする、請求項1に記載の半導体装置。

[請求項3]

前記再成長層上であって、前記ゲート電極の下に、絶縁層を備えることを特徴とする、請求項1または2に記載の半導体装置。

[請求項4]

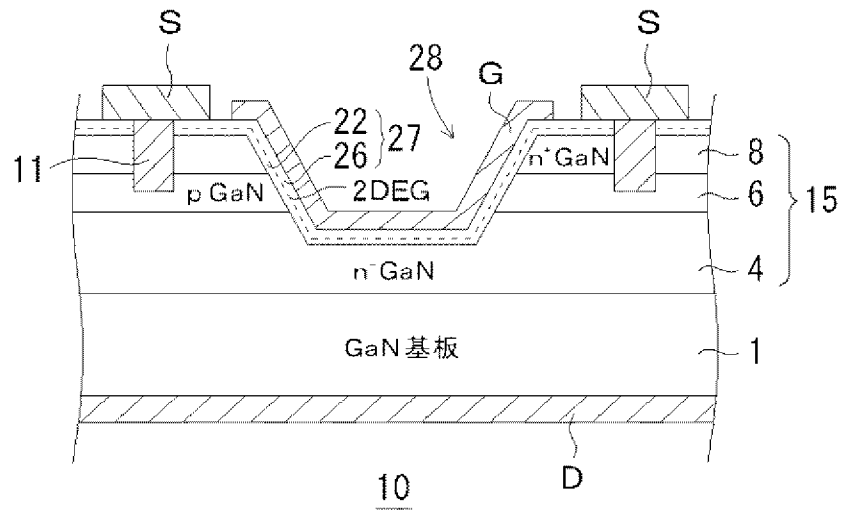
GaNの所定結晶面上に、p型GaN系半導体層を含むGaN系積層体を形成する工程と、
前記GaN系積層体に、エッチングにより、前記p型GaN系半導体層を貫通する開口部を形成する工程と、
前記GaN系積層体の前記開口部に、電子走行層および電子供給層

を含む再成長層をエピタキシャル成長させる工程と、

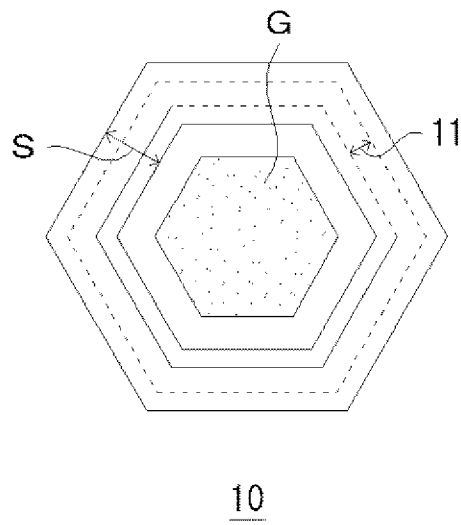
前記開口部の周囲の表面から前記 p 型 GaN 系半導体層に届く縦穴をあけ、次いで、その縦穴に導電材料を充填することで導電部を設ける工程と、

前記導電部に導電接触し、かつ、前記開口部における再成長層に導電接触するように、ソース電極を設ける工程とを備えることを特徴とする、半導体装置の製造方法。

[圖1]

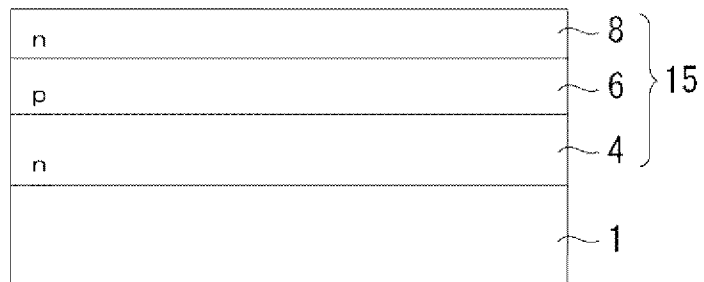


[圖2]

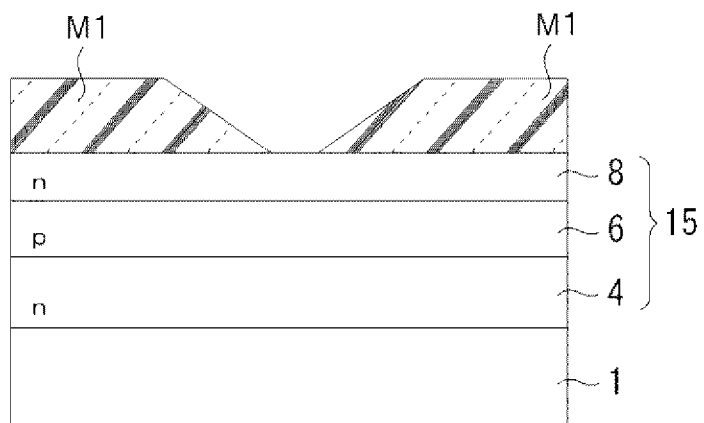


[図3]

(a)

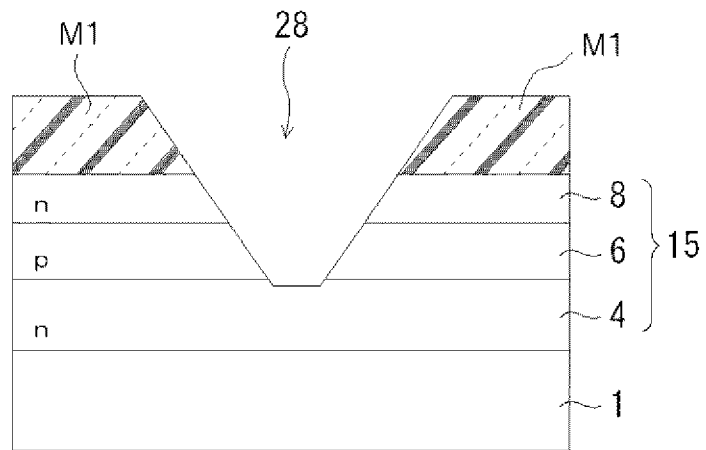


(b)

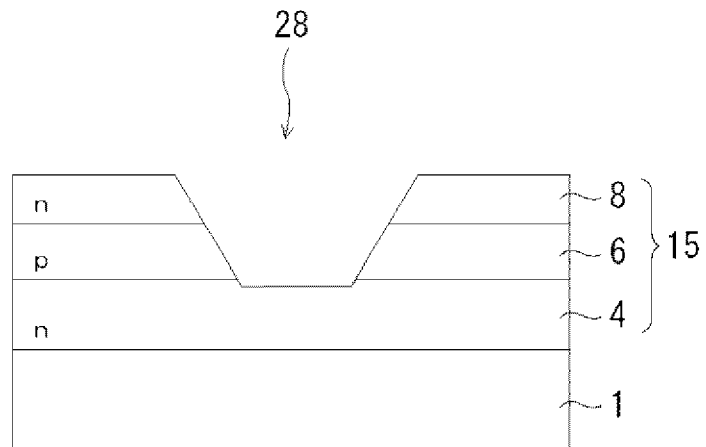


[図4]

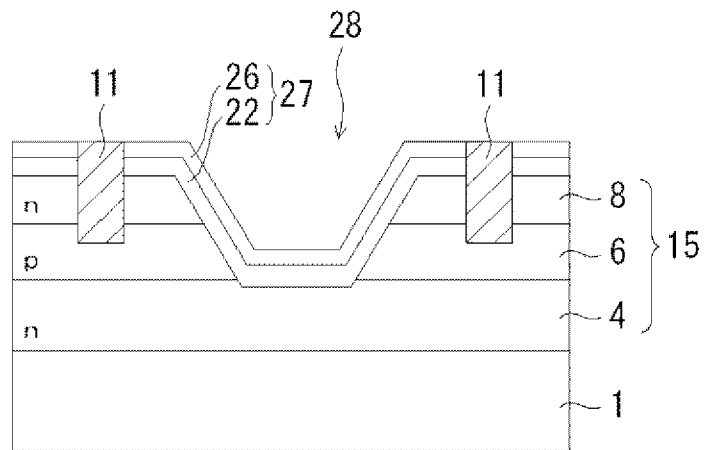
(a)



(b)



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/060738

A. CLASSIFICATION OF SUBJECT MATTER H01L29/80(2006.01) i, H01L21/336(2006.01) i, H01L21/338(2006.01) i, H01L29/12(2006.01) i, H01L29/778(2006.01) i, H01L29/78(2006.01) i, H01L29/812(2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L29/80, H01L21/336, H01L21/338, H01L29/12, H01L29/778, H01L29/78, H01L29/812 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-260140 A (Toyota Central Research and Development Laboratories, Inc.), 16 September 2004 (16.09.2004), fig. 11 & US 2004/0157355 A1	1-4
Y	JP 2008-053449 A (Rohm Co., Ltd.), 06 March 2008 (06.03.2008), fig. 1 to 10 & WO 2008/023737 A1 & US 2010/0006894 A	1-4
Y	JP 2008-041834 A (Toyota Central Research and Development Laboratories, Inc.), 21 February 2008 (21.02.2008), fig. 2 (Family: none)	1-4
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 September, 2010 (13.09.10)		Date of mailing of the international search report 21 September, 2010 (21.09.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/060738

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-286942 A (Eudyna Devices Inc.), 19 October 2006 (19.10.2006), fig. 3 to 10 & US 2006/0220060 A1	1-4
Y	JP 2008-091595 A (Eudyna Devices Inc.), 17 April 2008 (17.04.2008), fig. 1 to 5 & US 2008/0079009 A1	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/80(2006.01)i, H01L21/336(2006.01)i, H01L21/338(2006.01)i, H01L29/12(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/80, H01L21/336, H01L21/338, H01L29/12, H01L29/778, H01L29/78, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-260140 A (株式会社豊田中央研究所) 2004.09.16, 図 11 & US 2004/0157355 A1	1-4
Y	JP 2008-053449 A (ローム株式会社) 2008.03.06, 図 1-10 & WO 2008/023737 A1 & US 2010/0006894 A	1-4
Y	JP 2008-041834 A (株式会社豊田中央研究所) 2008.02.21, 図 2 (ファミリーなし)	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

13.09.2010

国際調査報告の発送日

21.09.2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村岡 一磨

4 L

3448

電話番号 03-3581-1101 内線 3498

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-286942 A (ユーディナデバイス株式会社) 2006.10.19, 図 3-10 & US 2006/0220060 A1	1-4
Y	JP 2008-091595 A (ユーディナデバイス株式会社) 2008.04.17, 図 1-5 & US 2008/0079009 A1	1-4