

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-153479
(P2010-153479A)

(43) 公開日 平成22年7月8日(2010.7.8)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	4 M 1 0 4
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 21/28 3 0 1 S	5 F 1 0 1
HO 1 L 27/115 (2006.01)	HO 1 L 29/58 G	
HO 1 L 21/28 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2008-327985 (P2008-327985)
(22) 出願日 平成20年12月24日 (2008.12.24)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 井尾 英治
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内
Fターム(参考) 4M104 AA01 BB01 BB20 CC01 CC05
DD04 DD63 DD84 FF14 GG16
5F083 EP18 EP24 EP32 ER02 ER21
GA02 JA35 JA39 JA53 PR03
PR09
5F101 BA45 BB04 BC11 BD07 BD22
BE05 BE07

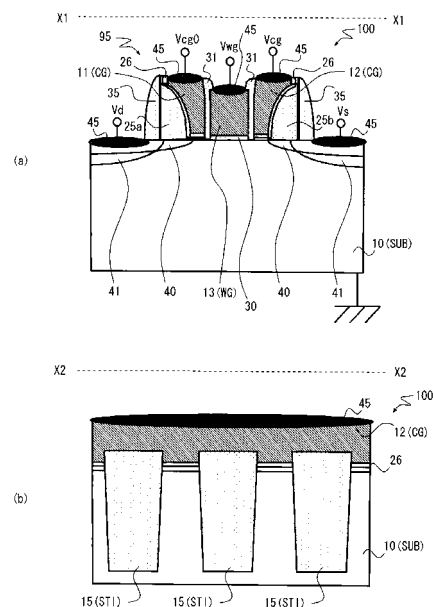
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】ゲート電極上にシリサイド層を安定して形成すること。

【解決手段】メモリセル100は、シリコン基板10と、シリコン基板10上に互いに隣り合って配置されたゲート電極12、13と、シリコン基板10とゲート電極12間に形成された絶縁層30と、シリコン基板10とゲート電極12間に形成された電荷蓄積層26と、を備え、ゲート電極12は、シリコン基板10から離間するに従って少なくとも部分的に幅広になる。シリコン基板10から離間するに従って少なくとも部分的に幅広となるようにゲート電極12を形付けることで、シリサイド層45を安定して形成することが実現可能になる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板上に互いに隣り合って配置された第 1 及び第 2 ゲート電極と、
前記半導体基板と前記第 1 ゲート電極間に形成された絶縁層と、
前記半導体基板と前記第 2 ゲート電極間に形成された第 1 電荷蓄積層と、
を備え、
前記第 2 ゲート電極は、前記半導体基板から離間するに従って少なくとも部分的に幅広になる、半導体装置。

【請求項 2】

前記半導体基板上に形成され、前記半導体基板から離間するに従って少なくとも部分的に幅狭になる第 1 中間絶縁層を更に備え、
前記第 2 ゲート電極は、前記第 1 中間絶縁層が幅狭になるに応じて幅広になることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体基板と前記第 2 ゲート電極間には、前記半導体基板から離間するに従って少なくとも部分的に幅狭になる第 1 中間絶縁層が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 2 ゲート電極は、前記第 1 ゲート電極と前記中間絶縁層との間に挟まれた部分を有することを特徴とする請求項 2 又は 3 に記載の半導体装置。

【請求項 5】

前記第 2 ゲート電極の上面は、前記半導体基板の主面に沿う方向に実質的に平坦であることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 6】

前記第 2 ゲート電極上にはシリサイド層が形成されていることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 中間絶縁層に対して隣り合って配置され、前記半導体基板から離間するに従って幅狭になるサイドウォールを更に備えることを特徴とする請求項 2 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 1 中間絶縁層と前記第 2 ゲート電極間には前記第 1 電荷蓄積層が形成されていることを特徴とする請求項 2 乃至 4 のいずれか一項に記載の半導体装置。

【請求項 9】

前記第 1 電荷蓄積層は、酸化シリコン層、窒化シリコン層、及び酸化シリコン層の積層体を含むことを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記半導体基板上に形成され、前記第 1 ゲート電極と隣り合って配置された第 3 ゲート電極と、

前記半導体基板と前記第 3 ゲート電極間に形成された第 2 電荷蓄積層と、
を更に備え、

前記第 3 ゲート電極は、前記半導体基板から離間するに従って少なくとも部分的に幅広になることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の半導体装置。

【請求項 11】

前記半導体基板上に形成され、前記半導体基板から離間するに従って少なくとも部分的に幅狭になる第 2 中間絶縁層を更に備え、

前記第 2 ゲート電極は、前記第 2 中間絶縁層が幅狭になるに応じて幅広になることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】

半導体基板とゲート電極間に形成された電荷蓄積層に対する電荷の注入に基づいて論理値を記憶する半導体装置であって、

半導体基板と、

前記半導体基板上に互いに隣り合って配置された第1及び第2ゲート電極と、

前記半導体基板と前記第2ゲート電極間に形成された第1電荷蓄積層と、

を備え、

前記第2ゲート電極は、前記半導体基板から離間するに従って少なくとも部分的に幅広になる、半導体装置。

【請求項13】

半導体基板上に当該半導体基板から離間するに従って幅狭になる中間絶縁層を形成し、

前記半導体基板上に電荷蓄積層を形成し、

前記電荷蓄積層及び前記中間絶縁層上にゲート電極を形成する導電層を形成する、

半導体装置の製造方法。

10

【請求項14】

前記半導体基板上に犠牲層を形成し、

前記犠牲層に開口を形成し、

前記中間絶縁層を前記開口内に形成することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】

前記開口内に第1絶縁層を形成し、

前記第1絶縁層及び前記犠牲層上に第2絶縁層を形成し、

前記第1及び第2絶縁層をエッチングすることで前記中間絶縁層を前記開口内に形成することを特徴とする請求項14に記載の半導体装置の製造方法。

20

【請求項16】

前記犠牲層は、前記半導体基板に形成されるトランジスタのゲート電極を形成する導電層を含むことを特徴とする請求項14又は15に記載の半導体装置の製造方法。

【請求項17】

前記導電層に前記半導体基板の主面にまで到達する開口を形成することで前記ゲート電極を形成することを特徴とする請求項13乃至16のいずれか一項に記載の半導体装置の製造方法。

30

【請求項18】

前記ゲート電極の上面にシリサイド層を形成することを特徴とする請求項17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、フラッシュメモリが組み込まれた半導体集積回路では、スプリットゲート型のメモリセルが広く採用されている。これによって、メモリセルのサイズを縮小することができる。また十分なデータ読み出し速度を確保することができる。なお、スプリットゲート型のメモリセルでは、ソースサイドホットエレクトロン注入により電荷蓄積層に論理値を書き込み、ソース領域でのバンド間ホットホール注入により書き込んだ論理値を消去する。

40

【0003】

特許文献1には、MONOS (Metal Oxide Nitride Oxide Semiconductor) 型のメモリセルが開示されている。特許文献1に記載のメモリセルでは、選択ゲート電極及びメモリゲート電極が互いに隣り合って半導体基板上に配置されている。半導体基板とメモリゲート電極間にはONO (Oxide-Nitride-Oxide) 膜からなる絶縁膜が形成されている。ONO膜への電子の注入により論理値を書き込み、ONO膜への正孔の注入により論理値を消去

50

する。なお、ここでは、半導体基板に注入する不純物濃度を制御することで、メモリセルの性能と信頼性を向上させている。

【特許文献1】特開2008-41832号公報

【0004】

ところで、読み出し速度の向上のためには、配線抵抗を低減すると良い。配線抵抗の低減のためには、ゲート電極上にシリサイド層を形成することが一般的である。しかしながら、一般的な製造方法でゲート電極を形成すると、ゲート電極がサイドウォール状になってしまう(特許文献1参照)。すなわち、ゲート電極が、半導体基板から離間するに従って幅狭になってしまう。この場合、ゲート電極の上面が非平坦であり、シリサイド層を安定して形成することは難しい。上面が非平坦のゲート電極上にシリサイド層を形成すると、シリサイド層の層厚又は幅が面内でばらつくことによって、シリサイド層が部分的に細線化し、配線抵抗が逆に増加してしまうおそれもある。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

上述の説明から明らかなように、従来の半導体装置では、ゲート電極上にシリサイド層を安定して形成できないおそれがある。

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、半導体基板と、前記半導体基板上に互いに隣り合って配置された第1及び第2ゲート電極と、前記半導体基板と前記第1ゲート電極間に形成された絶縁層と、前記半導体基板と前記第2ゲート電極間に形成された第1電荷蓄積層と、を備え、前記第2ゲート電極は、前記半導体基板から離間するに従って少なくとも部分的に幅広になる。半導体基板から離間するに従って少なくとも部分的に幅広となるようにゲート電極を形付けることで、シリサイド層を安定して形成することが実現可能になる。

20

【0007】

本発明に係る半導体装置は、半導体基板とゲート電極間に形成された電荷蓄積層に対する電荷の注入に基づいて論理値を記憶する半導体装置であって、半導体基板と、前記半導体基板上に互いに隣り合って配置された第1及び第2ゲート電極と、前記半導体基板と前記第2ゲート電極間に形成された第1電荷蓄積層と、を備え、前記第2ゲート電極は、前記半導体基板から離間するに従って少なくとも部分的に幅広になる。

30

【0008】

本発明に係る半導体装置の製造方法は、半導体基板上に当該半導体基板から離間するに従って幅狭になる中間絶縁層を形成し、前記半導体基板上に電荷蓄積層を形成し、前記電荷蓄積層及び前記中間絶縁層上にゲート電極を形成する導電層を形成する。

【発明の効果】

【0009】

本発明によれば、ゲート電極上にシリサイド層を安定して形成することができる。

【発明を実施するための最良の形態】

【0010】

以下、図面を参照しつつ、本発明の実施の形態について説明する。なお、各実施の形態は、説明の便宜上、簡略化されている。図面は簡略的なものであるから、図面の記載を根拠として本発明の技術的範囲を狭く解釈してはならない。図面は、もっぱら技術的事項の説明のためのものであり、図面に示された要素の正確な大きさ等は反映していない。同一の要素には、同一の符号を付し、重複する説明は省略するものとする。上下左右といった方向を示す用語は、図面を正面視して用いることを前提とする。

40

【0011】

[第1の実施形態]

以下、図1乃至図19を参照して、本発明の第1の実施形態について説明する。図1は、メモリセルアレイのレイアウトを示す模式図である。図2は、メモリセルの断面構成を

50

示す概略的な模式図である。図3は、メモリセルの駆動方法を説明するためのチャートである。図4乃至図19は、メモリセルの製造工程を説明するための製造工程図である。

【0012】

図1に示すように、メモリセルアレイ200は、ゲート(ゲート電極)11、ゲート(ゲート電極)12、ゲート(ゲート電極)13、STI(Shallow Trench Isolation)15、及び制御端子16を有する。ゲート11は、x軸に沿って延在する。ゲート12、ゲート13も、同様に、x軸に沿って延在する。ゲート11~13は、間隔を空けてx軸方向に互いに隣り合って配置されている。STI16は、y軸に沿って延在する。STI16は、y軸方向に複数配置されている。STI16は、間隔を空けて互いに隣り合って配置されている。メモリセルアレイ200は、素子分離層であるSTI16によって複数の領域に電氣的に分離される。STI16により区画された個々の領域には、図2に示すメモリセル100が形成される。

10

【0013】

図2(a)に、図1のX1-X1の断面を示す。図2(b)に、図1のX2-X2の断面を示す。図2(a)に示すように、メモリセル100は、シリコン基板(半導体基板)10、及びスプリットゲート構造95を有する。メモリセル100は、スプリットゲート構造95のトランジスタである。より具体的には、メモリセル100は、シリコン基板10とゲート間のONO膜26に論理値を記憶する半導体記憶装置である。

【0014】

シリコン基板10は、一般的な多結晶のシリコン基板である。シリコン基板10は、P型のウェル領域を有する。シリコン基板10のP型ウェル領域には、N型の不純物拡散領域40、41が形成されている。不純物の熱拡散等により、シリコン基板10の主面から浅い領域でLDD(Lightly Doped Drain)領域40が形成される。同様に、シリコン基板10の主面からより深い領域で高濃度不純物拡散領域41が形成される。LDD領域40の不純物濃度は、高濃度不純物拡散領域41の不純物濃度よりも低い。なお、シリコン基板10に拡散する不純物の濃度は当業者にとっては周知である。

20

【0015】

不純物拡散領域41上には、シリサイド層45が形成される。シリサイド層45によって配線抵抗が効果的に低減される。なお、シリサイド層45は、金属(コバルト(Co)等)を用いたシリサイド法によって形成される。具体的には、シリサイド層45は、コバルトを所望の箇所に選択的に堆積し、これを熱処理することによって形成される。なお、薄膜の選択的成長方法は任意である(以下、同様)。例えば、マスク層を形成し、マスク層に開口を形成し、開口内に薄膜を堆積し、最後にマスク層を除去することで薄膜を選択的に成長する。

30

【0016】

図2では、説明の便宜のため、紙面に向かって右側の不純物拡散領域をソースとし、これにソース取出電極Vsを接続している。紙面に向かって左側の不純物拡散領域をドレインとし、これにドレイン取出電極Vdを接続している。

【0017】

スプリットゲート構造95は、シリコン基板10上に形成される。スプリットゲート構造95は、ゲート11~13、中間絶縁層25(25a、25b)、ONO(Oxide-Nitride-Oxide)膜(電荷蓄積層)26、絶縁膜(ゲート間絶縁膜)31、絶縁層(ゲート絶縁層)30、サイドウォール35、及びシリサイド層45を有する。

40

【0018】

ゲート11~13は、導電性材料(ポリシリコン等)からなる電極である。ゲート11は、ONO膜26に対する電荷の注入を制御する制御電極として機能する。ゲート12も、ゲート11と同様である。ゲート13は、ONO膜26に書き込まれた論理値を検出する読出電極として機能する。ゲート11とゲート13とは、絶縁膜31によって絶縁されている。ゲート13とゲート12も、同様に、絶縁膜31によって絶縁されている。なお、絶縁膜31は、酸化シリコン(SiO₂)からなる。

50

【0019】

ゲート11は、シリコン基板10上にONO膜26を介して積層された内側部分を有する。また、ゲート11は、シリコン基板10上に、中間絶縁層25a及びONO膜26を介して積層された外側部分を有する。ゲート12は、シリコン基板10上にONO膜26を介して積層された内側部分を有する。また、ゲート11は、シリコン基板10上に、中間絶縁層25b及びONO膜26を介して積層された外側部分を有する。なお、ゲート13を中心として、ゲート13に近寄る方向を内側と呼び、ゲート13から離れる方向を外側と呼ぶ(以下、同様)。

【0020】

本実施形態では、ゲート11は、シリコン基板10から離間するに従って幅広になる。この状態でゲート11の上面を平坦面することで、ゲート11の上面にシリサイド層45を安定して形成することが可能になる。これによって、配線抵抗を低減し、読み出し速度を効果的に高めることができる。なお、ゲート11には、外側へ向かって下方から上方へ傾斜する傾斜面が形成されている。ゲート11についてした説明は、ゲート12にも当てはまる。なお、配線層とゲート間のコンタクト面積を十分にすることで配線抵抗を低減する方法もあるが、この場合には装置全体が大型化してしまう。本実施形態の場合には、このような不利益を伴うこともない。

10

【0021】

中間絶縁層25は、酸化シリコン(SiO_2)からなる絶縁層である。中間絶縁層25は、シリコン基板10から離間するに従って幅狭になる。中間絶縁層25は、内側へ向かって傾斜する傾斜面が形成されている。

20

【0022】

中間絶縁層25a上には、ONO膜26、ゲート11が、この順で形成されている。換言すると、中間絶縁層25aの傾斜面上に、ONO膜26を介して、ゲート11が積層されている。中間絶縁層25b上には、ONO膜26、ゲート13が、この順で形成されている。換言すると、中間絶縁層25bの傾斜面上に、ONO膜26を介して、ゲート13が積層されている。

【0023】

ONO膜26は、酸化シリコン層、窒化シリコン層、及び酸化シリコン層がこの順で積層された積層体である。ONO膜26は、例えば、次の(1)乃至(3)の手順で製造される。(1)熱酸化により4~7nm程度の酸化シリコン層を形成する。(2)酸化シリコン層上に8~10nm程度の窒化シリコン層を堆積する。(3)窒化シリコン層上に7~8nm程度の酸化シリコン層を堆積する。窒化シリコン層が、電荷蓄積の機能を果たす。ONO層26の構成層の層厚は任意である。

30

【0024】

ゲート13は、シリコン基板10上にゲート絶縁層30を介して積層される。ゲート絶縁層30は、シリコン基板の表面が熱酸化されて形成された酸化シリコン(SiO_2)等からなる。

【0025】

サイドウォール35は、中間絶縁層25の外側に配置される。サイドウォール35は、酸化シリコン(SiO_2)等の絶縁材料からなる。サイドウォール35は、ゲート11~13を機械的に支持する。サイドウォール35は、その製造方法に由来して、シリコン基板10から離間するに従って幅狭になる。

40

【0026】

図3に、メモリセル100の駆動条件を示す。図3を参照して、ゲート12を制御して、ゲート12とシリコン基板10間にあるONO膜26に対して電荷を注入する場合について説明する。

【0027】

図3の「書き込み」に示すように各電極に電圧を印加することで、ゲート12とシリコン基板10間にあるONO膜26に対して電子が注入される。なお、このとき、ゲート1

50

1 ~ 13 に対する電圧印加に伴って、シリコン基板 10 には反転層（チャネル領域）が形成される。形成された反転層を介してドレイン領域から ONO 膜 26 へ電子が注入される。

【0028】

図3の「消去」に示すように各電極に電圧を印加することで、ゲート12とシリコン基板10間にあるONO膜26に対して正孔（ホール）が注入される。ONO膜26に蓄積された電子は注入された正孔によって中和される。なお、このとき、ソースへの正電圧印加によってバンド間トンネル現象が発生し、空乏層領域に発生した正孔（ホール）がONO膜26へ注入される。なお、図3の「読み出し」に示すように各電極に電圧を印加することで、ゲート12とシリコン基板10間のONO膜26に書き込まれた論理値が読み出される。

10

【0029】

以下、図4乃至図19を参照して、メモリセル100の製造方法について説明する。なお、各図(a)は、ワードライン方向（図2のX2-X2方向）の断面を模式的に示す。各図(b)は、ビットライン方向（図2のX1-X1方向）の断面を模式的に示す。

【0030】

まず、図4に示すように、STI15、熱酸化層20、ポリシリコン層21、及び窒化シリコン層22をこの順で形成する。STI15は、STI(Shallow Trench Isolation)法、LOCOS(Local Oxidization of Silicon)法等により形成する。STI15は、酸化シリコン(SiO₂)からなる。熱酸化層20は、シリコン基板10の表面を熱酸化することで形成する。熱酸化層20は、酸化シリコン(SiO₂)からなる。ポリシリコン層21は、通常の薄膜形成技術(CVD等)により形成する。ポリシリコン層21は、ポリシリコン(多結晶シリコン)からなる。窒化シリコン層22は、通常の薄膜形成技術(CVD等)により形成する。窒化シリコン層22は、窒化シリコンからなる。なお、後述の説明から明かなように、ポリシリコン層21、及び窒化シリコン層22は除去される。換言すると、ポリシリコン層21及び窒化シリコン層22は犠牲層を形成する。窒化シリコン層22のみで犠牲層を形成しても良い。但し、窒化シリコン層22に加えてポリシリコン層21も積層することで第2の実施形態で説明する効果を得ることができる。説明の便宜上、第1の実施形態ではその説明を省略する。

20

【0031】

次に、図5に示すように、窒化シリコン層22、及びポリシリコン層21を、エッチングにより部分的に除去して溝(開口)DPを形成する。なお、熱酸化層20は、エッチングストッパーとして機能する。溝DPを規定する側面をシリコン基板10の主面に対して垂直なものとする。これによって、シリコン基板10上の積層体の構造的な安定性を高めることができる。側面の平坦性を高めるためには、ウェットエッチングではなく、ドライエッチングをすると良い。

30

【0032】

次に、図6に示すように、酸化シリコン層23を溝DP内に形成する。具体的には、まず、通常の薄膜形成技術によって酸化シリコン層23を堆積する。次に、化学機械研磨(CMP(Chemical Mechanical Polishing))によって酸化シリコン層23を平坦化する。次に、溝DP内に残存した酸化シリコン層23の上部をエッチング(ドライエッチング又はウェットエッチング)により除去する。

40

【0033】

次に、図7に示すように、通常の薄膜形成技術によって酸化シリコン層24を堆積する。これによって、酸化シリコン層24は、酸化シリコン層23上と窒化シリコン層22上に堆積される。

【0034】

次に、図8に示すように、酸化シリコン層23、24をエッチング(ドライエッチング又はウェットエッチング)により部分的に除去する。エッチング時間を適当に調整することによって、溝DP内には、上述の中間絶縁層25が形成される。なお、図6及び図7で

50

示した工程によって、酸化シリコン層 23、24 の積層体の上面には溝 DP2 (図 7 参照) が形成されている。この溝 DP2 によって中間絶縁層 25 を意図した形状に形成することができる。すなわち、中間絶縁層 25 の形状を、シリコン基板 10 から離間するに従って幅狭になるものにする事ができる。

【0035】

次に、図 9 に示すように、ONO 膜 26 を形成する。これによって、ONO 膜 26 は、窒化シリコン層 22、中間絶縁層 25、シリコン基板 10 の主面上に形成される。なお、図 9 (c) に示すように、ONO 膜 26 は、酸化シリコン層 26a、窒化シリコン層 26b、及び酸化シリコン層 26c が積層された積層体である。

【0036】

次に、図 10 に示すように、溝 DP 内にポリシリコン層 27 を形成する。具体的には、通常の薄膜形成技術によってポリシリコンをシリコン基板 10 上に形成する。次に、平坦化処理し、窒化シリコン層 22 上の堆積層を除去する。次に、溝 DP 内に堆積したポリシリコンの上部をエッチングにより部分的に除去する。

【0037】

次に、図 11 に示すように、酸化シリコン層 28 を形成する。具体的には、通常の薄膜形成技術によってポリシリコン層 27 上に酸化シリコン層 28 を堆積し、酸化シリコン層 28 をエッチングにより部分的に除去する。エッチング時間等を調整することによって酸化シリコン層 28 は、図 11 に示すように、シリコン基板 10 から離間するに従って幅狭の形状となる。

【0038】

次に、図 12 に示すように、ポリシリコン層 27 をエッチングにより選択的に除去する。酸化シリコン層 28 の間の範囲でポリシリコン層 27 を選択的に除去して、ゲート 11、及びゲート 12 を形成する。なお、エッチングの具体的な方法は任意である。

【0039】

次に、図 13 に示すように、酸化シリコン層 29 をゲート 11、ゲート 12 の内面に形成する。具体的には、通常の薄膜形成技術によって酸化シリコン層を全面的に堆積し、酸化シリコン層をエッチングにより選択的に除去することで酸化シリコン層 29 を形成する。なお、過熱処理によって、酸化シリコン層 29 と酸化シリコン層 28 とは互いに一体化する。

【0040】

次に、図 14 に示すように、ゲート絶縁層 30、及びゲート 13 を形成する。具体的には、熱酸化によりゲート絶縁層 30 をシリコン基板 10 上に形成する。次に、通常の薄膜形成技術によりポリシリコンをゲート絶縁層 30 上に堆積する。次に、ポリシリコン層の上部をエッチングにより除去する。このようにして、ゲート 11 とゲート 12 の間に、ゲート絶縁層 30 及びゲート 13 の積層体が形成される。

【0041】

次に、図 15 に示すように、酸化シリコン層 31 を形成する。具体的には、ウェットエッチングによって酸化シリコン層 28 を除去し、その後、熱酸化する。このようにしてゲート 13 の上面に酸化シリコン層 31 が形成される。なお、この工程以降では、酸化シリコン層 29 の堆積部分についても酸化シリコン層 31 として表記する。

【0042】

次に、図 16 に示すように、窒化シリコン層 22 を溶剤で除去し、ポリシリコンをエッチングにより除去する。

【0043】

次に、図 17 に示すように、シリコン基板 10 の主面に対して不純物を注入して LDD 領域 40 を形成する。

【0044】

次に、図 18 に示すように、サイドウォール 35 を中間絶縁層 25 の隣に形成する。具体的には、通常の薄膜形成技術により酸化シリコン層をシリコン基板 10 上に形成し、こ

10

20

30

40

50

れをエッチングにより部分的に除去する。このようにしてサイドウォール 35 が形成される。また、酸化シリコン層の除去と同時に、ゲート上に形成された酸化シリコン層を除去する。次に、シリコン基板 10 の主面に対して不純物を注入して高濃度不純物拡散領域 41 を形成する。

【0045】

次に、図 19 に示すように、通常のサリサイド工程によってシリサイド層 45 をゲート上面、不純物拡散領域の電極取り出し部分に選択的に形成する。

【0046】

本実施形態では、上述のようにゲート 11、12 は、シリコン基板 10 から離間するに従って幅広に形付けられている。ゲート 11 の上面は平坦（シリコン基板 10 の主面に対して実質的に平行）になっている。従って、ゲート 11 の上面にシリサイド層 45 を安定して形成することができる。これによって、配線抵抗を低減し、読み出し速度を効果的に高めることができる。なお、本実施形態では、ゲート 11、12 の両方をシリコン基板 10 上に残存させる。これによって一方のゲートを除去する工程を省略することができる。

10

【0047】

[第2の実施形態]

以下、図 20 乃至図 30 を参照して本発明の第 2 の実施形態について説明する。図 20 乃至図 30 は、N 型トランジスタの製造工程を示す概略的な工程図である。

【0048】

本実施形態では、シリコン基板 10 に対して、第 1 の実施形態で説明したメモリセル 100 に加えて N 型トランジスタ 110 も形成する。換言すると、メモリセルと CMOS トランジスタとを共通のシリコン基板 10 に形成する。このような場合であっても第 1 の実施形態で説明したものと同様の効果を得ることができる。

20

【0049】

本実施形態では、溝 DP が形成される犠牲層を、ポリシリコン層 21、及び窒化シリコン層 22 の積層体で形成する。犠牲層を単層ではなく、ポリシリコン層 21 を含めた複層とすることによって、N 型トランジスタ 110 のゲート電極を別工程にて形成する必要性を解消できる。これによって、トランジスタとメモリセルが組み込まれる半導体装置全体の工程の簡素化を図ることができる。

【0050】

以下、図 20 乃至図 30 を参照して、第 1 の実施形態で説明したメモリセル 100 の製造工程に N 型トランジスタ 110 の製造を組み入れて説明する。

30

【0051】

図 4 に示すメモリセル 100 の製造工程により、図 20 に示すように N 型トランジスタ 110 の形成領域にも、STI 15、熱酸化層 20、ポリシリコン層 21、及び窒化シリコン層 22 がこの順で形成される。

【0052】

図 7 に示すメモリセル 100 の製造工程により、図 21 に示すように N 型トランジスタ 110 の形成領域にも、酸化シリコン層 24 が形成される。

【0053】

図 8 に示すメモリセル 100 の製造工程により、図 22 に示すように上述の酸化シリコン層 24 が除去される。

40

【0054】

図 9 に示すメモリセル 100 の製造工程により、図 23 に示すように N 型トランジスタ 110 の形成部分にも、ONO 膜 26 が形成される。

【0055】

図 11 に示すメモリセル 100 の製造工程により、図 24 に示すように ONO 膜 26 を形成する酸化シリコン層が除去される。

【0056】

図 12 に示すメモリセル 100 の製造工程により、図 25 に示すように ONO 膜 26 が

50

除去される。

【0057】

図16に示すメモリセル100の製造工程により、図26に示すように窒化シリコン層22が除去される。窒化シリコン層22の除去後、通常のパターン形成技術（フォトリソグラフィ等）によりポリシリコン層21をパターニングする。これによって、N型トランジスタ110のゲート電極50を形成することができる。なお、メモリセル100の形成領域では第1の実施形態と同様にポリシリコン層21は全面的に除去される。

【0058】

図17、18で示すメモリセル100の製造工程のとき、図27に示すようにN型トランジスタ110の形成領域には保護膜55を形成する。メモリセル100とN型トランジスタ110の不純物拡散工程を分離することによって各々について所望の特性を実現することができる。

10

【0059】

保護膜55を除去した後、図28乃至図30の手順でN型トランジスタ110を製造する。

【0060】

まず、図28(a)に示すように、シリコン基板10に不純物を拡散してLDD領域55を形成する。なお、事前に、図28(b)及び(c)に示すように、メモリセル100の形成領域には保護膜60を形成する。

【0061】

次に、図29に示すように、シリコン基板10に不純物を拡散して高濃度不純物拡散領域56を形成する。

20

【0062】

次に、図30に示すように、通常のサリサイド工程によって、シリサイド層を各電極取出領域上に形成する。なお、この工程は、図19に示す工程と同時に行うものとする。

【0063】

上述の説明から明かなように、本実施形態では、共通の半導体基板上にメモリセル100とN型トランジスタ110を形成する。このとき、溝DPが形成される犠牲層を、ポリシリコン層21、及び窒化シリコン層22の積層体で形成する。犠牲層を単層ではなく、ポリシリコン層21を含めた複層とすることによって、N型トランジスタ110のゲート電極を別工程にて形成する必要性を解消できる。これによって、トランジスタとメモリセルが組み込まれる半導体装置全体の工程の簡素化を図ることができる。

30

【0064】

本発明の技術的範囲は上述の実施形態に限定されない。メモリセルの具体的な構成は任意である。メモリセルの詳細な製造条件は当業者にとっては自明である。電荷蓄積層の具体的な構成は任意である。ONO膜以外の電荷蓄積層を採用することも可能である。

【図面の簡単な説明】

【0065】

【図1】本発明の第1の実施形態にかかるメモリセルアレイのレイアウトを示す模式図である。

40

【図2】本発明の第1の実施形態にかかるメモリセルの断面構成を示す概略的な模式図である。

【図3】本発明の第1の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図4】本発明の第1の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図5】本発明の第1の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図6】本発明の第1の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

50

【図 7】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 8】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 9】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 10】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 11】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

10

【図 12】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 13】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 14】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 15】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 16】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

20

【図 17】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 18】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 19】本発明の第 1 の実施形態にかかるメモリセルの駆動方法を説明するためのチャートである。

【図 20】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 21】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

30

【図 22】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 23】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 24】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 25】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 26】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

40

【図 27】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 28】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 29】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

【図 30】本発明の第 2 の実施形態にかかる N 型トランジスタの製造工程を示す概略的な工程図である。

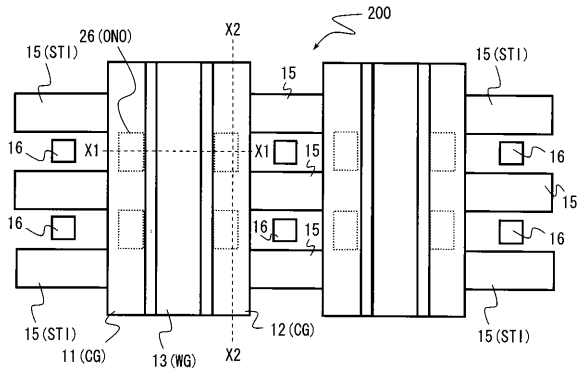
【符号の説明】

【0066】

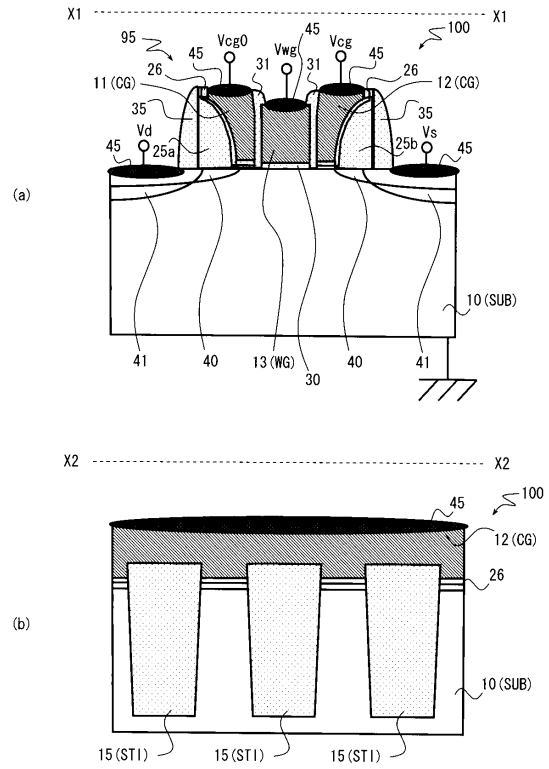
50

2 0 0	メモリセルアレイ	
1 0 0	メモリセル	
9 5	スプリットゲート構造	
1 0	シリコン基板	
1 1 ~ 1 3	ゲート	
1 6	制御端子	
2 0	熱酸化層	
2 1	ポリシリコン層	10
2 2	窒化シリコン層	
2 3	酸化シリコン層	
2 4	酸化シリコン層	
2 5 (2 5 a、2 5 b)	中間絶縁層	
2 6	ONO膜	
2 6 a	酸化シリコン層	
2 6 b	窒化シリコン層	
2 6 c	酸化シリコン層	20
2 7	ポリシリコン層	
2 8	ゲート間絶縁膜	
2 8	酸化シリコン層	
2 9	酸化シリコン層	
3 0	ゲート絶縁層	
3 1	酸化シリコン層	
3 5	サイドウォール	30
4 0	LDD領域	
4 1	高濃度不純物拡散領域	
4 5	シリサイド層	
1 1 0	N型トランジスタ	
5 0	ゲート電極	
5 5	保護膜	
5 5	LDD領域	40
5 6	高濃度不純物拡散領域	
6 0	保護膜	

【 図 1 】



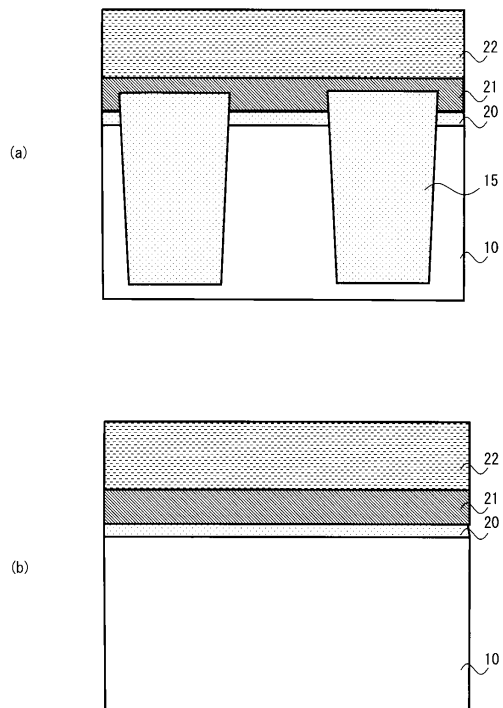
【 図 2 】



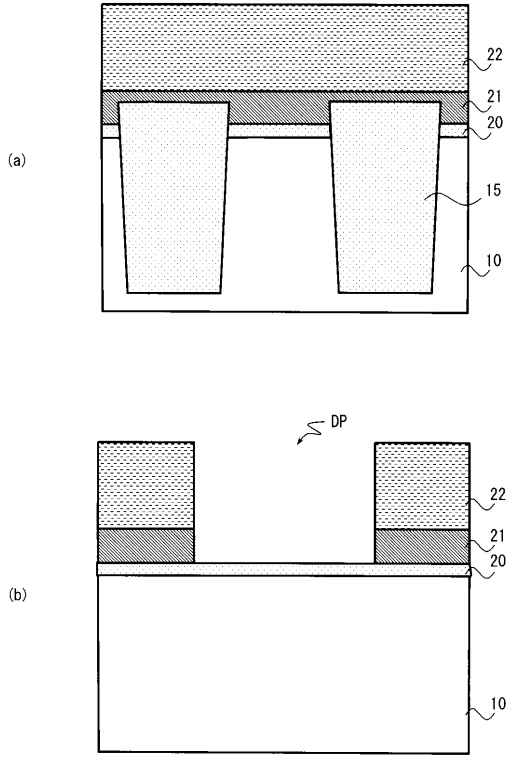
【 図 3 】

	Vcg	Vcg0	Vwg	Vd	Vs
読み出し	1.5V	1.5V	1.5V	1.0V	0V
書き込み	7.5V	1.5V	1.0V	0V	5.0V
消去	-2.0	0V	-0.5	0V	5.0V

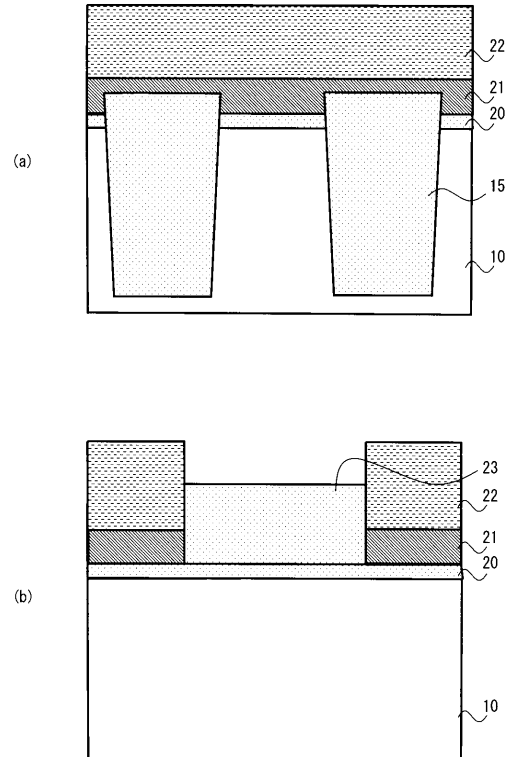
【 図 4 】



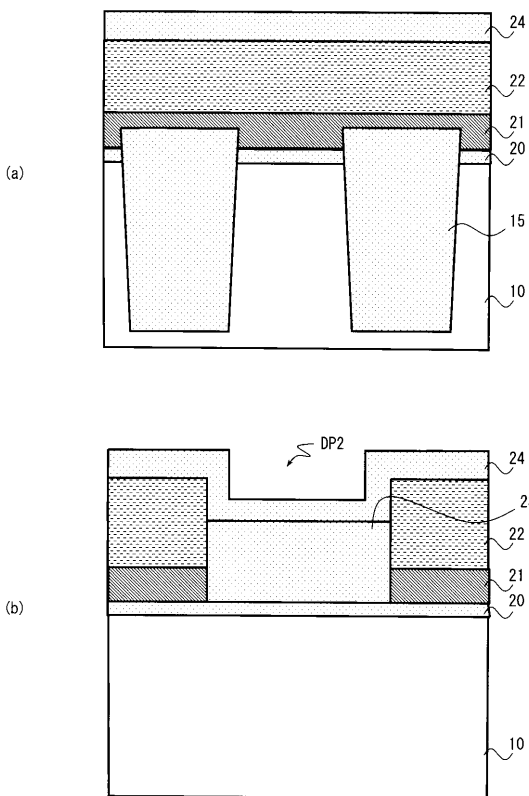
【 図 5 】



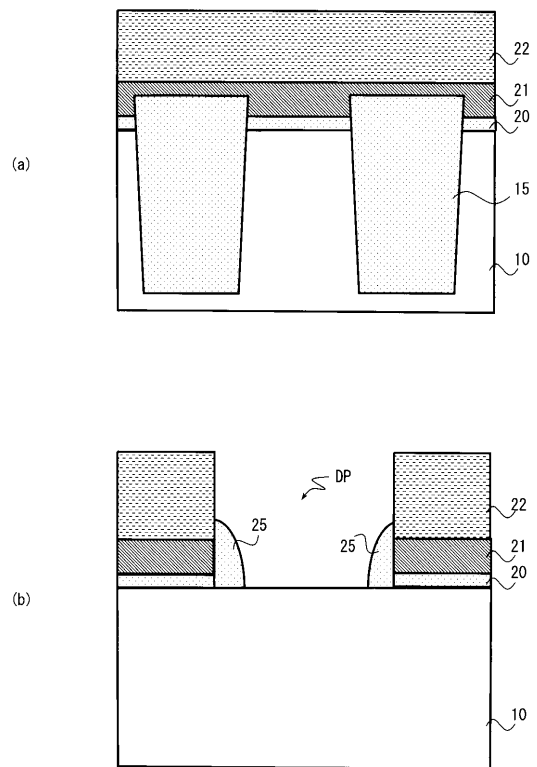
【 図 6 】



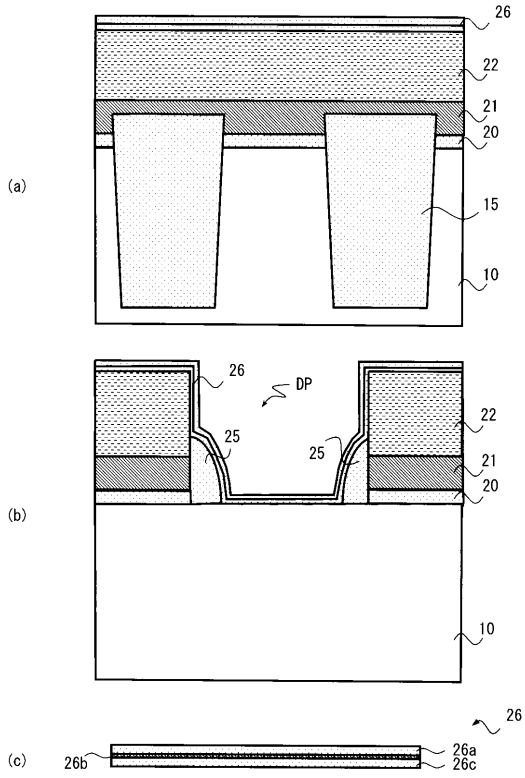
【 図 7 】



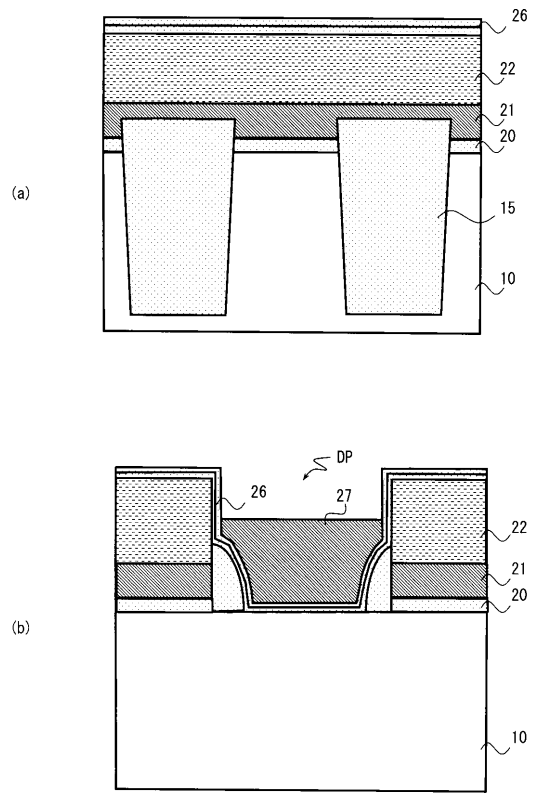
【 図 8 】



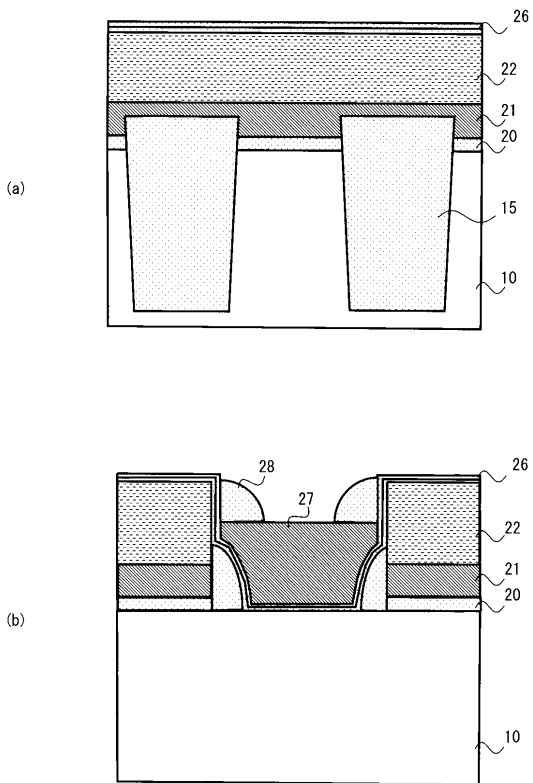
【 図 9 】



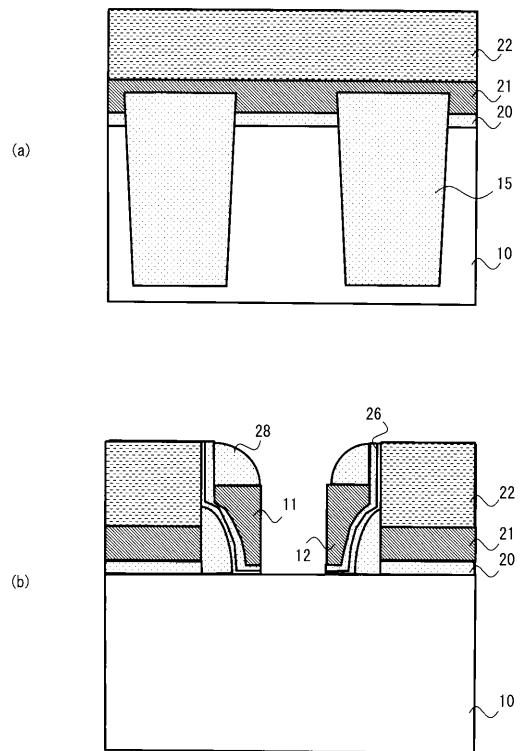
【 図 1 0 】



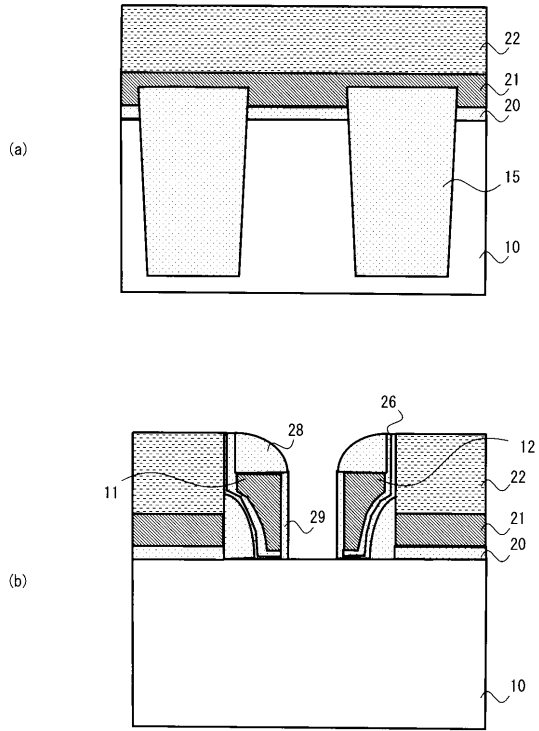
【 図 1 1 】



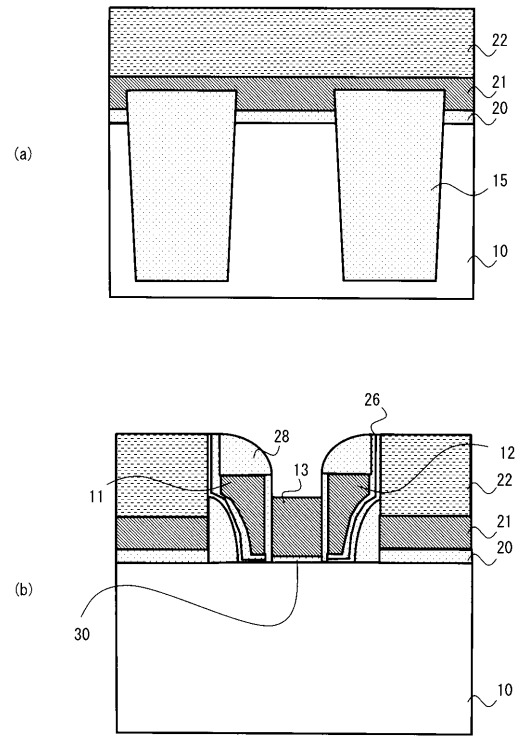
【 図 1 2 】



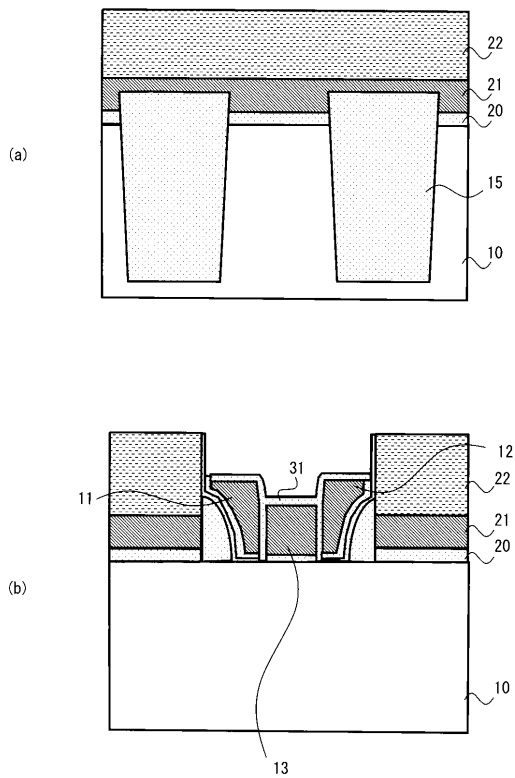
【 図 1 3 】



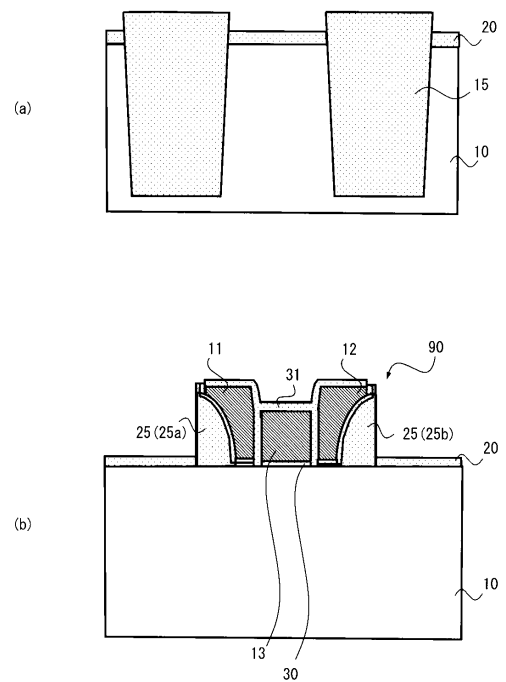
【 図 1 4 】



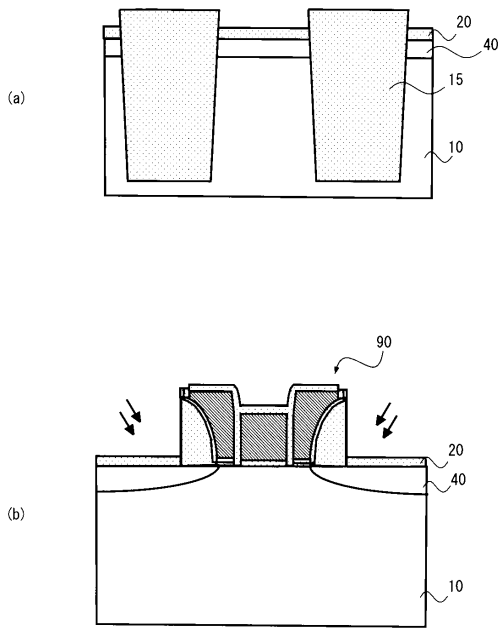
【 図 1 5 】



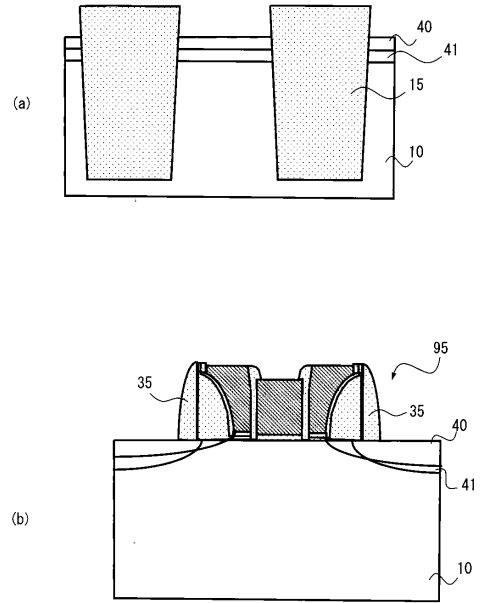
【 図 1 6 】



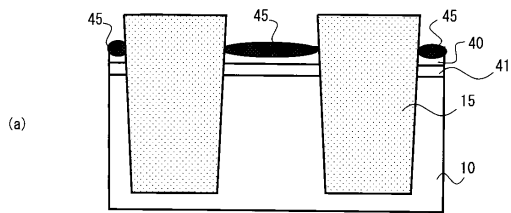
【 図 1 7 】



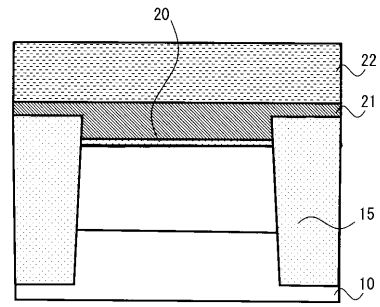
【 図 1 8 】



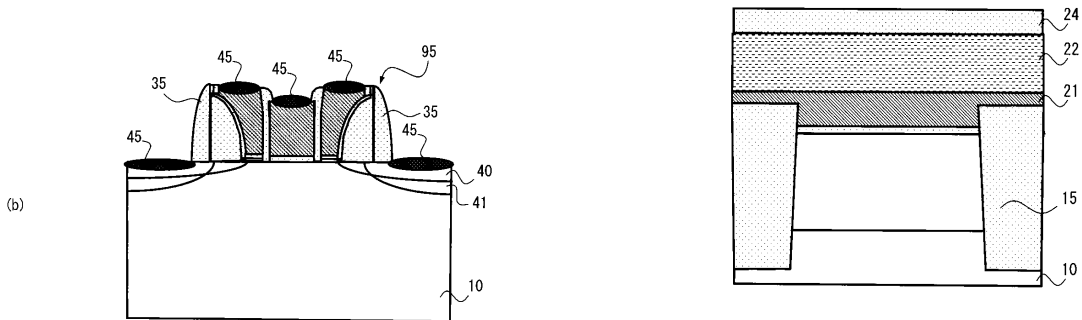
【 図 1 9 】



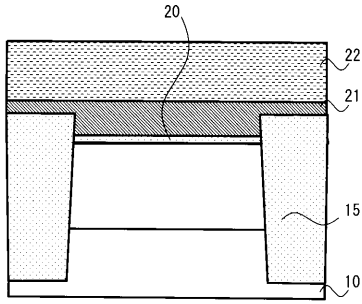
【 図 2 0 】



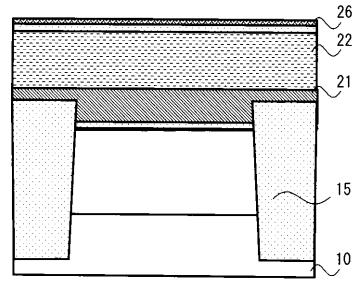
【 図 2 1 】



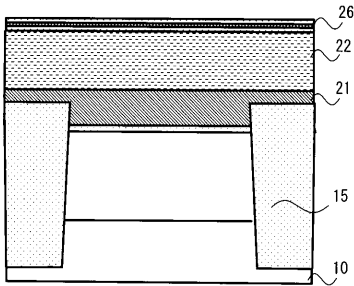
【 図 2 2 】



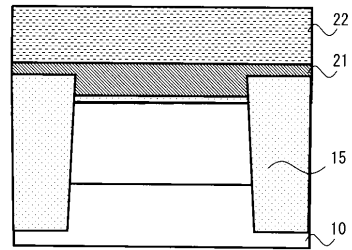
【 図 2 4 】



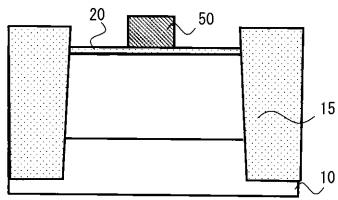
【 図 2 3 】



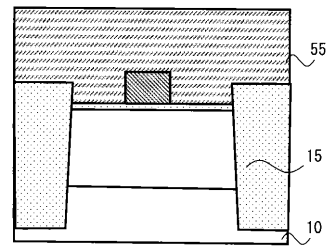
【 図 2 5 】



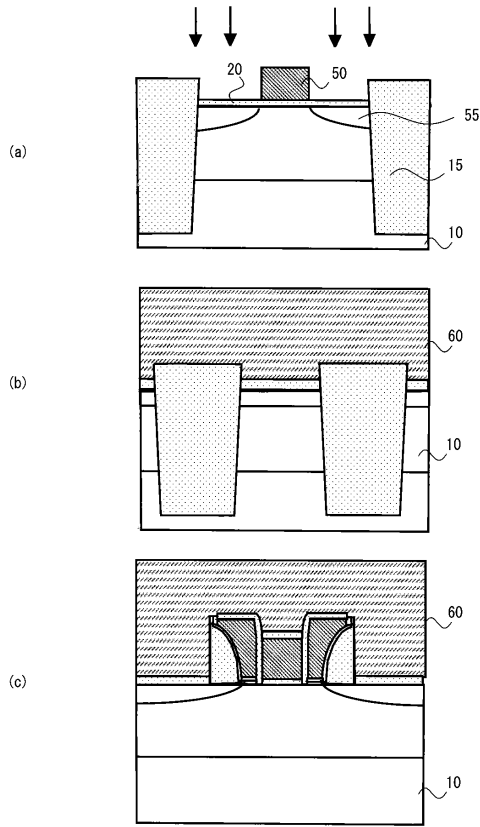
【 図 2 6 】



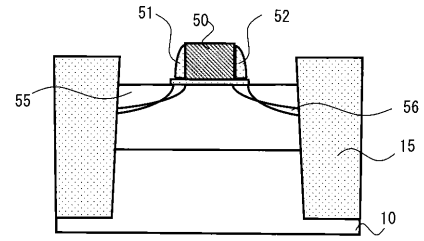
【 図 2 7 】



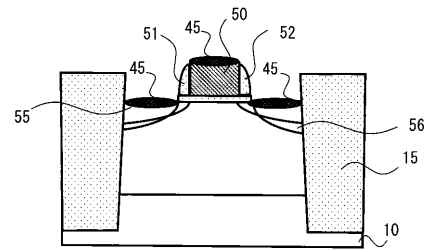
【 図 2 8 】



【 図 2 9 】



【 図 3 0 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)