(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-507123
(P2008-507123A)
(43)公表日　平成20年3月6日(2008.3.6)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 25/065	(2006.01)	H01L	25/08	B	5F067
H01L 25/07	(2006.01)	H01L	23/50	U	
H01L 25/18	(2006.01)				
H01L 23/50	(2006.01)				

審査請求 未請求　予備審査請求 未請求　（全 16 頁）

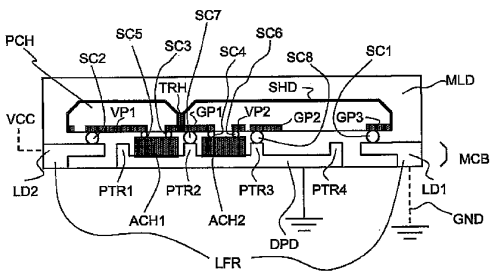
(21)出願番号　特願2007-520939 (P2007-520939)
(86)(22)出願日　平成17年7月6日 (2005.7.6)
(85)翻訳文提出日　平成19年1月12日 (2007.1.12)
(86)国際出願番号　PCT/IB2005/052241
(87)国際公開番号　WO2006/008679
(87)国際公開日　平成18年1月26日 (2006.1.26)
(31)優先権主張番号　04300442.3
(32)優先日　平成16年7月13日 (2004.7.13)
(33)優先権主張国　欧州特許庁 (EP)

(71)出願人　590000248
コーニンクレッカ　フィリップス　エレクトロニクス　エヌ　ヴィ
オランダ国　５６２１　ベーアー　アインドーフェン　フルーネヴァウツウェッハ　１
(74)代理人　100075812
弁理士　吉武　賢次
(74)代理人　100088889
弁理士　橘谷　英俊
(74)代理人　100082991
弁理士　佐藤　泰和
(74)代理人　100096921
弁理士　吉元　弘

最終頁に続く

(54)【発明の名称】集積回路を備える電子デバイス

(57)【要約】
電子デバイス（ＩＣＤ）は、この電子デバイスを信号グランドに結合するための信号グランド接点（ＬＤ１）と、ダイ・パッドと、集積回路とを備える。ダイ・パッド（ＤＰＤ）には、信号グランド接点に電気的に結合された突出部（ＰＴＲ３）が設けられている。集積回路（ＰＣＨ）は、ダイ・パッドの突出部に面し、その突出部に電気的に結合された導体パッド（ＧＰ２）を有する。



【特許請求の範囲】
【請求項１】
突出部が設けられ、外部グランドに結合されたダイ・パッドと、
前記ダイ・パッドの前記突出部に面し、前記突出部に電気的に結合される導体パッドが第１の側に設けられた第１のチップと、
第１の側およびその反対の第２の側を有する第２のチップであって、前記第１の側では、前記第１のチップの前記第１の側の別の導体パッドに面し、前記導体パッドに電気的に結合される導体パッドが利用可能であり、前記第２の側では、前記第２の側が前記ダイ・パッドに面する第２のチップとを備える電子デバイス。
【請求項２】
前記ダイ・パッドが、前記第２のチップの前記第２の側に電気的に結合される、請求項１に記載の電子デバイス。
【請求項３】
前記ダイ・パッドの前記突出部が、前記第２のチップを少なくとも部分的に囲む壁として成形される、請求項１に記載の電子デバイス。
【請求項４】
前記第１のチップには、外部ボードへの結合のための端子が設けられ、前記端子が、前記第１のチップの前記第１の側に配置される、請求項１に記載の電子デバイス。
【請求項５】
はんだボールが、チップスケールのパッケージを形成するために前記端子上に提供される、請求項４に記載の電子デバイス。
【請求項６】
前記端子がリードに結合され、前記リードおよび前記ダイ・パッドがリード・フレームの一部である、請求項４に記載の電子デバイス。
【請求項７】
前記第１のチップが、前記第１の側からその反対の第２の側まで延びる貫通孔を備え、前記第２の側には電気伝導遮蔽層がある、請求項４に記載の電子デバイス。
【請求項８】
信号処理装置であって、請求項１に記載の電子デバイスと、前記電子デバイスを信号処理装置の他の電子デバイスに結合させる基板とを備える信号処理装置。
【請求項９】
ダイ・パッドと複数のリードとを備え、前記ダイ・パッドには、突出部が設けられているリード・フレーム。
【請求項１０】
請求項２に記載の電子デバイスを製造する方法であって、
サブアセンブリの形成中に、第２のチップをその第２の側でダイ・パッドに実装するステップと、
バンプを用いて第１のチップと前記サブアセンブリを組み立てるステップとを含む方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の一態様は、集積回路を備える電子デバイスに関する。この電子デバイスは、例えば高周波信号処理部を構成することができる。本発明の他の態様は、そのような電子デバイスを製造する方法、およびそのような電子デバイスを備える信号処理装置に関する。
【背景技術】
【０００２】
電子デバイスは、以下の構造を有することができる。集積回路は、周縁部と内側部とを有するベース上に実装される。周縁部は、電子デバイスを他の電子デバイスと結合するためのさまざまな接点を備えている。これらの接点の少なくとも１つは、信号グランド接点

である。集積回路の導体パッドは、ベースの周縁部の接点に電気的に結合される。集積回路自体は、ベースの内側部に配置される。集積回路は、さまざまな電気部品のスタックの一部を形成できる。このスタックは、デカップリングキャパシタを含むことができ、このデカップリングキャパシタは、集積回路に電気的に結合される。このスタックは、ベースの内側部に固定されることができる。

【０００３】

米国特許第６２２７２６０号は、半導体チップおよび平面状ボンディング要素と同一平面の関係にあるプレーナ型デカップリングキャパシタを備える集積回路デバイスを記載している。この平面状ボンディング要素は、複数のボンド・フィンガと、同心の電源リングおよびグランド・リングとを有する。半導体チップは、同心の電源リングおよびグランド・リング内に配置される。プレーナ型デカップリングキャパシタは、プレーナ型半導体チップの近くに配置される。ワイヤ接続が、プレーナ型半導体チップをプレーナ型デカップリングキャパシタに電気的に結合する。

【発明の開示】

【課題を解決するための手段】

【０００４】

本発明の一態様によれば、電子デバイスは、突出部が設けられたダイ・パッドを備え、このダイ・パッドは外部グランドに結合される。第１のチップの第１の側の導体パッドは、ダイ・パッドの突出部に面し、その突出部に電気的に結合される。第２のチップ（ＡＣＨ）は、第１の側では、導体パッドにより第１のチップの第１の側の別の導体パッドに電気的に結合されると共に、第２の側では、第２のチップはダイ・パッドに面する。

【０００５】

本発明は、以下の態様を考慮に入れる。電子デバイス内の回路の高周波挙動は、回路をグランドに結合する電気経路に依存する。この電気経路のインダクタンスが低いほど、回路の高周波挙動はより良好となるであろう。スタック型ダイ・パッケージとしても知られているチップオンチップ・パッケージの場合、第１のチップからグランドへの短い電気経路の提供は、それほど自明のことではない。これは、チップオンチップ・パッケージにおける設計要件によるものと考えられる。さらに、第１のチップは、しばしば、第２のチップの横方向の延長部よりも実質的に大きい横方向の延長部を有し、この横方向の延長部は、事実上、機能的なインタポーザとしての役割をする。突出部の使用は、ダイ・パッドからの短い直接の接続を構成し、この接続は、第１のチップへの中間グランドとしての役割をする。

【０００６】

グランドへの短い接続が大変に重要な回路の例には、デカップリングキャパシタ、静電放電に対する保護デバイス、さらにはインダクタ等が含まれる。

【０００７】

第２のチップの第２の側からダイ・パッドへは、電気的かつ／または熱的な接続があることが好ましい。しかし、この接続は、明確に必要というわけではなく、突出部が代替物として使用されてもよい。これにより、組み立ての課題が減少されることができる。まず第１に基板に対するレイアウトからみて、第２に、突出部を有する長方形のダイ・パッドは、機械的により安定しており、突出部だけよりも扱うのが容易であるため、明確に必要というわけではないが、それでもダイ・パッドが、その従来の長方形の形状を有することが適切である。

【０００８】

デバイスの有利な一実施形態では、突出部は、第２のチップを少なくとも部分的に囲む壁として成形される。この実施形態では、この第２のチップをいかなる電磁障害からも保護するように、接地された突出部が、第２のチップの周囲でファラデー箱を形成することができる。

【０００９】

第１のチップは、適切な一実施形態では、受動的な機能のみを含む。このような受動的

な機能は、抵抗器、インダクタ、およびキャパシタ、ならびに任意でピンまたはツェナー・ダイオードなどのダイオードを含む。さらには、ＭＥＭＳ要素およびアンテナがあってもよい。このようにして、バスパンド（ｂａｓｓｐａｎｄ）フィルタと、インピーダンス整合ネットワークと、カプラと、フィードバックと、バンド切替回路とは、第１のチップ内に設計されることができる。第１のチップは、半導体基板上に設けられることが適切であるが、絶縁体の基板もその代替物である。半導体基板の利点は、その熱膨張率が第２の半導体チップの熱膨張率と等しいことである。結果として、完成した電子デバイスの熱安定性は、大幅に改善される。良好な結果は、基板としての高オーミック（ｈｉｇｈ－ｏｈｍｉｃ）シリコンによって得られたものである。この材料は、高周波で絶縁基板の特性を有する。

【００１０】

第２のチップは、適切には、増幅器、送受信機、またはドライバ・チップなどの半導体デバイスである。あるいは、第２のチップは、バルク音波フィルタなどのフィルタ、微小電気機械システム（ＭＥＭＳ）要素を含むデバイスなどのスイッチング素子またはアレイ、磁気抵抗センサなどセンサ等であってもよい。所望であれば、第２のチップは、別個のメモリ・チップであってもよい。換言すれば、これらは、第１のチップへの統合が技術的に可能でないか商業的に魅力的でないチップである。本発明のデバイスでは、わずか１つよりも多くの第２のチップが提供され得ることが理解されるであろう。実際は、より多くの第２のチップがあると、その場合には第１のチップがこれらの第２のチップをはるかに越えて横方向に延長することになり、適正な局所接地の必要性がより大きくなるだけである。

【００１１】

当業者に知られているように、適切には、ダイ・パッドはリード・フレームの一部である。ＱＦＮタイプのリード・フレームが、それらがＳＭＤ実装可能であるリードを有するので好ましい。このリード・フレームの非常に好ましい異型は、ＨＶＱＦＮリード・フレームとして知られている。最近の開発では、このようなリード・フレームには、リード・フレームの底面から部分的にまたは完全に取り除かれる犠牲層が形成されている。あるいは、ダイ・パッドが、別に形成されることもできる。しかしながら、端子がアレイ状の構成で第１のチップ上にあってもよく、端子にははんだバンプが設けられてもよい。このようなパッケージは、それ自体がチップ・スケール・パッケージとして知られている。

【００１２】

さらに別の有利な実施形態では、シールドが第１のチップの第２の側に存在する。前記シールドは、適切には、第１のチップ内の貫通孔により突出部に接続されている。容量性素子としての用途のためのトレンチと組み合わせて貫通孔を形成するための技法は、事前公開されていない特許出願ＥＰ０４３００１３２.０（ＰＨＮＬ０４０２２６）に記載されている。任意で、グランドから第１のチップの第２の側への接続は、第１のチップのこの第２の側で提供されるさらなる機能またはチップのためのグランド接点を構成できる。

【００１３】

本発明の別の態様では、リード・フレームは、ダイ・パッドと複数のリードとを備え、このダイ・パッドには突出部が設けられている。図および上述の説明から明らかとなるように、リード・フレームの実施形態は、本発明の主要な実施形態であり、本発明は、本明細書で明確に具体化される。

【００１４】

本発明のさらに別の態様では、特に請求項２に記載の本発明による電子デバイスを製造する方法が提供される。この方法は、

サブアセンブリの形成中に、第２のチップをその第２の側でダイ・パッドに実装するステップと、

バンプを用いて第１のチップとサブアセンブリを組み立てるステップとを含む。

【００１５】

チップオンチップ構造全体のリード・フレームへの従来の組み立てが難しいことが分か

っている。１ステップで、２つの接続がなされなければならず、応力は開放されるべきである。これらの接続とは、第２のチップとダイ・パッドとの間の接続、および第１のチップ上の端子とリードとの間の接続である。本明細書では、第１のチップとリードとの間の距離は、ダイ・パッドと第２のチップとの間の距離よりもはるかに大きい。

【００１６】

本発明の方法では、まずサブアセンブリが作製され、サブアセンブリは、次の組立てステップで組み立てられるべき２つの表面が比較的平坦となるように作られる。これは、適正な組み立てに貢献する。

【００１７】

本発明のこれらの態様およびその他の態様は、図面を参照して以下でより詳細に説明されるであろう。

【発明を実施するための最良の形態】

【００１８】

図１は、高周波増幅器ＨＦＡを示している。高周波増幅器ＨＦＡは、入力接続ＩＮＰと、さまざまな構成要素がその上に実装されるプリント回路基板ＰＣＢと、出力接続ＯＵＴと、ケーシングＣＡＳとを備える。集積回路デバイスＩＣＤは、これらの構成要素のうちの１つである。集積回路デバイスｌＣＤは、プリント回路基板ＰＣＢ介して他の構成要素に結合される。集積回路デバイスＩＣＤは、プリント回路基板ＰＣＢ上の他の構成要素と組み合わさって、出力接続ＯＵＴで増幅された信号を得るように入力接続ＩＮＰに存在する高周波信号を増幅する増幅回路を備えている。

【００１９】

図２は、集積回路デバイスＩＣＤを示している。図２は、集積回路デバイスＩＣＤの断面図である。集積回路デバイスＩＣＤは、実装／接続ベースＭＣＢと、２つの信号処理チップＡＣＨ１、ＡＣＨ２と、受動素子チップＰＣＨとを備える。これらの要素は、機械的保護を提供するモールド・コンパウンドＭＬＤによって覆われる。実装／接続ベースＭＣＢは、比較的高い電気・熱伝導率を有する材料を含むことが好ましい。例えば、実装／接続ベースＭＣＢは、銅を含む合金により形成されることができる。

【００２０】

実装／接続ベースＭＣＢは、リード・フレームＬＦＲとダイ・パッドＤＰＤとを備える。リード・フレームＬＦＲは、集積回路デバイスＩＣＤを他の電気デバイスに接続するためのさまざまな電気リードＬＤを有する。電気リードＬＤ１は、信号グランドＧＮＤへの接続を構成する。電気リードＬＤ２は、電源電圧ＶＣＣへの接続を構成する。２つの信号処理チップＡＣＨが、ダイ・パッドＤＰＤに固定されている。ダイ・パッドＤＰＤは、さまざまな突出部ＰＴＲを備えている。突出部ＰＴＲ１およびＰＴＲ２は、信号処理チップＡＣＨ１が配置されるキャビティを画定する。突出部ＰＴＲ２およびＰＴＲ３は、信号処理チップＡＣＨ２が配置される別のキャビティを画定する。

【００２１】

受動素子チップＰＣＨは、信号処理チップＡＣＨの上に位置する。受動素子チップＰＣＨは、信号グランド・パッドＧＰと、電源電圧パッドＶＰと、導電性シールドＳＨＤと、導電性材料で充填される貫通孔ＴＲＨとを備える。貫通孔ＴＲＨは、受動素子チップＰＣＨの導電性シールドＳＨＤと信号グランド・パッドＧＰ１との間の電気接続を構成する。受動素子チップＰＣＨはさらに、デカップリングキャパシタを備える。あるデカップリングキャパシタは、信号グランド・パッドＧＰ１と電源電圧パッドＶＰ１との間で電気的に結合される。別のデカップリングキャパシタは、信号グランド・パッドＧＰ１と電源電圧パッドＶＰ２との間で電気的に結合される。受動素子チップＰＣＨはさらに、例えば、静電放電に対する保護を提供するダイオードなどの電気素子を備えてもよい。したがって、放電から生じる電流は、低インピーダンス経路を介して信号グランドへと実質的に流れ、このことが破壊的なピーク電圧の発生を防止する。

【００２２】

集積回路デバイスＩＣＤは、リード・フレームＬＦＲと、ダイ・パッドＤＰＤと、信号

処理チップＡＣＨと、受動素子チップＰＣＨとを互いに電気的に結合するためのさまざまなはんだ接続ＳＣを備える。はんだ接続ＳＣ１は、信号グランドＧＮＤへの接続を構成する電気リードＬＤ１に、受動素子チップＰＣＨの導電性シールドＳＨＤを電気的に結合する。はんだ接続ＳＣ２は、電源電圧ＶＣＣへの接続を構成する電気リードＬＤ２に、受動素子チップＰＣＨの電源電圧パッドＶＰ１を電気的に結合する。電源電圧パッドＶＰ１および電源電圧パッドＶＰ２は、受動素子チップ内で電気的に相互接続される。各信号処理チップＡＣＨは、はんだ接続ＳＣ３およびＳＣ４と、貫通孔ＴＲＨと、受動素子ＰＣＨの導電性シールドＳＨＤと、はんだ接続ＳＣ１とを介して信号グランドに結合される。信号処理チップＡＣＨ１は、はんだ接続ＳＣ５と、受動素子チップＰＣＨの電源電圧経路ＶＰ１と、はんだ接続ＳＣ２とを介して電源電圧ＶＣＣに結合される。信号処理チップＡＣＨ２は、はんだ接続ＳＣ６と、電源電圧経路ＶＰ１に相互接続された受動素子チップＰＣＨの電源電圧経路ＶＰ２と、はんだ接続ＳＣ２とを介して電源電圧ＶＣＣに結合される。

【００２３】

ダイ・パッドＤＰＤは、その底面でグランドに電気的に結合され、底面においてダイ・パッドＤＰＤはプリント回路基板に実装される。本実施形態では、一方のグランド接点（ダイ・パッドＤＰＤ）から他方のグランド接点（信号グランドＧＮＤ）への接続があり、グランド接点が適切なシールドとして機能する。この接続は、はんだ接続ＳＣ７と、金属化された貫通孔ＴＲＨと、受動素子チップＰＣＨの導電性シールドＳＨＤと、はんだ接続ＳＣ１とを含む。受動素子チップＰＣＨの信号グランド導体パッドＧＰ２は、はんだ接続ＳＣ８介してダイ・パッドＤＰＤの突出部ＰＴＲ３に電気的に結合される

図３は、図１に示される集積回路デバイスＩＣＤの実装／接続ベースＭＣＢを示している。図３は、実装／接続ベースＭＣＢの上面図である。突出部ＰＴＲは、図２に示された信号処理チップＡＣＨを受けるための２つのキャビティＣＡＶを画定する壁を形成する。電気リードＬＤ２は、ダイ・パッドＤＰＤへのアタッチメントＡＴＴを有し、アタッチメントＡＴＴが電気的結合を構成する。

【００２４】

はんだ接続ＳＣ、受動素子チップＰＣＨの導電性シールドＳＨＤおよび貫通孔ＴＲＨ、ならびにその突出部ＰＴＲおよびアタッチメントＡＴＴを含むダイ・パッドＤＰＤは、高周波で比較的低いインピーダンスを有する。結果として、好ましくは、高周波電流がこれらの要素を通って流れるであろう。このような電流の流れが生成することがあるいかなる高周波電圧も、比較的小さな大きさ（ｒｅｌａｔｉｖｅｌｙ　ｍｏｄｅｓｔ　ａｍｐｌｉｔｕｄｅ）であろう。したがって、集積回路デバイスＩＣＤ内にある回路は、満足な高周波挙動を有するであろう。回路間のいかなる信号クロストークも、比較的少ないであろう。さらに、壁状の突出部ＰＴＲは、電磁障害に対するシールドを構成する。実際には、壁状の突出部ＰＴＲは、ダイ・パッドＤＰＤの残りの部分および受動素子チップＰＣＨと組み合わさってファラデー箱を形成し、受動素子チップＰＣＨには、導電性シールドＳＨＤが設けられる。これがさらに、集積回路デバイスＩＣＤの満足な高周波挙動に貢献する。

【００２５】

図４および図５Ａ～図５Ｅは、図２に示された集積回路デバイスを製造する方法を示している。図４は、本方法のさまざまなステップＳＴを示している。図５Ａ～図５Ｅは、本方法の中間生産物を示している。図５Ａは、切断線ＣＬ１とＣＬ２とが設けられた金属ストリップＭＴＳを示している。金属ストリップＭＴＳは、上面ＵＦと下面ＬＦとを有する。

【００２６】

エッチング・ステップＳＴ１で、金属ストリップＭＴＳの上面ＵＦは、所定のパターンに従ってエッチングされる。金属ストリップＭＴＳの下面ＬＦも、所定のパターンに従ってエッチングされる。両方の面上のエッチングの深さは、金属ストリップＭＴＳの厚さである上面ＵＦと下面ＬＦとの間の距離のほぼ２／３である。

【００２７】

図５Ｂは、エッチング・ステップＳＴ１によって形成された実装ストリップを示してい

る。リード・フレームＬＦＲおよびダイ・パッドＤＰＤは、エッチング・ステップＳＴ１で形成されている。キャビティを画定するダイ・パッドＤＰＤの壁状の突出部ＰＴＲも、エッチング・ステップＳＴ１で形成されている。切断線ＣＬ１とＣＬ２との間の部分が、本発明による実装／接続ベースＭＣＢを構成する。

【００２８】

はんだ準備ステップＳＴ２で、リード・フレームＬＦＲの電気リードＬＤとダイ・パッドＤＰＤの突出部ＰＴＲとに、はんだボールＳＢが設けられる。図５Ｃは、はんだ準備ステップＳＴ２によって形成された、はんだが準備された実装ストリップを示している。

【００２９】

チップ同士の固定ステップＳＴ３で、受動素子チップＰＣＨと信号処理チップＡＣＨが互いに固定される。図５Ｄは、チップ同士の固定ステップＳＴ３によって形成されたチップ・アセンブリを示している。

【００３０】

実装ステップＳＴ４で、図５Ｄに示されるチップ・アセンブリは、図５Ｅに示される、はんだが準備された実装ストリップ上に実装される。信号処理チップＡＣＨは、キャビティ内に配置され、任意でダイ・パッドＤＰＤへ固定されることができる。はんだが準備された実装ストリップのはんだボールＳＢは、はんだ接続を形成するように加熱される。

【００３１】

図５Ｅは、実装ステップＳＴ４によって形成されたチップ実装済みストリップを示している。図示されていないさらなるステップで、モールド・コンパウンドが、チップ実装済みストリップに塗布されることができる。切断線ＣＬ１およびＣＬ２に沿った切断は、図２に示された集積回路デバイスをもたらす。

【００３２】

図面を参照した先の詳細な説明は、以下の特徴を示している。電子デバイス（集積回路デバイスＩＣＤ）は、第１のチップ（ＰＣＨ）と、第１のチップ（ＰＣＨ）に結合された第２のチップ（ＡＣＨ）とを備える。第１のチップ（ＰＣＨ）の接地は、リード（電気リードＬＤ１）の形態だけでなく、その他に、すなわちそれに加えて、ダイ・パッド（ＤＰＤ）上の突出部（ＰＴＲ３）への導体パッド（ＧＰ２）の形態の従来の信号グランド接点によっても達成される。この導体パッド（ＧＰ２）は中央に配置されており、そのため、従来の接地よりも、第１のチップおよび／または第２のチップ内にある構成要素により近い。このように、この導体パッドは、低減されたインピーダンスを有する改善された接地接続を構成する。さらに、この接地接点の存在は、第２のチップ（ＡＣＨ）または少なくとも一部の第１のチップ（ＰＣＨ）に遮蔽をもたらすことができる。

【００３３】

図面を参照した先の詳細な説明は、さらに以下のオプションの特徴を示している。ダイ・パッド（ＤＰＤ）の突出部（ＰＴＲ３）に面し、その突出部に電気的に結合された導体パッド（信号グランド・パッドＧＰ２）は、第１のチップ（受動素子チップＰＣＨ）の中央ゾーン内に配置される。この中央ゾーンは、第１のチップ（ＰＣＨ）をリード（ＬＤ）に接続するための第１のチップのさまざまな導体パッド（ＶＰ１、ＧＰ３）によって画定される周縁ゾーン内に位置するゾーンである。このように、突出部に面する導体パッドは、概ね中央の位置を有する。したがって、第１のチップ（ＰＣＨ）内の回路は、この導体パッドに結合され、それゆえ、比較的短い接続を介してグランドに結合されることができる。接続が短いほど、そのインダクタンスは低くなる。したがって、上述した特徴は、高周波挙動のさらなる向上を可能にする。

【００３４】

図面を参照した先の詳細な説明は、さらに以下のオプションの特徴を示している。電子デバイス（集積回路デバイスＩＣＤ）は、集積回路（受動素子チップＰＣＨ）とダイ・パッド（ＤＰＤ）との間に配置された介在集積回路（信号処理チップＡＣＨ１またはＡＣＨ２）を備える。これは、より良好な価格／性能比を可能にする、２つの異なるチップ間の機能の分割を可能にする。

【００３５】
図面を参照した先の詳細な説明は、さらに以下のオプションの特徴を示している。集積回路（受動素子チップＰＣＨ）のうちの一方は、他方の集積回路（信号処理チップＡＣＨ）に電気的に結合されたデカップリングキャパシタを備える。これは、良好な高周波挙動にさらに貢献する比較的低いインピーダンスを有する電気デカップリング経路を可能にする。
【００３６】
図面を参照した先の詳細な説明は、さらに以下のオプションの特徴を示している。ダイ・パッド（ＤＰＤ）の突出部（ＰＴＲ３）は、介在集積回路（信号処理チップＡＣＨ）を少なくとも部分的に囲む壁として成形される。壁状の突出部は、良好な高周波挙動にさらに貢献するファラデー箱を構成する。
【００３７】
上述した特徴は、多数の異なる方式で実施されることができる。これを示すために、いくつかの代替物が簡潔に示される。集積回路は、電子デバイスが備える唯一の集積回路であってもよく、またはたとえ唯一の電気部品であってもよい。集積回路は、１つまたは複数の信号処理回路を備えることができる。突出部は、必ずしも壁として成形される必要があるというわけではなく、突出部は、任意の形状を有することができる。突出部は、例えば、ロッド、円柱、立方体、または角錐として成形されてもよい。ダイ・パッドの突出部に面する集積回路の導体パッドは、例えば、導電性接着剤によって、突出部に電気的に結合されることができる。本発明による電子デバイスは、任意のタイプの信号処理装置に適用されてもよいことにさらに留意すべきである。図１に示された高周波増幅器は、単に一例にすぎない。この電子デバイスは、例えば、高速データ処理のためのコンピュータまたはデジタル信号処理装置に適用されてもよい。
【００３８】
さらに、図面を参照した先の詳細な説明の特定の実施形態は、多数の異なる方式で実施されることができる。これを示すために、いくつかの代替物が簡潔に示される。図２に示された信号処理チップＡＣＨのいずれかは、異なるタイプの電気部品で置き換えられてもよい。信号処理チップＡＣＨを１つまたは複数の他の電気部品と置き換えずに、信号処理チップＡＣＨを省略することも可能である。このような代替実施形態では、受動素子チップＰＣＨは、信号処理回路と、例えばデカップリングキャパシタなどの１つまたは複数の受動素子とを備えるチップで置き換えられることができる。受動素子チップＰＣＨを能動素子チップと置き換え、信号処理チップＡＣＨを１つまたは複数の受動素子チップと置き換えることも同様に可能である。
【００３９】
受動素子チップＰＣＨの導電性シールドＳＨＤおよび貫通孔ＴＲＨが省略されてもよいことにもさらに留意すべきである。ダイ・パッドＤＰＤは、図３に示されたアタッチメントＡＴＴのみを介して、信号グランドＧＮＤを構成する電気リードＬＤ１に電気的に結合されてもよい。
【００４０】
図４に示されたエッチング・ステップＳＴ１は、リード・フレームおよびダイ・パッドを図２に示されるように互いに対して配置するために、エッチングされた金属ストリップがある程度変形される変形ステップによって追従されてもよい。このエッチング・ステップを、金属ストリップＭＴＳから実装／接続ベースＭＣＢを形成するために異なる技法が使用される別のステップと置き換えることも可能である。例えば、実装／接続ベースＭＣＢは、化学的作用ではなく機械的作用によって金属ストリップＭＴＳから材料を除去するスタンピング機によって形成されることができる。まず信号処理チップＡＣＨを個々に実装／接続ベースＭＣＢに実装し、その後、信号処理チップＡＣＨに受動素子チップＰＣＨを固定すると共に、受動素子チップＰＣＨを実装／接続ベースＭＣＢ上に実装することもさらに可能である。
【００４１】

ハードウェアまたはソフトウェアあるいはそれら両方のアイテムによって機能を実施する多数の方法がある。この点で、図面は非常に概略的であり、各々が本発明の１つの可能な実施形態のみを表している。このように、図面は異なるブロックとして異なる機能を示しているものの、これは、ハードウェアまたはソフトウェアの単一のアイテムが複数の機能を実行することを決して除外しない。またこれは、ハードウェアまたはソフトウェアあるいはそれら両方のアイテムのアセンブリが機能を実行することも除外しない。

【００４２】

本明細書で先に行った言及は、図面を参照した詳細な説明は例示であり、本発明を限定するものではないことを示している。添付の特許請求の範囲内に含まれる多数の代替物がある。請求項中のいかなる参照符号も、その請求項を限定するものとして解釈されるべきではない。「含む（ｃｏｍｐｒｉｓｉｎｇ）」という単語は、請求項にリストされたもの以外の要素またはステップの存在を除外しない。要素またはステップの前にある「ａ」または「ａｎ」という単語は、複数のこのような要素またはステップの存在を除外しない。

【図面の簡単な説明】

【００４３】

【図１】高周波増幅器を示す図である。

【図２】高周波増幅器の集積回路デバイスを示す断面図である。

【図３】集積回路デバイスの実装／接続ベースを示す上面図である。

【図４】集積回路デバイスを製造する方法を示すフローチャート図である。

【図５Ａ】本方法の中間生産物を示す断面図である。

【図５Ｂ】本方法の中間生産物を示す断面図である。

【図５Ｃ】本方法の中間生産物を示す断面図である。

【図５Ｄ】本方法の中間生産物を示す断面図である。

【図５Ｅ】本方法の中間生産物を示す断面図である。

【符号の説明】

【００４４】

ＰＣＢ　プリント回路基板

ＩＮＰ　入力接続

ＯＵＴ　出力接続

ＩＣＤ　集積回路デバイス

ＣＡＳ　ケーシング

【図１】

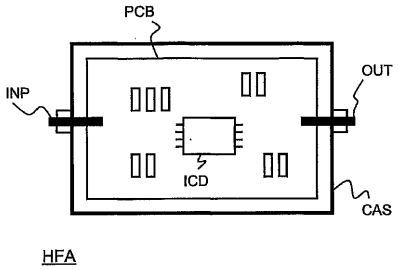


FIG.1

【図２】

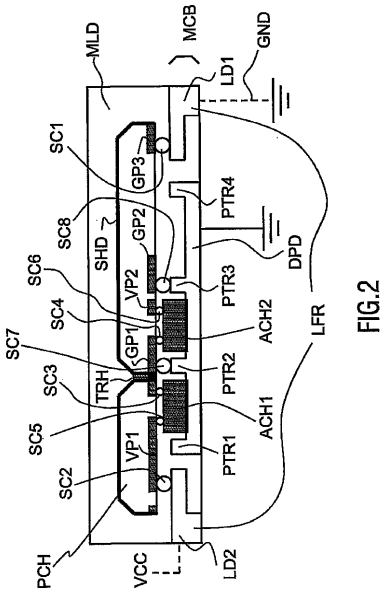


FIG.2

【図３】

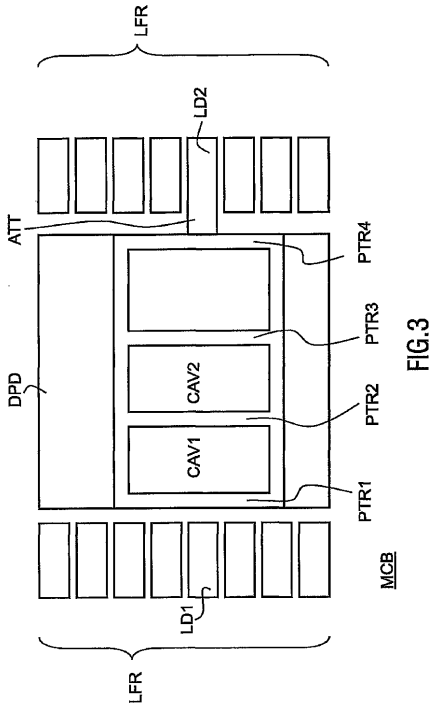


FIG.3

【図４】

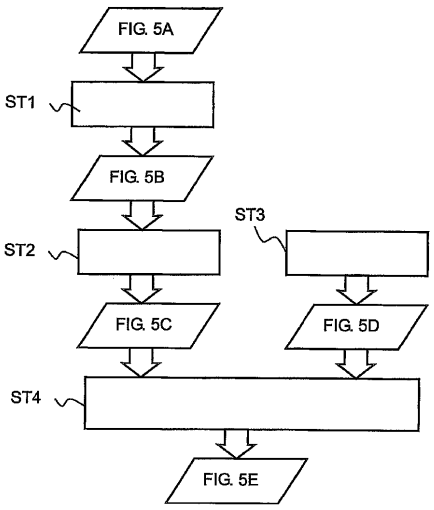


FIG.4

【図５Ａ】

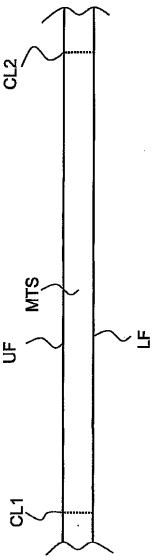


FIG.5A

【図５Ｂ】

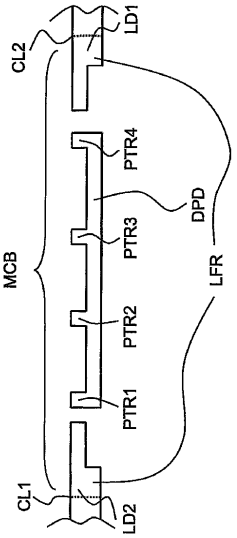


FIG.5B

【図５Ｃ】

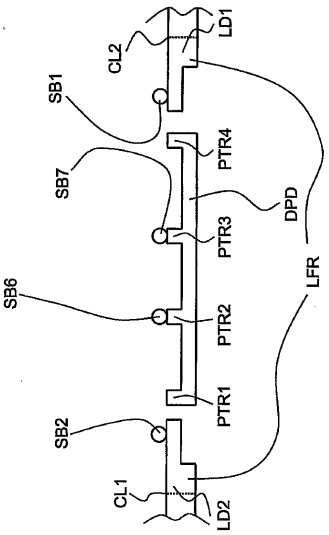


FIG.5C

【図５Ｄ】

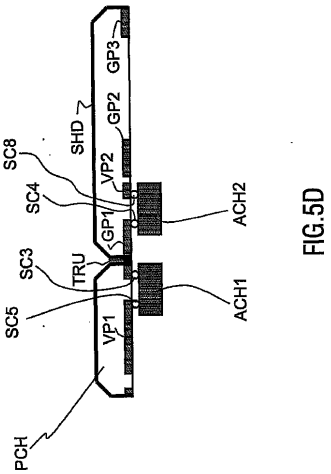


FIG.5D

【図５Ｅ】

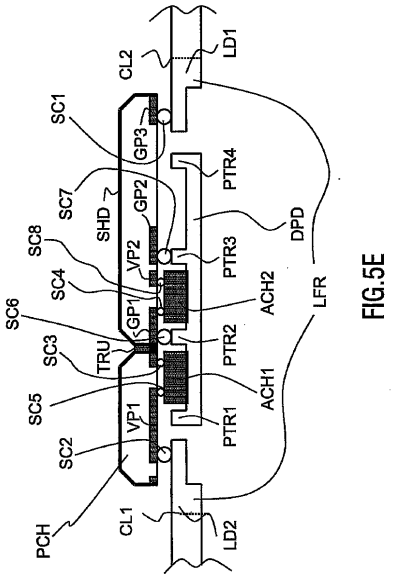

CL2
LD1
SC1
GP3
PTR4
SC7
SHD
GP2
DPD
SC8
VP2
PTR3
SC4
ACH2
LFR
SC6
GP1
SC3
TRU
PTR2
ACH1
SC5
VP1
PTR1
SC2
PCH
CL1
LD2

FIG.5E

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2005/052241

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L25/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	EP 1 357 596 A (NEC COMPOUND SEMICONDUCTOR DEVICES, LTD) 29 October 2003 (2003-10-29) paragraph [0041] - paragraph [0105]; figure 8	1-6,8-10 7
Y	US 6 737 750 B1 (HOFFMAN PAUL ROBERT ET AL) 18 May 2004 (2004-05-18) column 3, line 14 - column 13, line 57; figure 8	7
A	US 2002/030264 A1 (SHIMADA YOSHIKAZU ET AL) 14 March 2002 (2002-03-14) paragraph [0027] - paragraph [0037]; figure 3	1-10

-/--

[X] Further documents are listed in the continuation of Box C.

[X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 June 2006	29/06/2006

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Stirn, J-P

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2005/052241

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 008, no. 221 (E-271), 9 October 1984 (1984-10-09) & JP 59 104152 A (SUWA SEIKOSHA KK), 15 June 1984 (1984-06-15) abstract	7

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/IB2005/052241

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 1357596	A	29-10-2003	CN	1453858 A	05-11-2003
			JP	2003318311 A	07-11-2003
			US	2003197250 A1	23-10-2003
US 6737750	B1	18-05-2004	US	6919631 B1	19-07-2005
US 2002030264	A1	14-03-2002	JP	2002083925 A	22-03-2002
JP 59104152	A	15-06-1984	NONE		

Form PCT/ISA/210 (patent family annex) (April 2005)

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100103263
弁理士 川崎 康
(72)発明者 ジャン‐クロード、ジェ．スィス
オランダ国５６５６、アーアー、アインドーフェン、ケアオブ、プロフ．ホルストラーン、６

Ｆターム(参考) 5F067 AA01 AA02 BE02 CA04 CB02 DF20