202230220

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202230220 A

(43)公開日： 中華民國 111 (2022) 年 08 月 01 日

(21)申請案號：110103128 (22)申請日： 中華民國 110 (2021) 年 01 月 27 日

(51)Int. Cl.： *G06N3/02 (2006.01)* *G06T1/00 (2006.01)*

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD. (TW)
新竹市力行路 16 號

(72)發明人：王韋程 WANG, WEI-CHEN (TW) ；何建忠 HO, CHIEN-CHUNG (TW) ；張原豪 CHANG, YUAN-HAO (TW)

(74)代理人：李世章；秦建譜

申請實體審查：有 申請專利範圍項數：10 項 圖式數：7 共 39 頁

(54)名稱

神經網路系統及記憶體操作方法

(57)摘要

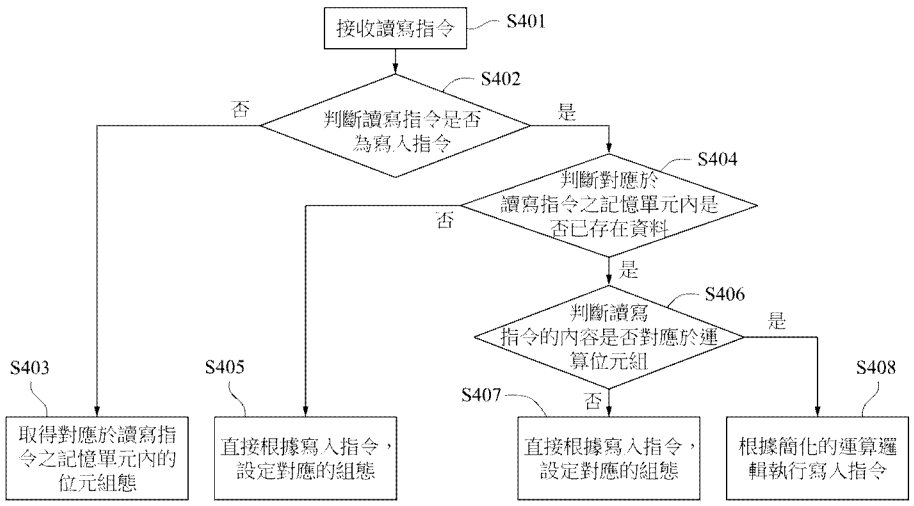
本揭示內容關於一種記憶體操作方法，包含下列步驟：透過控制器，取得複數個初始位元碼，其中該些初始位元碼對應於記憶體中的複數個記憶單元，且至少包含第一初始位元碼及第二初始位元碼；將第一初始位元碼及第二初始位元碼設定為運算位元組；當控制器接收到的寫入指令對應於第一初始位元碼時，根據寫入指令，改變第一初始位元碼的組態；以及當控制器接收到的寫入指令不對應於第一初始位元碼、但對應於第二初始位元碼時，控制控制器忽略寫入指令。

The present disclosure relates to a memory operation method, including the following steps: obtaining a plurality of initial bit codes through a controller, wherein the initial bit codes correspond to a plurality of memory cells in a memory, and include at least a first initial bit code and a second initial bit code; setting one first initial bit code and one second initial bit code as an operation byte group; when a write command received by the controller corresponds to the first initial bit code, changing the level of the first initial bit code according to the write command; when the write command received by the controller does not correspond to the first initial bit code but corresponds to the second initial bit code, the control controller ignores the write command.

指定代表圖：

符號簡單說明：

S401-S408:步驟



第 4 圖

20223127
20220220
專利案號：110103128

【發明摘要】

【中文發明名稱】神經網路系統及記憶體操作方法

【英文發明名稱】NEURAL NETWORK SYSTEM AND MEMORY OPERATION METHOD

【中文】

本揭示內容關於一種記憶體操作方法，包含下列步驟：透過控制器，取得複數個初始位元碼，其中該些初始位元碼對應於記憶體中的複數個記憶單元，且至少包含第一初始位元碼及第二初始位元碼；將第一初始位元碼及第二初始位元碼設定為運算位元組；當控制器接收到的寫入指令對應於第一初始位元碼時，根據寫入指令，改變第一初始位元碼的組態；以及當控制器接收到的寫入指令不對應於第一初始位元碼、但對應於第二初始位元碼時，控制控制器忽略寫入指令。

【英文】

The present disclosure relates to a memory operation method, including the following steps: obtaining a plurality of initial bit codes through a controller, wherein the initial bit codes correspond to a plurality of memory cells in a memory, and include at least a first initial bit code and a second initial bit code; setting one first initial bit code and one second initial bit code as an operation byte group; when a write command received by the controller corresponds to the first initial bit code, changing the level of the first

initial bit code according to the write command; when the write command received by the controller does not correspond to the first initial bit code but corresponds to the second initial bit code, the control controller ignores the write command.

【指定代表圖】第（ 4 ）圖。

【代表圖之符號簡單說明】

S 4 0 1 - S 4 0 8 : 步 驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】神經網路系統及記憶體操作方法

【英文發明名稱】NEURAL NETWORK SYSTEM AND MEMORY OPERATION METHOD

【技術領域】

【0001】 本揭示內容關於一種神經網路系統及記憶體操作方法，用以根據寫入指令控制記憶體中的組態。

【先前技術】

【0002】 神經網路/類神經網路（Neural Network）是一種模仿生物神經系統的運算模型。神經網路通常會包含數個階層，每個階層中包含眾多的神經元（neuron）。每個神經元對應於不同的活化函數(Activation function)，將接收到的資料進行轉換。每個神經元會跟下一層的至少一個神經元連接，使上一層神經元的輸出值經過權重計算（weight）後傳遞給下一層的神經元。

【0003】 神經網路需透過大量的訓練過程，反覆地調整每個神經元的權重值。因此，神經網路需要快速的運算能力，且亦需儲存龐大的資料量。動態隨機存取記憶體（Dynamic Random Access Memory，DRAM）具有高速的讀寫能力，但是成本較高，而不利於儲存大量的資料。因此，需要一種新的記憶體操作方法，兼顧記憶體

的讀寫速度及成本。

【發明內容】

【0004】 本揭示內容之一態樣為一種記憶體操作方法，包含下列步驟：透過控制器，取得複數個初始位元碼，其中該些初始位元碼對應於記憶體中的複數個記憶單元，且至少包含第一初始位元碼及第二初始位元碼；將第一初始位元碼及第二初始位元碼設定為運算位元組；當控制器接收到的寫入指令對應於第一初始位元碼時，根據寫入指令，改變第一初始位元碼的組態；以及當控制器接收到的寫入指令不對應於第一初始位元碼、但對應於第二初始位元碼時，控制控制器忽略寫入指令。

【0005】 本揭示內容之另一態樣為一種神經網路系統，包含記憶體及控制器。記憶體包含複數個記憶單元，用以紀錄複數個初始位元碼。該些初始位元碼至少包含一第一初始位元碼及一第二初始位元碼。控制器電性連接於記憶體，且用以將第一初始位元碼及第二初始位元碼設定為一運算位元組。中控制器用以根據一寫入指令調整該些初始位元碼的資料組態。當寫入指令對應於第一初始位元碼時，控制器根據寫入指令，改變第一初始位元碼的組態。當寫入指令不對應於第一初始位元碼、但對應於第二初始位元碼時，控制器忽略寫入指令。

【0006】 本揭示內容透過簡化運算邏輯，使得控制器在控制位元碼的組態時，執行步驟能較為精簡。據此，將可改善

神經網路系統之「成本」、「讀寫速度」及「耗能」問題。

【圖式簡單說明】

【0007】

第 1A 圖為神經網路系統的一種示意圖。

第 1B 圖為相變化記憶體的操作訊號示意圖。

第 1C 圖為神經網路系統之記憶體的一種操作方式的示意圖。

第 1D 圖為神經網路系統之記憶體的另一種操作方式的示意圖。

第 1E 圖為 WOM-code 操作的運算邏輯示意圖。

第 2 圖為根據本揭示內容之部份實施例之神經網路系統的示意圖。

第 3A 圖為根據本揭示內容之部份實施例之神經網路系統寫入資料的示意圖。

第 3B 圖為每一個初始位元碼被設定在組態「0」或組態「1」的次數統計圖。

第 4 圖為根據本揭示內容之部份實施例之操作方法流程圖。

第 5A 圖為一種運算邏輯的示意圖。

第 5B～5G 圖為根據本揭示內容之部份實施例所使用的簡化運算邏輯的示意圖。

第 6 圖所示為神經網路系統以不同操作流程進行寫入的比較圖。

第 7 圖為根據本揭示內容之部份實施例之神經網路系統的操作方式圖。

【實施方式】

【0008】 以下將以圖式揭露本發明之複數個實施方式，為明確說明起見，許多實務上的細節將在以下敘述中一併說明。然而，應瞭解到，這些實務上的細節不應用以限制本發明。也就是說，在本發明部分實施方式中，這些實務上的細節是非必要的。此外，為簡化圖式起見，一些習知慣用的結構與元件在圖式中將以簡單示意的方式繪示之。

【0009】 於本文中，當一元件被稱為「連接」或「耦接」時，可指「電性連接」或「電性耦接」。「連接」或「耦接」亦可用以表示二或多個元件間相互搭配操作或互動。此外，雖然本文中使用「第一」、「第二」、…等用語描述不同元件，該用語僅是用以區別以相同技術用語描述的元件或操作。除非上下文清楚指明，否則該用語並非特別指稱或暗示次序或順位，亦非用以限定本發明。

【0010】 第 1A 圖為神經網路系統 N100 的一種示意圖。神經網路 N100 包含輸入層 L1、至少一隱藏層 L2 及輸出層 L3，每一層 L1～L3 都包含複數個神經單元 NR。在建立神經網路之前，需先通過訓練程序（training phase），以確認每個神經單元 NR 在進行運算時的權重值。由於本領域人士能理解訓練程序之原理，故在此不另贅述。

【0011】 在部份實施例中，本揭示內容係應用非揮發性記憶

體（Non-Volatile Memory，NVM）來實現神經網路系統 N100 的記憶體，以儲存神經單元 NR 的權重值、以及儲存訓練資料。NVM 的成本相對於 DRAM 低廉，故能在相同成本下，儲存更多資料。

【0012】 在一實施例中，神經網路系統 N100 使用非揮發性隨機存取記憶體（NVRAM）來實現神經網路系統 N100 的記憶體，例如相變化記憶體（Phase Change RAM，PRAM）。第 1B 圖為 PRAM 的操作訊號示意圖。PRAM 的操作訊號包含 SET、RESET。其中 SET 代表將記憶體的組態設定為高準位（即，1）、RESET 代表將記憶體的組態設定為低準位（即，0）。如圖所示，PRAM 在設定組態為 1 時的速度較慢、但耗能相對較低；而在設定組態為 0 時，速度較快，但耗能相對較高。換言之，如果直接使用 PRAM 作為神經網路系統 N100 的記憶體，則「讀寫速度」、「耗能過高」等兩個問題都難以有效解決，因此，需要特殊的操作方式來進行改良。

【0013】 在此要特別一提者，雖然第 1B 圖所示為 PRAM 的操作訊號示意圖，但本揭示內容並不以此為限。在其他實施例中，本揭示內容亦可使用其他類型的 NVM（如：快閃記憶體）作為記憶體，來實現本揭示內容的系統架構或運算方法。

【0014】 第 1C 圖所示為神經網路系統 N100 之記憶體（如：PRAM）的一種操作方式的示意圖。第 1C 圖左方所示的操作流程中，記憶體內的數據變化依序為「0101、1000、

0010」。前述變化包含了兩次組態從0到1、三次組態從1至0。為便於後文說明，在此將組態「0至1」的變化簡稱為SET操作、組態從「1至0」的變化簡稱為RESET操作。如第1C圖的左側操作流程，其組態變化包含「2SET+3RESET」。參照第1B及1C圖，由於RESET操作(從1到0)需要較大的耗能，因此前述的操作會耗費許多能量，且無法解決SET操作（從0到1）寫入時間較長的問題。

【0015】 承上，第1C圖右方所示的操作流程包含「Pre-SET」操作，代表神經網路系統N100的控制器會利用空暇時間，預先將記憶體的所有組態統一設定為「1」。據此，在實際要根據寫入命令修改記憶體之組態時，其動作就只會有RESET操作（從1到0），從而能避免寫入速度過長的問題。不過，第1C圖的右側操作流程，其組態變化包含「4SET+6RESET」，實際耗能將更高。

【0016】 除了「Pre-SET」操作外，神經網路系統N100尚可執行另一種「Pre-RESET」操作。意即，神經網路系統N100的控制器會利用空暇時間，預先將記憶體的所有組態統一設定為「0」。據此，在實際要根據寫入命令修改記憶體之組態時，其動作就只會有SET操作(從0到1)。如此，亦可改善寫入速度過長的問題。

【0017】 第1D圖所示為神經網路系統N100之記憶體(如：PRAM）的另一種操作方式的示意圖，稱為一次性寫入操作(Write-Once Memory codes，簡稱WOM-code)。在執行WOM-code操作時，神經網路系統N100之控制

器會將兩個位元的資料轉換為以三個轉換位元碼 W1、W2 表示（如：組態 10 表示為 010），且透過 WOM-code 的運算邏輯執行寫入動作，使得每次寫入時，記憶體的組態只會發生 SET 操作或 RESET 操作其中一種的變化。第 1E 圖為 WOM-code 操作的運算邏輯示意圖。WOM-code 的運算邏輯分為兩種運算動作組，當控制器第一次對記憶體中的一個記憶單元進行寫入時，係根據第一運算動作組 P1；接著，當控制器第二次對記憶體中的該記憶單元進行寫入時，則會改為根據第二運算動作組 P2。以此類推，反覆切換。

【0018】 第 2 圖為根據本揭示內容之部份實施例之神經網路系統 N100 的示意圖。神經網路系統 N100 包含控制器 N110、記憶體韌體 N120、快取記憶體 N130、資料記憶體 N140 及儲存裝置 N150。控制器 N110 可為中央處理器(central processing unit,CPU)、系統單晶片(System on Chip,SoC)、應用處理器、音訊處理器、數位訊號處理器(digital signal processor)或特定功能的處理晶片或控制器。記憶體韌體 N120 設置於神經網路系統 N100 的任一記憶位置，用以儲存神經元網路模組（如第 1A 圖所示之結構）。在部份實施例中，記憶體韌體 N120 還包含讀取模組（Read Function）及寫入模組（Program Function），用以訓練並建立神經元網路模組。

【0019】 快取記憶體 N130（如：SRAM）電性連接控制

器 N110，用以暫時存放控制器 N110 運算的數據。資料記憶體 N140 包含多個記憶單元，用以紀錄/儲存神經元網路模組所使用的多個權重值。在部份實施例中，控制器 N110 接收訓練資料，以運行神經元網路模組，並根據運行出的模擬結果與訓練資料中的正確結果相比對，以調整資料記憶體 N140 儲存之多個權重值。

【0020】 在部份實施例中，資料記憶體 N140 還包含位址翻譯器（address translator）及抹除平衡器(wear leveler)，以協助進行讀寫動作。儲存裝置 N150 電性連接於控制器 N110 及資料記憶體 N140，用以儲存使用頻率較低的資料，例如訓練資料、比對資料等。

【0021】 如前述實施例所述，由於 Pre-SET 操作、Pre-RESET 操作、WOM-code 操作等對於「耗能過高」問題的改善程度有限，因此，在本揭示內容的部份實施例中，係透過簡化 WOM-code 操作的運算邏輯，再配合 Pre-SET 操作或 Pre-RESET 操作，以能改善神經網路系統 N100 的「成本」、「讀寫速度」及「耗能」等問題。

【0022】 為便於說明本揭示內容的技術概念，在此先說明神經元網路模組中權重值的儲存格式。第 3A 圖為根據本揭示內容之部份實施例之神經網路系統 N100 寫入資料(如：權重值）的示意圖。權重值包含多個初始位元碼 S0、E1～E8、M1～M23。換言之，初始位元碼 S0、E1～E8、M1～M23 紀錄權重值所代表的數值，且每個初始位元碼分別儲存至資料記憶體 N130 的多個記憶單元中。

【0023】 在一實施例中，第3A圖所示的初始位元碼由左至右按照最高有效位(MSB)至最低有效位(LSB)排列。例如：初始位元碼S0紀錄「權重值的正負號」、初始位元碼E1～E8紀錄權重值的大比例成份（如：權重值為「10110001011001」，初始位元碼E1～E8為從左方數來的前八個數字）。初始位元碼M1～M23則為影響較小的數字（如：權重值在十進位表示下的個位數、十位數等）。

【0024】 第3B圖為神經網路系統N100根據大量訓練資料進行運算的過程中，每一個初始位元碼被設定在組態「0」或組態「1」的次數統計圖。由圖式可看出，初始位元碼M1～M23在組態0或1的次數幾乎相等。因此，若忽略初始位元碼M1～M23的組態變動，對於神經網路系統N100的訓練結果影響不大。換言之，即便不調整該些初始位元碼M1～M23的組態，對於最終計算出的權重值大小並不會有明顯的差異。

【0025】 如前所述，在本揭示內容的部份實施例中，當控制器N110取得對應於資料記憶體N140的多個初始位元碼S0、E1～E8、M1～M23後，控制器N110會將該些多個初始位元碼S0、E1～E8、M1～M23分類為第一初始位元碼及第二初始位元碼。第二初始位元碼即為前述影響程度較低、可忽略其組態變化的位元碼。在一實施例中，控制器N110將初始位元碼N13～M23設定為第二初始位元碼，但第二初始位元碼的定義可自行調整（如：初始

位元碼N6～M23），不以此實施例為限。

【0026】 如第3A圖所示，在部份實施例中，初始位元碼M2～M12被分類/設定為第一初始位元碼。初始位元碼M13～M23被分類/設定為第二初始位元碼。控制器N110會將第一初始位元碼及第二初始位元碼兩兩成組，設定為運算位元組。例如：第一初始位元碼M2及第二初始位元碼M13為一組運算位元組，第一初始位元碼M11及第二初始位元碼M22為另一組運算位元組。換言之，若一運算位元組為「10」，則「1」為第一初始位元碼的組態、「0」則為第二初始位元碼的組態。

【0027】 控制器N110用以接收寫入指令，且根據寫入指令調整初始位元碼的資料組態。在其他實施例中，初始位元碼還包含關鍵位元碼。例如：初始位元碼S0、E1～E8等影響權重值較高的數據可被控制器N110分類/設定為關鍵位元碼。由於關鍵位元碼會大幅度改變權重值，因此控制器N110不會使用簡化的方式進行運算，而是根據寫入指令精確地調整其組態。

【0028】 第4圖為根據本揭示內容之部份實施例之操作方法流程圖。在步驟S401中，控制器N110接收/取得讀寫指令。讀寫指令對應於資料記憶體N130中的至少一個記憶單元（例如：修改其中一個神經元的權重值）。

【0029】 在步驟S402中，控制器N110判斷讀寫指令是否為寫入指令。若讀寫指令為「讀取指令」，則在步驟S403中，控制器N110取得對應於讀寫指令之記憶單元內的位

元組態。由於本領域人士能理解各種記憶體的讀取方式，故在此不另贅述。

【0030】 在步驟S404中，若讀寫指令為「寫入指令」，則寫入指令將會對應於至少一個權重值（即，多個初始位元碼）以及對應的寫入位置（即，記憶單元）。此時，控制器N110進一步判斷對應於讀寫指令之記憶單元內是否已存在資料（即，是否已被寫入組態0或1）。若對應於寫入指令之記憶單元內尚未被寫入資料，代表記憶單元內沒有儲存資料，在步驟S405中，控制器N110直接根據寫入指令，設定對應的組態。

【0031】 在步驟S406中，若對應於寫入指令之記憶單元內已被寫入資料，則控制器N110會進一步判斷寫入指令中要寫入的內容是否對應於第一初始位元碼及第二初始位元碼組成的「運算位元組」。舉例而言，控制器N110會判斷寫入指令所要改變的位元組態是否初始位元碼M2之後（M2～M23）。

【0032】 若讀寫指令的寫入內容不是對應於「運算位元組」，而是對應於「關鍵位元碼」（S0、E1～E8），則在步驟S407中，控制器N110直接根據寫入指令，設定對應的組態。若讀寫指令的寫入內容是屬於「運算位元組」，則在步驟S408中，控制器N110根據簡化的運算邏輯執行寫入指令。

【0033】 具體而言，在控制器N110判斷寫入指令的寫入內容屬於第一初始位元碼及第二初始位元碼組成的「運算

位元組」時，控制器N110會先辨識/設定出第一初始位元碼及第二初始位元碼。接著，控制器N110會再更精確地判斷寫入指令的寫入內容是否同時包含第一初始位元碼及第二初始位元碼亦或是是只包含第二初始位元碼。當寫入指令對應於第一初始位元碼時，控制器N110根據寫入指令，改變第一初始位元碼的組態。另一方面，若寫入指令不對應於該第一初始位元碼，而只對應於第二初始位元碼，則控制器N110將會忽略寫入指令，而不進行寫入動作。

【0034】 據此，透過忽略第二初始位元碼的寫入動作，將能大幅度減少組態的變動次數，從而解決了記憶體「讀寫速度」及「耗能」的問題。由於第二初始位元碼於權重值的整體數值中僅占較低的比例，因此上述簡化的運算邏輯並不會對神經網路系統N100的精確度造成明顯影響。

【0035】 在部份實施例中，控制器N110會對初始位元碼S0、E1～E8、M1～M23進行轉換。舉例而言，由兩個位元(bit)組成的運算位元組會被轉換成三個轉換位元碼，使第一初始位元碼及第二初始位元碼能由三個轉換位元碼所表示。同時，控制器N110會建立對應於轉換位元碼的運算邏輯。運算邏輯包含初始位元碼被寫入不同組態時，轉換位元碼的對應組態。

【0036】 第5A圖為一種運算邏輯的示意圖。具體而言，如第5A圖所示，運算邏輯包含第一運算動作組510及第二運算動作組520，分別具有不同的轉換位元碼之對應規則。在第一運算動作組510中，「00」以「111」表示、「11」

以「011」表示、「10」以「101」表示、「01」以「110」表示。在第二運算動作組520中，「00」以「000」表示、「11」以「100」表示、「10」以「010」表示、「01」以「001」表示。第一運算動作組510及第二運算動作組520以表格方式顯示如下：

初始位元碼	第一運算動作組對應的轉換位元碼	第二運算動作組對應的轉換位元碼
00	111	000
01	110	001
10	101	010
11	011	100

【0037】 如第5A圖及上方表格所示，若控制器N110第一次進行寫入，則控制器N110根據第一運算動作組510調整為對應的轉換位元碼。當控制器N110第二次進行寫入，則控制器N110根據第二運算動作組520調整為對應的轉換位元碼。如此依序切換，即可使第一運算動作組510及第二運算動作組520間的操作只具有一種組態變化，且第一運算動作組510及第二運算動作組520各自的組態變化互為相反。

【0038】 舉例而言，控制器N110先根據第一個寫入指令（寫入01），將兩個bit的初始位元碼以三個bit的轉換位元碼「110」顯示。接著，當控制器N110要執行第二個寫入指令（01改變為11）時，此時控制器N110根據第二運算動作組520找到對應的轉換位元碼「100」（對

應於初始位元碼「11」），並將原先的轉換位元碼「110」轉換為「100」。若當控制器 N110 需執行第三個寫入指令（11 轉換為 10），則此時控制器 N110 根據第一運算動作組 510 找到對應的轉換位元碼「101」（對應於初始位元碼「10」），並將原先的轉換位元碼「100」轉換為「101」。在前述操作過程中，每次的組態變化都只有「SET 操作（0 至 1）」或「RESET 操作（1 至 0）」。

【0039】 此外，在接收到新的寫入指令之間，控制器 N110 亦能利用 Pre-SET 操作或 Pre-RESET 操作來減少實際寫入時所需的時間。例如：在控制器 N110 根據第一個寫入指令寫入轉換位元碼「110」（或初始位元碼「01」），但尚未接收到第二個寫入指令前，控制器 N110 可根據 Pre-SET 操作，以第一運算動作組 510 來將轉換位元碼設定為「111」（對應初始位元碼「00」）。

【0040】 第 5B～5G 圖為根據本揭示內容之部份實施例所使用的簡化運算邏輯的示意圖。如前述實施例所述，為了簡化操作步驟，第二初始位元碼的組態變化可以忽略。第 5B～5C 圖省略了第一運算動作組 510 中「00 至 01」的組態變化。相似地，第 5D～5E 圖進一步省略第一運算動作組 510 中「10 至 11」及「11 至 10」的組態變化。

【0041】 如第 5F 圖所示，在簡化第一運算動作組 510 後，第一運算動作組 510 及第二運算動作組 520 之間缺少「11 至 00」及「10 至 00」的直接變化路徑，而需先轉變為「01」在轉變為「00」。由於第二初始位元碼可以忽略，因此，

第一運算動作組510及第二運算動作組520之間「11至00」及「10至00」的變化路徑可以被調整為「11直接至00」及「10直接至00」。第5G圖則為第5F圖整合後的結果。簡化後的運算邏輯同樣能使第一運算動作組510及第二運算動作組520間的操作只具有一種組態變化，且第一運算動作組510及第二運算動作組520互為相反。以下為簡化之運算邏輯的對應表格：

初始位元碼	第一運算動作組對應的轉換位元碼	第二運算動作組對應的轉換位元碼
00	111	000
01	忽略	001
10	101	忽略
11	011	忽略

【0042】 在部份實施例中，當寫入指令的修改內容為關鍵位元碼S0、E1～E8時，控制器N110同樣會將關鍵位元碼S0、E1～E8中的至少二者設定為一組關鍵位元組，並根據寫入指令，改變關鍵位元組中關鍵位元碼的組態。

【0043】 具體而言，控制器N110會轉換關鍵位元碼S0、E1～E8，使關鍵位元組中關鍵位元碼改以三個轉換位元碼所表示。接著，控制器N110會建立對應之運算邏輯。由於關鍵位元碼S0、E1～E8會對權重值造成明顯的改變，故控制關鍵位元碼S0、E1～E8的運算邏輯並不會經過簡化。例如：控制器N110根據第5A圖所示的完整運算邏輯改變關鍵位元碼S0、E1～E8所對應之轉換位元碼的組

態。

【0044】 第6圖所示為神經網路系統N100以不同操作流程進行寫入的比較圖。其中第一操作流程610為「Pre-SET操作」、第二操作流程620為「Pre-SET操作結合WOM-code操作」、第三操作流程630為「Pre-SET操作結合WOM-code操作，且使用簡化的運算邏輯」、第四操作流程640為「Pre-RESET操作結合WOM-code操作，且使用簡化的運算邏輯」。

【0045】 第6圖共顯示初始狀態DW0、第一寫入狀態DW1、第二寫入狀態DW2及第三寫入狀態DW3的位元變化。第一操作流程610包含10個SET操作（從0至1）及10個RESET操作（從1至0）。第二操作流程620包含7個SET操作及11個RESET操作。第三操作流程630包含0個SET操作及12個RESET操作。第四操作流程640包含12個SET操作及0個RESET操作。

【0046】 第7圖為根據本揭示內容之部份實施例之神經網路系統N100的操作方式圖。在部份實施例中，控制器N110會分別以第一模式710及第二模式720執行寫入指令。在第一模式710中，控制器N110定期（如：未接收到讀寫指令的空檔時間）將初始位元碼所對應之轉換位元碼從高組態「1」統一調整為低組態「0」（即，Pre-RESET操作方式）。控制器N110還會判斷初始位元碼所對應之轉換位元碼中「1」的數量是否大於預定值，例如：判斷「1」的比例是否大於50%。如第7圖所示，控制器N110在第

一模式710中，根據寫入指令依序將權重值從運算位元組710a（以轉換位元碼表示）轉換至運算位元組710n。

【0047】 當運算位元組710n中，初始位元碼所對應之轉換位元碼中「1」的數量大於預定值時，控制器N110會進入第二模式720，並改為定期將初始位元碼所對應之轉換位元碼從「0」調整為「1」。如第7圖所示，控制器N110在第二模式720中，根據寫入指令依序將權重值從運算位元組720a(以轉換位元碼表示)轉換至運算位元組720n。當運算位元組710n中，初始位元碼所對應之轉換位元碼中「0」的數量大於預定值時，控制器N110會重新恢復第一模式710，定期將初始位元碼所對應之轉換位元碼從「1」調整為「0」。

【0048】 前述各實施例中的各項元件、方法步驟或技術特徵，係可相互結合，而不以本揭示內容中的文字描述順序或圖式呈現順序為限。

【0049】 雖然本揭示內容已以實施方式揭露如上，然其並非用以限定本揭示內容，任何熟習此技藝者，在不脫離本揭示內容之精神和範圍內，當可作各種更動與潤飾，因此本揭示內容之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0050】

N100:神經網路系統

N110：控制器

N120：記憶體韌體

N130：快取記憶體

N140：資料記憶體

N150：儲存裝置

L1：輸入層

L2：隱藏層

L3：輸出層

W1：轉換位元

W2：轉換位元

P1：第一運算動作組

P2：第二運算動作組

S0：初始位元碼

E1-E8：初始位元碼

M1-M2：初始位元碼

S401-S408：步驟

510：第一運算動作組

520：第二運算動作組

610-640：操作流程

DW0：初始狀態

DW1：第一寫入狀態

DW2：第二寫入狀態

DW3：第三寫入狀態

710：第一模式

720:第二模式

710a:運算位元組

710n:運算位元組

720a:運算位元組

720n:運算位元組

【生物材料寄存】

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

【發明申請專利範圍】

【請求項1】一種記憶體操作方法，包含：

透過一控制器，取得複數個初始位元碼，其中該些初始位元碼對應於一記憶體中的複數個記憶單元，且至少包含一第一初始位元碼及一第二初始位元碼；

將該第一初始位元碼及該第二初始位元碼設定為一運算位元組；

當控制器接收到的一寫入指令對應於該第一初始位元碼時，根據該寫入指令，改變該第一初始位元碼的組態；以及

當控制器接收到的該寫入指令不對應於該第一初始位元碼，但對應於該第二初始位元碼時，控制該控制器忽略該寫入指令。

【請求項2】如請求項1所述之記憶體操作方法，其中將該第一初始位元碼及該第二初始位元碼設定為該運算位元組的方法還包含：

轉換該第一初始位元碼及該第二初始位元碼，使該第一初始位元碼及該第二初始位元由三個轉換位元碼所表示；以及

建立一運算邏輯，其中該運算邏輯包含該第一初始位元碼被寫入不同組態時，該些轉換位元碼的對應組態。

【請求項3】如請求項2所述之記憶體操作方法，其中建

立該運算邏輯的方法還包含：

對該運算邏輯中的一第一運算動作組及一第二運算動作組進行簡化，使得該第一運算動作組及該第二運算動作組間的操作只具有一種組態變化。

【請求項4】如請求項3所述之記憶體操作方法，還包含：

定期將該些初始位元碼所對應之該些轉換位元碼從一高組態調整為一低組態；

判斷該些初始位元碼所對應之該些轉換位元碼中該高組態的數量是否大於一預定值；以及

當該些初始位元碼所對應之該些轉換位元碼中該高組態的數量大於該預定值時，定期將該些初始位元碼所對應之該些轉換位元碼從該低組態調整為該高組態。

【請求項5】如請求項1所述之記憶體操作方法，其中該些初始位元碼還包含複數個關鍵位元碼，且該記憶體操作方法還包含：

將該些關鍵位元碼中的至少二者設定為一關鍵位元組；以及

當該寫入指令對應於該關鍵位元組時，根據該寫入指令，改變該關鍵位元組中的該些關鍵位元碼的組態。

【請求項6】如請求項5所述之記憶體操作方法，其中將該些關鍵位元碼中的至少二者設定為該關鍵位元組的方法

包含：

轉換該些關鍵位元碼中的至少二者，使該些關鍵位元碼中的至少二者由三個轉換位元碼所表示；以及

建立一運算邏輯，其中該運算邏輯包含該些關鍵位元碼中的至少二者被寫入不同組態時，該些關鍵位元碼的對應組態。

【請求項7】一種神經網路系統，包含：

一記憶體，包含複數個記憶單元，用以記錄複數個初始位元碼，其中該些初始位元碼至少包含一第一初始位元碼及一第二初始位元碼；

一控制器，電性連接於該記憶體，且用以將該第一初始位元碼及該第二初始位元碼設定為一運算位元組，其中該控制器用以根據一寫入指令調整該些初始位元碼的資料組態；

當該寫入指令對應於該第一初始位元碼時，該控制器根據該寫入指令，改變該第一初始位元碼的組態；以及

當該寫入指令不對應於該第一初始位元碼、但對應於該第二初始位元碼時，該控制器忽略該寫入指令。

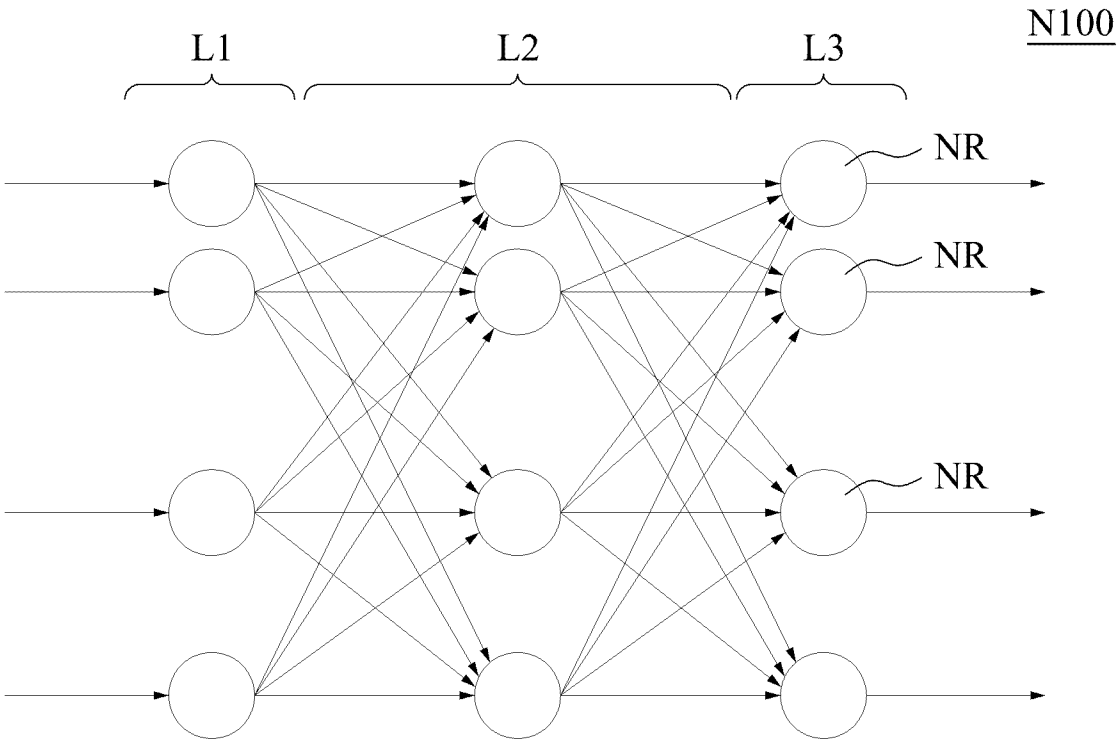
【請求項8】如請求項7所述之神經網路系統，其中該神經網路系統還包含一神經元網路模組，且該些初始位元碼用以紀錄該神經元網路模組中的一權重值。

【請求項9】如請求項7所述之神經網路系統，其中該控制器還用以轉換該第一初始位元碼及該第二初始位元碼，使該第一初始位元碼及該第二初始位元由三個轉換位元碼所表示，且該控制器在接收到該寫入指令時，用以根據一運算邏輯調整該些轉換位元碼的對應組態。

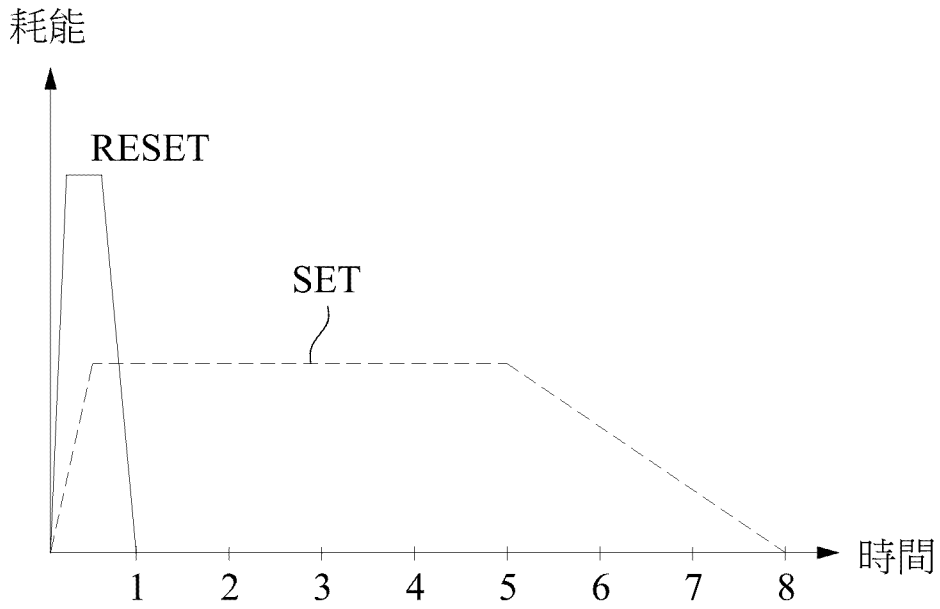
【請求項10】如請求項8所述之神經網路系統，其中該運算邏輯包含一第一運算動作組及一第二運算動作組，該第一運算動作組及該第二運算動作組間的操作只具有一種組態變化；

其中該控制器還用以定期將該些初始位元碼所對應之該些轉換位元碼從一高組態調整為一低組態；當該些初始位元碼所對應之該些轉換位元碼中該高組態的數量大於該預定值時，該控制器用以定期將該些初始位元碼所對應之該些轉換位元碼從該低組態調整為該高組態。

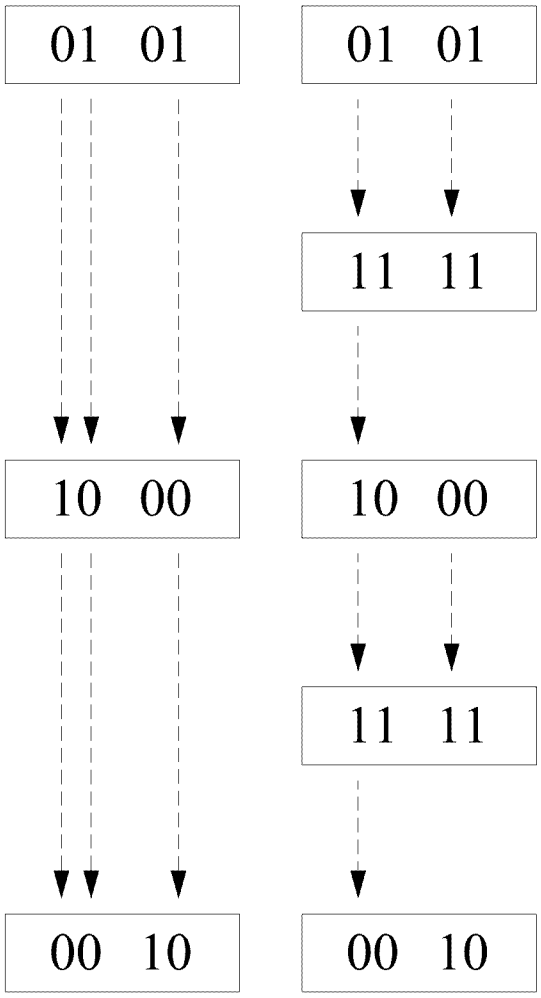
【發明圖式】



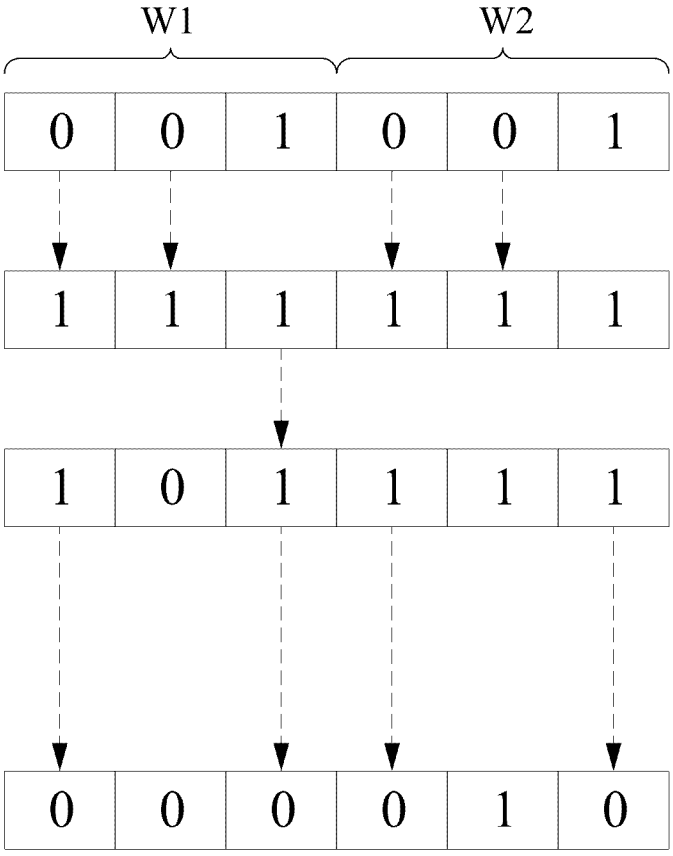
第 1A 圖



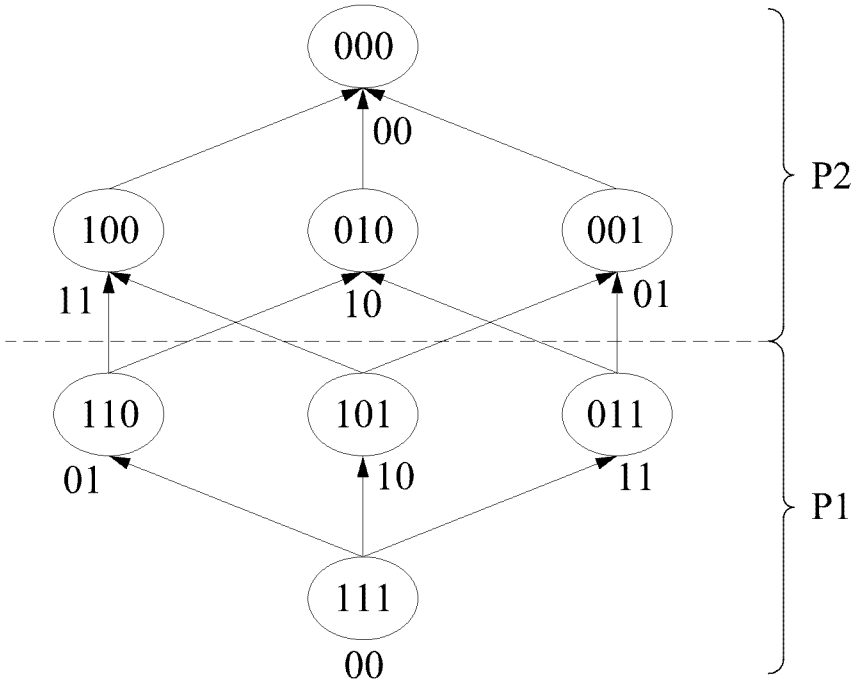
第 1B 圖



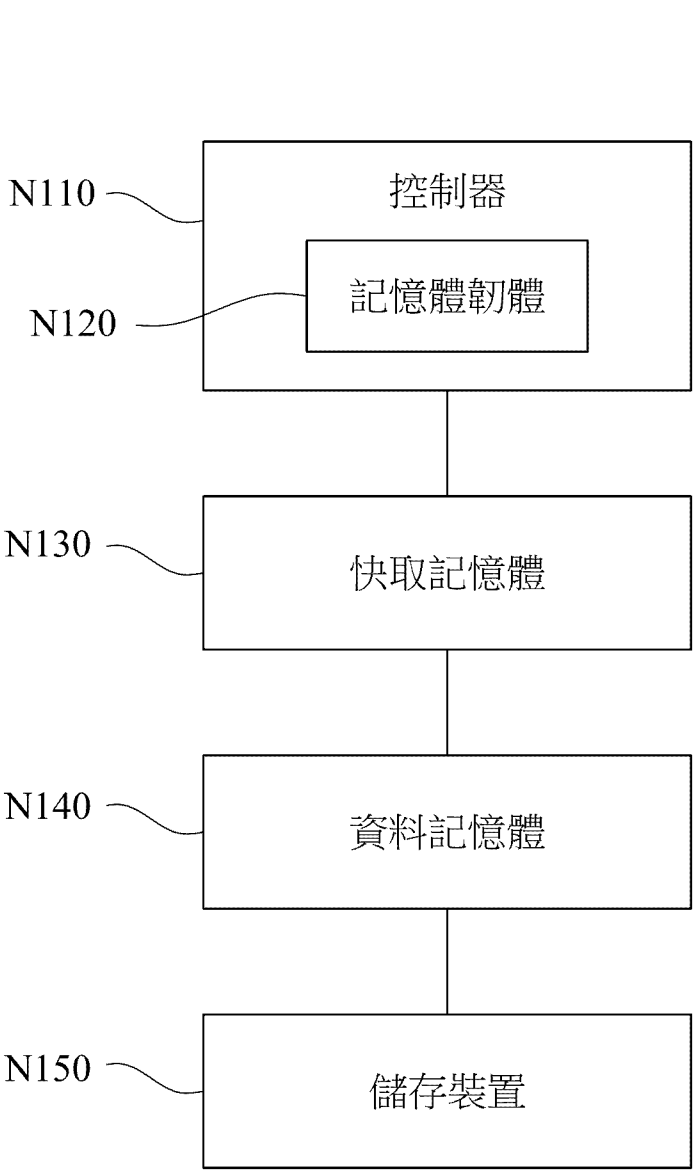
第 1C 圖



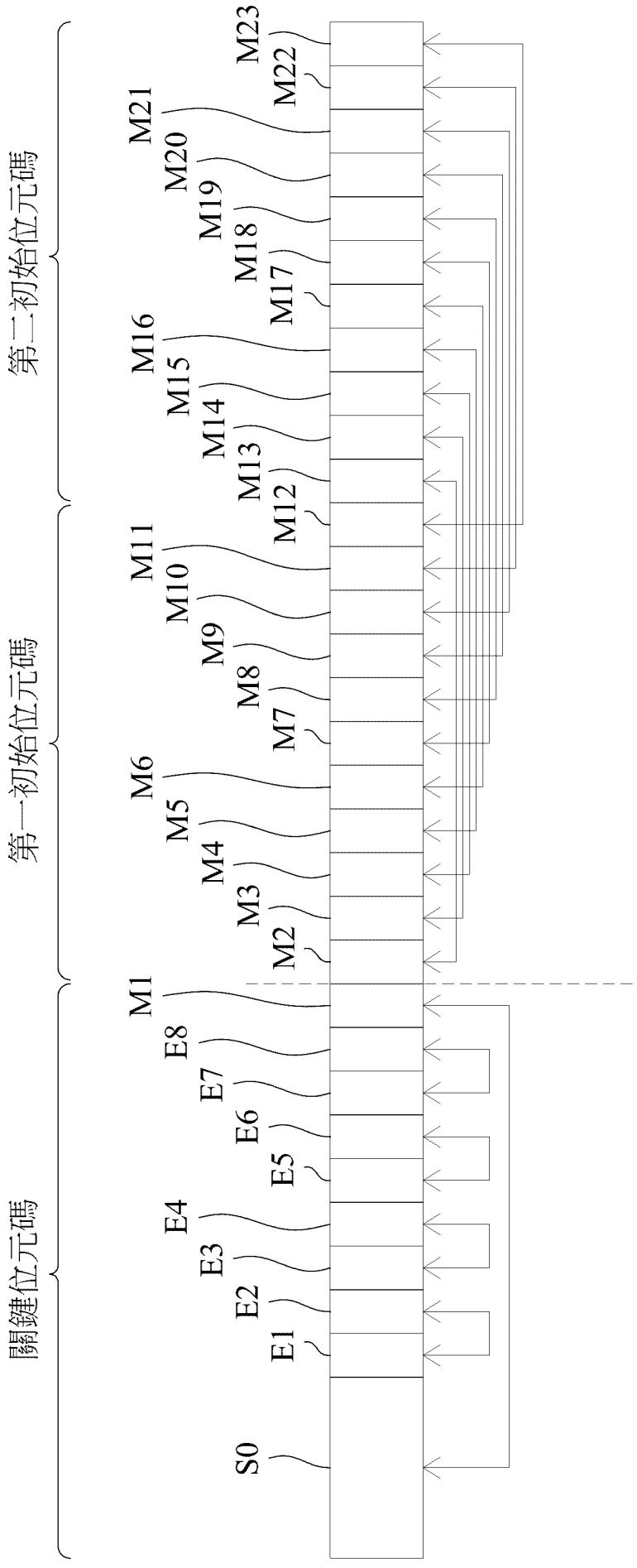
第 1D 圖



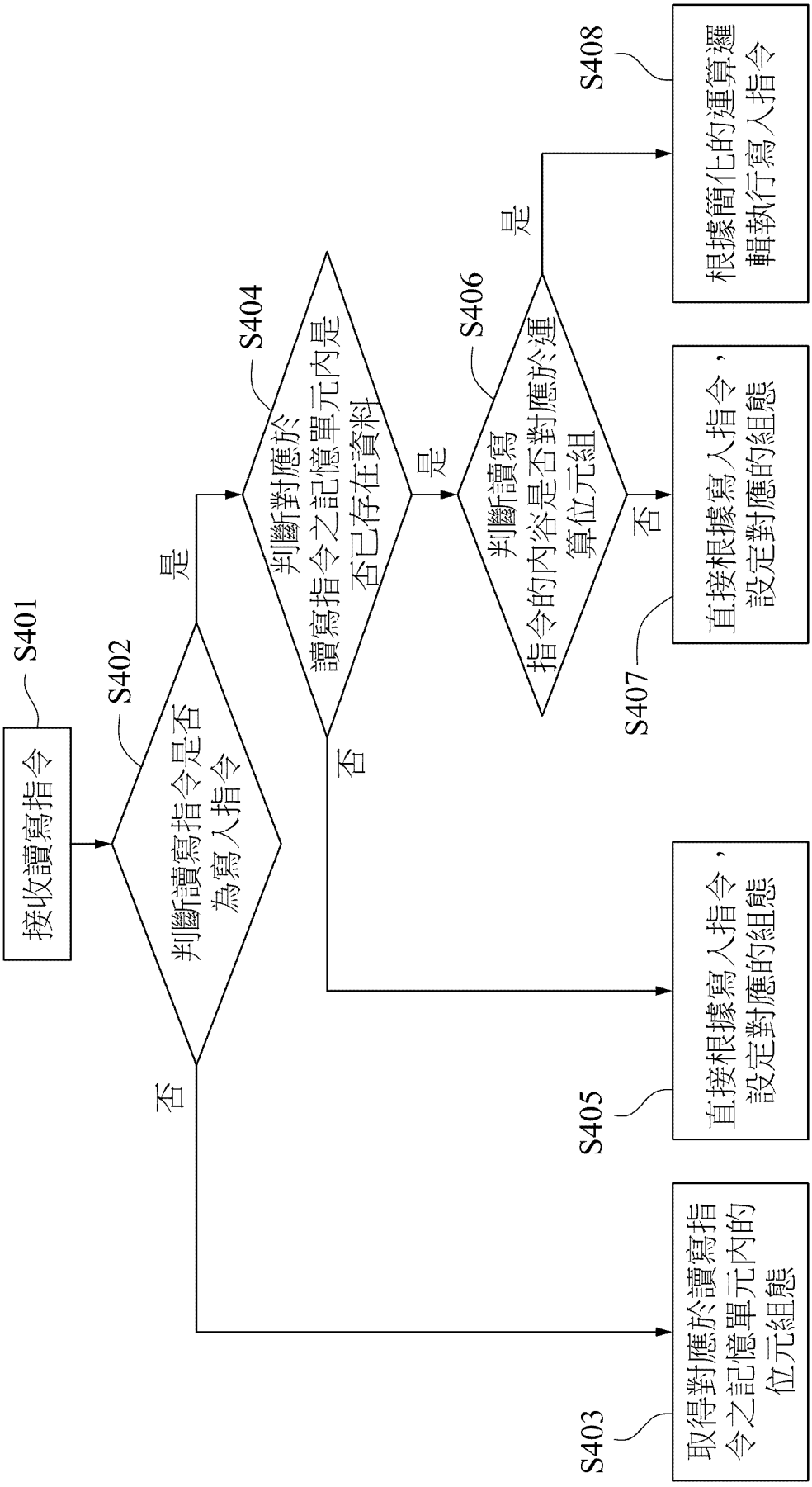
第 1E 圖



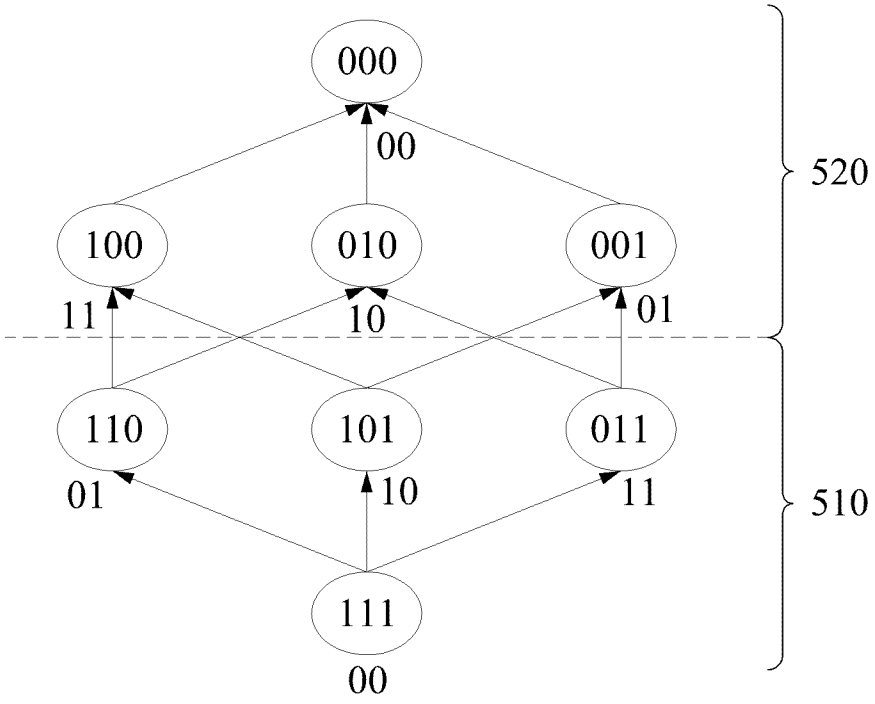
第 2 圖


關鍵位元碼
第一初始位元碼
第二初始位元碼
S0
E1
E2
E3
E4
E5
E6
E7
E8
M1
M2
M3
M4
M5
M6
M7
M8
M9
M10
M11
M12
M13
M14
M15
M16
M17
M18
M19
M20
M21
M22
M23

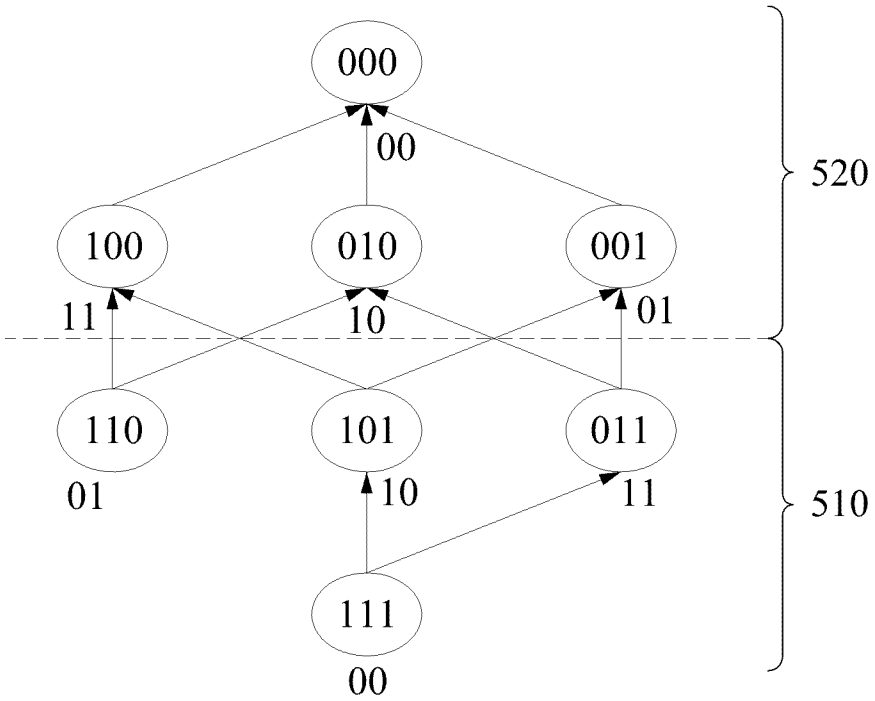
第 3A 圖


S401
接收讀寫指令
S402
判斷讀寫指令是否為寫入指令
是
否
S404
判斷對應於讀寫指令之記憶單元內是否已存在資料
是
否
S406
判斷讀寫指令的內容是否對應於運算位元組
是
否
S408
根據簡化的運算邏輯執行寫入指令
S407
直接根據寫入指令，設定對應的組態
S405
直接根據寫入指令，設定對應的組態
S403
取得對應於讀寫指令之記憶單元內的位元組態

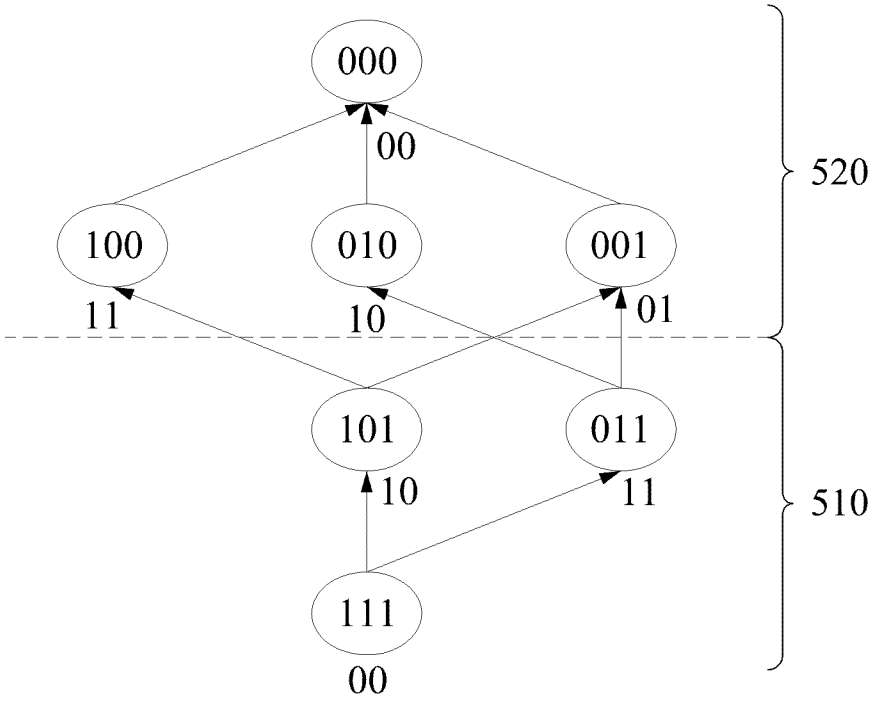
第 4 圖


000
00
100
010
001
11
10
01
110
101
011
01
10
11
111
00
520
510

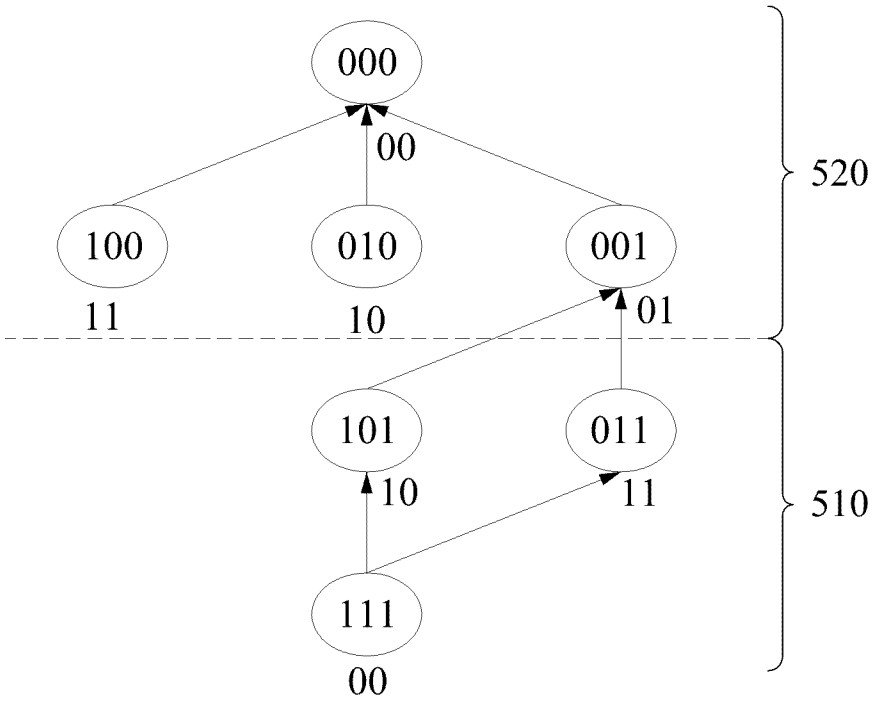
第 5A 圖


000
00
100
010
001
11
10
01
110
101
011
01
10
11
111
00
520
510

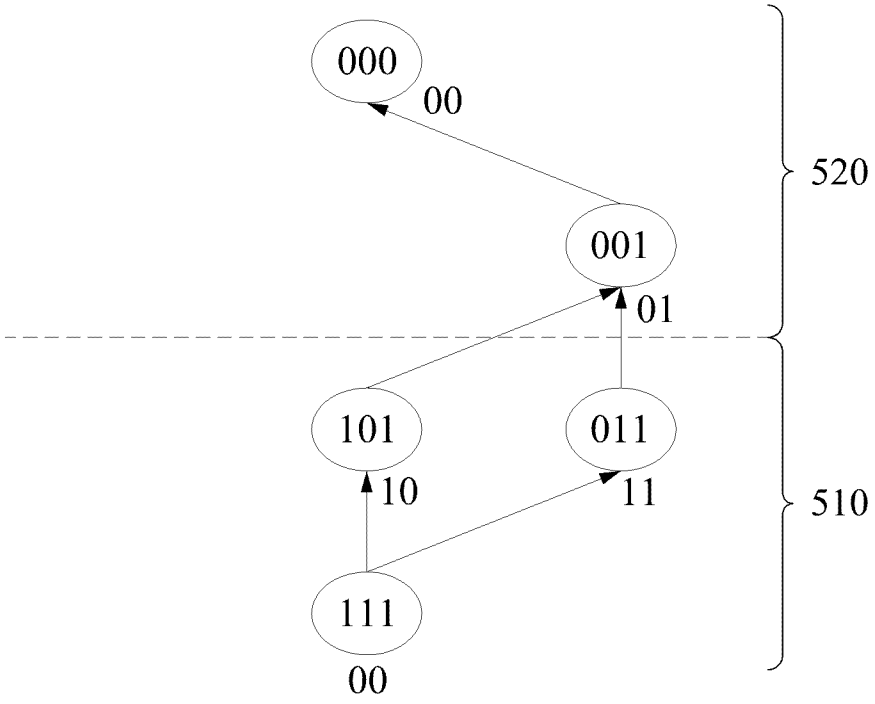
第 5B 圖


000
00
100
010
001
11
10
01
101
011
10
11
111
00
520
510

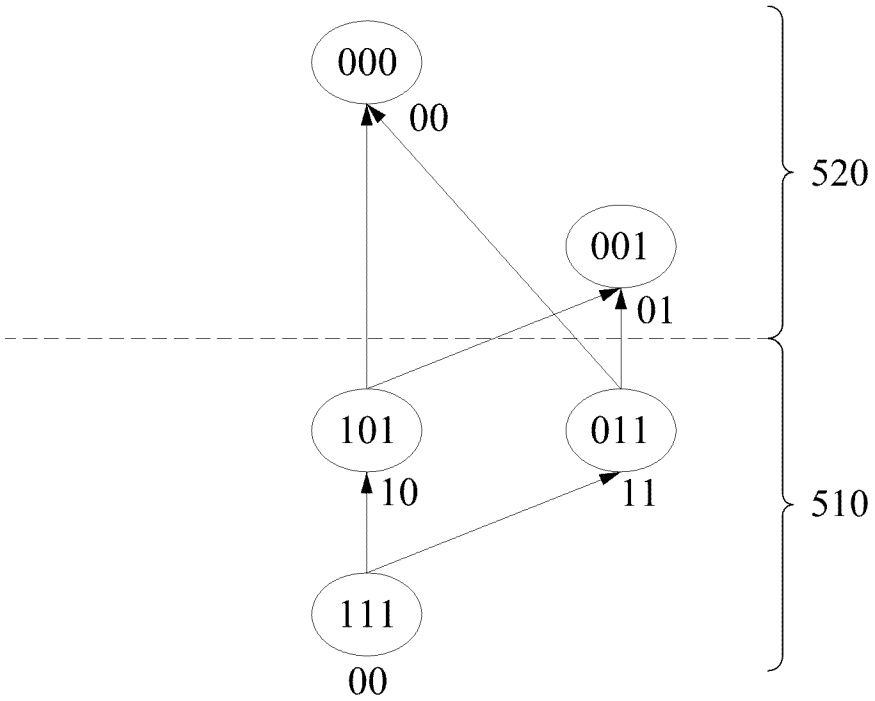
第 5C 圖


000
00
100
010
001
11
10
01
101
011
10
11
111
00
520
510

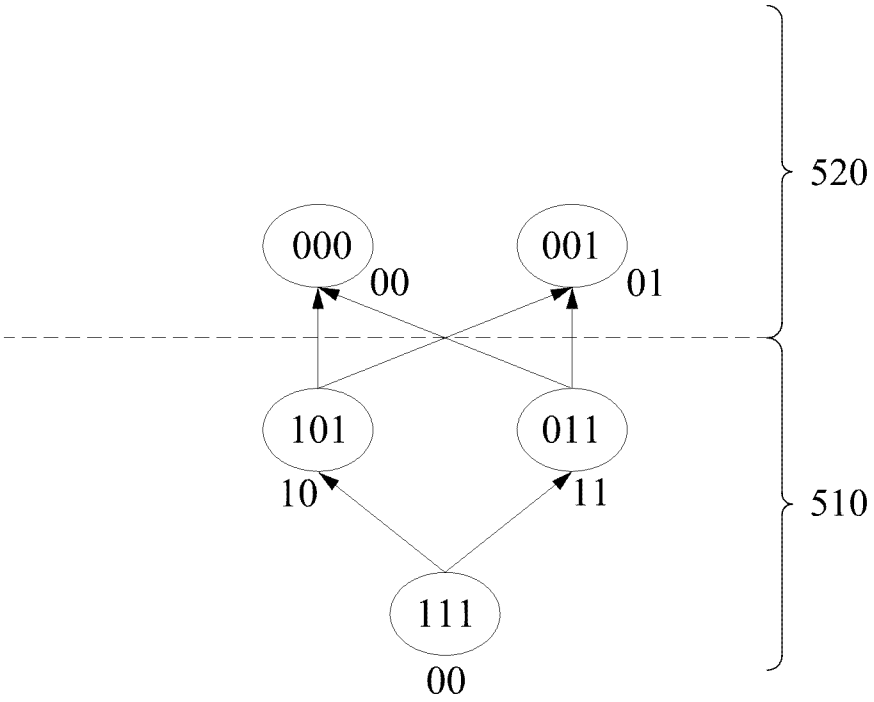
第 5D 圖


000
00
001
01
101
011
10
11
111
00
520
510

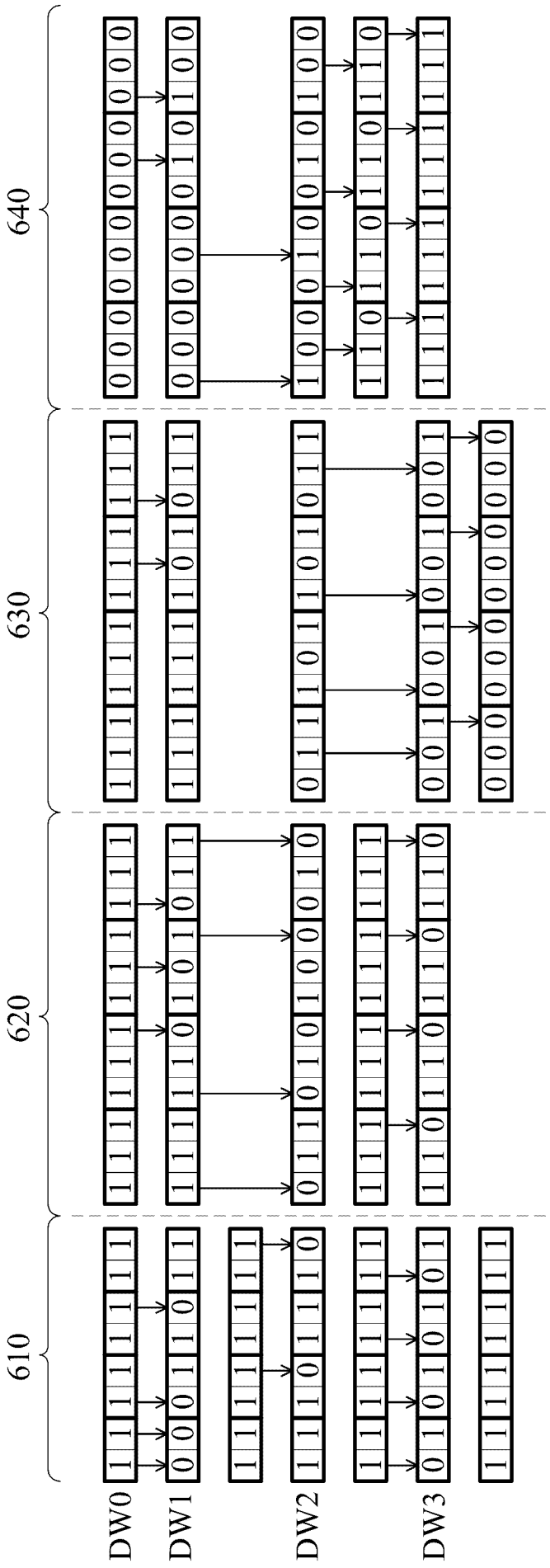
第 5E 圖


000
00
001
01
101
011
10
11
111
00
520
510

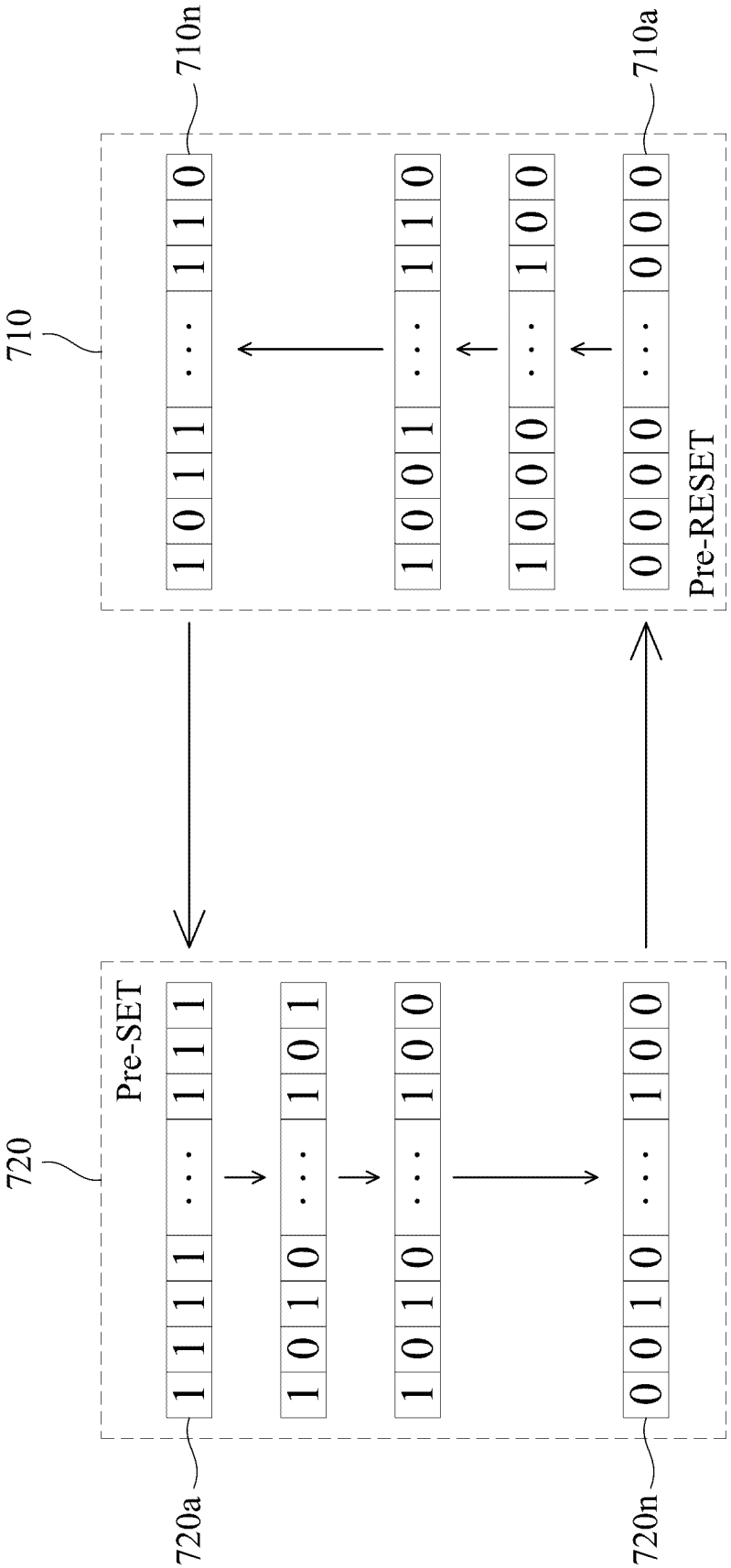
第 5F 圖



第 5G 圖



第 6 圖



第 7 圖