(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0091354
(43) 공개일자 2024년06월21일

(51) 국제특허분류(Int. Cl.)
H01L 21/762 (2006.01) *H01L 21/02* (2006.01)
(52) CPC특허분류
H01L 21/76251 (2013.01)
H01L 21/02002 (2013.01)
(21) 출원번호 10-2024-7018657
(22) 출원일자(국제) 2022년10월19일
심사청구일자 없음
(85) 번역문제출일자 2024년06월03일
(86) 국제출원번호 PCT/FR2022/051974
(87) 국제공개번호 WO 2023/084168
국제공개일자 2023년05월19일
(30) 우선권주장
FR2111876 2021년11월09일 프랑스(FR)

(71) 출원인
소이텍
프랑스, 에프-38190 베흔느, 슈망 데 프랑크, 빡 떼끄놀로지끄 데 풍뗀느
(72) 발명자
김영필
프랑스 38190 베흔느 슈망 데 프랑크 빡 떼끄놀로지끄 데 풍뗀느 소이텍 내
코논추크 올레그
프랑스 38190 베흔느 슈망 데 프랑크 빡 떼끄놀로지끄 데 풍뗀느 소이텍 내
웡 치 허
프랑스 38190 베흔느 슈망 데 프랑크 빡 떼끄놀로지끄 데 풍뗀느 소이텍 내
(74) 대리인
김태헌

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **전하 포획층이 구비된 지지 기판을 제조하기 위한 방법**

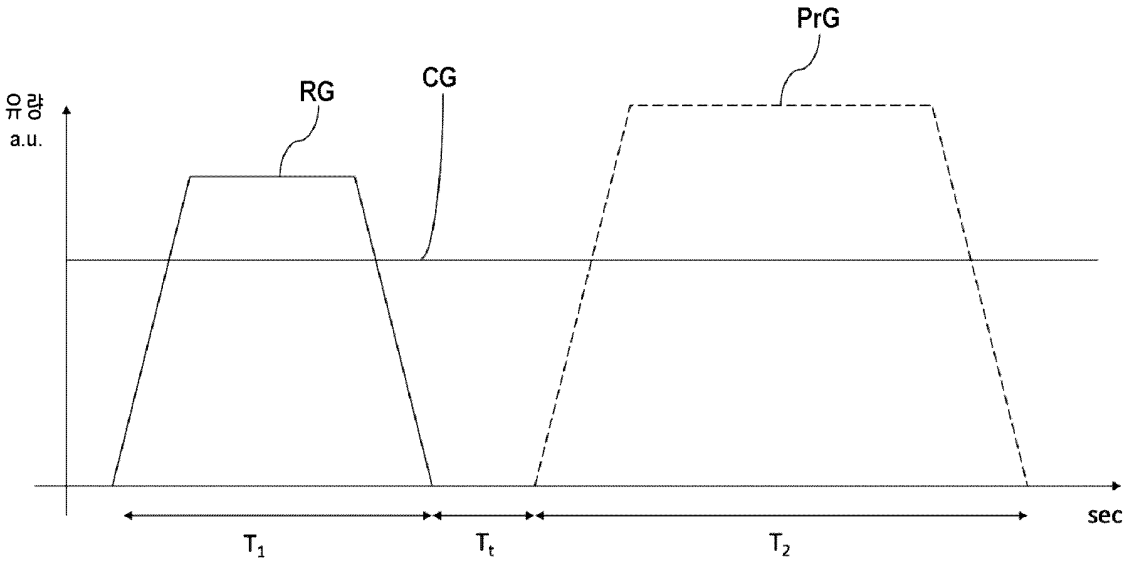
(57) 요 약

본 발명은 전하 포획층이 구비된 지지 기판(1)을 제조하기 위한 방법에 관한 것이다. 방법은 증착 장비의 챔버로의 단결정 실리콘 베이스 기판(2)의 도입을 포함하고, 챔버로부터 베이스 기판(2)을 제거하지 않고 캐리어 가스로 챔버를 플러싱(flushing)하는 동안,

- 제1 기간에 걸쳐 반응성 가스를 챔버로 도입함으로써 베이스 기판(2) 상에 유전층(3)을 형성하는 단계;

- 제1 기간에 후속하여 제2 기간에 걸쳐 실리콘을 포함하는 전구체 가스를 챔버로 도입함으로써 유전층(3) 바로 위에 다결정 실리콘 전하 포획층(4)을 형성하는 단계의 연속적인 단계를 수행한다. 제1 기간과 제2 기간 사이에 유전층(3)이 캐리어 가스에만 노출되는 시간이 30초 미만이고, 전하 포획층(4)의 형성은 엄격하게 1010 ℃ 내지 1200 ℃의 온도에서 수행된다.

대 표 도 - 도4



(52) CPC특허분류
H01L 21/02164 (2013.01)
H01L 21/02238 (2013.01)
H01L 21/02255 (2013.01)
H01L 21/02381 (2013.01)
H01L 21/02428 (2013.01)
H01L 21/02488 (2013.01)
H01L 21/02532 (2013.01)
H01L 21/02595 (2013.01)
H01L 21/0262 (2013.01)

명 세 서

청구범위

청구항 1

전하 포획층(4)이 구비된 지지 기판(1)을 제조하기 위한 방법으로서,

상기 방법은 증착 장비의 챔버로 500 ohm.cm 초과의 저항률을 갖는 단결정 실리콘 베이스 기판(2)을 도입하는 것을 포함하고, 상기 챔버로부터 상기 베이스 기판(2)을 제거하지 않고 캐리어 가스로 상기 챔버를 플러싱(flushing)하는 동안,

- 제1 기간에 걸쳐 반응성 가스를 상기 챔버로 도입함으로써 상기 베이스 기판(2)의 노출된 면 상에 유전층(3)을 형성하는 단계;

- 상기 제1 기간에 후속하여 제2 기간에 걸쳐 실리콘을 포함하는 전구체 가스를 상기 챔버로 도입함으로써 상기 유전층(3) 바로 위에 다결정 실리콘 전하 포획층(4)을 형성하는 단계;를 수행하고,

상기 방법은 상기 제1 기간과 상기 제2 기간 사이에 상기 유전층(3)이 상기 캐리어 가스에만 노출되는 시간이 30초 미만이고, 상기 전하 포획층(4)을 형성하는 단계는 엄격하게 1010 ℃ 내지 1200 ℃의 온도에서 수행되는 것을 특징으로 하는, 방법.

청구항 2

제1항에 있어서,

상기 캐리어 가스는 수소를 포함하거나 수소로만 구성되는, 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 실리콘을 포함하는 전구체 가스는 실란, 디실란, 트리클로로실란, 디클로로로실란 및 테트라클로로 실리콘(silicon tetrachloride)을 포함하는 목록으로부터 선택되는, 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 유전층(3)은 실리콘 산화물로 만들어지고, 상기 반응성 가스는 아르곤과 같은 중성 가스에서 0.1% 내지 10%의 산소를 포함하는, 방법.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 유전층(3)을 형성하는 단계는 1010 ℃ 내지 1150 ℃의 온도에서 수행되는, 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 유전층(3)은 0.5 nm 초과의 두께를 갖는, 방법.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 전하 포획층(4)을 형성하는 단계는 1050 ℃ 초과 또는 1100 ℃ 초과의 온도에서 수행되는, 방법.

청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 전하 포획층(4) 및 상기 유전층(3)은 50 ℃ 이내의 동일한 각각의 온도에서 형성되는, 방법.

청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 유전층(3)이 상기 캐리어 가스에만 노출되는 상기 시간은 20초 미만 또는 15초 미만인, 방법.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 전하 포획층(4)은 0.1 내지 10 마이크론의 두께를 갖는, 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 전하 포획층(charge-trapping layer)을 포함하는 지지 기판을 제조하기 위한 방법에 관한 것이다. 본 발명은 또한 복합 기판을 형성하기 위해 이러한 지지 기판 상에 얇은 층을 전달(transfer)하기 위한 방법에 관한 것이다. 이러한 지지 및 복합 기판은 무선 주파수 통합 디바이스, 즉, 예를 들어, 통신의 분야(전화, Wi-Fi, Bluetooth, 등)에서 주파수가 약 3 kHz 내지 300 GHz인 신호를 프로세싱하는 전자 디바이스의 분야에서 주목할 만한 애플리케이션을 갖는다.

배 경 기 술

[0002] 디바이스가 형성되는 절연체 상의 실리콘(SOI: silicon-on-insulator) 기판의 지지 기판과 전자 디바이스 사이에서 발생할 수 있는 전자기 커플링을 방지하거나 제한하기 위해, 매립 유전층과 SOI 지지체 사이에, 유전층 바로 아래에 전하 포획층을 삽입하는 것이 알려진 관례이다. 이러한 층은 예를 들어, 고저항성(즉, 500 ohm.cm 초과, 또는 심지어 1000 ohm.cm 초과의 저항률을 가짐)인 것으로 종종 선택되는 단결정 실리콘 베이스 기판 상에 형성된 다결정 실리콘의 0.1 내지 10 마이크론의 층으로 구성될 수 있다. 그러면 다결정을 형성하는 입자의 결합은 포획층 자체 또는 아래에 놓인 기판으로부터 올 수 있는 전하 캐리어에 대한 포획을 구성한다. 이러한 방식으로, 절연체 아래에 도전성 평면이 나타나는 것이 방지된다. 이러한 유형의 공지된 SOI 기판의 제조는 예를 들어, FR 2860341호, FR 2933233호, FR 2953640호, US 2015/115480호, US 7268060호, US 6544656호 또는 WO 2020/008116호에 설명되어 있다.

[0003] 단결정 실리콘 베이스 기판 상에 형성된 전하 포획층의 생성을 촉진하고 재결정화를 피하기 위해, 이러한 베이스 기판 상에, 그리고 증착에 의한 포획층의 형성 전에 비정질 유전층, 통상적으로 실리콘 이산화물층을 형성하는 것이 알려진 관례이다. 비정질 유전층은 스택의 온도가 상승될 때 재결정화를 방지함으로써 포획층의 다결정 특성을 보존하는 것을 가능하게 한다.

[0004] 따라서, EP 3136421호는 700 ohm.cm의 저항률을 갖는 베이스 기판 상에 다결정 실리콘 포획층을 형성하는 것을 제안한다. 베이스 기판은 단순 클리닝 또는 건식 산화에 의해 산화된다. 그 후 트리클로로실란 전구체 가스를 사용하여 2회의 연속 증착 단계에서 포획층이 형성된다. 제1 단계는 상대적으로 낮은 온도인 1010 ℃ 미만에서 실리콘 산화물층 바로 위에 시드층을 형성하는 것에 관한 것이고, 제2 단계는 제1 단계보다 높은 온도에서 수행된다. 위의 문헌에 따르면, 이러한 접근법은 베이스 기판을 과도하게 변형시키지 않고 신속하게 포획층을 형성하는 것을 가능하게 하며, 이는 절연체 상의 실리콘 기판에 대한 지지 기판을 형성하고자 할 때 분자 부착에 의해 이러한 기판의 조립을 방지할 수 있다.

[0005] EP 3309819호는 서로 다른 장비 항목에서 수행되는 두 개의 연속적인 단계에 걸쳐 베이스 기판의 노출된 면에 유전층을 형성하고 유전층에 전하 포획층을 형성하는 것을 제안한다. 여기서 전하 포획층은 1050℃ 내지 1200℃의 온도에서 형성된다.

[0006] 해당 부분에 대해, EP 2503592호는 이러한 층들을 인 시츄(*in situ*)로 생성하는 것을 구상한다. 상기 문헌에서, 포획층은 이러한 스택을 형성하는데 사용되는 장비로부터 베이스 기판을 제거하지 않고 실리콘 베이스 기판의 유전층 상에 형성된다. 이는 에피택시 프레임의 챔버일 수 있다.

[0007] 이러한 접근법에서, 베이스 기판은 장비의 챔버에 배치되고, 산화 가스는 약 1100 ℃의 온도에서 수행되는 산화 단계 동안 유전층을 표면적으로 형성하기 위해 상기 챔버를 통해 순환된다. 다음으로, 챔버로부터 베이스 기판을 제거하지 않고, 캐리어 가스가 산화 가스를 플러싱 아웃(flushing out)시키기 위해 순환되고 챔버 및/또는 기판의 온도는 900 ℃ 정도 또는 그 이하의 상대적으로 낮은 증착 온도로 된다.

[0008] 산화 분위기가 캐리어 가스에 의해 플러싱 아웃되고 증착 온도가 확립되면, 실리콘을 포함하는 전구체 가스가 증착에 의해 유전층 상에 다결정 실리콘층을 점진적으로 형성하기 위해 도입된다. 이러한 방식으로 챔버로의 가스의 도입을 시퀀싱함으로써, 산화 가스가 플러싱 아웃되기 전에 그리고 온도가 약 900 ℃ 또는 그 이하의 타깃 온도에서 잘 확립되기 전에 전구체 가스의 도입이 회피되고, 필요한 품질을 갖지 못하는 다결정 실리콘의 조기 증착이 방지된다.

[0009] 그러나, 상대적으로 낮은 증착 온도에서 다결정 실리콘층의 형성은 900 ℃에서 분당 0.3 마이크론 정도로 특히 느리다. 특히, 증착 속도는 일반적으로 온도에 따라 증가한다는 것이 공지되어 있다. 이러한 증착 속도 및 이에 따른 포획층이 구비된 지지체의 제조 시간을 개선하기 위해, EP 3136421호에 제안된 바와 같이 저온에서 포획층의 시드 부분만 형성하고 층의 나머지는 그 후 상대적으로 더 높은 온도에서, 따라서 더 신속하게 형성될 수 있는 것이 구상될 수 있다.

[0010] 이러한 접근법은 실제로 지지 기판의 생산 속도를 개선하지만, 시드층의 형성은 특히 시간-소비적인 단계로 남아 있다. 물론 지지체의 품질을 손상시키지 않으면서 생산 속도를 더욱 높이는 것이 일반적으로 바람직하다.

발명의 내용

[0011] 본 발명의 하나의 목적은 이러한 문제를 적어도 부분적으로 해결하는, 전하 포획층이 구비된 지지 기판을 제조하기 위한 방법을 제안하는 것이다. 보다 구체적으로, 본 발명의 하나의 목적은 전하 포획층이 장착된 지지 기판을 제조하기 위한 방법을 제안하는 것이며, 그 구현 시간은 비슷한 품질에 대해 종래 기술의 방법에 비해 감소된다. 더욱 구체적으로, 본 발명의 하나의 목적은 약 1010 ℃ 이하의 비교적 낮은 온도에서 형성되는 시드 부분을 필요로 하지 않는 전하 포획층을 구비한 지지 기판을 제조하기 위한 방법을 제안하는 것이다.

[0012] 이러한 목적을 달성하기 위해, 본 발명의 목적은 전하 포획층이 구비된 지지 기판을 제조하기 위한 방법을 제안하는 것이다. 방법은 증착 장비의 챔버로 500 ohm.cm 초과의 저항률을 갖는 단결정 실리콘 베이스 기판을 도입하는 것을 포함하고, 챔버로부터 베이스 기판을 제거하지 않고 캐리어 가스로 챔버를 플러싱하는 동안, 다음의 연속적인 단계들을 수행한다:

[0013] - 제1 기간에 걸쳐 반응성 가스를 챔버로 도입함으로써 베이스 기판의 노출된 면 상에 유전층을 형성하는 단계;

[0014] - 제1 기간에 후속하여 제2 기간에 걸쳐 실리콘을 포함하는 전구체 가스를 챔버로 도입함으로써 유전층 바로 위에 다결정 실리콘 전하 포획층을 형성하는 단계.

[0015] 본 발명에 따르면, 제1 기간과 제2 기간 사이에 유전층이 캐리어 가스에만 노출되는 시간이 30초 미만이다. 또한 본 발명에 따르면, 전하 포획층을 형성하는 단계는 엄격하게 1010 ℃ 내지 1200 ℃의 온도에서 수행된다.

[0016] 제1 기간과 제2 기간 사이에서 캐리어 가스 단독에 대한 유전층의 노출 시간을 제한함으로써, 이러한 층의 표면 상태는 종래 기술에 따른 접근법에서 훨씬 더 낮은 온도에서 획득되는 것과 동일한 고품질의 다결정 실리콘층을 수용하는 데 특히 적합하도록 조정되거나 유지된다. 이러한 놀라운 결과는 등가의 품질에 대해 높은 성장 속도로 포획층을 성장시키는 것을 가능하게 하고, 따라서 종래 기술에 따른 접근법에 비해 개선된 속도로 지지 기판을 형성하는 것을 가능하게 한다.

[0017] 본 발명의 다른 유리하고 비제한적인 특징들에 따르면, 단독으로 또는 임의의 기술적으로 실행 가능한 조합으로:

[0018] - 캐리어 가스는 수소를 포함하거나 수소로만 구성된다;

[0019] - 실리콘을 포함하는 전구체 가스는 실란, 디실란, 트리클로로실란, 디클로로로실란 및 테트라클로로 실리콘(silicon tetrachloride)을 포함하는 목록으로부터 선택된다;

[0020] - 유전층은 실리콘 산화물로 만들어지고, 반응성 가스는 아르곤과 같은 중성 가스에서 0.1% 내지 10%의 산소를 포함한다;

[0021] - 유전층을 형성하는 단계는 1010 ℃ 내지 1150 ℃의 온도에서 수행된다;

[0022] - 유전층은 0.5 nm 초과의 두께를 갖는다;

[0023] - 전하 포획층을 형성하는 단계는 1050 ℃ 초과 또는 1100 ℃ 초과의 온도에서 수행된다;

[0024] - 전하 포획층 및 유전층은 50 ℃ 이내의 동일한 각각의 온도에서 형성된다;

[0025] - 유전층이 캐리어 가스에만 노출되는 시간은 20초 미만 또는 15초 미만이다;

[0026] - 전하 포획층은 0.1 내지 10 마이크론의 두께를 갖는다.

도면의 간단한 설명

[0027] 본 발명의 다른 특징 및 이점은 첨부된 도면을 참조하여 제공되는 본 발명의 다음의 상세한 설명으로부터 명백해질 것이다.

[도 1] 도 1은 제1 실시예에 따른 지지 기판을 도시한다.

[도 2] 도 2는 제2 실시예에 따른 지지 기판을 도시한다.

[도 3] 도 3은 본 발명에 따른 지지 기판을 포함하는 복합 기판을 도시한다.

[도 4] 도 4는 본 발명에 따른 방법의 2개의 주요 단계의 시퀀스를 예시한다.

발명을 실시하기 위한 구체적인 내용

[0028] 도 1을 참조하면, 일 실시예의 지지 기판(1)은 베이스 기판(2), 베이스 기판(2) 상에 배열된 유전층(3), 및 유전층(3) 상에서 유전층(3)과 접촉하여 배열된 전하 포획층(4)을 포함한다.

[0029] 지지 기판(1)은 표준화된 크기, 예를 들어, 직경이 200 mm, 300 mm 또는 심지어 450 mm인 원형 웨이퍼 형태일 수 있다. 그러나, 본 발명은 어떠한 방식으로든 이러한 치수나 이러한 형태에 제한되지 않는다.

[0030] 베이스 기판(2)은 단결정 실리콘으로만 구성되고, 수백 마이크론의 두께를 갖는다. 바람직하게는, 베이스 기판(2)은 엄격하게 500 또는 1000 ohm.cm 초과, 심지어 더욱 바람직하게는 3000 ohm.cm 초과의 높은 저항률을 갖는다. 이는 베이스 기판(2)에서 이동하기 쉬운 전하, 정공 또는 전자의 밀도를 제한하여 최종 기판 S의 RF 성능을 저하시킨다. 이는 예를 들어, 그 자체로 공지된 바와 같이, 1000 ohm.cm 초과일 수 있는 저항률을 갖는 낮은 격자 간 산소 함량을 갖는 CZ 기판일 수 있다.

[0031] 그러나, 본 발명은 이러한 저항률을 갖는 베이스 기판(2)에 제한되지 않고, 베이스 기판(2)이 500 ohm.cm 이하 또는 100 ohms.cm 이하의 보다 순응적인 저항률을 가질 때 RF 성능 이점도 제공한다. 이는 이러한 경우 500 ohm.cm 미만의 저항률을 갖는 보다 표준적인 단결정 CZ 기판일 수 있다. 이러한 접근법은 이러한 기판이 용이하고 저렴하게 확보할 수 있다는 점에서 유리하다.

[0032] 도 2를 참조하면, 지지 기판은 또한 특히 베이스 기판(2)이 500 ohm.cm 이하의 저항률을 가질 때 진성 단결정 실리콘층(intrinsic single-crystal silicon layer)(5), 즉, 의도적으로 도핑되지 않고 따라서 베이스 기판(2)과 유전층(3) 사이에 배열되어 특히 저항성이 있는 층을 포함할 수 있다. 진성 단결정 실리콘층(5)은 유리하게는 심지어 20 kohm.cm 이상에 도달할 수도 있는 2000 ohm.cm 초과의 저항률을 갖는다. 그 두께는 0.5 내지 100 마이크론, 바람직하게는 5 내지 20 마이크론일 수 있다.

[0033] 예를 들어, 실리콘 산화물 또는 실리콘 질화물로 만들어진 유전층(3)은 0.5 nm 초과, 예를 들어, 0.5 nm 내지 50 nm의 두께를 갖는다. 이러한 비정질 유전층(3)은 전하 포획층(4)을 다결정질 형태로 형성하는 것을 가능하게 하며, 이러한 층(4)의 형성 동안 또는 지지 기판(1)이 겪게 되는 후속 열 처리 동안 지지 기판(1)이 고온에 노출될 때 이러한 층의 재결정화를 피하거나 제한하는 것을 가능하게 한다.

[0034] 지지 기판(1)은 또한 유전층(3) 상에서 유전층(3)과 직접 접촉하여 배열된 다결정 실리콘으로 만들어진 전하 포획층(4)을 포함한다. 전하 포획층(4)은 500 ohm.cm 초과, 바람직하게는 1 kohm.cm 초과의 저항률을 갖는다. 본 특허 출원의 도입에서 언급한 바와 같이, 포획층의 기능은 지지체(1)에 존재할 수 있는 전하 캐리어를 포획하고 그 이동성을 제한하는 것이다. 전하 포획층(4)은 통상적으로 0.1 마이크론 내지 10 마이크론, 또는 그 이상의 두께를 갖는다.

[0035] 비결정질 특성으로 인해, 포획층(4)은 전위(dislocation), 입자 경계, 비정질 구역, 간극, 혼입, 층의 입자를 정의하는 기공 등과 같은 구조적 결함을 갖는다. 이러한 구조적 결함은 예를 들어, 불완전하거나 계류 중인 화

학적 결합의 수준에서 재료 내에서 순환하기 쉬운 전하의 포획을 형성한다. 따라서, 포획층에서의 전도가 방지되고 지지 기판(1)은 결과적으로 높은 무선 주파수 성능을 갖는다. 이러한 성능은 이러한 방식으로 제조된 지지체 상에 "2차 고조파 왜곡" 특성화 측정에 의해 확립될 수 있다. 이러한 측정은 통상적으로 900 MHz에서 수행된다. 지지 기판이 높은 무선 주파수 성능을 갖는 것으로 간주될 수 있도록 왜곡 측정이 -70 dB 미만인 것이 일반적으로 추구된다.

[0036] Soitec에 의해 발행된 2015년 1월자 "White paper - RF SOI wafer characterization"라는 제목의 문서와 US 2015/0168326호에 상세히 설명되어 있는 이러한 특성화 측정은 특성화된 지지 기판을 통합하는 복합 기판 상에 형성될 RF 통합 디바이스의 성능을 매우 대표하므로 특히 관련이 있다.

[0037] 다결정 실리콘 포획층(4)의 입자 크기는 유리하게는 50 nm(이 미만에서는 열적 안정성이 더 이상 보장되지 않고 온도에서 재결정화의 위험이 있음) 내지 2000 nm(그 초과에서는 지지 기판의 RF 성능이 영향을 받음)이다.

[0038] 임의의 경우에, 포획층(4) 입자의 정확한 특성에 관계없이, 이는 500 ohm.cm 초과의 높은 저항률을 갖는다. 이를 위해, 포획층(4)은 의도적으로 도핑되지 않으며, 즉, 이는 입방 센티미터당 2E13 원자 미만의 전하-운반 도펀트 농도를 갖는다. 저항률 특성을 개선하기 위해 질소 또는 탄소가 풍부할 수 있다.

[0039] 완전성을 위해, 도 3은 본 발명에 따른 지지 기판(1)을 포함하는 복합 기판 S를 도시한다. 이 도면으로부터 매우 명확하게 나타나는 바와 같이, 복합 기판은 지지 기판(1) 상에 바람직하게는 결정질 재료로 만들어진 박막(6)을 포함한다. 예를 들어 그리고 제한 없이, 박막(6)은 실리콘과 같은 반도체 재료 또는 탄탈산리튬($LiTaO_3$) 또는 니오브산리튬($LiNbO_3$)과 같은 압전 재료로 만들어질 수도 있다.

[0040] 도 3의 복합 기판 S는 지지 기판(1)으로부터 다수의 방식으로 형성될 수 있지만, 이러한 형성은 유리하게는 이러한 지지 기판 상에 박막(6)을 전달하는 단계를 포함한다. 그 자체로 공지된 바와 같이, 이러한 전달은 일반적으로 도너 기판과 지지 기판(1)의 "주(main)" 면을 조립함으로써 수행된다. 열 처리 또는 증착에 의해 형성될 수 있는, 통상적으로 실리콘 산화물의 유전 본딩층(7)을 이러한 면 중 적어도 하나에 제공하는 것이 일반적으로 구상된다. 조립은 바람직하게는 분자 부착 본딩을 포함한다.

[0041] 이러한 조립 단계 후에, 박막(6)을 형성하기 위해 도너 기판의 두께가 감소된다. 이러한 감소 단계는 기계적 또는 화학적 박형화에 의해 수행될 수 있다. 이는 또한 예를 들어, Smart Cut™ 기술의 원리에 따라 도너 기판에 미리 도입된 취약 구역에서 파단함으로써 수행될 수 있다.

[0042] 연마 단계, 환원 또는 중성 분위기 하에서의 열 처리, 희생 산화와 같은 박막(6)의 마무리 단계는 두께 감소 단계와 순차적으로 수행될 수 있다.

[0043] 도너 기판은 단순한 기판, 즉, 통합 디바이스를 포함하지 않는 기판일 수 있거나, 대안적으로 도너 기판은 그 표면 상에 통합 디바이스를 생성하도록 사전 처리되었을 수 있다는 점에 유의한다.

[0044] 본 설명의 이전 섹션의 주제였던 지지 기판(1)을 제조하기 위한 방법이 이제 개시된다.

[0045] 단결정 실리콘 베이스 기판(2)이 증착 장비의 챔버로 도입된다.

[0046] 이러한 장비는 에피택셜 증착 장비에 대응할 수 있다. 이는 베이스 기판을 수용하고 그 면 중 하나를 분위기 및 챔버에서 순환하는 가스 스트림에 노출시키기 위해 챔버에 배열된 서셉터(susceptor)를 포함한다. 서셉터는 이동식일 수 있으며, 특히 가스 스트림에 대한 베이스 기판(2)의 자유면의 노출을 각도적으로 통합하기 위한 회전 운동을 가질 수 있다. 이러한 스트림의 도입과 챔버에 포함된 분위기의 제어를 가능하게 하기 위해, 챔버에는 복수의 입구 포트와 적어도 하나의 출구 포트가 구비된다. 챔버에는 또한 기판, 가스 및/또는 챔버의 벽을 가열하기 위한 디바이스, 예를 들어, 베이스 기판의 자유 표면을 가열할 수 있는 방사선을 방출하는 램프가 구비되어 있다. 챔버의 입구 포트에 유체 연결된 복수의 파이프를 통해 베이스 기판(2)을 처리하기 위한 가스를 제어된 속도로 도입할 수 있다. 상기 가스는 특히 반응성, 산화 또는 질화 가스, 캐리어 가스, 예를 들어, 아르곤과 수소, 또는 수소의 혼합물 및 실리콘을 포함하는 전구체 가스이다. 이러한 전구체 가스는 예를 들어, 실란, 디실란, 트리클로로실란, 디클로로로실란 및 테트라클로로 실리콘(silicon tetrachloride)일 수 있다. 물론 장비에는 챔버에 다른 가스를 도입하기 위한 다른 파이프가 구비될 수도 있다. 장비에는 또한 수행되는 제조 방법의 모든 파라미터(다양한 가스의 유량, 온도, 압력 등)를 제어하도록 구성된 제어 디바이스가 제공된다.

[0047] 본 설명의 이전 섹션에 따라 지지 기판을 제조하기 위한 방법은 특히 장비의 챔버로부터 베이스 기판(2)을 제거

하지 않고 수행되는 2개의 주요 단계를 포함한다. 결과적으로, 베이스 기판은 제조 방법 전반에 걸쳐 챔버에 유입되거나 존재하는 것 이외의 임의의 가스 또는 분위기에 노출되지 않는다.

[0048] 그 자체로 공지된 바와 같이, 캐리어 가스 CG는 도너 기판을 제조하기 위한 방법 전반에 걸쳐, 특히 이러한 방법의 2개의 주요 단계 동안 이를 플러싱(flushing)하기 위해 입구 포트를 통해 주어진 유량으로 챔버로 도입된다.

[0049] 제1 단계에서, 도 4에 예시된 바와 같이, 유전층(3)은 제1 기간 T1에 걸쳐 반응성 가스 RG를 선택된 유량으로 챔버에 도입함으로써 베이스 기판(2)의 노출된 면 상에 형성된다. 가열 디바이스는 유전층이 통상적으로 900 ℃ 내지 1150 ℃, 바람직하게는 950 ℃ 내지 1100 ℃의 온도에서 형성되도록 제어된다. 예를 들어, 실리콘 산화물 또는 실리콘 질화물을 형성하는 데 요구되는 유전층의 특성에 따라, 이러한 반응성 가스는 산화 가스 또는 질화 가스로부터 형성될 수 있다. 바람직하게는, 유전층은 실리콘 산화물로 만들어지며, 이 경우 반응성 가스는 아르곤과 같은 중성 가스에서 예를 들어, 0.1% 내지 10%의 산소를 포함할 수 있다. 챔버의 산화 분위기는 유전층(3)의 원하는 두께에 따라 선택된 시간(제1 기간) 동안 유지된다. 바람직하게는, 유전층(3)은 0.5 nm 초과의 두께를 갖는다.

[0050] 그 다음, 제1 단계에 후속한 제2 단계에서, 실리콘을 포함하는 전구체 가스 PrG를 제1 기간 T1에 후속하는 제2 기간 T2에 걸쳐 선택된 유량으로 챔버에 도입함으로써 다결정 실리콘으로 만들어진 전하 포획층(4)이 유전층(3) 바로 위에 형성된다. 유전층의 비정질 특성은 이러한 제2 단계 동안 형성되는 포획층의 결정화를 방지하며, 포획층의 결정화는 이러한 유전층이 존재하지 않을 경우 발생할 수 있다.

[0051] 제1 및 제2 단계의 시퀀스는 특히 챔버에서 원하지 않는 화학 반응을 일으키고 원하는 품질의 포획층의 증착을 방지할 수 있는 반응성 가스와 전구체 가스의 혼합을 방지하기 위해 제어된 방식으로 수행된다. 즉, 도 4에서 명확하게 볼 수 있듯이, 반응성 가스가 챔버의 분위기를 형성하는 동안의 제1 단계는 전구체 가스가 챔버의 분위기를 형성하는 동안의 제2 단계와 중첩되지 않는다.

[0052] 제1 단계가 끝나고, 제1 기간의 끝과 제2 기간의 시작을 구분하는 전이 기간 Tt 동안, 제조 방법 전반에 걸쳐 챔버를 지속적으로 플러싱하는 캐리어 가스가 챔버로부터 반응성 가스를 플러싱한다. 이러한 천이 기간은 또한 제1 단계의 온도가 제2 단계의 온도와 다른 경우 챔버 및/또는 기판의 온도를 조정하는 데 사용된다. 제2 단계에서, 이러한 천이 기간 Tt 후에, 전구체 가스가 챔버에 도입된다. 이러한 가스가 챔버에 도입될 때, 이러한 챔버의 분위기와 온도는 고품질의 전하 포획층(4)을 형성하는 데 완벽하게 적합하다. 캐리어 가스와 전구체 가스는 이러한 제2 방법 단계의 나머지 동안 챔버를 통해 동시에 흐른다.

[0053] 통상적으로는, 본 특허 출원의 도입에서 보고된 바와 같이, 만족스러운 품질의 층을 획득하기 위해 적어도 유전층과 접촉하는 시드 부분에 1010 ℃ 이하의 비교적 낮은 온도에서 포획층의 성장이 수행된다. 이러한 품질은 특히 2차 고조파 왜곡을 측정함으로써 측정된다. 이는 또한 전하 포획층(4)의 응력에 의해 측정되는데, 이는 응력이 너무 크면 기판을 변형시키는 경향이 있을 수 있다. 일반적으로 직경 300 mm 기판의 경우 이러한 변형(통상적으로 반도체 기술에서 "바우(bow)")을 200 마이크론 미만 또는 심지어 100 마이크론 미만으로 제한하도록 추구된다.

[0054] 놀랍게도, 본 특허 출원의 발명자들은 천이 기간 Tt의 지속 시간이 30초를 초과하지 않는 한, 이제 이러한 제2 단계를 엄격하게 1010 ℃ 초과의 상대적으로 더 높은 온도에서 수행함으로써 종래 기술과 완전히 유사한 품질의 포획층(4)을 획득하는 것이 가능하다는 것을 관찰했다. 즉, 유전층(3)이 캐리어 가스에만 노출되는 시간이 30초 미만인 경우, 1010 ℃ 초과의 온도, 통상적으로 1010 ℃ 내지 1200 ℃에서 전하 포획층(4)의 형성이 수행될 수 있으며, 동시에 변형의 측면 및 2차 고조파 왜곡 측정의 측면 모두에서 이러한 층의 수용 가능한 품질을 가질 수 있다.

[0055] 따라서, 제1 기간과 제2 기간 사이에서 캐리어 가스 단독에 대한 유전층(3)의 노출 시간을 제한함으로써, 이러한 층(3)의 표면 상태는 종래 기술보다 훨씬 더 높은 온도에서 포획층(4)의 직접 성장에 특히 적합하게 되도록 조정 또는 유지된다는 것을 알 수 있다. 이를 위해, 유전층(3)이 캐리어 가스에만 노출되는 시간을 20초 또는 심지어 15초로 제한하는 것이 유리할 수 있다.

[0056] 또한, 이러한 시간을 제한함으로써, 천이 기간 동안 발생할 수 있는 유전층(3)의 용해가 회피되거나 제한된다는 점에 유의해야 한다. 이러한 용해는 이러한 유전층의 두께 손실로 이어지며, 이러한 손실은 n의 거듭제곱으로 상승된 천이 기간 Tt의 지속 시간 (Tt)^n에 비례하며, n은 가능하게는 온도, 유전층의 초기 두께 및 캐리어 가스의 유량에 따라 2 내지 4 사이의 범위에 있다. 천이 기간의 지속 시간이 과도하면, 유전층의 두께가 만족스

러운 품질의 전하 포획층의 형성을 허용하기에 불충분하게 되기 쉽다.

[0057] 상대적으로 높은 포획층 형성 온도는 등가의 품질에 대해 훨씬 더 신속하게 형성될 수 있다는 점에서 중요한 특성이라는 것을 상기한다. 따라서, 950 ℃에서의 성장 속도는 분당 0.8 마이크론 정도, 1000 ℃에서는 분당 1.25 마이크론 정도, 1100 ℃에서는 분당 2 마이크론 정도이며, 이는 900 ℃에서 관찰된 분당 0.3 마이크론보다 상당히 더 높다. 이는 종래 기술의 방법을 사용하여 획득된 속도에 비해 지지 기판의 생산 속도를 상당히 개선시킨다. 이는 특히 포획층이 2 마이크론 초과의 상대적으로 두꺼운 경우이다.

[0058] 따라서, 그리고 포획층(4)의 큰 성장 속도를 타깃으로 하기 위해, 이러한 층(4)을 형성하는 단계는 엄격하게 1010 ℃ 초과, 1050 ℃ 초과, 또는 1100 ℃ 초과의 온도에서 바람직하게 수행된다.

[0059] 포획층(4)을 형성하는 이러한 단계 동안 선택된 온도에 관계없이, 이는 유전층(3) 바로 위에 다결정 실리콘의 타깃 두께를 형성하기에 충분한 기간 동안 수행된다.

[0060] 천이 기간 Tt 동안 유전층(2)의 두께 손실을 제한하기 위해, 처리 온도는 이러한 기간 동안 낮아질 수 있으며, 예를 들어, 제1 기간의 온도에 비해 50 ℃만큼 낮아질 수 있다.

[0061] 유리하게는, 전하 포획층(4)과 유전층(3)은 50 ℃ 이내의 동일한 각각의 온도에서 형성된다. 예를 들어, 제1 단계와 제2 단계에 대해 1050 ℃ 또는 1100 ℃의 동일한 온도를 유지하면서, 앞서 제시한 대로 두 단계가 순차적으로 수행될 수 있다. 두 단계 사이에서 온도를 높이거나 낮출 필요가 없기 때문에 천이 기간의 지속 시간은 30초 미만, 예를 들어, 20초 미만 또는 심지어 15초 미만으로 더 쉽게 감소될 수 있다.

[0062] 유전층(3)은 전하 포획층(4)의 형성 온도보다 높거나 낮거나 동일한 온도에서 형성될 수 있다.

[0063] 선택적으로, 유전층(3)을 형성하는 제1 단계에 앞서 베이스 기판을 환원 또는 약환원 분위기 하에서 900 ℃ 내지 1200 ℃의 온도에서 탈산소 어닐링하여, 베이스 기판(2)의 표면 상에 존재할 수 있는 임의의 자연 산화물을 제거할 수 있다. 이러한 어닐링은 이러한 자연 산화물을 제거하기 위해 선택된 온도에 따라 몇 초에서 몇 분의 시간 동안 챔버에 캐리어 가스만 흐르는 동안 수행될 수 있다.

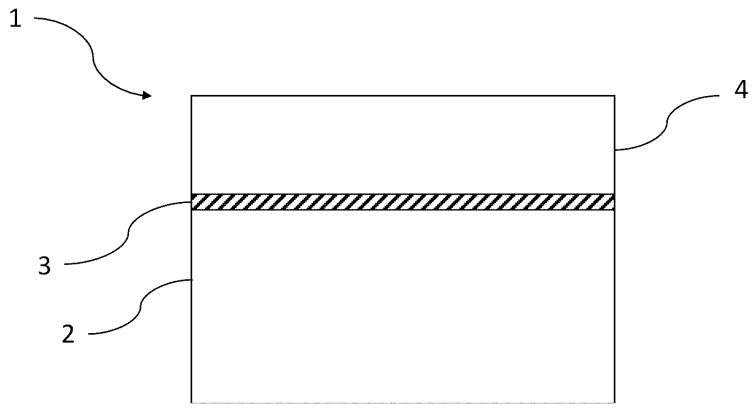
[0064] 이러한 단계는 베이스 기판(2)이 상대적으로 낮은 저항률, 예를 들어, 500 ohm.cm 이하를 가질 때, 그리고 베이스 기판(2) 상에 진성 실리콘 에피택셜층(5)을 제공하는 것이 유리할 때 특히 유용하다. 이 경우, 처리 방법은 탈산소 어닐링과 유전층(3)을 형성하는 제1 단계 사이에, 통상적으로 900 ℃ 내지 1200 ℃의 에피택셜 온도에서 베이스 기판(2) 상에 이러한 진성 실리콘 에피택셜층(5)을 형성하는 것을 포함한다. 이를 위해, 캐리어 가스와 실리콘을 포함하는 전구체 가스가 챔버에서 동시에 순환될 수 있다.

[0065] 물론, 탈산소 어닐링 및/또는 에피택셜층 형성의 이러한 단계는 또한 인 시츄(*in situ*)로, 즉, 장비의 챔버로부터 베이스 기판(2)을 제거하지 않고 그리고 방법 전반에 걸쳐 챔버에 도입되거나 존재하는 것 이외의 가스 또는 분위기에 제조 중인 지지체(1)의 자유 표면을 노출시키지 않고 수행된다.

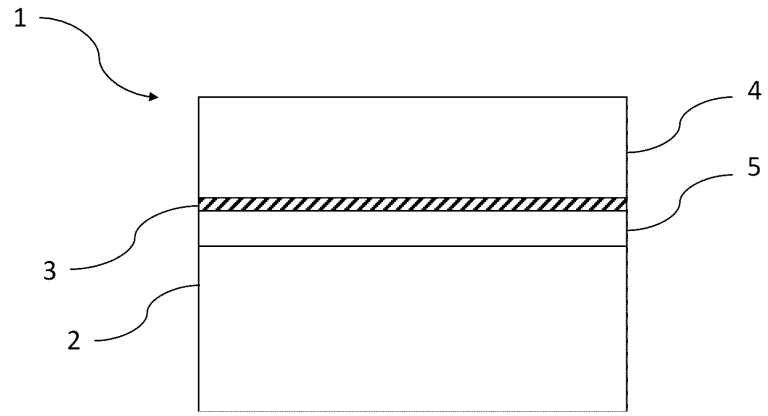
[0066] 물론, 본 발명은 설명된 실시예에 한정되지 않으며, 청구항에 의해 정의된 본 발명의 범위를 벗어나지 않고 구현의 변형이 이에 적용될 수 있다.

도면

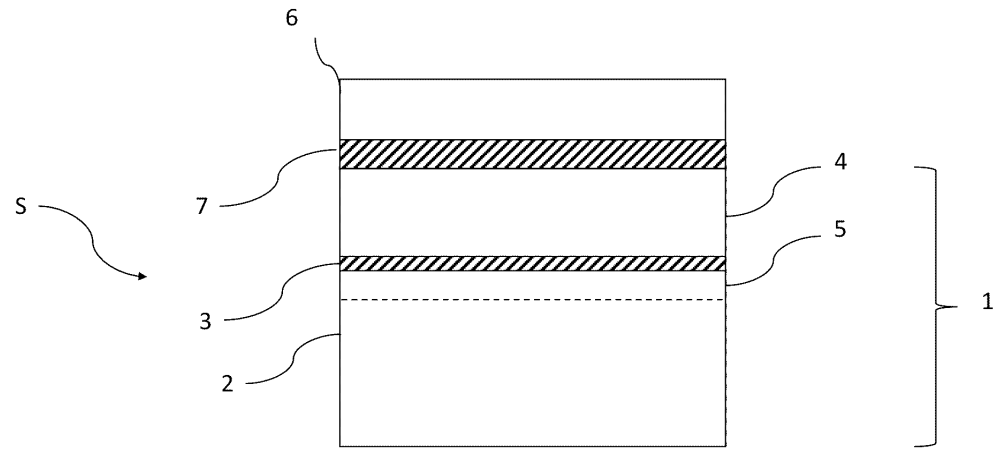
도면1



도면2



도면3



도면4

