

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年9月22日(2011.9.22)

【公開番号】特開2010-109180(P2010-109180A)

【公開日】平成22年5月13日(2010.5.13)

【年通号数】公開・登録公報2010-019

【出願番号】特願2008-280169(P2008-280169)

【国際特許分類】

H 05 K 3/46 (2006.01)

H 01 L 23/12 (2006.01)

【F I】

H 05 K 3/46 Q

H 01 L 23/12 N

H 05 K 3/46 N

H 05 K 3/46 B

【手続補正書】

【提出日】平成23年8月9日(2011.8.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体集積回路と、前記半導体集積回路と電気的に接続された接続端子と、前記接続端子の一部を露出する第1絶縁層と、を有する半導体装置を準備する第1工程と、

支持体を準備し、前記第1絶縁層から露出する前記接続端子の露出部が前記支持体の一方の面と対向するように、前記半導体装置を前記支持体の一方の面上に配置する第2工程と、

前記支持体の一方の面上に配置された前記半導体装置の少なくとも側面部を埋めるように、前記支持体の前記一方の面上に第2絶縁層を形成する第3工程と、

前記支持体を除去する第4工程と、

前記半導体装置及び前記第2絶縁層の前記露出部と反対側の面上に、第3絶縁層を形成する第5工程と、

第1配線パターンを有する配線基板を準備し、前記配線基板を前記第3絶縁層を介して、前記半導体装置及び前記第2絶縁層の、前記露出部と反対側の面上に固着する第6工程と、

前記第2絶縁層及び前記第3絶縁層に、前記第1配線パターンを露出する第1ピアホールを形成する第7工程と、

前記第1絶縁層及び前記第2絶縁層の前記露出部側の面上に、前記第1ピアホールを介して、前記露出部と前記第1配線パターンとを電気的に接続する第2配線パターンを形成する第8工程と、を有する半導体装置内蔵基板の製造方法。

【請求項2】

前記第1絶縁層及び前記第2絶縁層の前記露出部側の面上に、前記第2配線パターンを覆うように第4絶縁層を形成する第9工程と、

前記第4絶縁層に、前記第2配線パターンを露出する第2ピアホールを形成する第10工程と、

前記第4絶縁層上に、前記第2ピアホールを介して前記第2配線パターンと電気的に接

続する第3配線パターンを形成する第11工程と、を有する請求項1記載の半導体装置内蔵基板の製造方法。

【請求項3】

前記第3配線パターンを覆うように、更に絶縁層と配線パターンとを交互に形成する第12工程を有する請求項2記載の半導体装置内蔵基板の製造方法。

【請求項4】

前記第1工程は、前記半導体集積回路に形成された電極パッド上に、前記接続端子を形成する工程と、

前記接続端子を覆うように前記半導体集積回路上に前記第1絶縁層を形成する工程と、前記第1絶縁層上に、前記第1絶縁層と対向する側の面が粗面とされた板状体を配設する工程と、

前記板状体の前記粗面を前記第1絶縁層に圧着することにより、前記接続端子の一部を前記第1絶縁層から露出させる工程と、

前記板状体を除去する工程と、を含む請求項1乃至3の何れか一項記載の半導体装置内蔵基板の製造方法。

【請求項5】

半導体集積回路、前記半導体集積回路と電気的に接続された接続端子、及び前記接続端子の一部を露出する第1絶縁層、を有する半導体装置と、

前記半導体装置の側面部を埋める第2絶縁層と、

前記半導体装置及び前記第2絶縁層の前記接続端子の露出部と反対側の面に設けられた第3絶縁層と、

前記第3絶縁層を介して、前記半導体装置及び前記第2絶縁層の、前記露出部と反対側の面に固着された、第1配線パターンを有する配線基板と、

前記第2絶縁層及び前記第3絶縁層を貫通し、前記第1配線パターンを露出する第1ビアホールと、

前記第1絶縁層及び前記第2絶縁層の前記露出部側の面に設けられ、前記第1ビアホールを介して、前記露出部と前記第1配線パターンとを電気的に接続する第2配線パターンと、を有する半導体装置内蔵基板。

【請求項6】

前記第1絶縁層及び前記第2絶縁層の前記露出部側の面に、絶縁層と配線層を交互に積層した請求項5記載の半導体装置内蔵基板。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置内蔵基板及びその製造方法

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、半導体装置を内蔵する半導体装置内蔵基板及びその製造方法に関する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

上記の点に鑑み、製造コストの上昇を抑制するとともに、半導体装置の有する半導体集積回路と配線パターン（再配線）とを電気的に接続する接続端子の間隔の微細化が可能な半導体装置内蔵基板及びその製造方法を提供することを課題とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

この半導体装置内蔵基板の製造方法は、半導体集積回路と、前記半導体集積回路と電気的に接続された接続端子と、前記接続端子の一部を露出するように形成された第1絶縁層とを有する半導体装置を準備する第1工程と、支持体を準備し、前記第1絶縁層から露出する前記接続端子の露出部が前記支持体の一方の面と対向するように、前記半導体装置を前記支持体の一方の面に配置する第2工程と、前記支持体の一方の面に配置された前記半導体装置の少なくとも側面部を埋めるように、前記支持体の前記一方の面に第2絶縁層を形成する第3工程と、前記支持体を除去する第4工程と、前記半導体装置及び前記第2絶縁層の、前記露出部と反対側の面に、第3絶縁層を形成する第5工程と、第1配線パターンを有する配線基板を準備し、前記配線基板を前記第3絶縁層を介して、前記半導体装置及び前記第2絶縁層の、前記露出部と反対側の面に固着する第6工程と、前記第2絶縁層及び前記第3絶縁層に、前記第1配線パターンを露出するビアホールを形成する第7工程と、前記ビアホールを介して、前記露出部と前記第1配線パターンとを電気的に接続する第2配線パターンを形成する第8工程と、を有することを要件とする。

又、この半導体装置内蔵基板は、半導体集積回路、前記半導体集積回路と電気的に接続された接続端子、及び前記接続端子の一部を露出する第1絶縁層、を有する半導体装置と、前記半導体装置の側面部を埋める第2絶縁層と、前記半導体装置及び前記第2絶縁層の前記接続端子の露出部と反対側の面に設けられた第3絶縁層と、前記第3絶縁層を介して、前記半導体装置及び前記第2絶縁層の、前記露出部と反対側の面に固着された、第1配線パターンを有する配線基板と、前記第2絶縁層及び前記第3絶縁層を貫通し、前記第1配線パターンを露出する第1ビアホールと、前記第1絶縁層及び前記第2絶縁層の前記露出部側の面に設けられ、前記第1ビアホールを介して、前記露出部と前記第1配線パターンとを電気的に接続する第2配線パターンと、を有することを要件とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

開示の製造方法によれば、製造コストの上昇を抑制するとともに、半導体装置の有する半導体集積回路と配線パターン（再配線）とを電気的に接続する接続端子の間隔の微細化が可能な半導体装置内蔵基板及びその製造方法を提供することができる。