(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116472612 A
(43)申请公布日 2023.07.21

(21)申请号 202080107411.4
(22)申请日 2020.12.24
(85)PCT国际申请进入国家阶段日
2023.05.23
(86)PCT国际申请的申请数据
PCT/JP2020/048426 2020.12.24
(87)PCT国际申请的公布数据
WO2022/137421 JA 2022.06.30
(71)申请人 富士通株式会社
地址 日本神奈川县川崎市
(72)发明人 大伴真名步 河口研一
(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 朱丽娟
(51)Int.Cl.
H01L 29/06(2006.01)

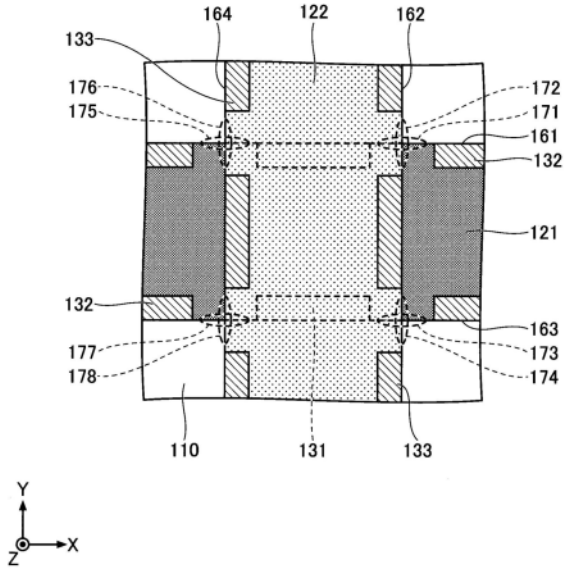
权利要求书3页 说明书10页 附图35页

(54)发明名称

量子比特电路、量子计算机以及量子比特电路的制造方法

(57)摘要

一种量子比特电路，具有：具备第一边缘且沿第一方向延伸的第一马约拉纳载体；以及具备第二边缘且在与所述第一方向交叉的第二方向上延伸的第二马约拉纳载体，所述第一马约拉纳载体在所述第一边缘的俯视观察时与所述第二边缘重叠的部分包含能够存在马约拉纳粒子的第一区域，所述第二马约拉纳载体在所述第二边缘的俯视观察时与所述第一边缘重叠的部分包含能够存在马约拉纳粒子的第二区域，所述第一区域的马约拉纳粒子与所述第二区域的马约拉纳粒子能够交换。



CN 116472612 A

1.一种量子比特电路,其特征在于,所述量子比特电路具有:

具备第一边缘且沿第一方向延伸的第一马约拉纳载体;以及

具备第二边缘且沿与所述第一方向交叉的第二方向延伸的第二马约拉纳载体,

所述第一马约拉纳载体在所述第一边缘的俯视观察时与所述第二边缘重叠的部分包含能够存在马约拉纳粒子的第一区域,

所述第二马约拉纳载体在所述第二边缘的俯视观察时与所述第一边缘重叠的部分包含能够存在马约拉纳粒子的第二区域,

所述第一区域的马约拉纳粒子与所述第二区域的马约拉纳粒子能够交换。

2.根据权利要求1所述的量子比特电路,其特征在于,所述第一马约拉纳载体包含第一拓扑绝缘体层,

所述第二马约拉纳载体包含第二拓扑绝缘体层。

3.根据权利要求2所述的量子比特电路,其特征在于,所述第一拓扑绝缘体层以及所述第二拓扑绝缘体层为WTe_2层。

4.根据权利要求1至3中任一项所述的量子比特电路,其特征在于,所述量子比特电路具有蚀刻阻挡部,该蚀刻阻挡部设置在所述第一马约拉纳载体与所述第二马约拉纳载体之间,能够供所述第一区域的马约拉纳粒子和所述第二区域的马约拉纳粒子隧穿。

5.根据权利要求1至4中任一项所述的量子比特电路,其特征在于,所述量子比特电路具有:

第一s波超导体层,其与所述第一马约拉纳载体接触,且以在所述第一方向上夹着所述第一区域的方式设置;以及

第二s波超导体层,其与所述第二马约拉纳载体接触,且以在所述第二方向上夹着所述第二区域的方式设置。

6.根据权利要求1至5中任一项所述的量子比特电路,其特征在于,所述量子比特电路具有隧道势垒层,所述隧道势垒层设置在所述第一马约拉纳载体与所述第二马约拉纳载体之间。

7.根据权利要求6所述的量子比特电路,其特征在于,所述隧道势垒层为$SnSe_2$层。

8.根据权利要求6或7所述的量子比特电路,其特征在于,所述量子比特电路具有电源,该电源向所述第一马约拉纳载体与所述第二马约拉纳载体之间施加电压。

9.根据权利要求1至8中任一项所述的量子比特电路,其特征在于,

所述第一马约拉纳载体具备沿所述第一方向延伸的第三边缘,

所述第一马约拉纳载体在所述第三边缘的俯视观察时与所述第二边缘重叠的部分包含能够存在马约拉纳粒子的第三区域,

所述第二马约拉纳载体在所述第二边缘的俯视观察时与所述第三边缘重叠的部分包含能够存在马约拉纳粒子的第四区域,

所述第三区域的马约拉纳粒子与所述第四区域的马约拉纳粒子能够交换,

所述第一区域的马约拉纳粒子与所述第三区域的马约拉纳粒子能够交换。

10.根据权利要求9所述的量子比特电路,其特征在于,

所述第二马约拉纳载体具备沿所述第二方向延伸的第四边缘,

所述第一马约拉纳载体在所述第一边缘的俯视观察时与所述第四边缘重叠的部分包

含能够存在马约拉纳粒子的第五区域，在所述第三边缘的俯视观察时与所述第四边缘重叠的部分包含能够存在马约拉纳粒子的第七区域，

所述第二马约拉纳载体在所述第四边缘的俯视观察时与所述第一边缘重叠的部分包含能够存在马约拉纳粒子的第六区域，在所述第四边缘的俯视观察时与所述第三边缘重叠的部分包含能够存在马约拉纳粒子的第八区域，

所述第五区域的马约拉纳粒子与所述第六区域的马约拉纳粒子能够交换，

所述第七区域的马约拉纳粒子与所述第八区域的马约拉纳粒子能够交换，

所述第五区域的马约拉纳粒子与所述第七区域的马约拉纳粒子能够交换，

所述第二区域的马约拉纳粒子与所述第六区域的马约拉纳粒子能够交换，

所述第四区域的马约拉纳粒子与所述第八区域的马约拉纳粒子能够交换。

11.一种量子比特电路，其特征在于，

所述量子比特电路具有：

沿第一方向延伸的第一马约拉纳载体；以及

沿与所述第一方向交叉的第二方向延伸的第二马约拉纳载体，

所述第一马约拉纳载体在俯视观察时与所述第二马约拉纳载体重叠的部分包含能够存在马约拉纳粒子的第一区域，

所述第二马约拉纳载体在俯视观察时与所述第一马约拉纳载体重叠的部分包含能够存在马约拉纳粒子的第二区域，

所述第一区域的马约拉纳粒子与所述第二区域的马约拉纳粒子能够交换。

12.根据权利要求11所述的量子比特电路，其特征在于，所述第一马约拉纳载体包含第一半导体纳米线，

所述第二马约拉纳载体包含第二半导体纳米线。

13.根据权利要求11或12所述的量子比特电路，其特征在于，所述量子比特电路具有：

第一s波超导体层，其在所述第一马约拉纳载体的侧方以在所述第一方向上夹着所述第一区域的方式设置；以及

第二s波超导体层，其在所述第二马约拉纳载体的侧方以在所述第二方向上夹着所述第二区域的方式设置。

14.一种量子计算机，其特征在于，该量子计算机包含权利要求1至13中任一项所述的量子比特电路。

15.一种量子比特电路的制造方法，其特征在于，所述量子比特电路的制造方法具备：

形成具备第一边缘且沿第一方向延伸的第一马约拉纳载体的工序；以及

形成具备第二边缘且沿与所述第一方向交叉的第二方向延伸的第二马约拉纳载体的工序，

所述第一马约拉纳载体在所述第一边缘的俯视观察时与所述第二边缘重叠的部分包含能够存在马约拉纳粒子的第一区域，

所述第二马约拉纳载体在所述第二边缘的俯视观察时与所述第一边缘重叠的部分包含能够存在马约拉纳粒子的第二区域，

所述第一区域的马约拉纳粒子与所述第二区域的马约拉纳粒子能够交换。

16.根据权利要求15所述的量子比特电路的制造方法，其特征在于，

所述量子比特电路的制造方法在形成所述第一马约拉纳载体的工序与形成所述第二马约拉纳载体的工序之间具备如下工序：

设置覆盖所述第一马约拉纳载体的蚀刻阻挡部的工序;以及

在所述蚀刻阻挡部之上设置2维拓扑绝缘体层的工序，

形成所述第二马约拉纳载体的工序具备一边利用所述蚀刻阻挡部保护所述第一马约拉纳载体一边对所述2维拓扑绝缘体层进行蚀刻的工序。

17.根据权利要求15所述的量子比特电路的制造方法,其特征在于，

所述量子比特电路的制造方法在形成所述第一马约拉纳载体的工序与形成所述第二马约拉纳载体的工序之间具备如下工序：

设置覆盖所述第一马约拉纳载体的第一蚀刻阻挡部的工序；

在所述第一蚀刻阻挡部之上设置半导体层的工序；

通过一边利用所述第一蚀刻阻挡部保护所述第一马约拉纳载体一边对所述半导体层进行蚀刻,从而形成位于所述第一马约拉纳载体与所述第二马约拉纳载体之间的隧道势垒层的工序；

设置覆盖所述隧道势垒层的第二蚀刻阻挡部的工序;以及

在所述第二蚀刻阻挡部之上设置2维拓扑绝缘体层的工序，

形成所述第二马约拉纳载体的工序具备一边利用所述第二蚀刻阻挡部保护所述第一马约拉纳载体一边对所述2维拓扑绝缘体层进行蚀刻的工序。

量子比特电路、量子计算机以及量子比特电路的制造方法

技术领域

[0001] 本发明涉及量子比特电路、量子计算机以及量子比特电路的制造方法。

背景技术

[0002] 对使用了马约拉纳(Majorana)粒子的量子计算机进行了研究。作为产生马约拉纳粒子的结构,例如提出了以下2种技术。一种是使用1维的半导体纳米线的技术,另一种是使用2维的拓扑绝缘体的技术。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2013-247267号公报

[0006] 专利文献2:日本特表2020-511780号公报

[0007] 非专利文献

[0008] 非专利文献1:Coulomb-assisted braiding of Majorana fermions in a Josephson junction array,New Journal of Physics 14,035019(2012)

[0009] 非专利文献2:Minimal circuit for a flux-controlled Majorana qubit in a quantum spin-Hall insulator,Physica Scripta T164,014007(2015)

[0010] 非专利文献3:Direct visualization of a two-dimensional topological insulator in the single-layer 1T′-WTe_2,Physical Review B 96,(2017)

发明内容

[0011] 发明所要解决的问题

[0012] 虽然迄今为止已经提出了基于理论的方案,但要以高成品率制造容易控制的量子比特电路是极其困难的。

[0013] 本发明的目的在于提供能够以高成品率制造容易控制的结构的量子比特电路、量子计算机以及量子比特电路的制造方法。

[0014] 用于解决问题的手段

[0015] 根据本公开的一个方式,提供一种量子比特电路,其具有:具备第一边缘且沿第一方向延伸的第一马约拉纳载体;以及具备第二边缘且沿与所述第一方向交叉的第二方向延伸的第二马约拉纳载体,所述第一马约拉纳载体在所述第一边缘的俯视观察时与所述第二边缘重叠的部分包含能够存在马约拉纳粒子的第一区域,所述第二马约拉纳载体在所述第二边缘的俯视观察时与所述第一边缘重叠的部分包含能够存在马约拉纳粒子的第二区域,所述第一区域的马约拉纳粒子与所述第二区域的马约拉纳粒子能够交换。

[0016] 发明效果

[0017] 根据本公开,能够以高成品率制造容易控制的结构。

附图说明

[0018] 图1是示出第一实施方式的量子比特电路的俯视图。

[0019] 图2是将图1中的一部分放大表示的图。

[0020] 图3是示出第一实施方式的量子比特电路的剖视图(其1)。

[0021] 图4是示出第一实施方式的量子比特电路的剖视图(其2)。

[0022] 图5是示出第一实施方式的量子比特电路的动作的例子的图。

[0023] 图6是示出第一实施方式的量子比特电路的制造方法的俯视图(其1)。

[0024] 图7是示出第一实施方式的量子比特电路的制造方法的俯视图(其2)。

[0025] 图8是示出第一实施方式的量子比特电路的制造方法的俯视图(其3)。

[0026] 图9是示出第一实施方式的量子比特电路的制造方法的俯视图(其4)。

[0027] 图10是示出第一实施方式的量子比特电路的制造方法的俯视图(其5)。

[0028] 图11是示出第一实施方式的量子比特电路的制造方法的俯视图(其6)。

[0029] 图12是示出第一实施方式的量子比特电路的制造方法的俯视图(其7)。

[0030] 图13是示出第一实施方式的量子比特电路的制造方法的俯视图(其8)。

[0031] 图14是示出第二实施方式的量子比特电路的俯视图。

[0032] 图15是将图14中的一部分放大表示的图。

[0033] 图16是表示第二实施方式的量子比特电路的剖视图(其1)。

[0034] 图17是示出第二实施方式的量子比特电路的剖视图(其2)。

[0035] 图18是表示层叠体的价带及导带的一例的带图。

[0036] 图19是表示隧道势垒的变化的图。

[0037] 图20是示出第二实施方式的量子比特电路的动作的例子的图。

[0038] 图21是示出第二实施方式的量子比特电路的制造方法(其1)的图。

[0039] 图22是示出第二实施方式的量子比特电路的制造方法(其2)的图。

[0040] 图23是示出第二实施方式的量子比特电路的制造方法(其3)的图。

[0041] 图24是示出第二实施方式的量子比特电路的制造方法(其4)的图。

[0042] 图25是示出第二实施方式的量子比特电路的制造方法(其5)的图。

[0043] 图26是示出第二实施方式的量子比特电路的制造方法(其6)的图。

[0044] 图27是示出第二实施方式的量子比特电路的制造方法(其7)的图。

[0045] 图28是示出第二实施方式的量子比特电路的制造方法(其8)的图。

[0046] 图29是示出第二实施方式的量子比特电路的制造方法(其9)的图。

[0047] 图30是透视一部分而表示第三实施方式的量子比特电路的俯视图。

[0048] 图31是表示第三实施方式的量子比特电路的剖视图(其1)。

[0049] 图32是表示第三实施方式的量子比特电路的剖视图(其2)。

[0050] 图33是表示第三实施方式的量子比特电路的剖视图(其3)。

[0051] 图34是表示第三实施方式的量子比特电路的剖视图(其4)。

[0052] 图35是表示量子计算机的图。

具体实施方式

[0053] 以下,参照附图对本公开的实施方式进行具体说明。另外,在本说明书和附图中,

有时通过对实质上具有相同的功能结构的结构要素标注相同的标号而省略重复的说明。

[0054] (第一实施方式)

[0055] 首先,说明第1实施方式。第一实施方式涉及包含2维拓扑绝缘体的量子比特电路。图1是示出第一实施方式的量子比特电路的俯视图。图2是将图1中的一部分放大表示的图。图3和图4是示出第一实施方式的量子比特电路的剖视图。图3相当于沿着图1中的III-III线的剖视图。图4相当于沿着图1中的IV-IV线的剖视图。

[0056] 如图1～图4所示,第一实施方式的量子比特电路1具有基板110、沿X轴方向延伸的下部马约拉纳载体121和沿Y轴方向延伸的上部马约拉纳载体122。基板110例如是氧化铝基板或蓝宝石基板等绝缘基板。X轴方向以及Y轴方向是与垂直于基板110的表面的Z轴方向正交的方向。Y轴方向与X轴方向交叉,例如X轴方向以及Y轴方向相互正交。在本公开中,有时将从Z轴方向观察对象物称为俯视。X轴方向是第一方向的一例,Y轴方向是第二方向的一例。

[0057] 下部马约拉纳载体121例如是2维拓扑绝缘体层,具有沿X轴方向延伸的第一边缘161和第三边缘163。第一边缘161位于第三边缘163的-Y侧。下部马约拉纳载体121可以由单一的2维拓扑绝缘体构成,也可以将多个2维拓扑绝缘体层叠而构成。下部马约拉纳载体121的材料例如为二碲化钨(WTe_2)。在本实施方式中,在Y轴方向上排列配置有多个下部马约拉纳载体121。下部马约拉纳载体121是第一马约拉纳载体的一例。

[0058] 上部马约拉纳载体122例如是2维拓扑绝缘体层,具有沿Y轴方向延伸的第二边缘162和第四边缘164。第二边缘162位于第四边缘164的-X侧。上部马约拉纳载体122可以由单一的2维拓扑绝缘体构成,也可以将多个2维拓扑绝缘体层叠而构成。上部马约拉纳载体122的材料例如为二碲化钨(WTe_2)。在本实施方式中,多个上部马约拉纳载体122在X轴方向上排列配置。上部马约拉纳载体122是第二马约拉纳载体的一例。

[0059] 设置有与下部马约拉纳载体121的下表面接触的下部s波超导体层131。下部s波超导体层131在俯视观察时与上部马约拉纳载体122重叠的每个区域,沿着第一边缘161、第三边缘163设置。各下部s波超导体层131的X轴方向的端部在俯视观察时从上部马约拉纳载体122的第二边缘162以及第四边缘164离开。下部s波超导体层131例如是Al层。

[0060] 设置有与下部马约拉纳载体121的上表面接触的下部s波超导体层132。在俯视观察时相邻的上部马约拉纳载体122之间的每个区域,下部s波超导体层132沿着第一边缘161、第三边缘163设置。各下部s波超导体层132的X轴方向的端部在俯视观察时与上部马约拉纳载体122的第二边缘162以及第四边缘164分离。下部s波超导体层132例如是Al层。下部s波超导体层131以及132是第一s波超导体层的一个例子。

[0061] 设置有与上部马约拉纳载体122的上表面接触的上部s波超导体层133。在俯视观察时与下部马约拉纳载体121重叠的每个区域、以及相邻的下部马约拉纳载体121之间的每个区域,上部s波超导体层133沿着第二边缘162、第四边缘164设置。上部s波超导体层133的X轴方向的端部在俯视观察时与下部马约拉纳载体121的第一边缘161以及第三边缘163分离。上部s波超导体层133例如是Al层。上部s波超导体层133是第二s波超导体层的一例。

[0062] 在下部马约拉纳载体121与上部马约拉纳载体122之间设置有蚀刻阻挡部140。蚀刻阻挡部140的材料例如是石墨烯或石墨。在蚀刻阻挡部140的材料为石墨的情况下,其厚度越薄越优选,例如优选为5nm以下。这是因为,如后所述,在下部马约拉纳载体121与上部

马约拉纳载体122之间，马约拉纳粒子隧穿蚀刻阻挡部140。

[0063] 在下部s波超导体层131、下部s波超导体层132以及上部s波超导体层133分别连接有布线。

[0064] 在量子比特电路1中，在第一边缘161的俯视观察时相邻的下部s波超导体层131与下部s波超导体层132之间的部分、和第三边缘163的俯视观察时相邻的下部s波超导体层131与下部s波超导体层132之间的部分，能够存在马约拉纳粒子。而且，例如，在能够存在这些马约拉纳粒子的部分中，第一边缘161的与第二边缘162重叠的部分作为第一区域171发挥功能，第三边缘163的与第二边缘162重叠的部分作为第三区域173发挥功能。另外，例如，在能够存在这些马约拉纳粒子的部分中，第一边缘161的与第四边缘164重叠的部分作为第五区域175发挥功能，第三边缘163的与第四边缘164重叠的部分作为第七区域177发挥功能。

[0065] 同样地，在第二边缘162的俯视观察时相邻的2个上部s波超导体层133之间的部分、和第四边缘164的俯视观察时相邻的2个上部s波超导体层133之间的部分，能够存在马约拉纳粒子。而且，例如，在能够存在这些马约拉纳粒子的部分中，第二边缘162的与第一边缘161重叠的部分作为第二区域172发挥功能，第四边缘164的与第一边缘161重叠的部分作为第六区域176发挥功能。另外，在能够存在这些马约拉纳粒子的部分中，第二边缘162的与第三边缘163重叠的部分作为第四区域174发挥功能，第四边缘164的与第三边缘163重叠的部分作为第八区域178发挥功能。

[0066] 存在于第一区域171中的马约拉纳粒子和存在于第二区域172中的马约拉纳粒子能够通过隧道效应穿过蚀刻阻挡部140，并且彼此相互作用。因此，两马约拉纳粒子可以视为单一的马约拉纳粒子。第三区域173与第四区域174的组、第五区域175与第六区域176的组、第七区域177与第八区域178的组也相同。

[0067] 这样，在量子比特电路1中，能够容易地使在下部马约拉纳载体121产生的马约拉纳粒子与在上部马约拉纳载体122产生的马约拉纳粒子相互作用。另外，如后所述，只要具有以往的半导体工艺的对位精度，就能够以高成品率制造这样的结构。

[0068] 另外，通过控制下部s波超导体层131、132的状态，能够在中间夹着下部s波超导体层131、132而相邻的第一区域171与第五区域175之间、第三区域173与第七区域177之间，交换马约拉纳粒子。同样地，通过控制上部s波超导体层133的状态，能够在中间夹着上部s波超导体层133而相邻的第二区域172与第四区域174之间、第六区域176与第八区域178之间，交换马约拉纳粒子。

[0069] 而且，在量子比特电路1中，能够在俯视观察时下部马约拉纳载体121与上部马约拉纳载体122重叠的区域产生8个马约拉纳粒子。因此，能够高密度地集成马约拉纳量子比特。另外，也能够将马约拉纳量子比特规则地格子状地集成，容易进行布线等的设计。

[0070] 在此，对量子比特电路1的动作的例子进行说明。图5是示出第一实施方式的量子比特电路的动作的例子的图。图5中的圆表示区域171～178中的马约拉纳粒子。另外，在连结2个马约拉纳粒子的线段中，用虚线表示的线段表示s波超导体层成为不能进行马约拉纳粒子的交换的状态，用实线表示的线段表示s波超导体层成为能够进行马约拉纳粒子的交换的状态。

[0071] 在该例子中，在X轴方向上夹着第一区域171相邻的2个第五区域175之间交换马约

拉纳粒子。即，将在一方的第五区域175产生的马约拉纳粒子γ1和在另一方的第五区域175产生的马约拉纳粒子γ4经由在它们之间的第一区域171产生的马约拉纳粒子γ2通过带电进行交换。

[0072] 接着，对第一实施方式的量子比特电路1的制造方法进行说明。图6～图13是示出第一实施方式的量子比特电路的制造方法的俯视图。

[0073] 首先，如图6所示，在基板110之上形成下部s波超导体层131。下部s波超导体层131例如能够通过蒸镀法形成。

[0074] 接着，如图7所示，在基板110之上以覆盖下部s波超导体层131的方式设置2维拓扑绝缘体层121X。2维拓扑绝缘体层121X例如能够通过另外在生长基板(未图示)上生长并从生长基板转印来设置。也可以在基板110之上形成2维拓扑绝缘体层121X。

[0075] 之后，如图8所示，通过对2维拓扑绝缘体层121X进行加工，形成多个下部马约拉纳载体121。在2维拓扑绝缘体层121X的加工中，例如进行反应性离子蚀刻(reactive ion etching:RIE)。作为蚀刻气体，例如使用氟化碳系气体。

[0076] 接着，如图9所示，在基板110的上方以覆盖下部马约拉纳载体121的方式设置蚀刻阻挡部140X。蚀刻阻挡部140X例如能够通过另外在生长基板(未图示)之上生长并从生长基板转印来设置。

[0077] 接着，如图10所示，在蚀刻阻挡部140X之上设置2维拓扑绝缘体层122X。2维拓扑绝缘体层122X例如能够通过另外在生长基板(未图示)上生长并从生长基板转印来设置。也可以将2维拓扑绝缘体层122X形成在蚀刻阻挡部140X之上。

[0078] 之后，如图11所示，通过对2维拓扑绝缘体层122X进行加工，形成多个上部马约拉纳载体122。在2维拓扑绝缘体层122X的加工中，例如进行RIE。作为蚀刻气体，例如使用氟化碳系气体。此时，下部马约拉纳载体121被蚀刻阻挡部140X保护。

[0079] 接着，如图12所示，通过对蚀刻阻挡部140X进行加工，在下部马约拉纳载体121与上部马约拉纳载体122之间形成蚀刻阻挡部140。在蚀刻阻挡部140X的加工中，例如进行RIE。作为蚀刻气体，例如使用氧气。

[0080] 接着，如图13所示，在下部马约拉纳载体121之上形成下部s波超导体层132，在上部马约拉纳载体122之上形成上部s波超导体层133。下部s波超导体层132以及上部s波超导体层133例如能够通过蒸镀法形成。

[0081] 之后，形成分别与下部s波超导体层131、下部s波超导体层132以及上部s波超导体层133连接的布线(未图示)等。

[0082] 这样，能够制造第一实施方式的量子比特电路1。

[0083] 根据这样的方法，只要具有以往的半导体工艺中的对位精度，就能够以高成品率制造量子比特电路1。

[0084] 需要说明的是，可以是下部s波超导体层131及下部s波超导体层132这两者与下部马约拉纳载体121的下表面接触，也可以是下部s波超导体层131及下部s波超导体层132这两者与下部马约拉纳载体121的上表面接触。

[0085] (第二实施方式)

[0086] 接下来，说明第二实施方式。第二实施方式与第一实施方式的主要不同点在于，第二实施方式的包含下部马约拉纳载体121和上部马约拉纳载体122的层叠结构的结构。图14

是示出第二实施方式的量子比特电路的俯视图。图15是将图14中的一部分放大表示的图。图16及图17是表示第二实施方式的量子比特电路的剖视图。图16相当于沿着图14中的XVI-XVI线的剖视图。图17相当于沿着图14中的XVII-XVII线的剖视图。

[0087] 第二实施方式所涉及的量子比特电路2与第一实施方式同样地具有基板110、下部马约拉纳载体121、上部马约拉纳载体122、下部s波超导体层131、下部s波超导体层132以及上部s波超导体层133。另一方面，在下部马约拉纳载体121与上部马约拉纳载体122之间，代替蚀刻阻挡部140而设置有蚀刻阻挡部241、蚀刻阻挡部242和半导体层250。蚀刻阻挡部241设置在下部马约拉纳载体121与半导体层250之间，蚀刻阻挡部242设置在半导体层250与上部马约拉纳载体122之间。

[0088] 蚀刻阻挡部241、242的材料例如是石墨烯或石墨。在蚀刻阻挡部241、242的材料为石墨的情况下，其厚度越薄越优选，例如优选为5nm以下。这是因为，在下部马约拉纳载体121与上部马约拉纳载体122之间，马约拉纳粒子隧穿蚀刻阻挡部241、242。

[0089] 半导体层250的材料例如是二硒化锡($SnSe_2$)等2维半导体。半导体层250的导电型没有限定，例如可以是本征半导体，也可以是n型半导体。半导体层250可以由单一的2维半导体构成，也可以层叠多个2维半导体而构成。半导体层250是隧道势垒层的一例。

[0090] 在沿X轴方向相邻的下部s波超导体层131之间设置有下部电极251。下部电极251与下部s波超导体层131同样地，被下部马约拉纳载体121覆盖。例如，下部电极251设置于在俯视观察时不与上部马约拉纳载体122重叠的区域。下部电极251例如分别设置在第一区域171的附近、第三区域173的附近、第五区域175的附近以及第七区域177的附近。

[0091] 另外，在上部马约拉纳载体122之上设置有上部电极252。上部电极252例如分别设置在第二区域172的附近、第四区域174的附近、第六区域176的附近以及第八区域178的附近。

[0092] 如图15所示，设置有向设置于相互重叠的第一区域171和第二区域172各自的附近的下部电极251与上部电极252之间施加电压的电源253。还设置有向设置于相互重叠的第三区域173和第四区域174各自的附近的下部电极251与上部电极252之间施加电压的其他电源253。还设置有向设置于相互重叠的第五区域175和第六区域176各自的附近的下部电极251与上部电极252之间施加电压的其他电源253。还设置有向设置于相互重叠的第七区域177和第八区域178各自的附近的下部电极251与上部电极252之间施加电压的其他电源253。

[0093] 其他结构与第一实施方式相同。

[0094] 在量子比特电路2中，在下部马约拉纳载体121与上部马约拉纳载体122之间存在蚀刻阻挡部241、半导体层250、蚀刻阻挡部242的层叠膜。在此，在图18中示出下部马约拉纳载体121、蚀刻阻挡部241、半导体层250、蚀刻阻挡部242、上部马约拉纳载体122的层叠体的价带及导带的带图的一例。在图18所示的例子中，下部马约拉纳载体121和上部马约拉纳载体122分别由单一的WTe_2构成，蚀刻阻挡部241和242由石墨烯构成，半导体层250由4层$SnSe_2$构成。

[0095] 由于设置有半导体层250，因此在下部马约拉纳载体121中产生的马约拉纳粒子与上部马约拉纳载体122中产生的马约拉纳粒子之间存在隧道势垒。能够通过从电源253施加的门极电压的大小来调整该隧道势垒的高度。例如，通过施加门极电压，能够使半导体层

250的能带变化，降低隧道势垒而诱发隧道效应。

[0096] 图19是表示隧道势垒的变化的图。在图19中，将半导体层250的价带E_V和导带E_C的变化与费米能级E_F一起示出。通过施加门极电压V_G，能够显现共振隧道效应。这样，通过隧道效应，马约拉纳粒子能够在2个状态之间往返。因此，通过在所希望的定时使隧道势垒复活，例如，能够进行在第一区域171产生的马约拉纳粒子γ2与在第二区域172产生的马约拉纳粒子γ5的交换270。即，能够进行量子门操作。

[0097] 在此，对量子比特电路2的动作的例子进行说明。图20是示出第二实施方式的量子比特电路的动作的例子的图。与图5同样地，图20中的圆表示区域171～178中的马约拉纳粒子。另外，在连结2个马约拉纳粒子的线段中的用虚线表示的线段表示s波超导体层成为不能进行马约拉纳粒子的交换的状态，用实线表示的线段表示s波超导体层成为能够进行马约拉纳粒子的交换的状态。

[0098] 在第一实施方式所涉及的量子比特电路1中，能够通过带电来进行马约拉纳粒子的交换，与此相对，在第二实施方式所涉及的量子比特电路2中，除了通过带电来进行马约拉纳粒子的交换之外，还能够通过门极电压的控制来进行基于隧道效应的马约拉纳粒子的交换。

[0099] 在基于隧道效应的交换中，如上所述，通过门极电压V_G的施加，例如在第一区域171与第二区域172之间交换马约拉纳粒子。即，通过半导体层250的隧道来交换在第一区域171中产生的马约拉纳粒子γ2和在第二区域172中产生的马约拉纳粒子。

[0100] 另外，在基于带电的交换中，例如，在X轴方向上夹着第一区域171而相邻的2个第五区域175之间交换马约拉纳粒子。即，将在一方的第五区域175中产生的马约拉纳粒子γ1和在另一方的第五区域175中产生的马约拉纳粒子γ4经由在它们之间的第一区域171中产生的马约拉纳粒子γ2而通过带电进行交换。

[0101] 接着，对第二实施方式的量子比特电路2的制造方法进行说明。图21～图29是示出第二实施方式的量子比特电路的制造方法的图。

[0102] 首先，与第一实施方式同样地在基板110之上形成下部s波超导体层131。下部s波超导体层131例如能够通过蒸镀法形成。另外，在基板110之上形成下部电极251。下部电极251例如能够通过蒸镀法形成。接着，如图21所示，与第一实施方式同样地形成多个下部马约拉纳载体121。进而，在基板110之上以覆盖下部马约拉纳载体121的方式设置蚀刻阻挡部241X。蚀刻阻挡部241X例如可以通过另外在生长基板(未图示)上生长并从生长基板转印来设置。蚀刻阻挡部241X是第一蚀刻阻挡部的一例。

[0103] 然后，如图22所示，在蚀刻阻挡部241X之上设置半导体层250X。例如，半导体层250X可以通过另外在生长基板(未示出)上生长并从生长基板转印来设置。

[0104] 接着，如图23所示，通过对半导体层250X进行加工，形成多个半导体层250。在半导体层250X的加工中，例如进行RIE。作为蚀刻气体，例如使用氟化碳系气体。此时，下部马约拉纳载体121被蚀刻阻挡部241X保护。

[0105] 然后，如图24所示，通过对蚀刻阻挡部241X进行加工，在下部马约拉纳载体121和半导体层250之间形成蚀刻阻挡部241。在蚀刻阻挡部241X的加工中，例如进行RIE。作为蚀刻气体，例如使用氧气。

[0106] 之后，如图25所示，在基板110的上方以覆盖下部马约拉纳载体121和半导体层250

的方式设置蚀刻阻挡部242X。蚀刻阻挡部242X可以通过例如另外在生长基板(未示出)上生长并从生长基板转移来设置。蚀刻阻挡部242X是第二蚀刻阻挡部的一例。

[0107] 接着,如图26所示,在蚀刻阻挡部242X之上设置2维拓扑绝缘体层122X。2维拓扑绝缘体层122X例如能够通过另外在生长基板(未图示)上生长并从生长基板转印来设置。也可以将2维拓扑绝缘体层122X形成在蚀刻阻挡部242X之上。

[0108] 接着,如图27所示,通过对2维拓扑绝缘体层122X进行加工,形成多个上部马约拉纳载体122。在2维拓扑绝缘体层122X的加工中,例如进行RIE。作为蚀刻气体,例如使用氟化碳系气体。此时,下部马约拉纳载体121被蚀刻阻挡部242X保护。

[0109] 然后,如图28所示,通过对蚀刻阻挡部242X进行加工,在半导体层250与上部马约拉纳载体122之间形成蚀刻阻挡部242。在蚀刻阻挡部242X的加工中,例如进行RIE。作为蚀刻气体,例如使用氧气。

[0110] 接着,如图29所示,在下部马约拉纳载体121之上形成下部s波超导体层132,在上部马约拉纳载体122之上形成上部s波超导体层133。进而,在上部马约拉纳载体122之上形成上部电极252。上部电极252例如能够通过蒸镀法形成。

[0111] 这样,能够制造第二实施方式的量子比特电路2。

[0112] (第三实施方式)

[0113] 接下来,对第三实施方式进行说明。第三实施方式涉及包含半导体纳米线的量子比特电路。图30是透视一部分而表示第三实施方式的量子比特电路的俯视图。图31～图34是示出第三实施方式的量子比特电路的剖视图。图31相当于沿着图30中的XXXI-XXXI线的剖视图。图32相当于沿着图30中的XXXII-XXXII线的剖视图。图33相当于沿着图30中的XXXIII-XXXIII线的剖视图。图34相当于沿着图30中的XXXIV-XXXIV线的剖视图。

[0114] 如图30～图34所示,第三实施方式的量子比特电路3具有基板310、沿X轴方向延伸的下部马约拉纳载体321和沿Y轴方向延伸的上部马约拉纳载体322。基板310例如是表面的面方位为(100)的GaAs基板或InP基板等半导体基板。X轴方向以及Y轴方向是与垂直于基板310的表面的Z轴方向正交的方向。Y轴方向与X轴方向交叉,例如X轴方向以及Y轴方向相互正交。

[0115] 下部马约拉纳载体321例如是由InAs构成的半导体纳米线。在本实施方式中,多个下部马约拉纳载体321在Y轴方向上排列配置。下部马约拉纳载体321是第一马约拉纳载体的一例。

[0116] 上部马约拉纳载体322例如是由InAs构成的半导体纳米线。在本实施方式中,多个上部马约拉纳载体122在X轴方向上排列配置。上部马约拉纳载体322是第二马约拉纳载体的一例。

[0117] 在基板310之上设置有缓冲层381以及基底半导体层382。例如,缓冲层381是厚度为1μm左右的$In_{1-x}Al_xAs$层,从与基板310的界面起到与基底半导体层382的界面,Al组成x也可以发生变化,以与基板310以及基底半导体层382晶格匹配。例如,基底半导体层382是厚度为4nm左右的$In_{0.81}Ga_{0.19}As$层。

[0118] 下部马约拉纳载体321形成在基底半导体层382之上。下部马约拉纳载体321的厚度例如为5nm左右。以覆盖下部马约拉纳载体321的方式在基底半导体层382之上形成有势垒层383。例如,势垒层383是在下部马约拉纳载体321之上的厚度为5nm左右的$In_{0.9}Al_{0.1}As$

层。下部马约拉纳载体321被势垒层383覆盖而作为量子阱发挥功能。

[0119] 上部马约拉纳载体322形成在势垒层383之上。上部马约拉纳载体322的厚度例如为5nm左右。势垒层384以覆盖上部马约拉纳载体322的方式形成在势垒层383之上。例如，势垒层384是在上部马约拉纳载体322之上的厚度为5nm左右的$In_{0.9}Al_{0.1}As$层。上部马约拉纳载体322被势垒层384覆盖而作为量子阱发挥功能。

[0120] 如图30以及图33所示，在俯视观察时在下部马约拉纳载体321的附近，在势垒层383以及384形成有到达基底半导体层382的开口部391，在开口部391内设置有下部s波超导体层331。下部s波超导体层331例如是Al层。下部s波超导体层331是第一s波超导体层的一例。

[0121] 如图30以及图31所示，在俯视观察时在上部马约拉纳载体322的附近，在势垒层384形成有到达势垒层383的开口部392，在开口部392内设置有上部s波超导体层332。上部s波超导体层332例如是Al层。上部s波超导体层332是第二s波超导体层的一例。

[0122] 如图30和图32所示，在势垒层383和384形成有到达下部马约拉纳载体321的开口部393，在开口部393内形成有下部电极351。如图30、图32以及图34所示，在俯视观察时下部马约拉纳载体321与上部马约拉纳载体322重叠的区域中，在势垒层384之上形成有上部电极352。设置有向在X方向上相邻的1个下部电极351与1个上部电极352之间施加电压的电源353。针对每一个下部电极351以及上部电极352的组而设置电源353。

[0123] 在量子比特电路3中，在下部马约拉纳载体321中的俯视观察时与上部马约拉纳载体322重叠的部分和上部马约拉纳载体322中的俯视观察时与下部马约拉纳载体321重叠的部分能够存在马约拉纳粒子。而且，例如，在这些能够存在马约拉纳粒子的部分中，下部马约拉纳载体321中的俯视观察时与上部马约拉纳载体322重叠的部分作为第一区域371而发挥功能，上部马约拉纳载体322中的俯视观察时与下部马约拉纳载体321重叠的部分作为第二区域372而发挥功能。

[0124] 另外，通过控制下部s波超导体层331的状态，能够在X轴方向上相邻的2个第一区域371之间交换马约拉纳粒子。同样地，通过控制上部s波超导体层332的状态，能够在Y轴方向上相邻的2个第二区域372之间交换马约拉纳粒子。进而，通过调整从电源353施加的门极电压，能够在Z轴方向上相邻的第一区域371与第二区域372之间交换马约拉纳粒子。

[0125] 需要说明的是，作为马约拉纳载体，也可以使用石墨烯纳米带。

[0126] 如图35所示，这些实施方式的量子比特电路1、2、3例如能够作为量子比特电路401内置于量子计算机400中来使用。

[0127] 以上，对优选的实施方式等进行了详细说明，但并不限定于上述的实施方式等，在不脱离权利要求书所记载的范围的情况下，能够对上述的实施方式等施加各种变形以及替换。

[0128] 标记说明

[0129] 1、2、3、401：量子比特电路

[0130] 110：基板

[0131] 121、321：下部马约拉纳载体

[0132] 122、322：上部马约拉纳载体

[0133] 131、132、331：下部s波超导体层

[0134] 133、332:上部s波超导体层

[0135] 140、241、242:蚀刻阻挡部

[0136] 161～164:边缘

[0137] 171～178、371、372:区域

[0138] 250:半导体层

[0139] 251、351:下部电极

[0140] 252、352:上部电极

[0141] 253、353:电源

[0142] 400:量子计算机

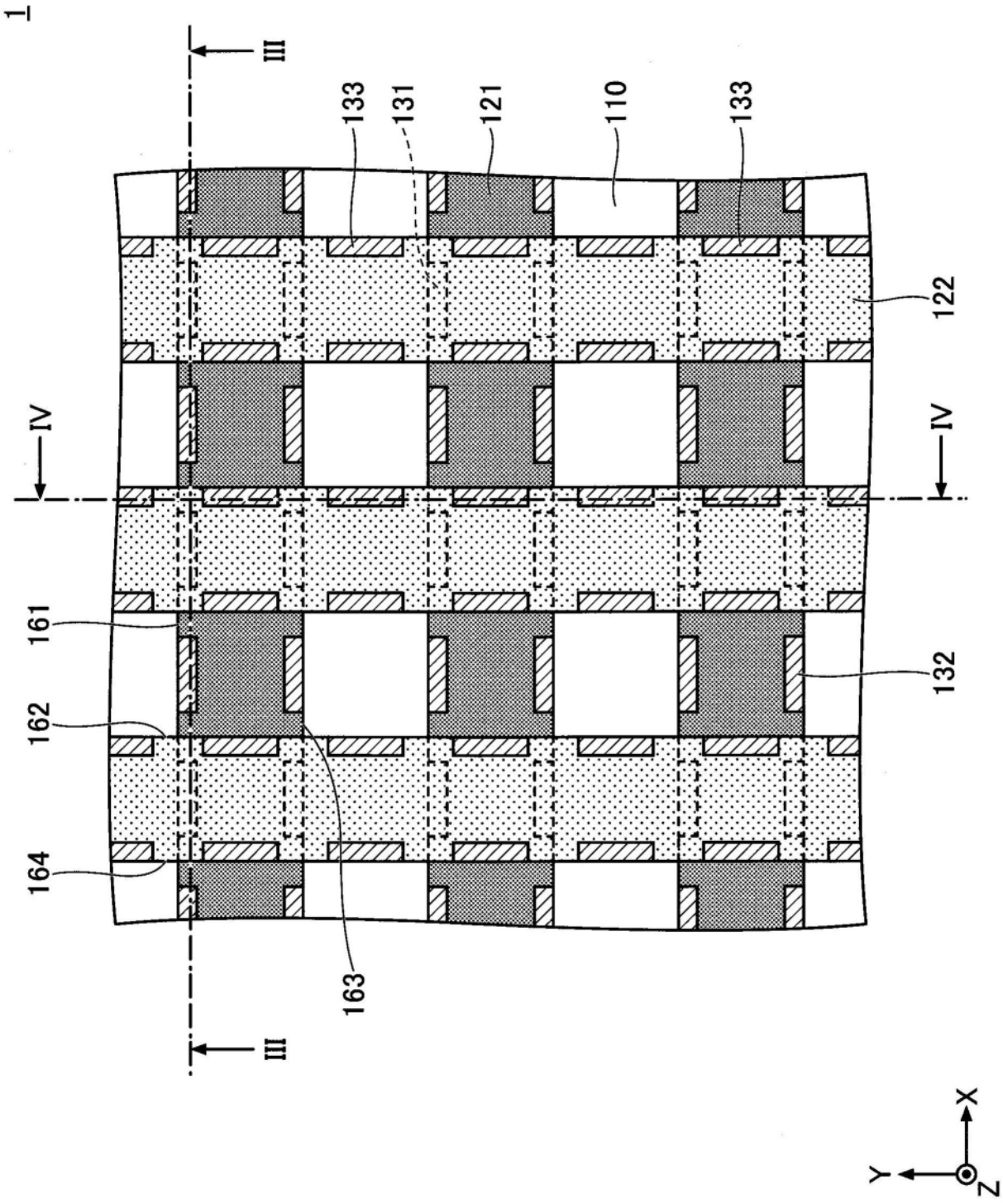


图1

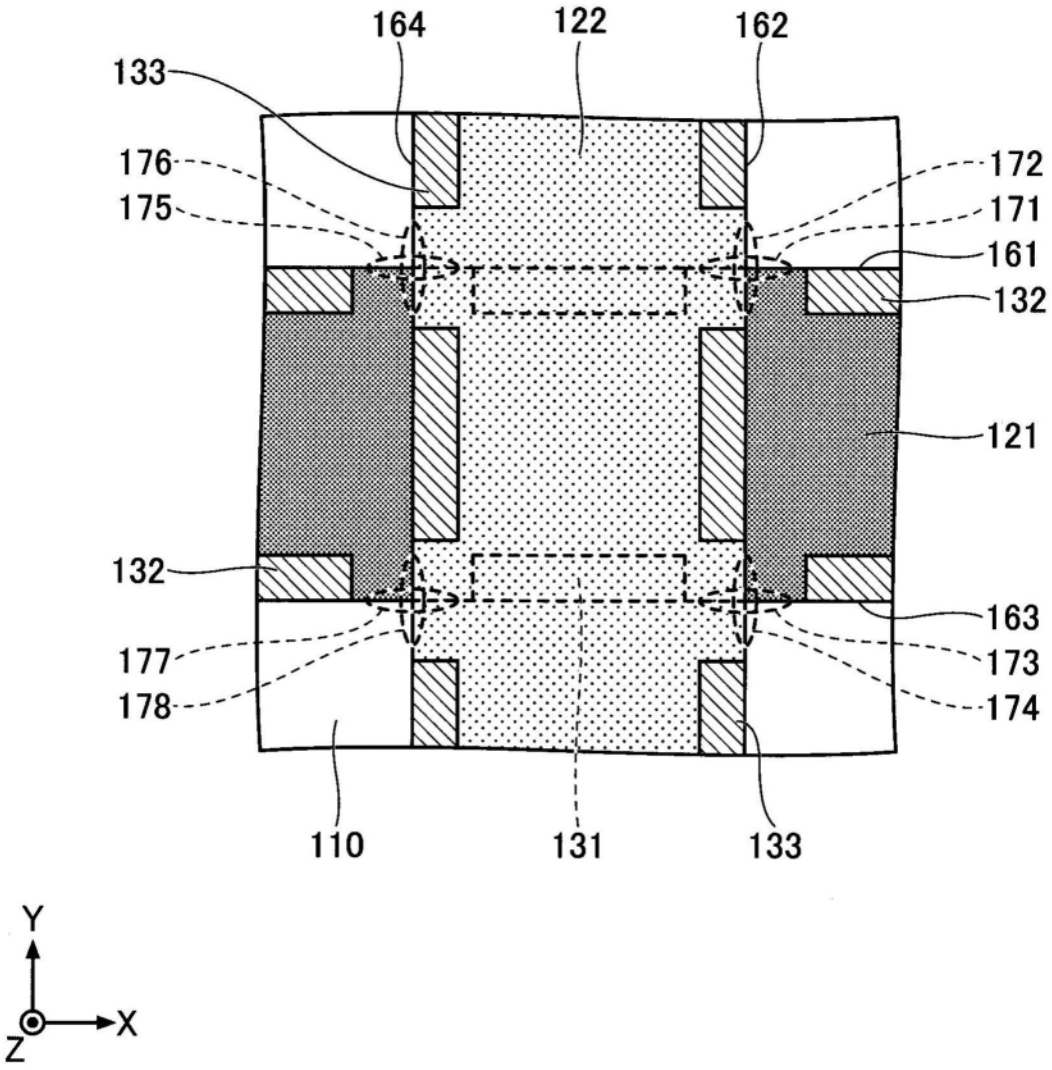

164
122
162
133
176
175
172
171
161
132
121
132
163
177
178
173
174
110
131
133
Y
X
Z

图2

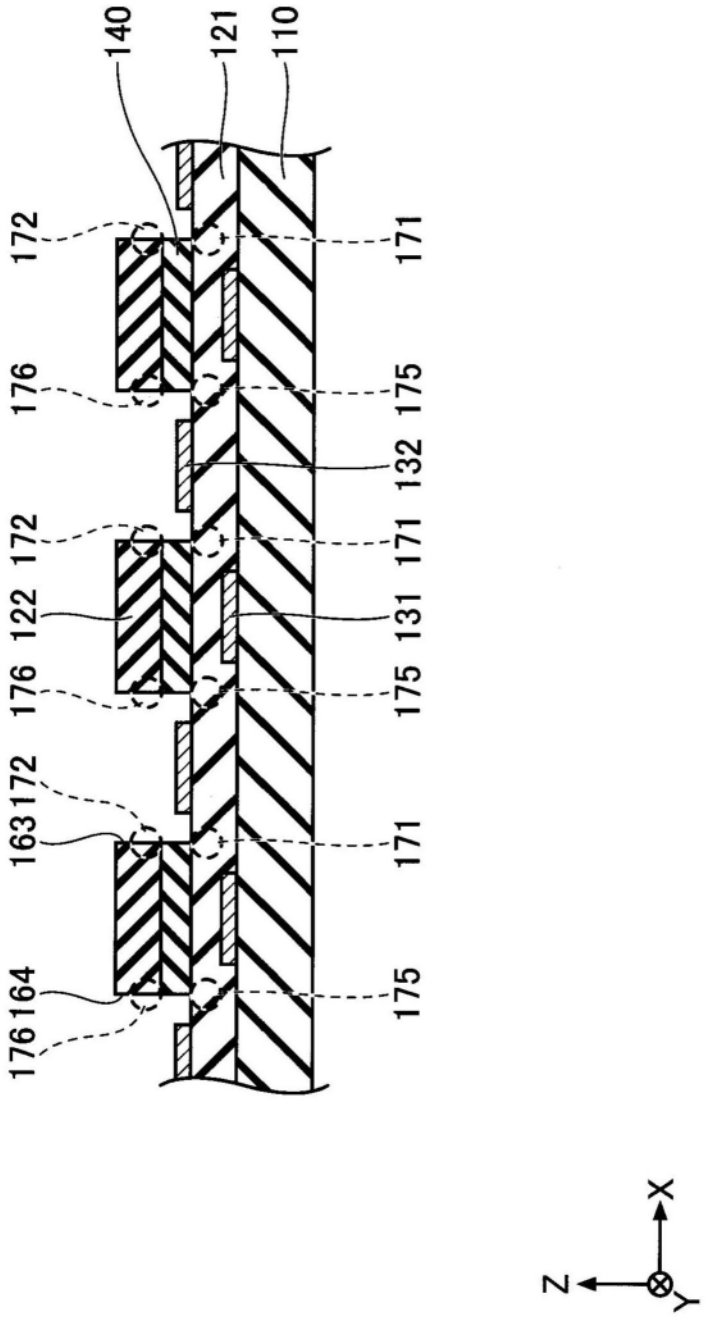

140
121
110
172
171
176
175
132
172
171
122
131
176
175
172
163
171
164
175
176
X
Z
Y

图3

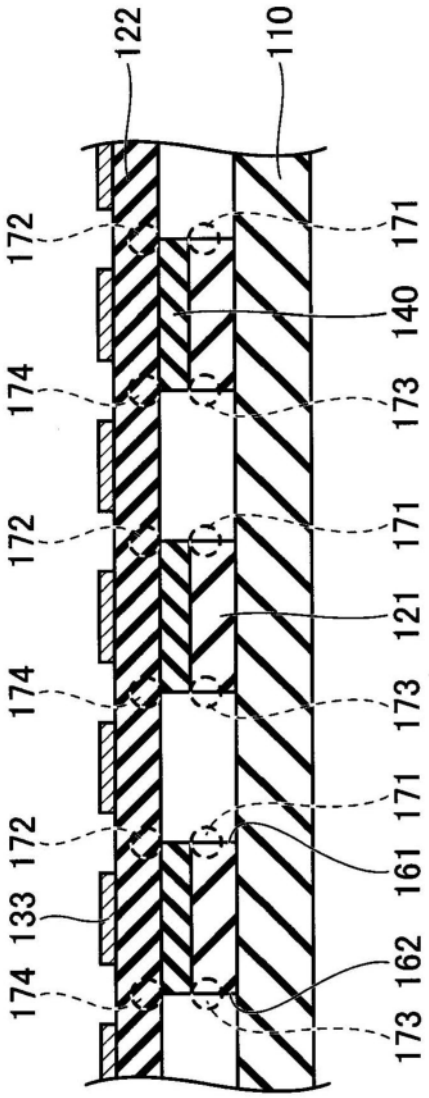

122
110
172
171
140
174
173
172
171
121
174
173
172
171
161
133
174
162
173
Y
Z
X

图4

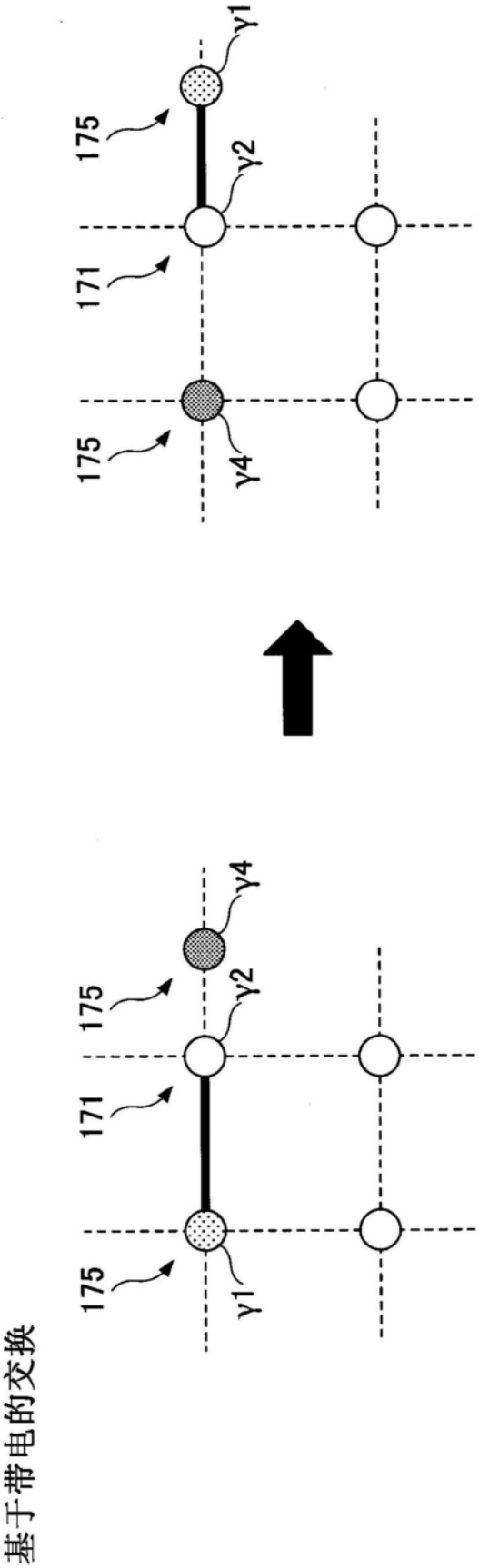


图5

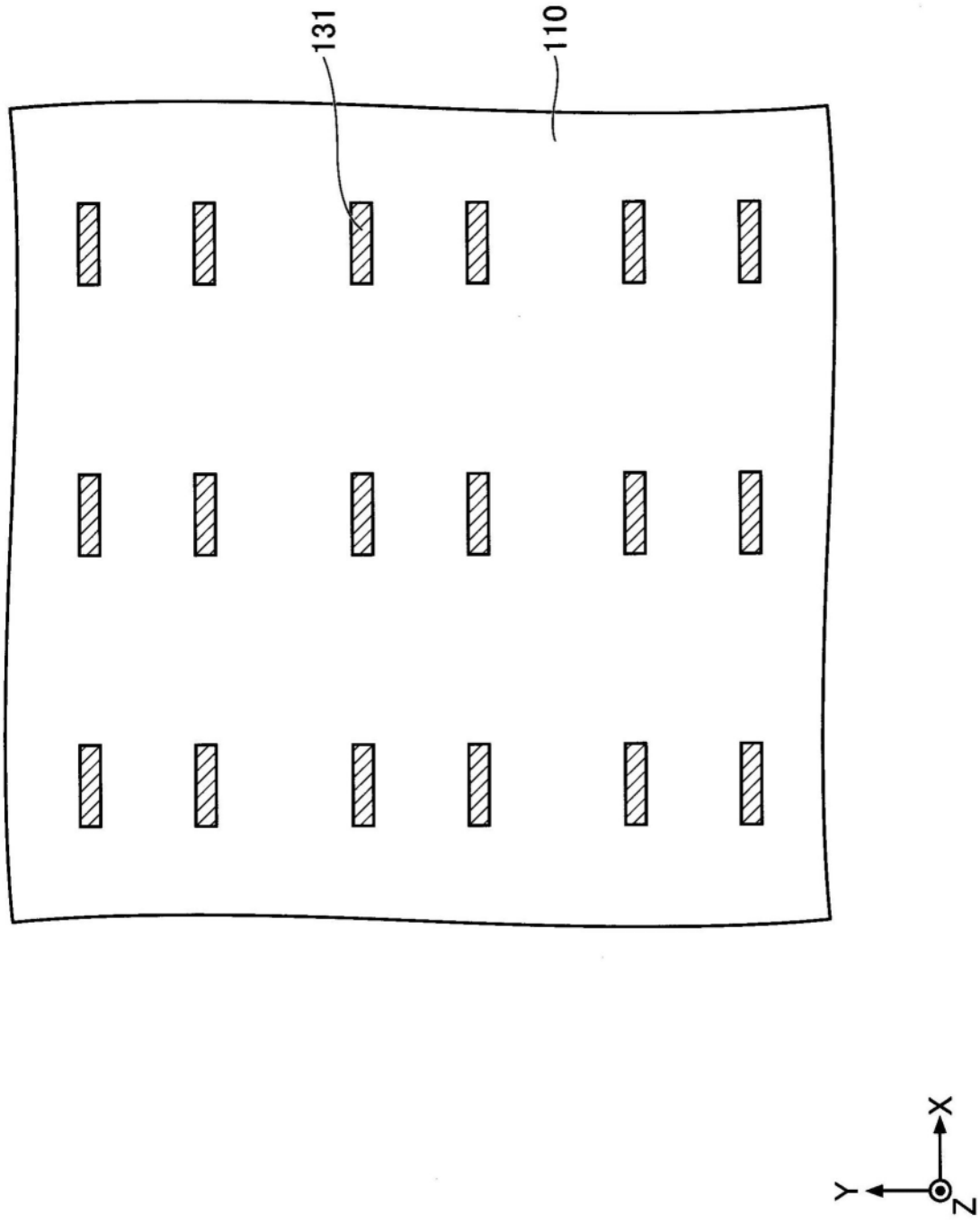


图6

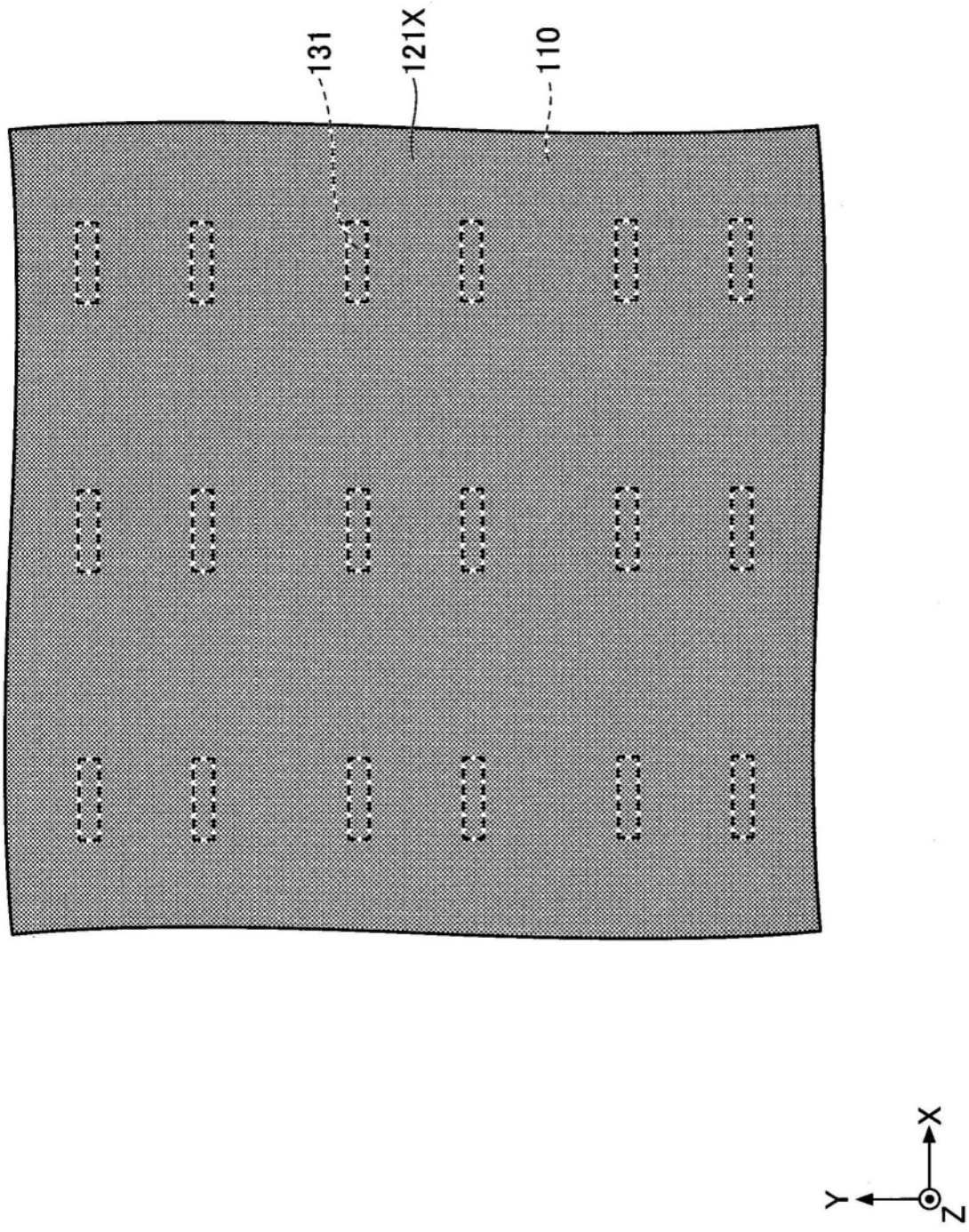


图7

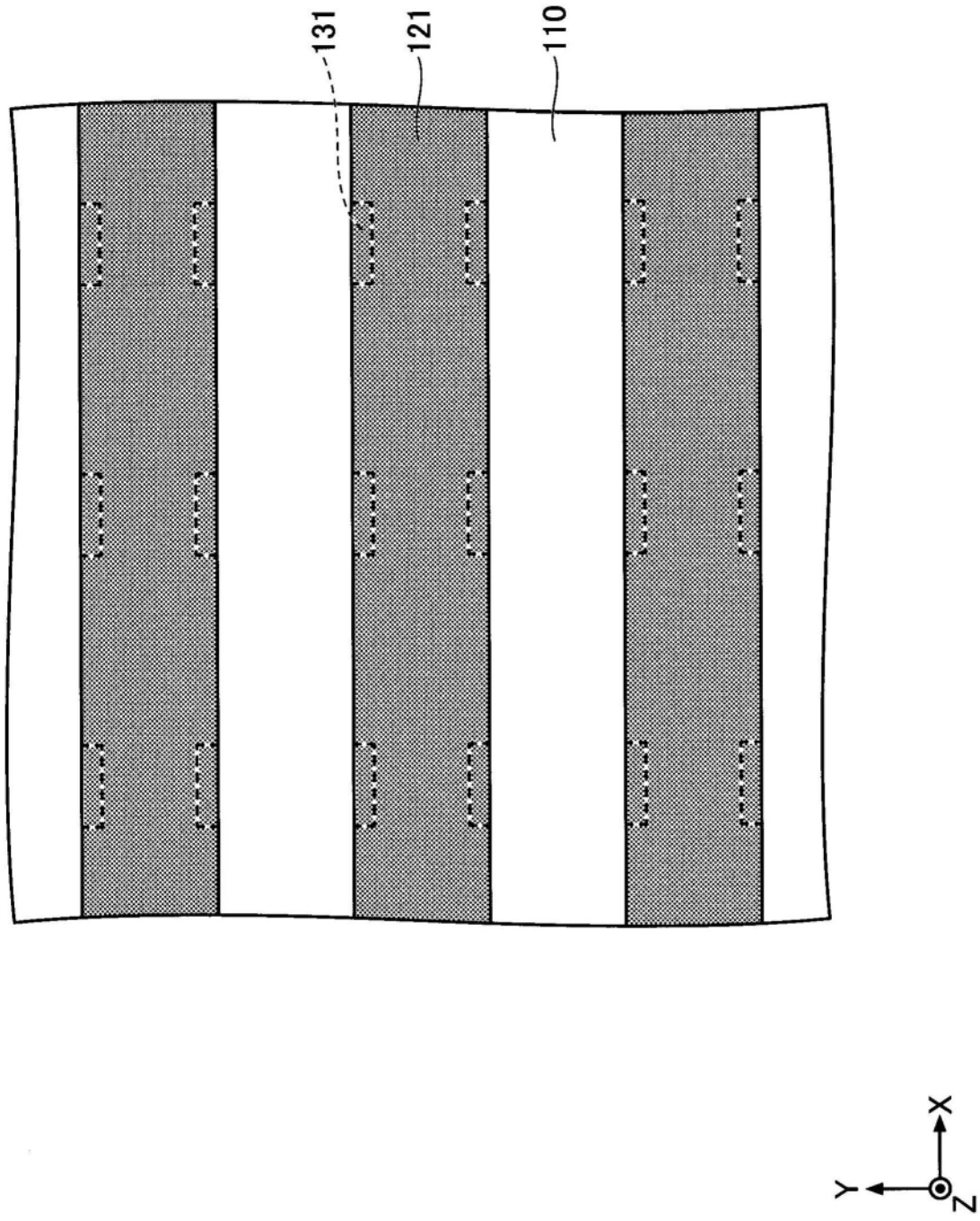


图8

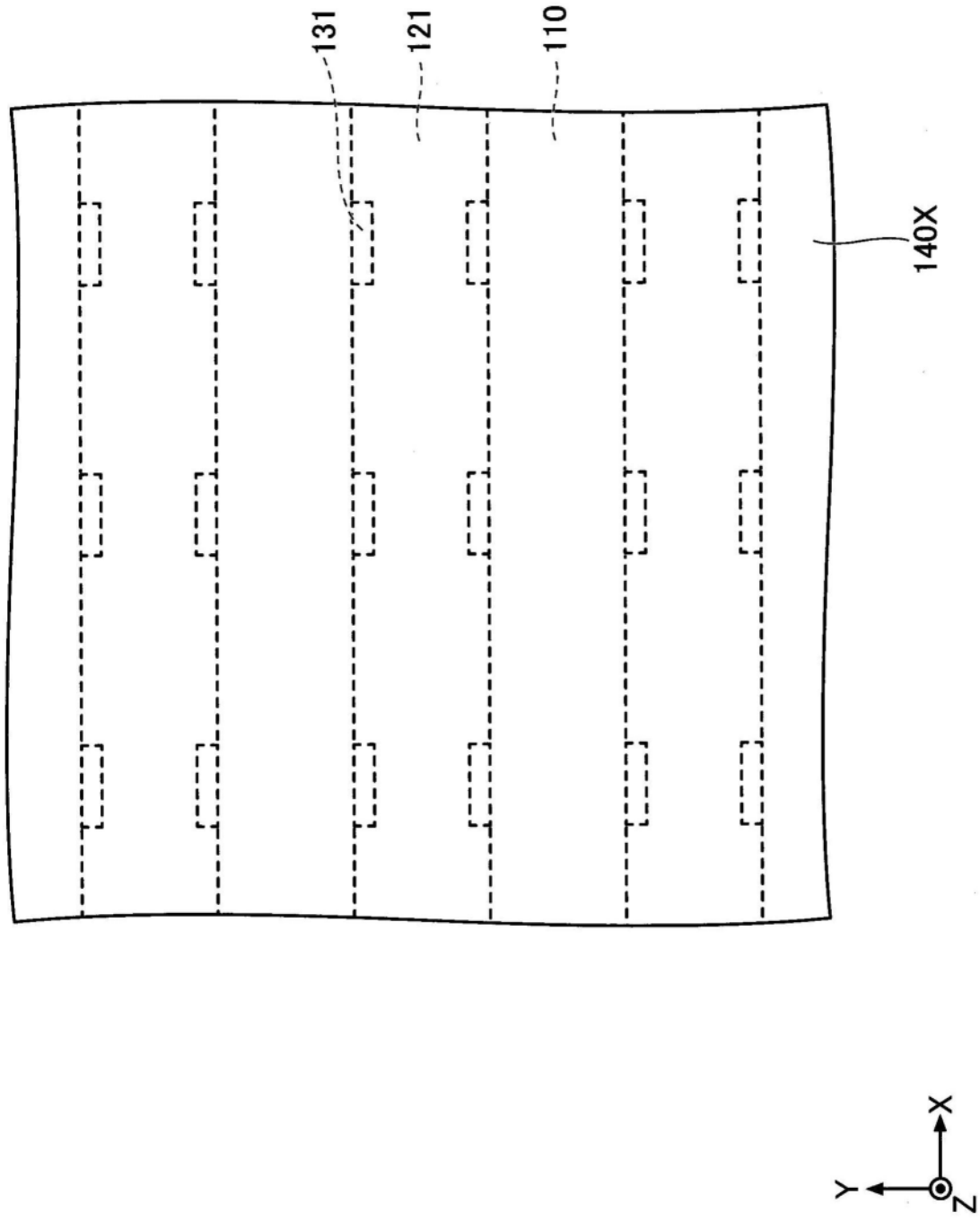


图9

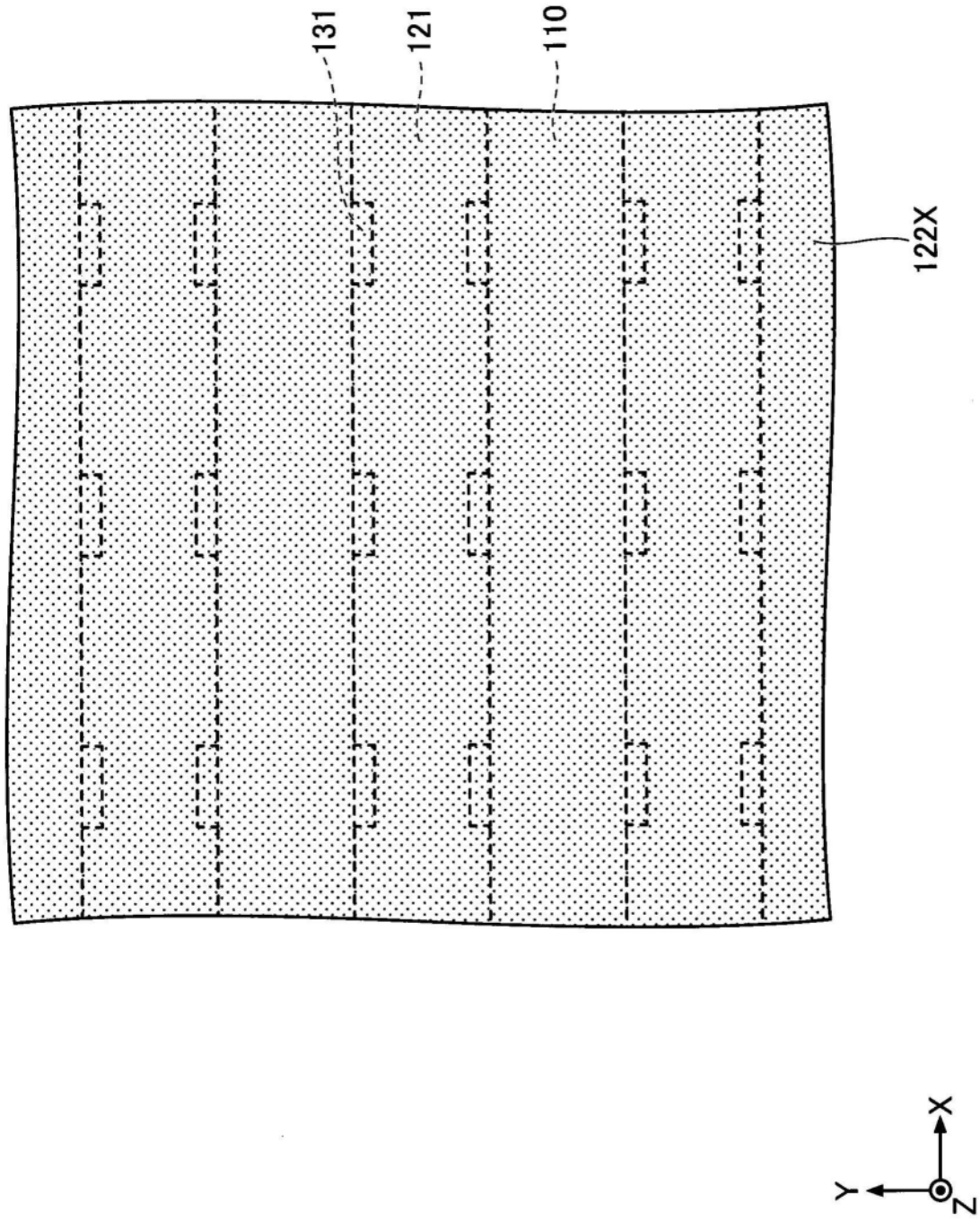


图10

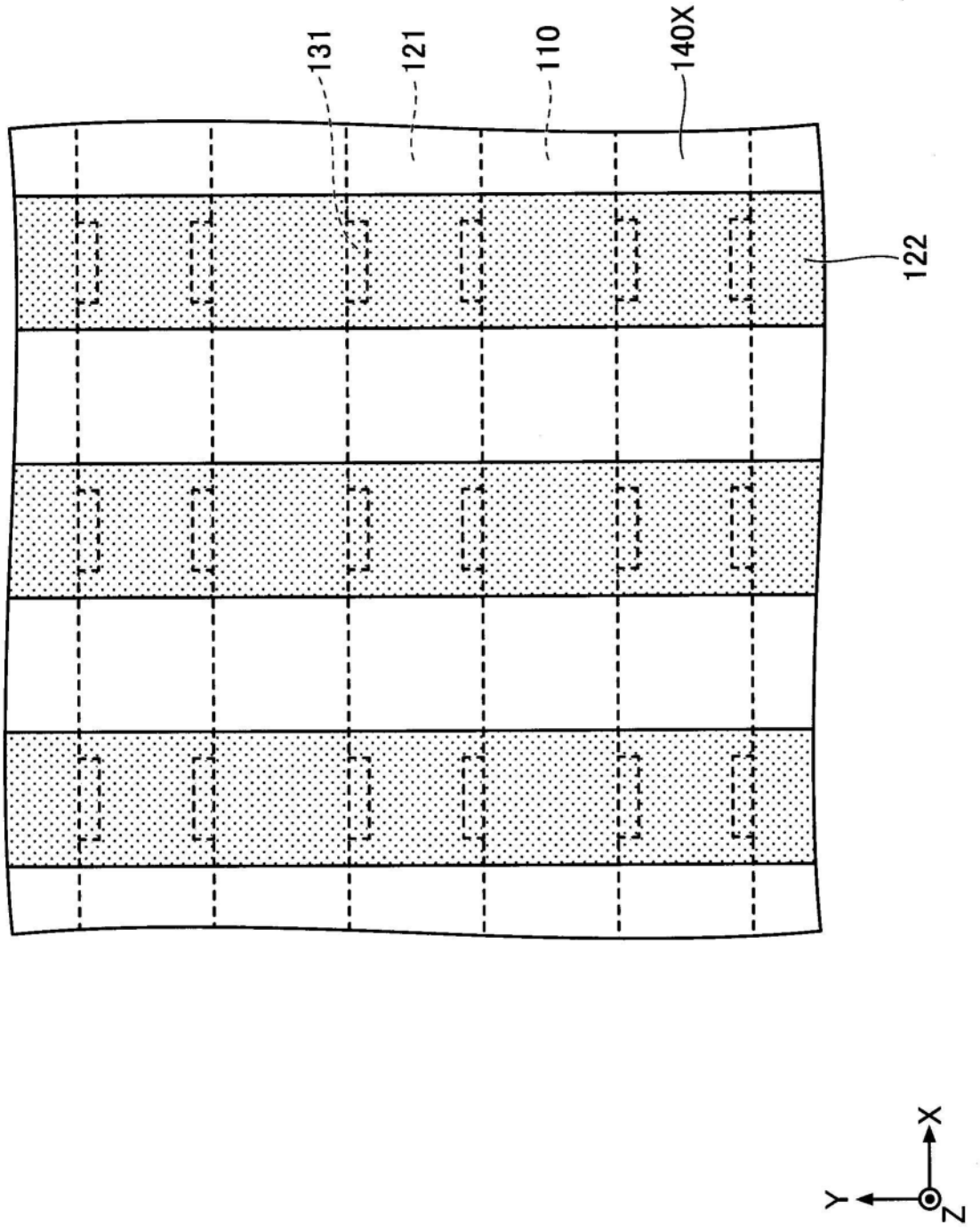


图11

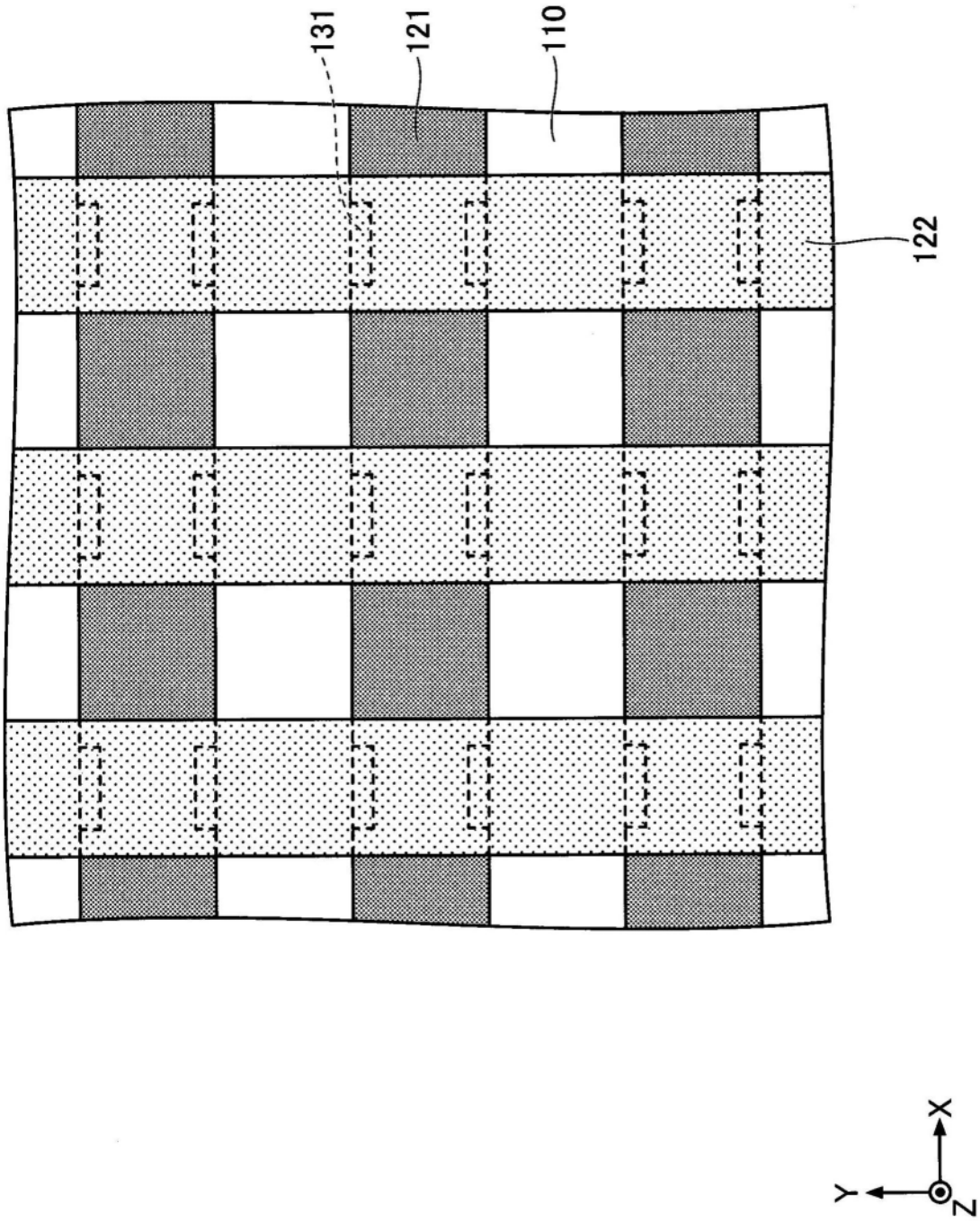


图12

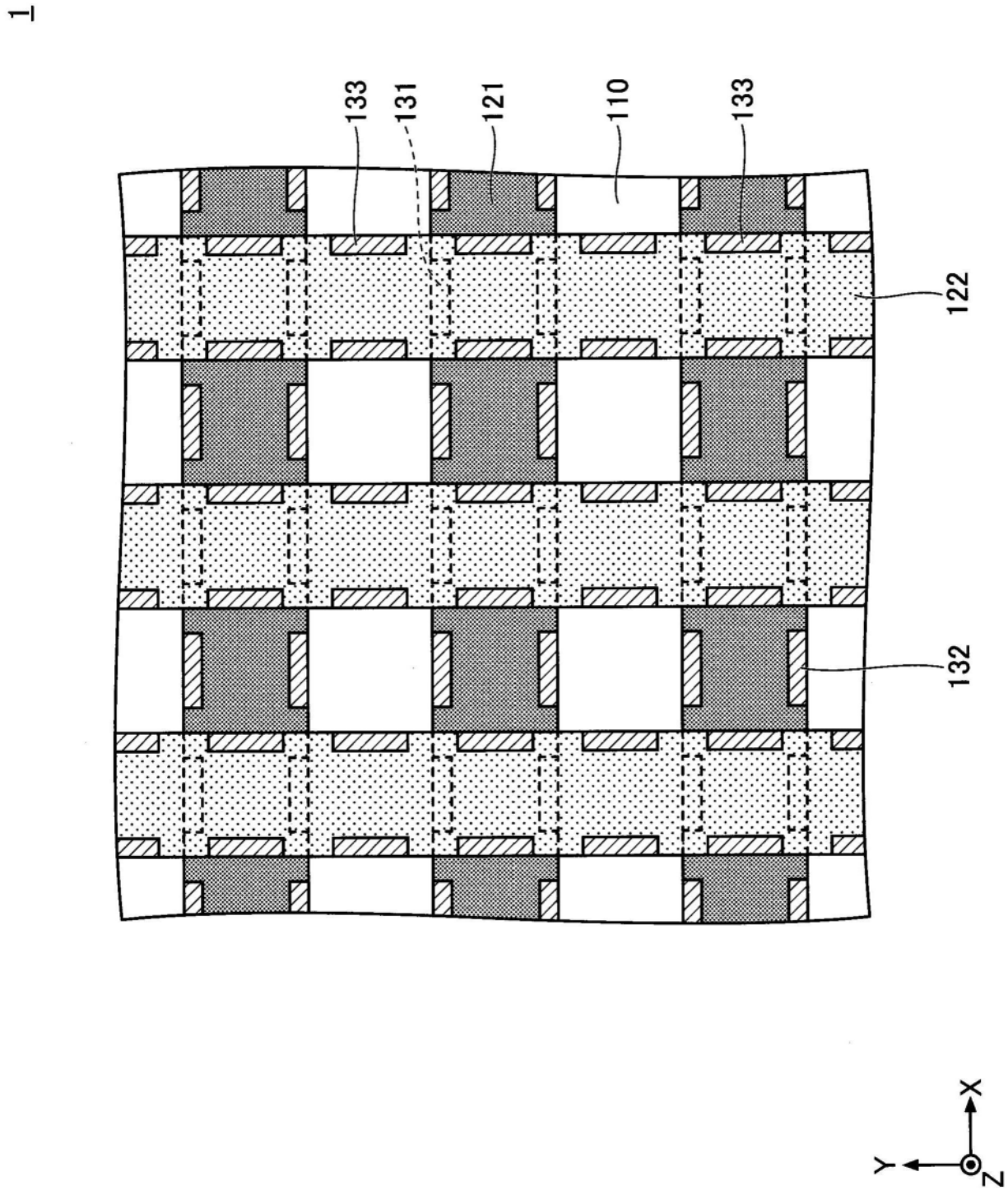


图13

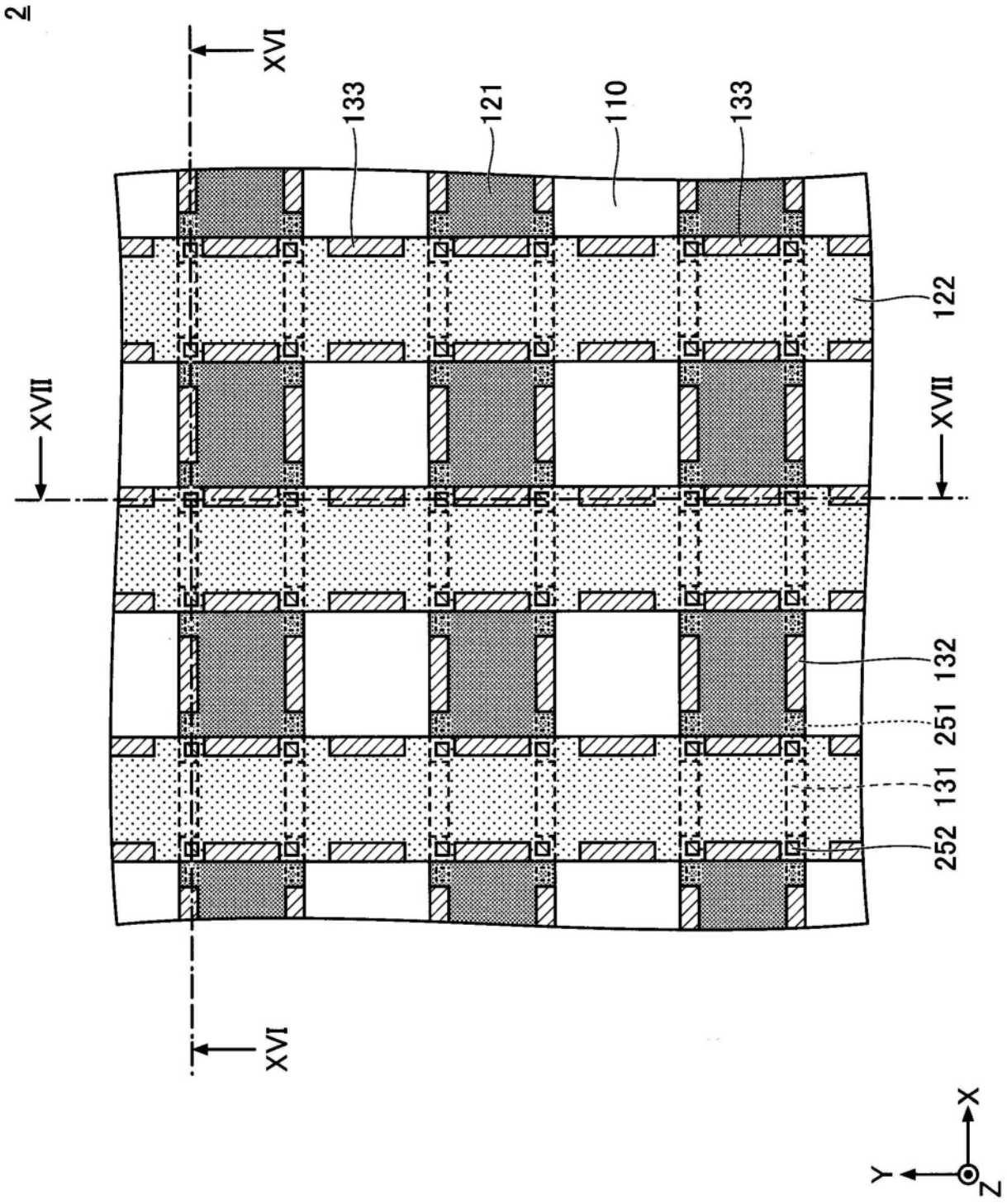


图14

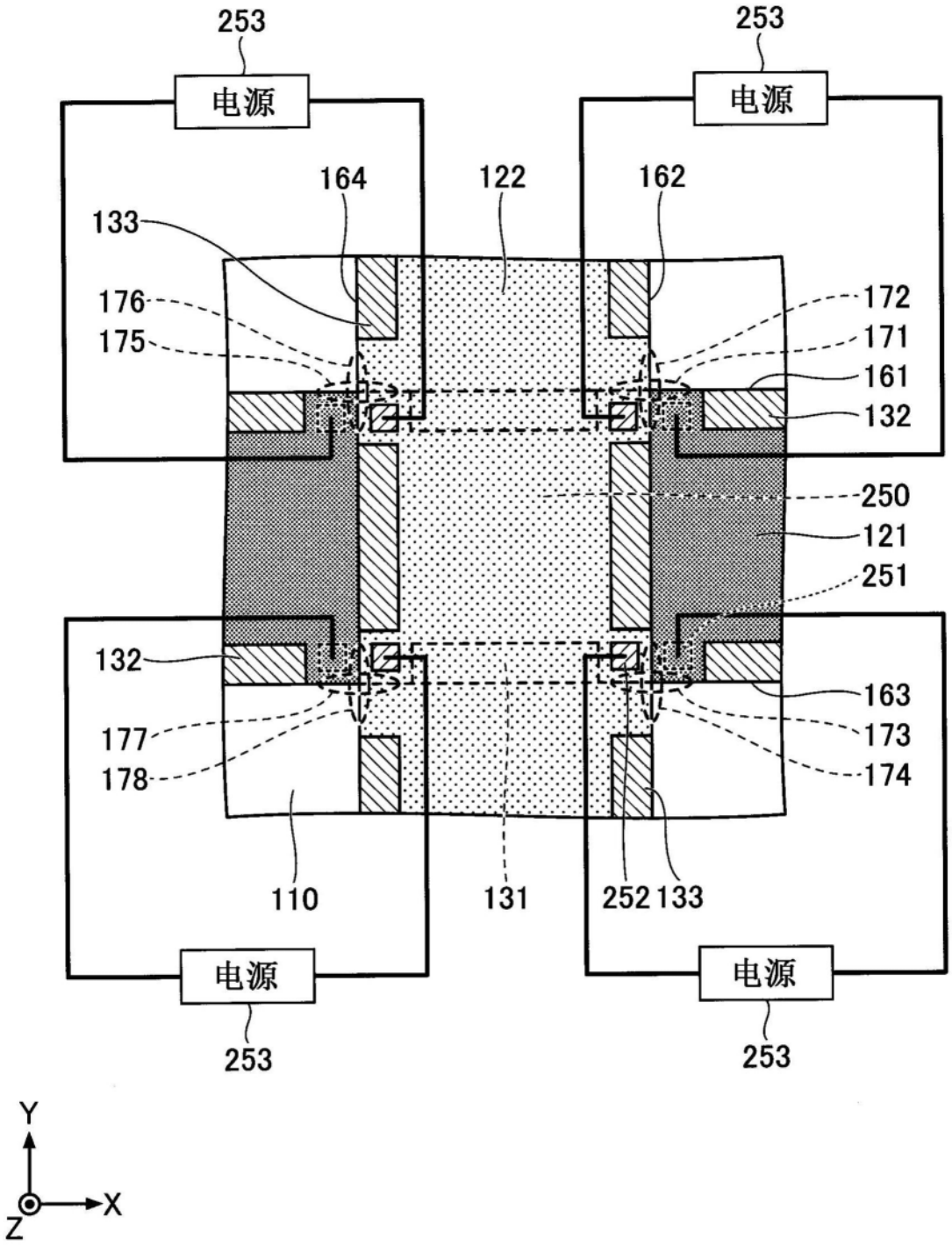

253
电源
253
电源
164
122
162
133
176
175
172
171
161
132
250
121
251
132
163
177
178
173
174
110
131
252
133
电源
电源
253
253
Y
X
Z

图15

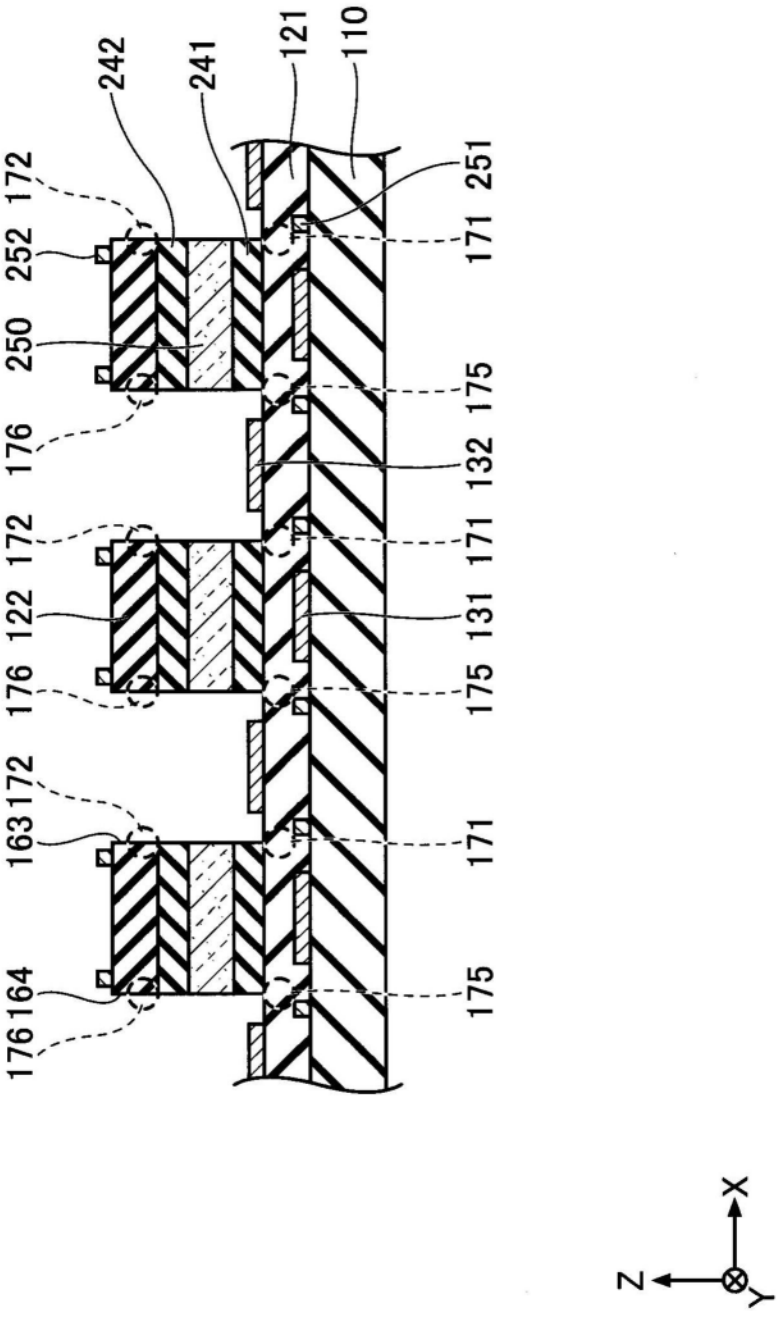

242
241
121
110
172
252
250
176
172
122
176
172
163
164
176
251
171
175
132
171
131
175
171
175
X
Z
Y

图16

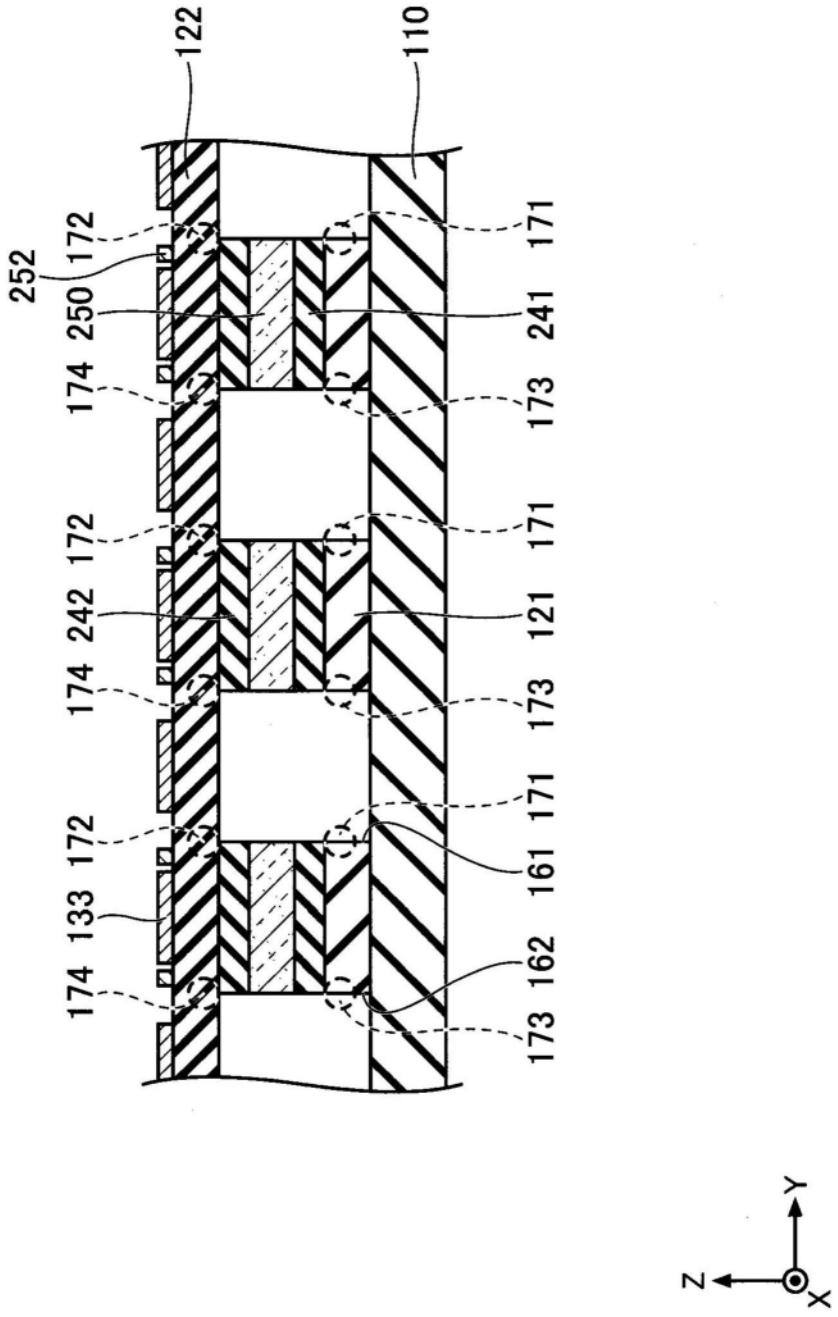


图17

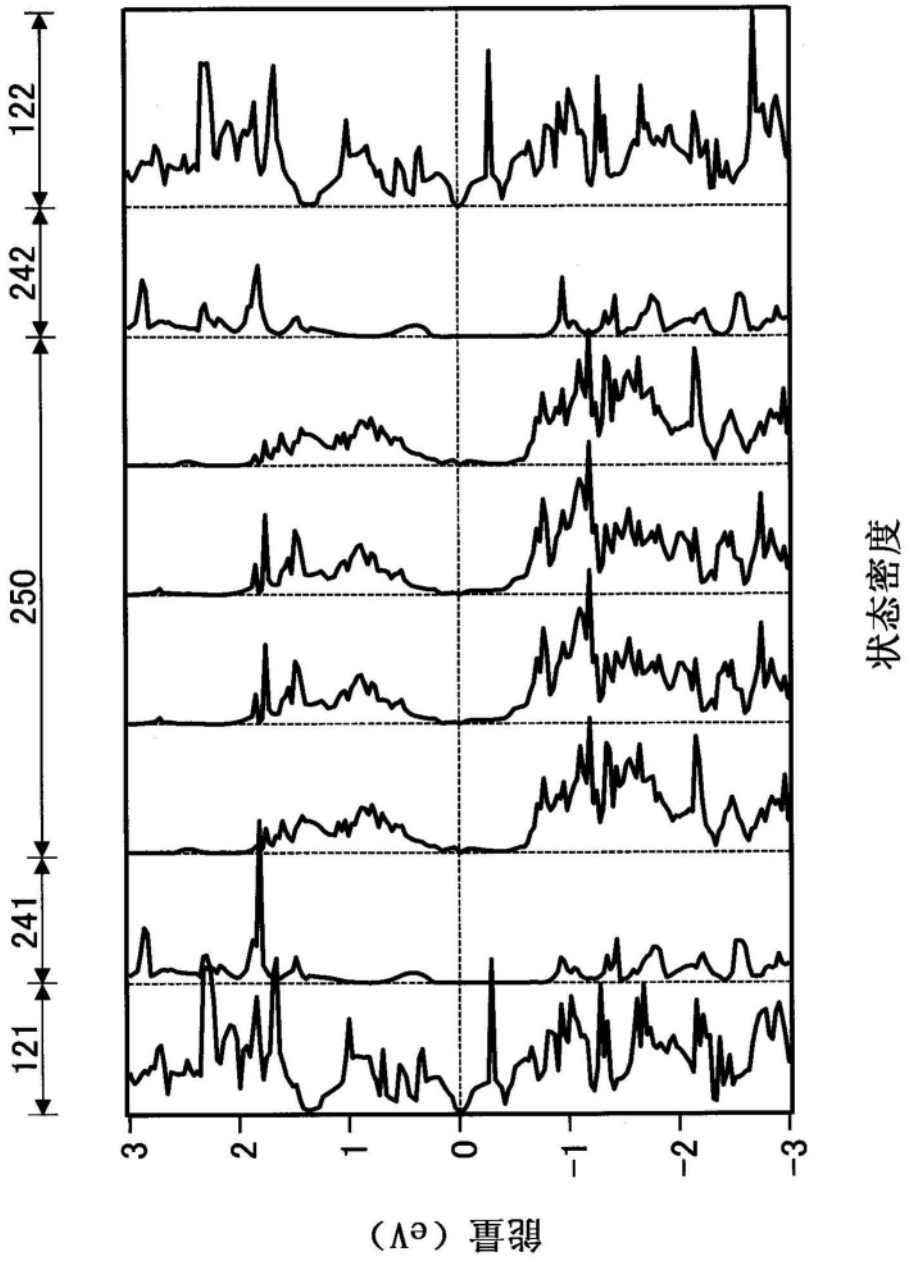


图18

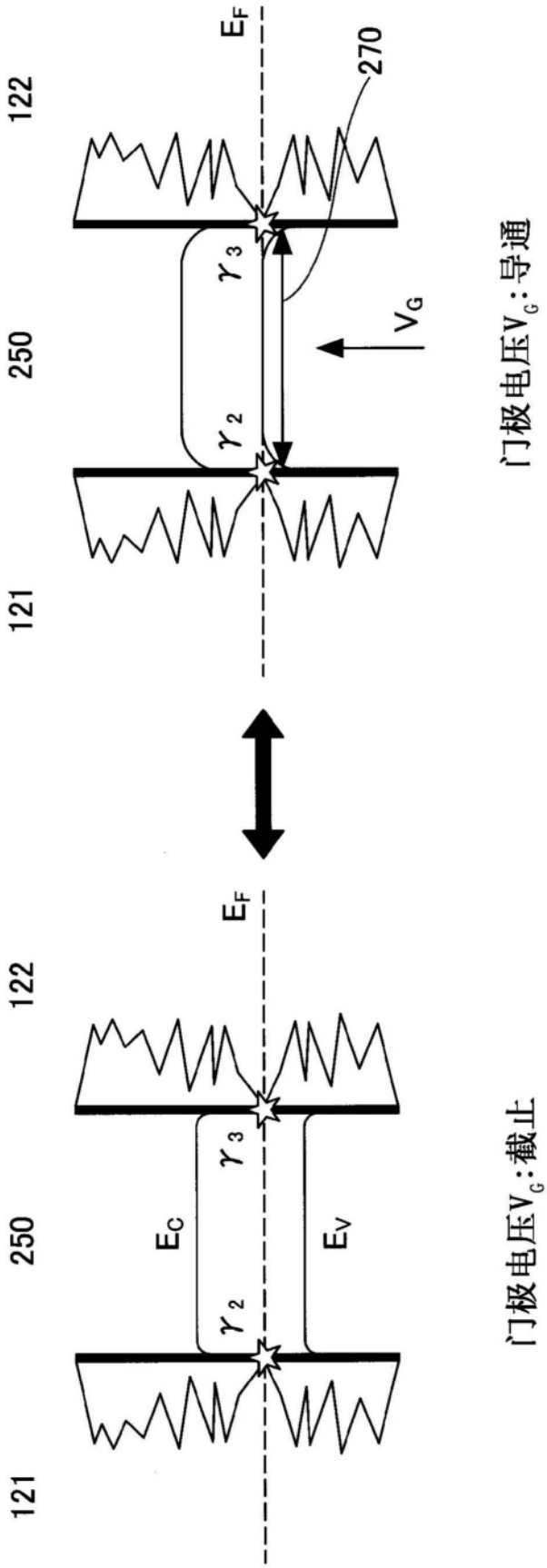

E_F
270
122
γ_3
V_G
250
γ_2
121
门极电压V_G:导通
E_F
122
γ_3
E_C
E_V
250
γ_2
121
门极电压V_G:截止

图19

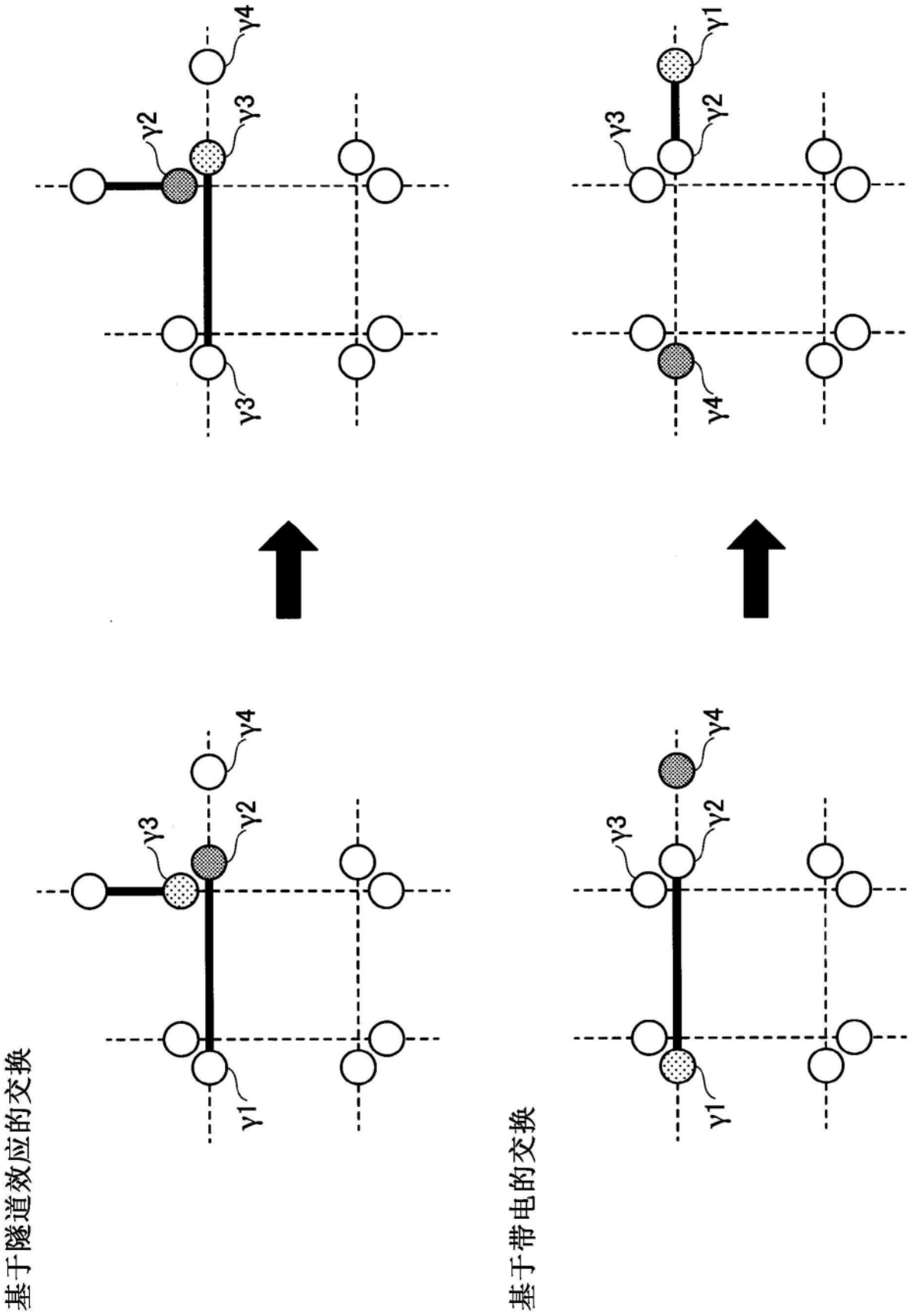


图20

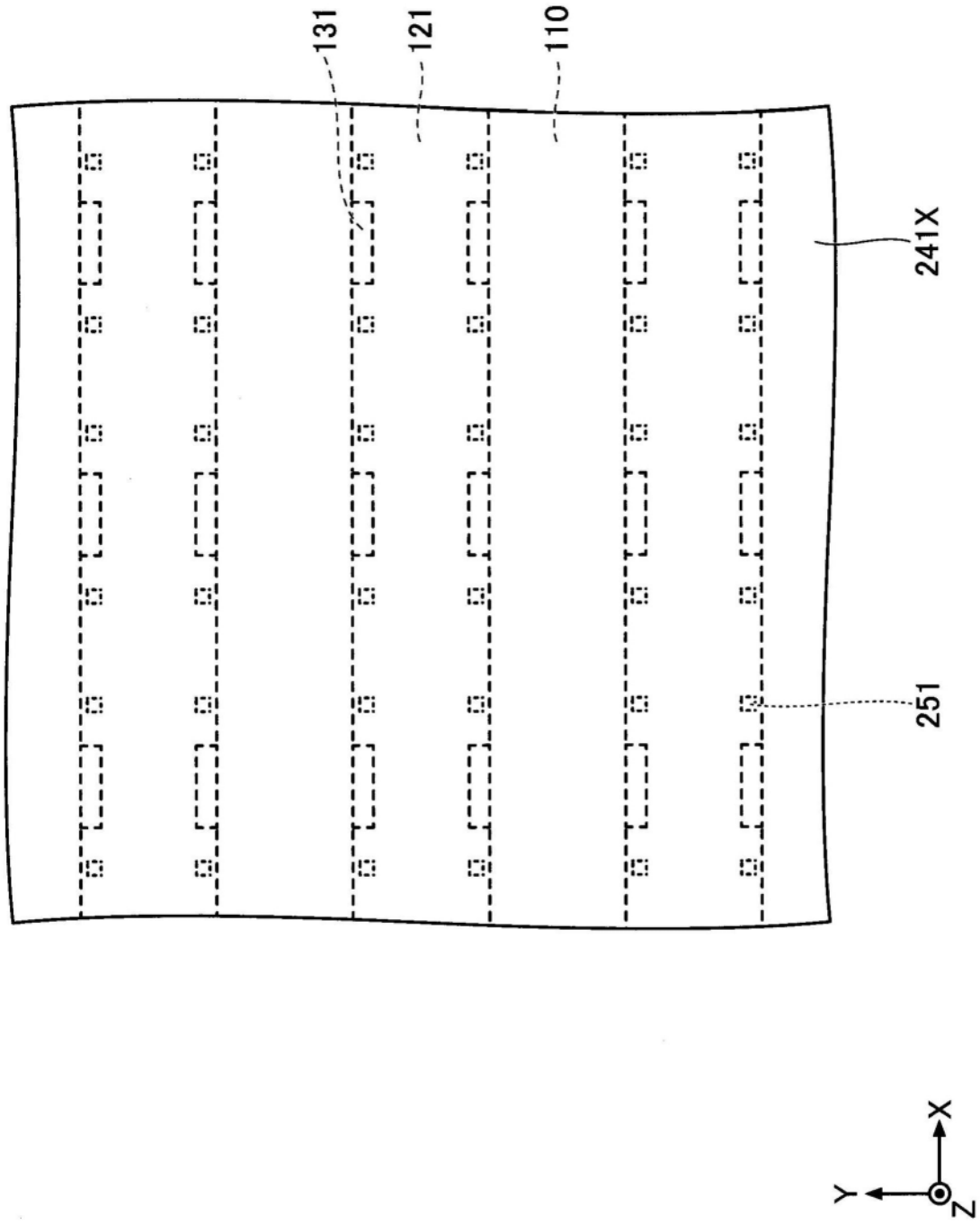


图21

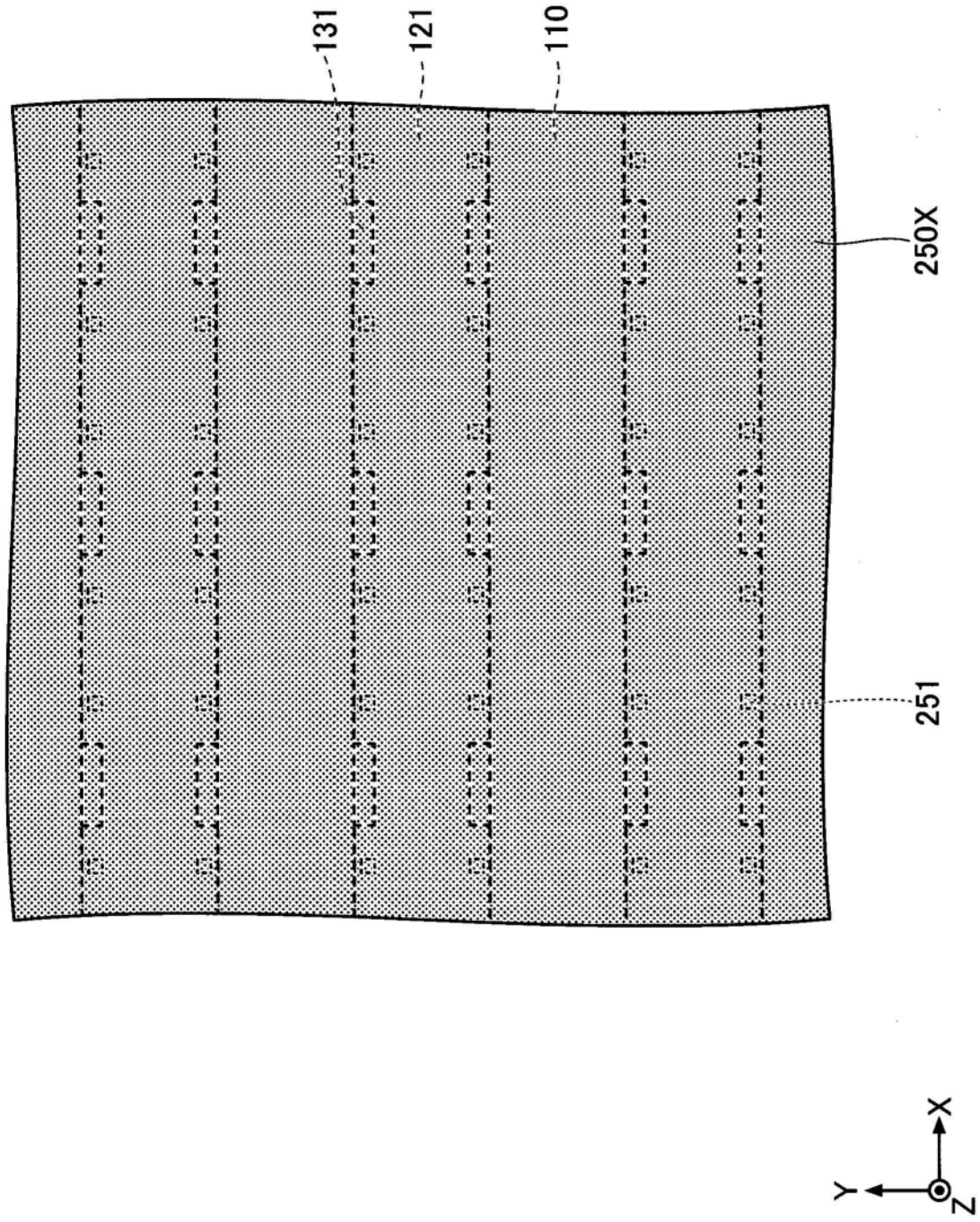


图22

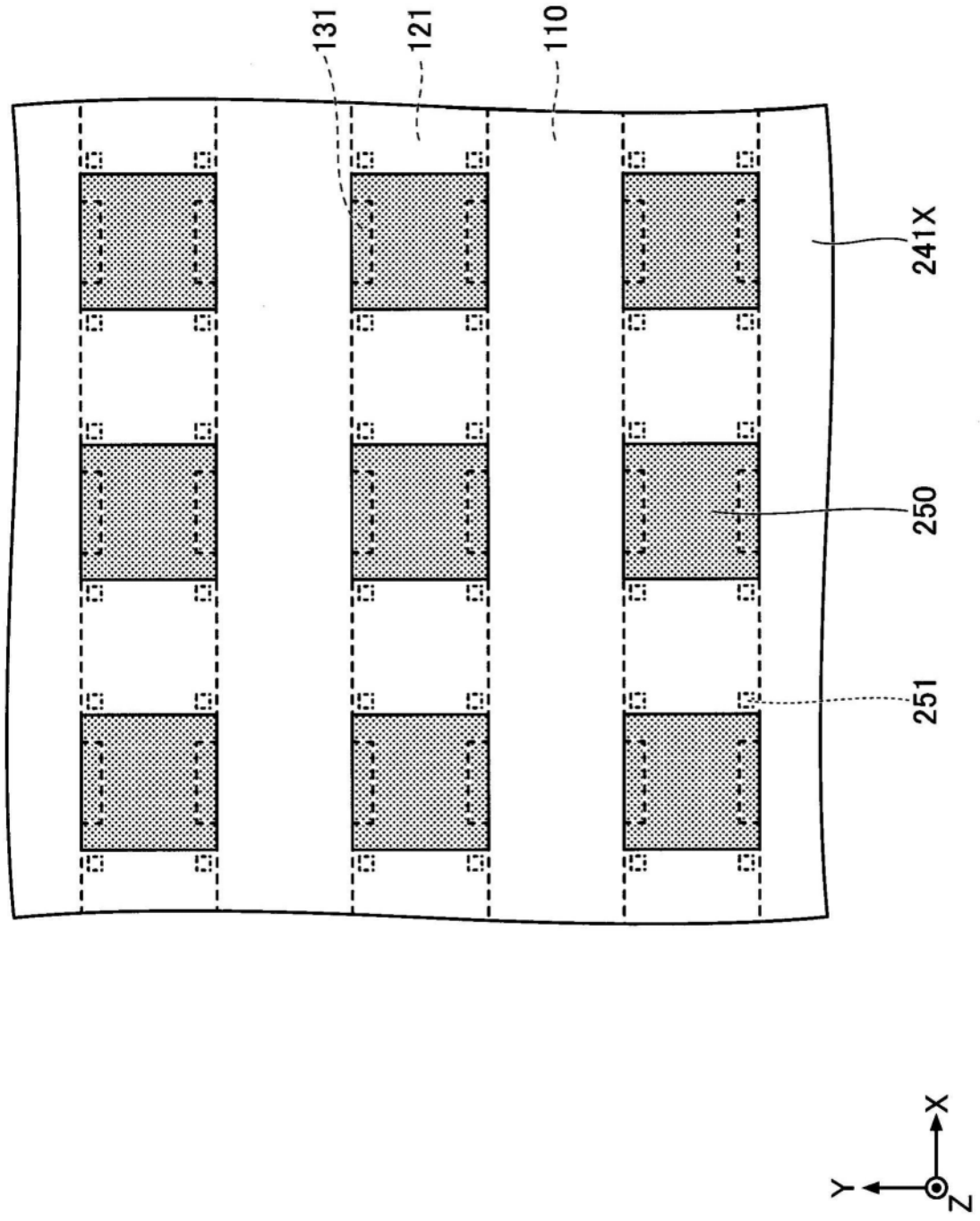


图23

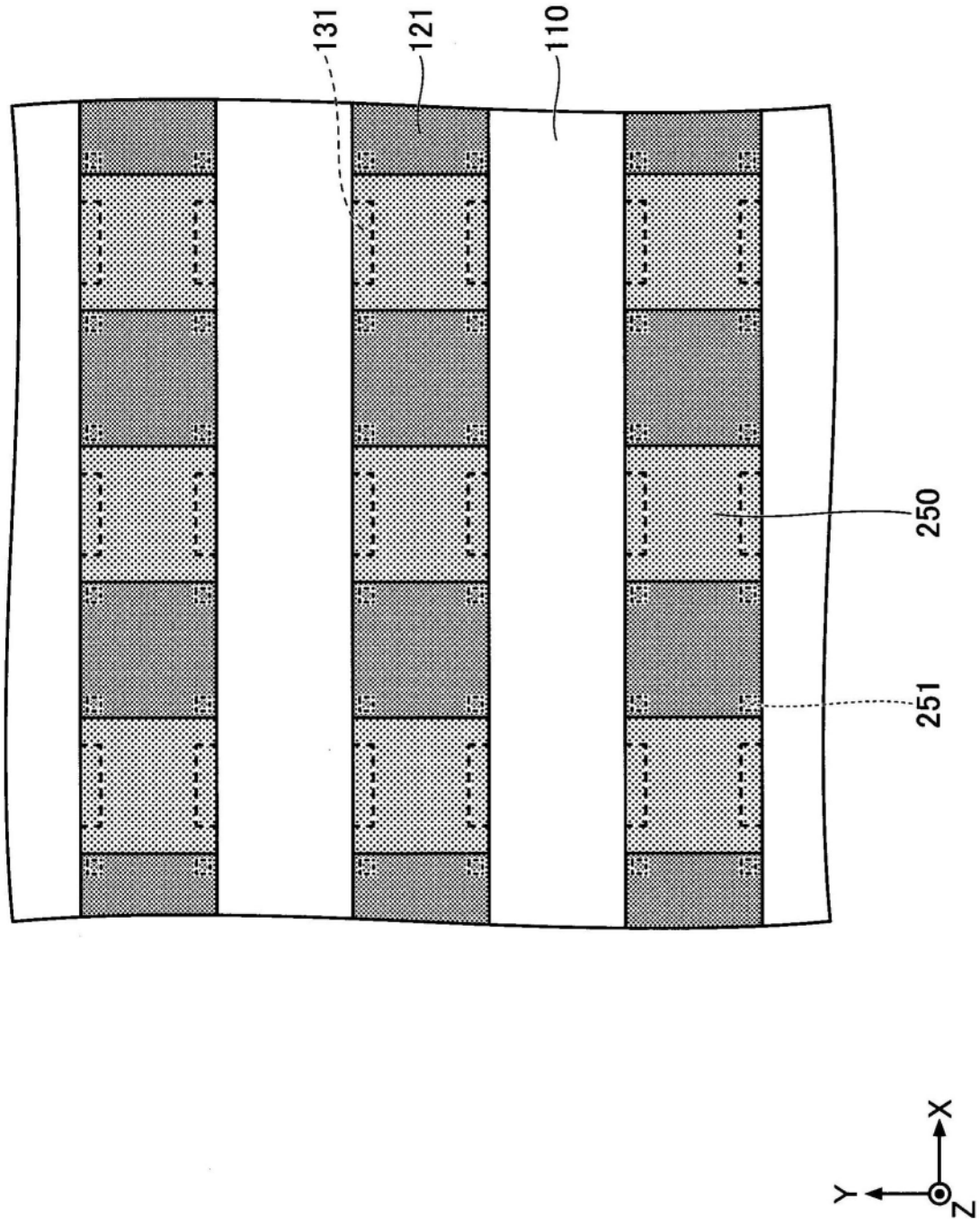


图24

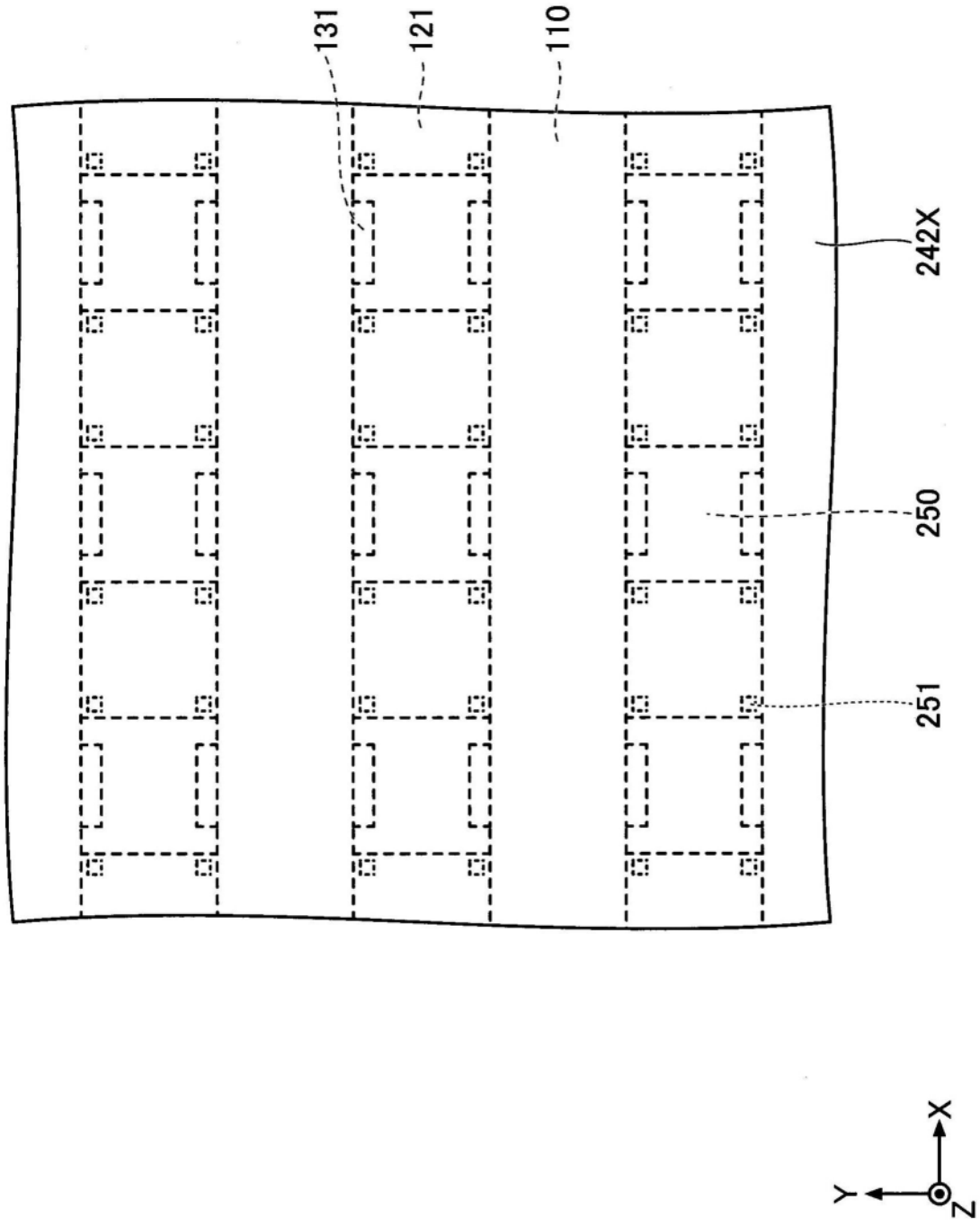


图25

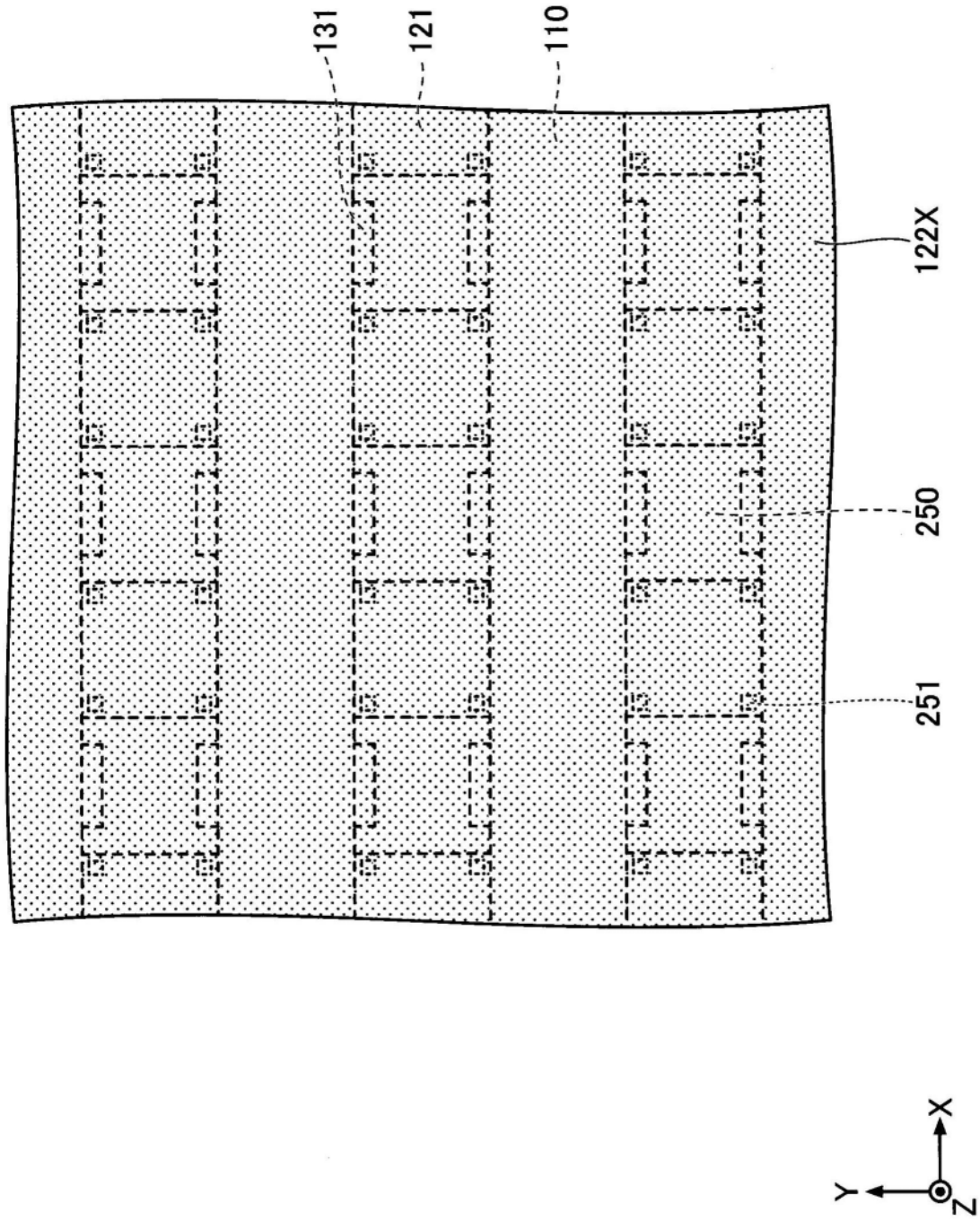


图26

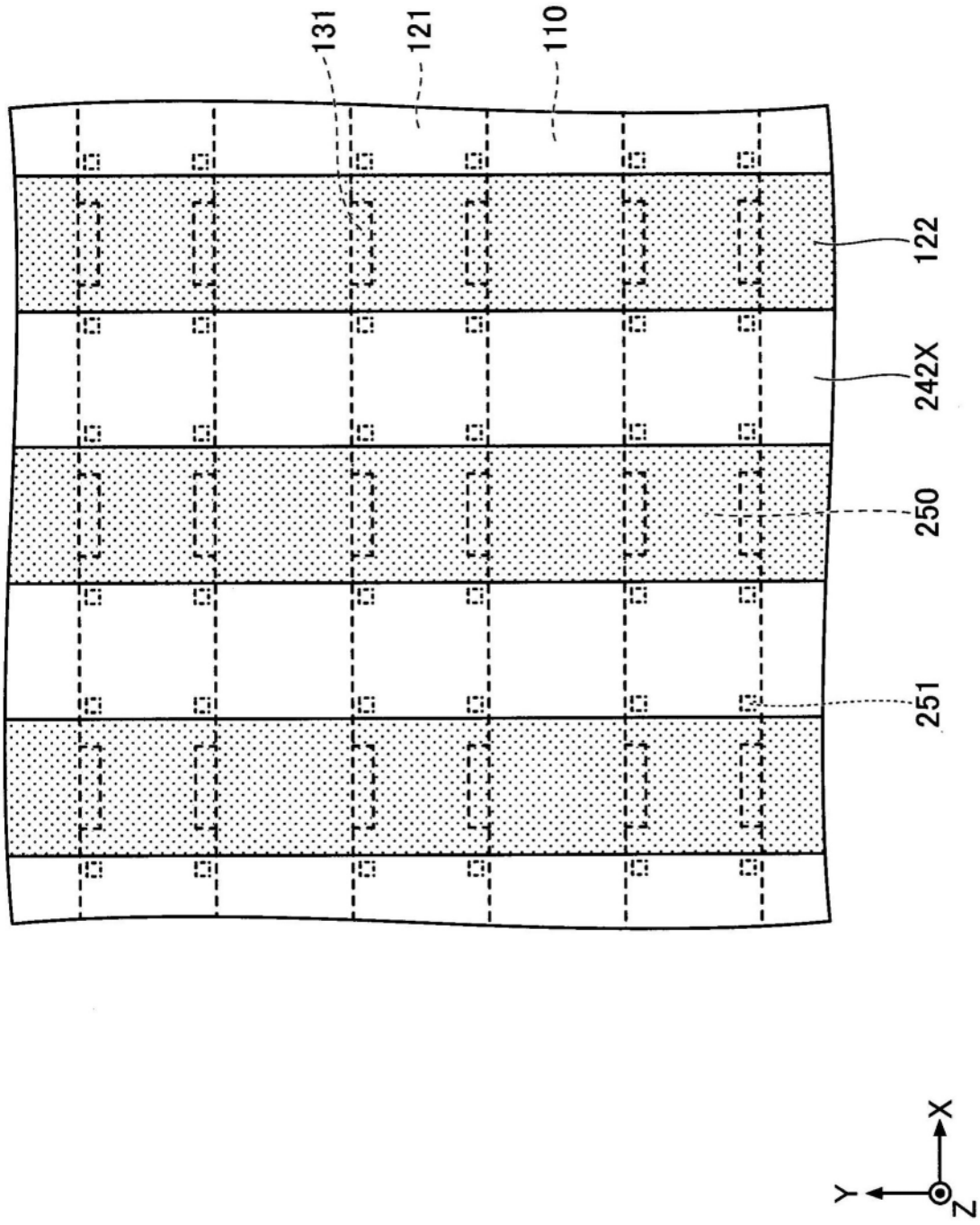


图27

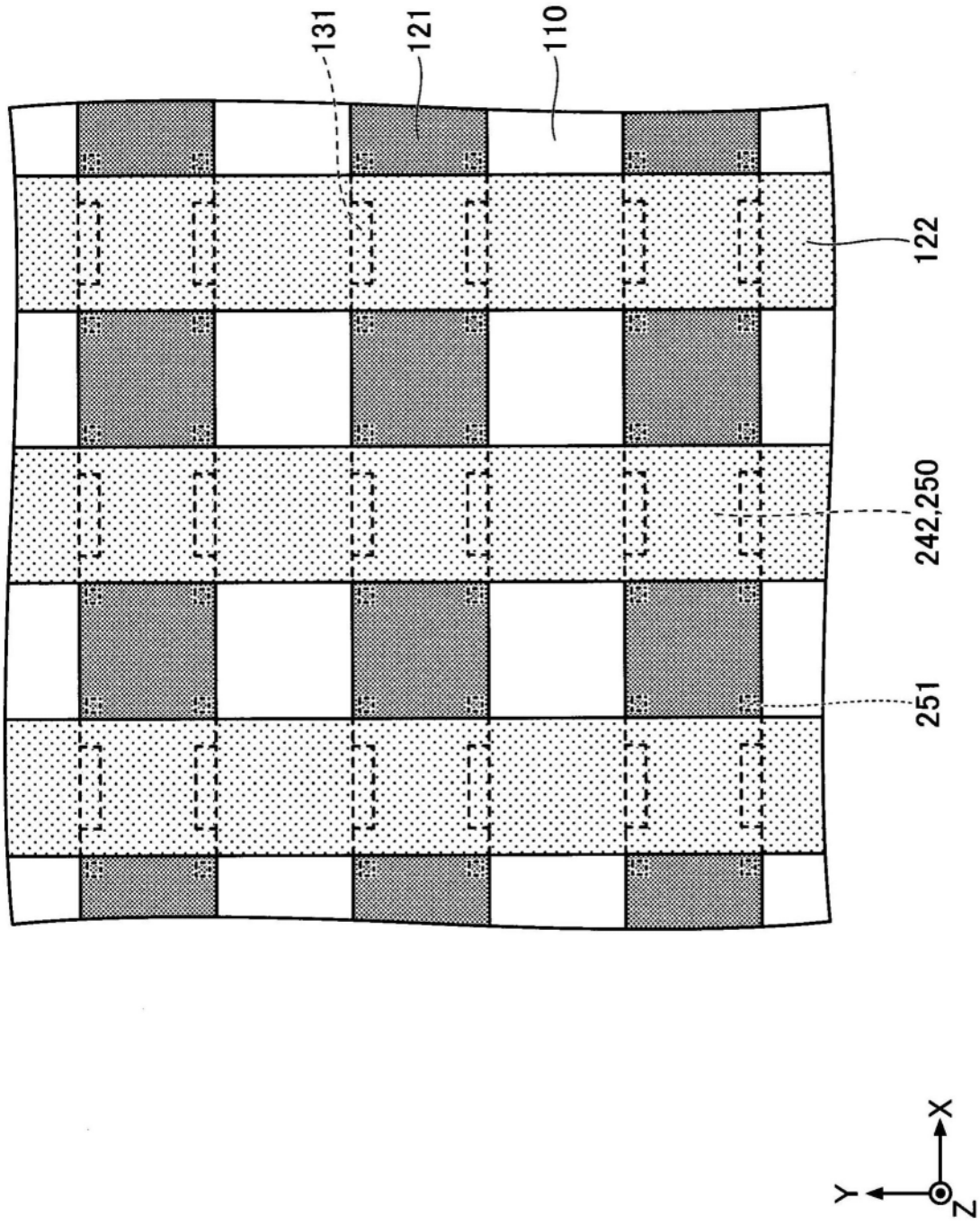


图28

2

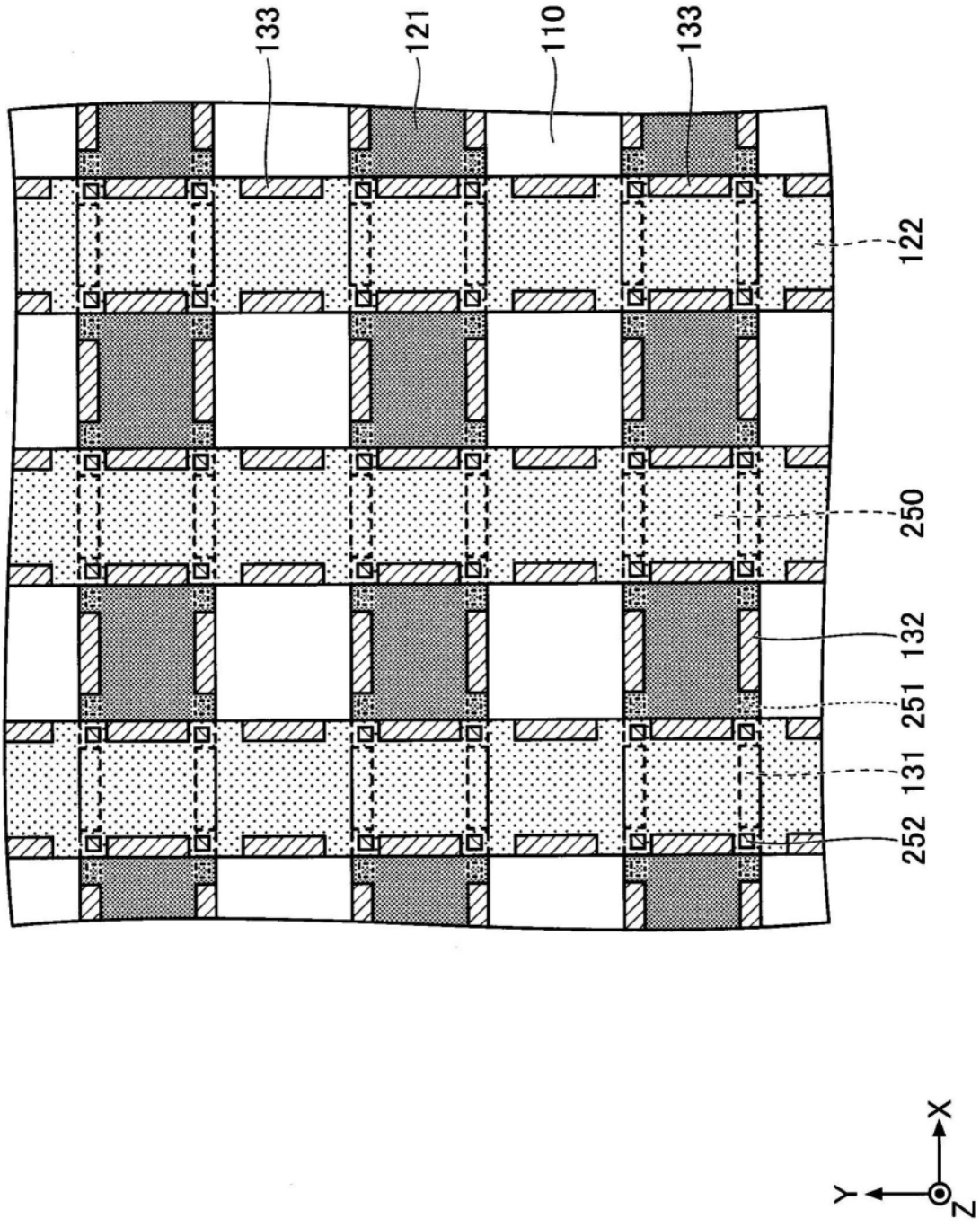


图29

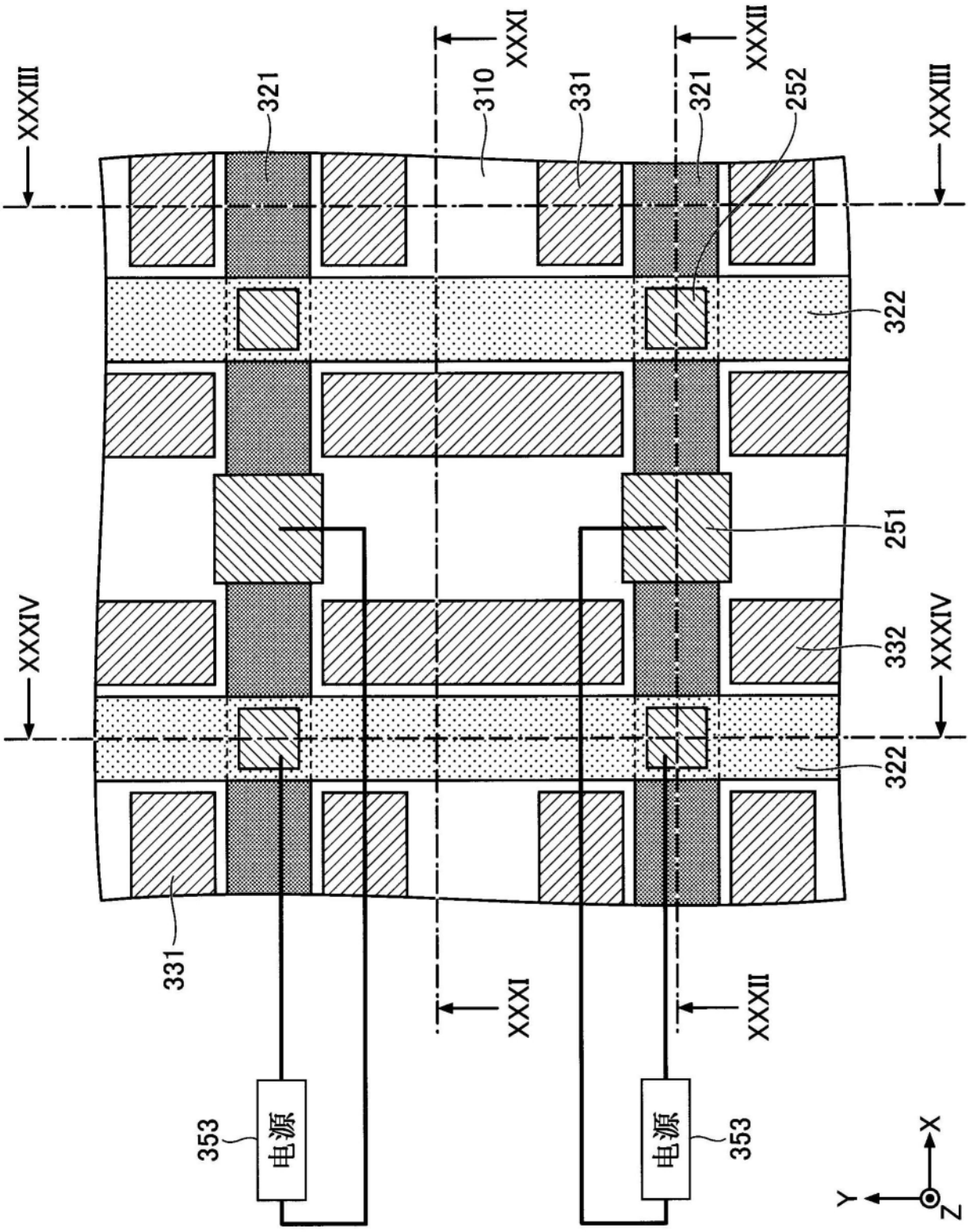

XXXIII
321
XXXI
310
331
XXXII
321
252
XXXIII
322
251
XXXIV
332
XXXIV
322
331
XXXI
XXXII
353
电源
电源
353
X
Y
Z

图30

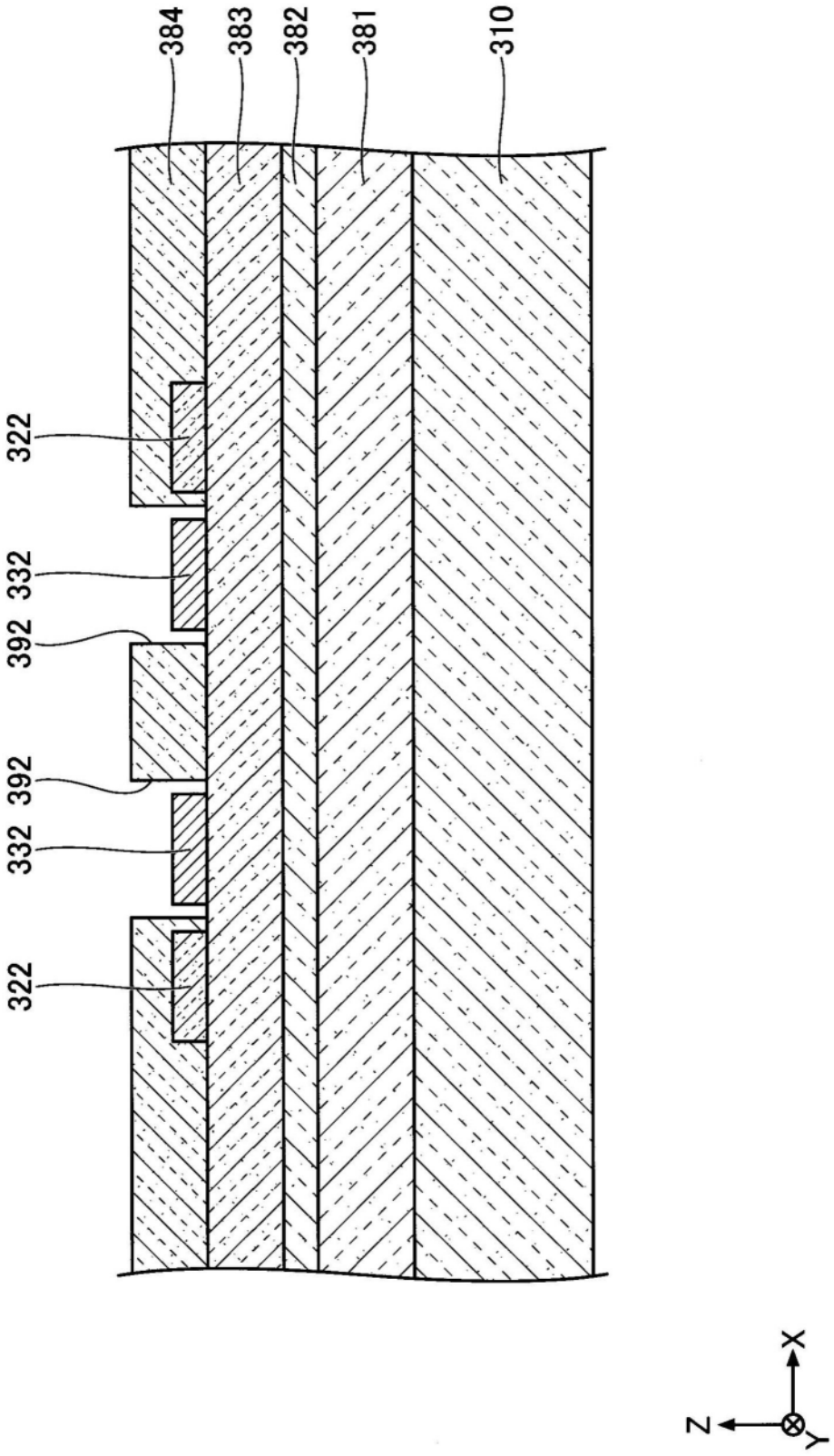


图31

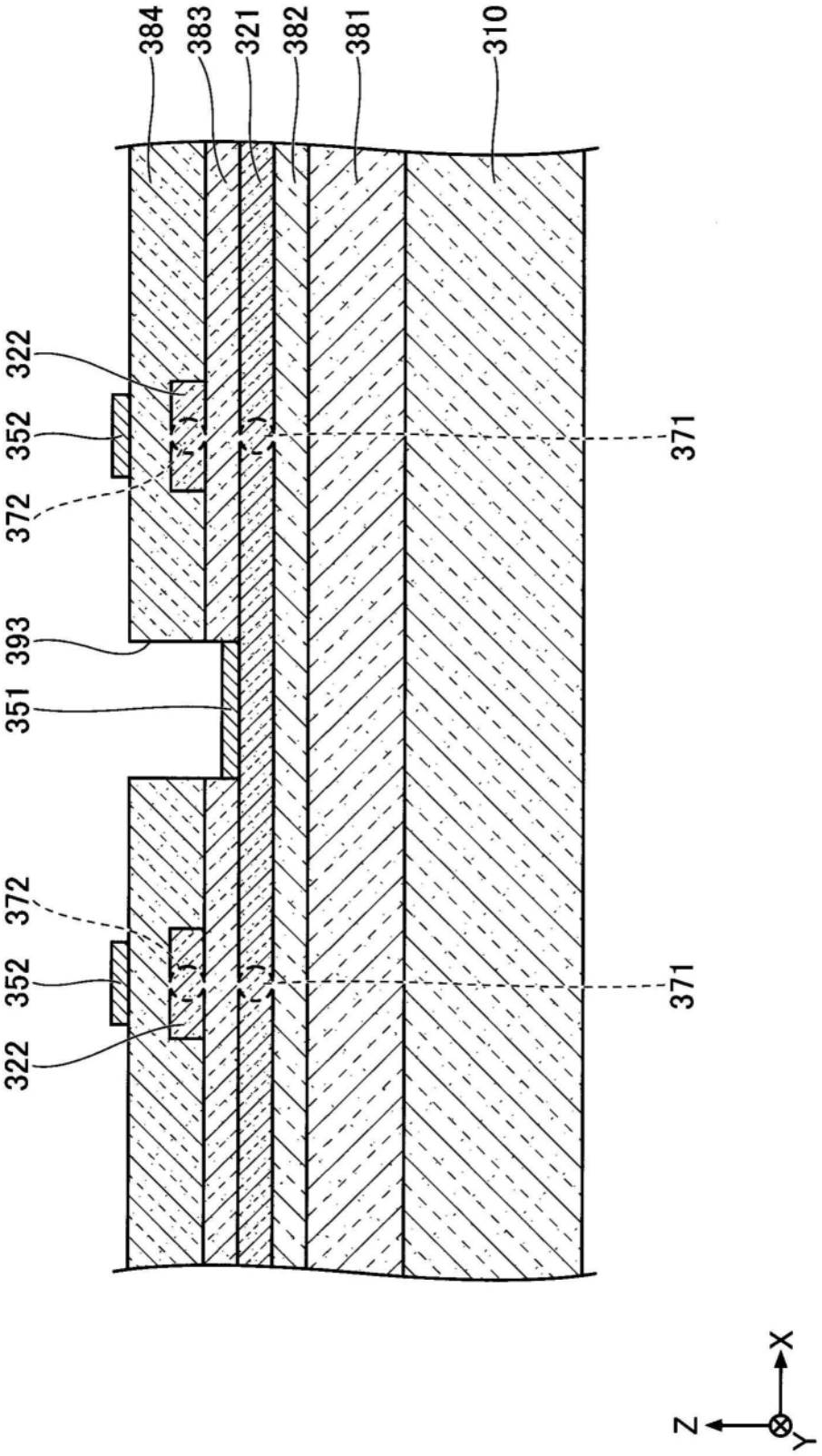

384
383
321
382
381
310
322
352
372
393
351
372
352
322
371
371
X
Z
Y

图32

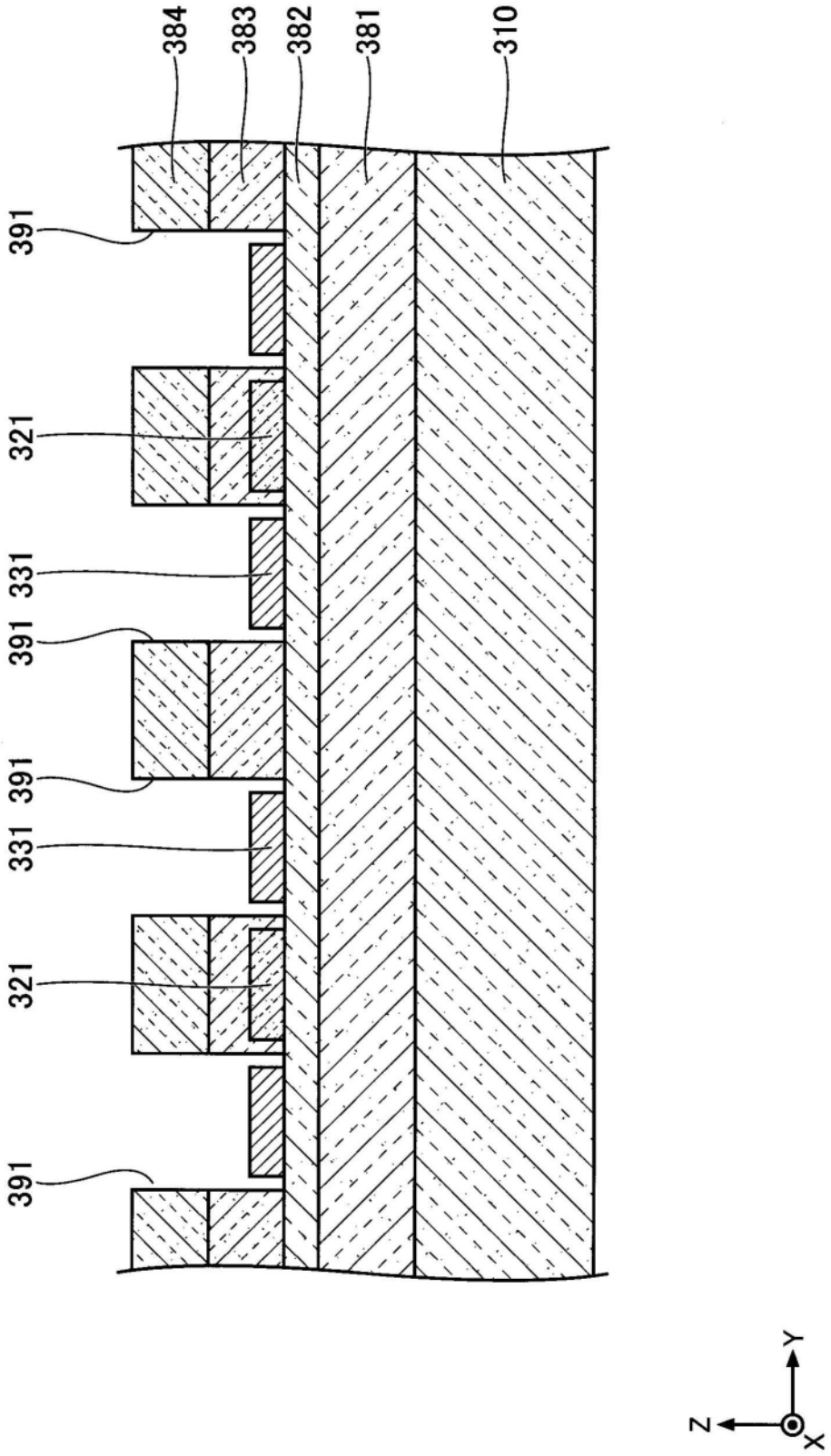


图33

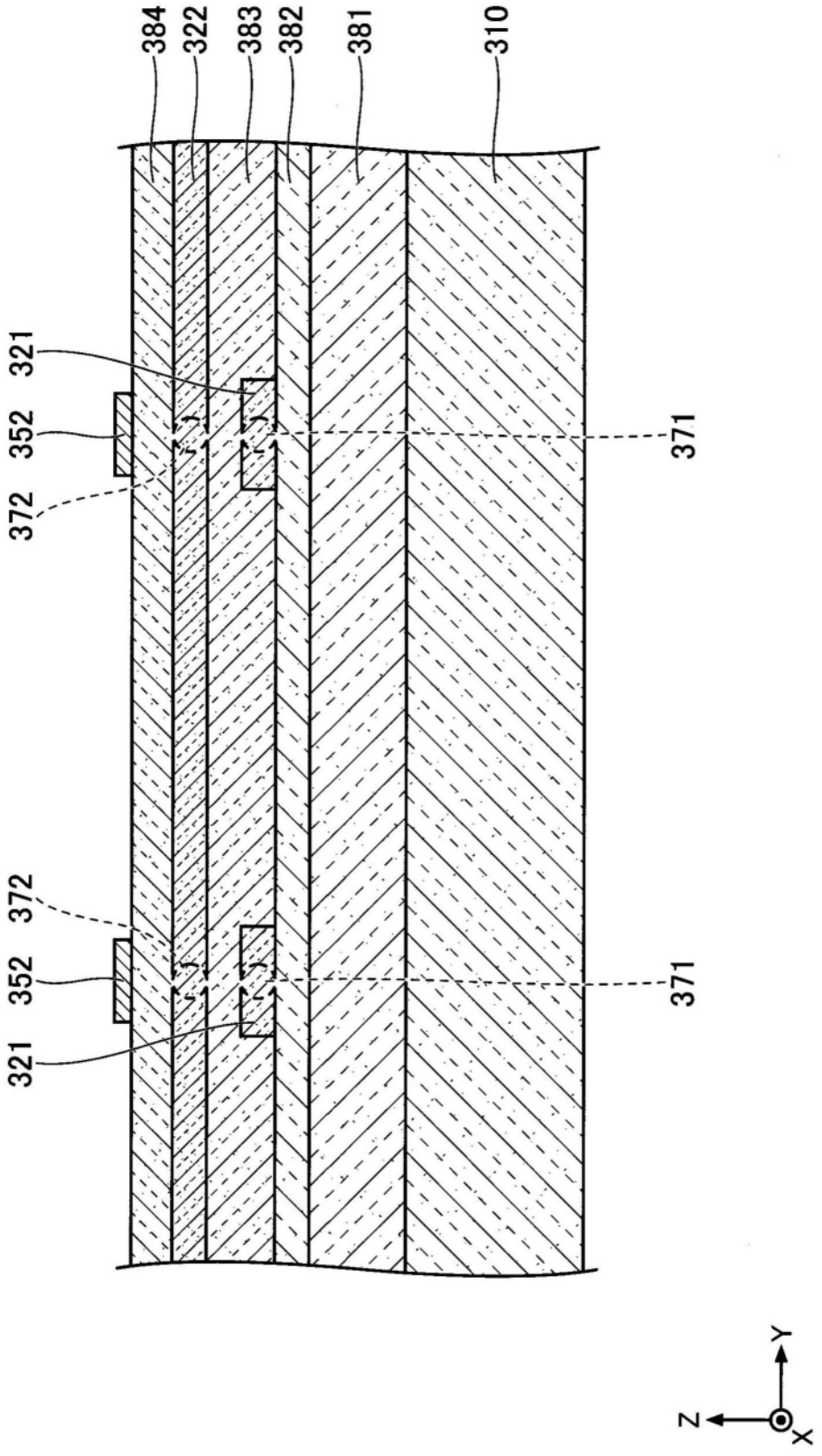


图34

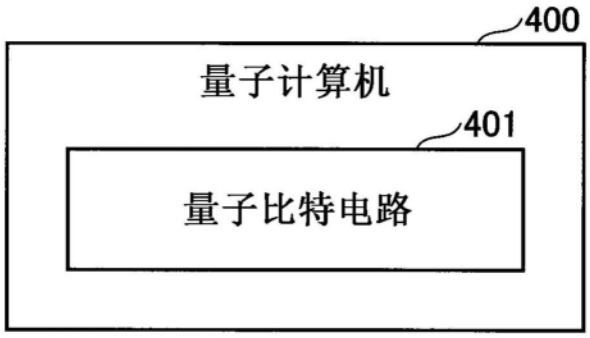


图35