



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월28일
(11) 등록번호 10-1238529
(24) 등록일자 2013년02월22일

(51) 국제특허분류(Int. Cl.)
 GOIR 31/26 (2006.01) **GOIR 31/02** (2006.01)
(21) 출원번호 10-2007-7024126
(22) 출원일자(국제) 2006년03월16일
 심사청구일자 2011년03월14일
(85) 번역문제출일자 2007년10월19일
(65) 공개번호 10-2007-0121010
(43) 공개일자 2007년12월26일
(86) 국제출원번호 PCT/US2006/009575
(87) 국제공개번호 WO 2006/102006
 국제공개일자 2006년09월28일
(30) 우선권주장
 11/306,186 2005년12월19일 미국(US)
 60/594,248 2005년03월22일 미국(US)
(56) 선행기술조사문헌
 US20040124829 A1*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
폼팩터, 인코포레이티드
미국 캘리포니아주 94551 리버모어 사우스프론트
로드 7005
(72) 발명자
밀러 찰스 에이
미국 캘리포니아주 94539 프레몬트 세밀론 드라이
브 48881
바바라 브루스 제이
미국 캘리포니아주 94514 디스커버리 베이 피어
포인트 4070
(74) 대리인
신정건, 김태홍

전체 청구항 수 : 총 16 항

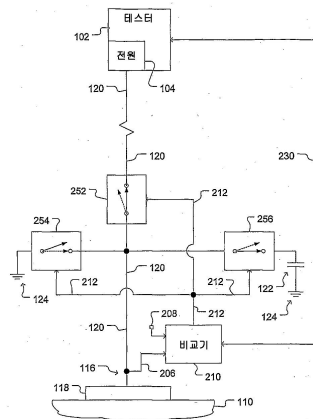
심사관 : 정종한

(54) 발명의 명칭 전압 장애 검출 및 보호

(57) 요약

장애(fault) 검출회로 및 보호회로는 테스트될 전자 디바이스에 전력을 공급하는 전력 라인에 접속될 수 있는 비교회로 (예, 비교기 또는 검출기)를 포함할 수 있다. 비교회로는 전력 라인이 그라운드에 단락되는 장애를 검출하도록 구성될 수 있다. 예를 들어, 테스트될 전자 디바이스는 자신의 전력 단자가 그라운드에 단락되는 장애를 가질 수 있다. 이와 같은 장애의 검출시, 비교회로는 커패시터 또는 그라운드를 향하는 전력 라인 상의 다른 에너지 저장 디바이스들에 분기 연결하는 하나 이상의 스위치들을 활성화시킨다. 비교회로는 대안으로서 또는 부가적으로 테스트 중인 전자 디바이스에 전력을 공급하는 전원을 전자 디바이스와 접속하는 프로브들로부터 접속해 제시키는 하나 이상의 스위치들을 활성화시킬 수 있다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

전자장치에 있어서,

전자장치의 복수의 단자들에 접속하도록 구성된 복수의 프로브들을 포함하는 프로브 카드 어셈블리로서, 상기 복수의 프로브들 중 하나의 프로브는 전원(power)에 전기적으로 접속 가능하며, 상기 전자장치의 전력 단자와 접속하여 상기 전력 단자에 전력을 제공하도록 구성된 전력 프로브인 것인, 상기 프로브 카드 어셈블리;

상기 전력 단자가 그라운드(ground)에 단락되는 상기 전력 단자에서의 그라운드로의 단락(short-to-ground) 장애를 검출하기 위한 검출 수단; 및

상기 프로브가 어떠한 전원에도 접속되지 않도록 상기 프로브를 상기 전원으로부터 접속 해제시킴으로써, 상기 검출 수단에 의해 검출된 상기 그라운드로의 단락 장애에 의해 야기되는 전력 전류 급등으로부터 상기 전력 프로브를 보호하기 위한 보호 수단

을 포함하는 전자장치.

청구항 17

16항에 있어서, 상기 전력 프로브에 전력을 제공하는 라인에 전기적으로 접속된 커패시터를 더 포함하는, 전자장치.

청구항 18

전자장치에 있어서,

전원에 전기적으로 접속가능하며, 전자장치의 전력 단자와 접속하여 상기 전력 단자에 전력을 제공하도록 구성된 전력 프로브;

상기 전력 단자가 그라운드에 단락되는 상기 전력 단자에서의 그라운드로의 단락 장애를 검출하기 위한 검출 수단; 및

상기 전력 프로브가 어떠한 전원에도 접속되지 않도록 상기 전력 프로브를 상기 전원으로부터 접속 해제시킴으로써, 상기 검출 수단에 의해 검출된 상기 그라운드로의 단락 장애에 의해 야기되는 전력 전류 급등으로부터 상기 전력 프로브를 보호하기 위한 보호 수단; 및

상기 전력 프로브에 전력을 제공하는 라인에 전기적으로 접속되는 커패시터를 포함하고,

상기 보호 수단은 상기 전력 프로브를 상기 커패시터로부터 접속 해제시킴으로써, 상기 그라운드로의 단락 장애에 의해 야기되는 상기 커패시터로부터의 전류 급등으로부터 상기 전력 프로브를 보호하는 것인, 전자장치.

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

제18항에 있어서, 상기 전자장치의 복수의 단자들과 접속하도록 구성된 복수의 프로브들을 포함하는 프로브 카드 어셈블리를 더 포함하고, 상기 검출 수단은 상기 프로브 카드 어셈블리 상에 배치되는 것인, 전자장치.

청구항 24

제23항에 있어서, 상기 보호 수단은 상기 프로브 카드 어셈블리 상에 배치되는 것인, 전자장치.

청구항 25

제23항에 있어서,
 상기 프로브 카드 어셈블리는 상기 프로브들이 부착되는 프로브 기판을 포함하고,
 상기 검출 수단은 상기 프로브 기판 상에 배치되는 것인, 전자장치.

청구항 26

제25항에 있어서, 상기 보호 수단은 상기 프로브 기판상에 배치되는 것인, 전자장치.

청구항 27

제23항에 있어서, 상기 검출 수단은 상기 전력 프로브에 접속되는 전기적 도전성 라인 상의 전압과 기준전압을 비교하는 것인, 전자장치.

청구항 28

제27항에 있어서, 상기 기준전압은 상기 전력 단자에서 그라운드로의 단락 장애를 표시하도록 선택되는 것인, 전자장치.

청구항 29

제16항에 있어서,
 상기 전력 프로브에 전기적으로 접속되는 전력 평면; 및
 상기 전력 평면에 전기적으로 접속되고 복수의 전자 디바이스들의 전력 단자들에 접속하도록 구성된 복수의 프로브들을 더 포함하고,
 상기 검출 수단은 상기 전력 단자들 중 하나의 단자에서의 그라운드로의 단락 장애를 검출하기 위해 상기 전력 평면을 모니터링하는 것인, 전자장치.

청구항 30

제29항에 있어서, 상기 검출 수단은 상기 전력 평면 상의 복수의 접점들로부터 샘플링된 전압들을 기준 전압과 비교하는 것인, 전자장치.

청구항 31

전자장치에 있어서,
 전원에 전기적으로 접속 가능하며, 전자장치의 전력 단자에 접속하도록 구성된 프로브;
 상기 프로브에 접속된 전기적 도전성 라인에 전기적으로 접속되는 커패시터;
 상기 라인 상의 전압을, 상기 전력 단자가 그라운드로 단락되는 상기 전력 단자에서의 그라운드로의 단락 장애를 표시하도록 선택된 기준전압과 비교하도록 구성되며, 상기 라인 상의 전압이 상기 전력 단자에서의 그라운드로의 단락 장애를 표시하는 기준 전압보다 작은 경우에 제어 신호를 출력하도록 구성된, 비교회로; 및
 상기 비교회로의 출력에 의해 활성화되고, 상기 비교 회로에 의해 출력되는 제어 신호에 응답하여, 상기 프로브가 어떠한 전원에도 접속되지 않도록 상기 프로브를 상기 커패시터로부터 그리고 상기 전원으로부터 접속해제시키도록 구성된 스위치
 를 포함하는 전자장치.

청구항 32

제31항에 있어서, 상기 전자장치의 복수의 단자들과 접속하도록 구성된 복수의 프로브들을 포함하는 프로브 카드 어셈블리를 더 포함하고, 상기 도전성 라인 및 상기 비교회로는 상기 프로브 카드 어셈블리 상에 배치되는 것인, 전자장치.

청구항 33

제32항에 있어서, 상기 스위치는 상기 프로브 카드 어셈블리 상에 배치되는 것인, 전자장치.

청구항 34

제32항에 있어서,

상기 프로브 카드 어셈블리는 상기 프로브들이 부착된 프로브 기관을 포함하고,

상기 비교회로는 상기 프로브 기관상에 배치되는 것인, 전자장치.

청구항 35

제34항에 있어서, 상기 스위치는 상기 프로브 기관상에 배치되는 것인, 전자장치.

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

명세서

기술분야

[0001] 본 발명은 전압 장애 검출회로 및 보호회로에 관한 것이다.

배경기술

[0002] 도 1a는 전자 디바이스(110)를 테스트하기 위한 일례의 테스트 시스템(100)의 간략한 도면이다. 테스터(102)는 통신 링크(106)를 통해 인터페이스 장치(108)에 기록되는 테스트 데이터를 생성하고, 인터페이스 장치(108)는, 도 1a에 도시된 바와 같이, 테스트 중인 전자 디바이스(110)의 단자(114)에 접촉하는 프로브(112)와의 접속부(도시안됨)를 제공한다. 전자 디바이스(110)에 의해 생성된 응답 데이터는 프로브(112), 인터페이스 장치(108),

및 통신 링크(106)를 통해 테스터(102)로 되돌아온다. 따라서 통신 링크(106), 인터페이스 장치(108), 및 프로브(112)는 테스터(102)와 테스트 중인 전자 디바이스(110) 사이의 복수의 통신 채널을 제공한다. 물론 다른 디바이스들도 테스트 시스템(100)에 포함될 수 있다. 예를 들어, 테스트 데이터 및 응답 데이터를 처리 및/또는 라우팅하기 위한 디바이스는 통신 링크(106)와 인터페이스 장치(108) 사이에 위치될 수 있다.

[0003] 인터페이스 장치(108)는 테스트 중인 전자 디바이스(110)를 접촉하기 위한 프로브 카드 장치일 수 있다. 전형적으로, 전력은 전자 디바이스(110)에 공급되어야 한다. 도 1a에 도시된 바와 같이, 전원(104)은 테스터(102)의 일부이고, 전원(104)으로부터의 전력은 통신 링크(106), 인터페이스 장치(108), 및 전력 프로브(116)에 의해 형성된 통신 채널들 중 하나를 통해 전자 디바이스(110)의 전력 단자(118)에 공급된다.

[0004] 도 1b는 전원(104)에서부터 테스트될 전자 디바이스(110)의 전력 단자(118)에 이르는 단일 전력 라인에 대한 개략적인 도면이다. 전력 라인(120)은 테스터(102)로부터 테스트될 전자 디바이스(110)에 이르는 하나의 통신 채널을 나타내고 따라서 통신 링크(106), 인터페이스 장치(108), 및 전력 프로브(116)의 일부를 포함한다. 도 1b에 도시된 바와 같이, 바이패스 커패시터(122)는 전력 라인(120) 상의 잡음을 필터링하기 위해 전력 라인(120)과 그라운드(124) 사이에 종종 접속된다.

[0005] 때때로, 테스트될 전자 디바이스(110)는 전력이 전자 디바이스(110)의 그라운드에 단락되는 장애(fault)를 가질 수 있다. 이와 같은 상황은 전형적으로 전원(104)으로부터의 큰 전류 서지를 초래한다. 비록 전원(104)이 이와 같은 장애 검출시 전원(104)을 자동으로 차단하는 과전류 보호회로(도시안됨)를 포함하더라도, 전원(104)의 과전류 보호회로는 전류 서지가 전력 라인(120)으로 흐르기 전 전력 라인(120)의 지연 및 인덕턴스 양자 모두에 기인하여 전원(104)을 차단할 수 없을 것이다. 이와 같은 전류 서지가 충분히 큰 경우, 그 전류 서지는 인터페이스 장치(108) 또는 전력 프로브(116)를 손상시킬 수 있다. 사실, 프로브(116)는 이와 같은 손상에 특히 영향 받기 쉽다. 또한, 전원(104)의 과전류 보호회로(도시안됨)가 전류 서지를 방지하기 위해 제때에 전원(104)을 차단할 수 있더라도, 바이패스 커패시터(122)는 급속히 방전될 것이고, 결과적으로 전력 프로브(116)를 통하는 전류는 프로브(116)를 손상시킬 것이다.

발명의 상세한 설명

[0006] 예증의 실시예에서, 비교회로(예, 비교기 또는 검출기)는 테스트될 전자 디바이스에 전력을 공급하는 전원에 접속될 수 있다. 비교회로는 전력 라인이 그라운드에 단락될 수 있는 장애를 검출하도록 구성될 수 있다. 예를 들어, 테스트될 전자 디바이스는 자신의 전력 단자들이 그라운드에 단락되는 장애를 가질 수 있다. 이와 같은 장애의 검출시, 비교회로는 그라운드로 분기 연결하거나 커패시터 또는 다른 에너지 저장 디바이스를 테스트될 전자 디바이스에 접촉하는 프로브로부터 접속해제하는 하나 이상의 스위치들을 활성화시킬 수 있다. 비교회로는, 전자 디바이스에 접촉하는 프로브로부터 전자 디바이스에 전력을 공급하는 전원을 접속해제하는 하나 이상의 스위치들을 대안으로서 또는 추가단계로서 활성화시킬 수 있다.

실시예

[0017] 본 명세서는 본 발명의 예증의 실시예 및 응용들을 기술한다. 그러나, 본 발명은, 이런 예증의 실시예 및 응용들에 한정되거나 또는 그 예증의 실시예와 응용들이 동작하거나 본 명세서에 기술되는 방식에 제한되는 것은 아니다.

[0018] 도 2는 본 발명의 몇몇 실시예에 따른 일례의 장애 검출회로 및 보호회로를 포함할 수 있는 전력 라인(120) 및 바이패스 커패시터(122)의 개략도이다. 상기 기술한 바와 같이, 전력 라인(120)은 테스터(102)의 전원(104)으로부터 테스트될 전자 디바이스의 전력 단자(118)(일부만 도시됨)에 이르는 전력 라인일 수 있다. 또한 상기 기술한 바와 같이, 바이패스 커패시터(122)는 전력 라인(120)과 그라운드(124) 사이에 접속될 수 있고 전력 라인(120)에 대한 잡음 필터로서 기능할 수 있다.

[0019] 도 2에 도시된 예증의 장애 검출회로 및 격리회로(isolation circuit)는 하나의 비교기(210) 및 3개의 스위치(252, 254, 256)를 포함할 수 있다. 전자 디바이스(110)를 테스트하기 위해, 스위치(252)를 닫을 수 있고, 결과적으로 전력 라인(120)이 접속되어 전원(104)으로부터 테스트될 전자 디바이스(110)의 전력 단자(118)에 전력을 제공할 수 있다. 스위치(256)를 닫으면, 바이패스 커패시터(122)를 전력 라인(120)에 접속시킬 수 있다. 스위치(254)는 열린 상태로 남을 수 있다.

[0020] 비교기(210)는 2개의 입력(206 및 208)을 포함할 수 있다. 하나의 입력(206)은 전력 라인(120)에 접속될 수 있고, 바람직하게, 도 2에 도시된 바와 같이 [전력 라인(120)의 끝에 올 수 있는] 프로브(116)에 인접할 수 있다.

다른 입력(208)은 기준전압(도시안됨)에 접속될 수 있다. 전자 디바이스(110) 상의 장애로 인해 전력 단자(118)가 그라운드에 단락되면, 전력 라인(120) 상의 전압은 그 장애 때문에 그라운드 전압으로 떨어질 것이다. 입력(208)에 인가되는 기준전압은 전력 단자(118)가 그라운드에 단락되는 이와 같은 장애를 나타내는 저전압에 대응하도록 설정될 수 있다. 입력(208)에 인가되는 기준전압은 다양한 방법으로 선택될 수 있다. 예를 들어, 전자 디바이스(110)는 규정 전압 범위 내에 있는 공급된 전력으로 동작하도록 설계될 수 있다. 입력(208)에 인가되는 기준전압은 전자 디바이스(110)의 최소 규정 동작 전압(즉, 규정 전원전압의 하단) 이하가 되도록 선택될 수 있다. 예를 들어, 전자 디바이스(110)는 약 3.5 - 5.0볼트의 범위 내에서 공급된 전력으로 동작하도록 설계될 수 있다. 이와 같은 전자 디바이스에 0볼트의 그라운드가 공급된다고 가정하면, 입력(208)에 인가된 기준전압은 3.5 볼트 이하, 예를 들어, 3.0 볼트로 선택될 수 있다. 비교기(210)의 입력(208)에 인가되는 기준전압으로서 더 높거나 더 낮은 전압이 대안으로 선택될 수 있다.

[0021] 상기 기술한 많은 예들은 제한을 두려는 것은 아니며, 입력(208)에 인가되는 기준전압은 전자 디바이스(110)의 특정 동작 파라미터에 의존적일 수 있다. 따라서 입력(208)에 인가되는 기준전압은, 전자 디바이스(110)의 특정 동작 파라미터가 주어졌을 때, 전자 디바이스(110)의 전력 단자에서의 장애를 나타내는 임의의 전압으로 선택될 수 있다. 일반적으로 말해, 기준전압이 전자 디바이스(110)의 동작 범위에 가까울 수록, 비교기(210)는 더 빠르게 장애를 검출할 수 있다.

[0022] 비교기(210)의 입력(206)에서 전력 라인(120)으로부터의 전압이 입력(208)에 인가되는 기준전압으로 전압강하하면, 비교기(210)는, 비교기(210)의 출력(212)이 스위치(252 및 256)를 열고 스위치(254)를 닫는데 사용될 수 있다는 것을 가리킨다. 스위치(252)를 열면, 전원(104)으로부터 프로브(116)가 접속해제되어, 전력 단자(118)에서의 장애에 의해 발생한 전원(104) 다운 전력 라인(120)으로부터의 전력 서지로부터 프로브(116)를 보호할 수 있다. 스위치(256)를 열면, 바이패스 커패시터(122)로부터 프로브(116)가 접속해제되어, 장애에 의해 발생한 바이패스 커패시터(122)로부터의 갑작스런 방전으로부터 프로브(116)를 보호할 수 있다. 스위치(254)를 닫으면, 그라운드(124)로의 경로가 생긴다. 따라서, 만약 전원(104)으로부터의 전력 서지가 스위치(252)가 열리기 전에 스위치(252)를 지나 전파된다면, 스위치(254)를 닫아서 전력 서지를 위한 그라운드(124)로의 경로를 제공한다. 전력 서지는 스위치(254)를 통해 그라운드(124)로 흐를 수 있어 프로브(116)가 보호된다. 전원(104)으로부터의 전력 서지는, 예를 들어, 프로브(116)로부터 전원(104)까지의 전력 라인(120)을 따르는 전파 지연과 전원(104)으로부터 스위치(252)까지의 전파 지연의 합이, 전력 라인(120)과 비교기(210) 사이의 입력(206)을 따르는 임의의 전파 지연, 비교기(210)의 처리 지연, 비교기(210)와 스위치(252) 사이의 출력(212)을 따르는 임의의 전파 지연, 및 스위치(252)의 스위칭 지연의 합보다 적다면, 스위치(252)를 거쳐서 전파할 수 있다.

[0023] 이와 유사하게 스위치(254)를 닫으면 스위치(256)가 열리기 전에 스위치(256)를 거쳐 전파하는 바이패스 커패시터(122)로부터의 방전을 위한 그라운드(124)로의 경로가 생긴다. 따라서 방전은 프로브(116)를 통하기보다는 스위치(254)를 통해 그라운드로 흐를 것이다.

[0024] 이와 같이 비교기(210) 및 스위치들(252, 254, 및 256)이 형성 가능하고, 전력 단자(118)가 그라운드에 단락되는 장애에 기인하여 발생할 수 있는 전원(104)으로부터의 전력 서지 및/또는 바이패스 커패시터(122)로부터의 전류 방전으로부터 프로브(116)를 보호하는 장애 검출회로 및 보호회로로서 기능한다. 다른 실시예에 따르면, 도 2에 도시된 장애 검출회로 및 보호회로는 스위치들(252, 254, 및 256) 각각을 포함할 필요는 없다. 오히려, 도 2에 도시된 장애 검출회로 및 보호회로는 스위치들(252, 254, 및 256) 중 하나만을 포함하거나 이 스위치들 중 임의의 2개의 조합을 포함할 수 있다. 도 3은 장애 검출회로 및 보호회로가 스위치(254)는 포함하지만 스위치(252 및 256)는 포함하지 않는 비 제한적인 한 예를 도시한다.

[0025] 도 3에서, 장애 검출회로 및 보호회로는 비교기(210) 및 스위치(254)를 포함할 수 있다. 상기 기술한 바와 같이, 전자 디바이스(110)를 테스트하는 동안, 스위치(254)는 열릴 수 있다(즉, 위치 316). 또한 상기 기술한 바와 같이, 비교기(210)는, 입력(208)에 인가된 선택된 기준전압과 비교하여, 전력 단자(118)가 그라운드에 단락되는 장애를 가리키는 전력 라인(120) 상의 전압을 검출한다면, 스위치(254)를 활성화시켜, 스위치(254)가 닫혀져 있는 위치(319)가 되도록 하여 스위치(254)를 통한 그라운드(124)로의 경로를 생성한다. 이것은 전원(104)과 프로브(116) 사이 및 바이패스 커패시터(122)와 프로브(116) 사이에 그라운드의 경로를 생성한다. 따라서 전원(104)으로부터의 전력 서지 및 바이패스 커패시터(122)로부터의 방전은 스위치(254)를 통해 그라운드(124)로 흐름으로써, 프로브(116)를 보호한다.

[0026] 도 2 및 도 3에 도시된 바와 같이, 테스터(102)와 비교기(210) 사이에 접속(230)이 제공된다. 이러한 접속(230)에 의해 테스터(102)는 비교기(210)를 세팅 및 리셋 가능하다. 다양한 데이터(예, 상태 데이터 및/또는 핸드

세이킹 데이터)가 비교기(210)와 테스터(102) 사이에서 접속(230)을 통해 교환될 수도 있다. 예를 들어, 비교기(210)는 검출된 장애에 관한 정보를 접속(230)을 통해 테스터(102)에 보낼 수 있다. 비교기(210)로부터 접속(230)을 통해 테스터(102)에 제공된 이와 같은 정보는 테스터(102)가 전원(104)을 차단하도록 하는 신호 또는 신호들을 포함할 수 있다. 예를 들어, 장애 검출시, 비교기(210)는 [스위치(256) 열기, 스위치(252) 열기, 및/또는 스위치(254) 닫기 하는 출력 신호(212)를 생성하는 것과 더불어] 접속(230)을 통해 테스터(102)에 보내지고, 장애의 검출을 나타내고 테스터(102)로 하여금 전원(104)을 차단하도록 하는 제어 신호 또는 제어 신호들을 생성한다.

[0027] 도 4는 본 발명의 몇몇 실시예들에 따른 장애 검출회로 및 보호회로의 또 다른 구성을 도시하고 있다. 도 4는 스위치(214)에 접속될 수 있는 비교기(210)를 포함할 수 있는 장애 검출회로 및 보호회로를 갖는 전력 라인(120)에 대한 개략도이다. 전자 디바이스(110)를 테스트하는 동안 스위치(214)의 정상 동작 위치가 될 수 있는 위치(216)에서, 전원(104)으로부터의 전력은 전력 프로브(116)에 접속될 수 있다. 장애 검출시 스위치(214)의 위치가 될 수 있는 위치(219)에서, 프로브(116)는 그라운드(124)에 접속되고 바이패스 커패시터(122)로부터 접속해제될 수 있다. 따라서, 바이패스 커패시터로부터의 충전은 주로 프로브(116)로의 방전으로부터 방지된다. 프로브(116)는 또한 전원(104)으로부터 접속해제될 수 있다. 따라서 비교기(210) 및 스위치(214)는 전력 단자(118)가 그라운드에 단락되는 장애에 기인하여 발생할 수 있는, 바이패스 커패시터(122)로부터의 전류 방전으로부터 프로브(116)를 보호하는 장애 검출회로 및 보호회로를 형성할 수 있다. 프로브(116)는 또한 전원(104)으로부터 접속해제 (따라서 보호)될 수 있다.

[0028] 도 5는 본 발명의 몇몇 실시예에 따른 장애 검출회로 및 보호회로의 또 다른 구성을 도시하고 있다. 도 5는 스위치(414)에 접속될 수 있는 비교기(210)를 포함할 수 있는 장애 검출회로 및 보호회로가 있는 전력 라인(120)에 대한 개략도이다. 전자 디바이스(110)를 테스트하는 동안, 스위치(414)는 위치(416)가 되고 전력 라인(120)의 일부를 형성할 수 있다. 스위치(414)는 (상기 기술한 바와 같이) 비교기(210)의 출력(212)에 의해 활성화될 때, 전력 라인(120)을 차단하고 전원(104)으로부터 프로브(116)를 접속해제하는 위치(419)로 이동한다. 도 5에서 볼 수 있는 것처럼, 스위치(414)는, 위치(419)에 있는 동안, 프로브(116)로부터 바이패스 커패시터(122)를 통한 접속해제함으로써, 바이패스 커패시터(122)가 프로브(116)를 통해 방전되는 것을 방지한다.

[0029] 앞서 기술한 실시예 중 임의의 실시예에서, 비교기(210)는 당업계에 잘 알려진 바와 같은 고속 전압 비교기(예, 입력시 약 100 내지 1000 피코초 또는 심지어 100 피코초보다도 작은 시간 내에 출력을 생성하는 고속 비교기)일 수 있다. 비교기(210)는 대안으로서, 프로그램된 마이크로제어기 또는 (펌웨어 또는 마이크로코드를 포함하지만 이들뿐만 한정되는 것은 아닌) 다른 논리 하드웨어 및/또는 소프트웨어일 수 있다. 따라서 모니터링 및 기록의 다양한 타입이 비교기(210)로 프로그램될 수 있다. 스위치들(214, 252, 254, 256, 314, 및 414)은 트랜지스터 (예, 바이-폴라 트랜지스터 또는 전기장 효과 트랜지스터), 실리콘 제어형 정류기, 또는 전기적 도전 라인을 열기 및/또는 닫기에 적합한 임의의 다른 구조들을 사용하여 구현될 수 있다. 예를 들어, 병렬로 구성된 많은 트랜지스터들은 스위치들(214, 252, 254, 256, 314, 및 414)을 형성할 수 있다. 스위치들(214, 252, 254, 256, 314, 및 414)은 대안으로서 릴레이 또는 임의의 다른 적합한 전자 스위칭 디바이스일 수 있다. 비교기(210) 및/또는 스위치들(214, 252, 254, 256, 314, 및 414)은 집적회로 상에서 구현될 수 있다.

[0030] 도 6은, 예를 들어, 반도체 웨이퍼의 하나 이상의 다이, 다이 어레이의 하나 이상의 절단 분리된 반도체 다이, 또는 임의의 다른 전자 디바이스나 전자 디바이스들일 수 있는 하나 이상의 전자 디바이스(610)를 테스트하기 위한 일례의 프로빙 시스템(600)을 도시하고 있다. 보이는 바와 같이, 도 2 내지 도 5의 예증의 장애 검출회로 및 보호회로는 프로빙 시스템(600)의 프로브 카드 어셈블리(608) 상에서 구현될 수 있다.

[0031] 도시된 바와 같이, 브로빙 시스템(600)은 도1a의 테스터(102)와 대체적으로 유사한 테스터(602) 및 테스트 중인 전자 디바이스 또는 전자 디바이스들(610)을 지원하고 그 전자 디바이스 또는 전자 디바이스들(610)을 프로브 카드 어셈블리(608)의 프로브들(612)과 접촉하도록 이동시키기 위한 이동 가능한 스테이지(626)를 갖는 프로버(609)를 포함할 수 있다. 통신 링크(606), 테스트 헤드(650), 커넥터(652), 및 [프로브(612)를 포함할 수 있는] 프로브 카드 어셈블리(608)는 테스터(602)와 테스트 중인 반도체 전자 디바이스 또는 전자 디바이스들(610) 사이의 복수의 통신 채널들(도시안됨)을 제공할 수 있다. 이 통신 채널들(도시안됨) 중 하나 이상의 통신 채널들은, 전원(604)으로부터 테스트 중인 전자 디바이스 또는 전자 디바이스들(610)의 다이들(도시안됨)에 전력을 제공할 수 있다.

[0032] 통신 링크(606)는 테스터(602)와 테스트 헤드(650) 사이에 복수의 별도 통신 접속들(도시안됨)을 제공할 수 있다. 통신 링크(606)는 데이터 및/또는 전력을 전송하기 위한 임의의 수단일 수 있다. [몇몇의 실시예에서, 전

력은 통신 링크(606) 외에도 전기 접속을 통해 제공될 수 있다.] 비-제한적인 예들은 케이블, 광학 데이터 링크, 무선 데이터 링크 등을 포함한다. 테스트 헤드(650)는, 링크(606)의 통신 접속들을 커넥터(652)로 라우팅하여 테스트 헤드(650)와 프로브 카드 어셈블리(608) 사이에 전기적 도전 경로를 제공할 수 있다. 커넥터(652)는 테스트 헤드(650)와 프로브 카드 어셈블리(608) 사이에 전기적 도전 경로들을 제공하기 위한 임의의 수단일 수 있다. 비-제한적인 예들은 포고 핀, 케이블, 또는 ZIF(zero-insertion-force) 커넥터들을 갖는 와이어 등을 포함한다. 프로브 카드 어셈블리(608)는 커넥터(652)와 프로브(612) 사이에 전기적 경로들(도 6에 도시안됨)을 제공한다.

[0033] 프로브 카드 어셈블리(608)는 반도체 전자 디바이스 또는 전자 디바이스들(610)의 다이들(도시안됨)을 접속시키기 위한 프로브를 구비한 임의의 타입의 장치들일 수 있다. 도 7은 하나의 일례의 프로브 카드 어셈블리(608)에 대한 간략한 블럭도 및 개략도이다.

[0034] 도 7의 프로브 카드 어셈블리(608)는 3개의 기관: 인쇄회로기판(502), 인터포저(504), 및 프로브 헤드(506)를 포함할 수 있다. 단자(508)들은 도 6의 커넥터(652)들과 전기적으로 접속한다. 단자(508)들은 [커넥터(652)들이 포고 핀들인 경우] 포고 핀들, ZIF(zero-insertion-force) 커넥터들, 또는 도 6의 커넥터(652)들을 받는데 적합한 임의의 다른 접속 디바이스를 받아들이기 위한 패드일 수 있다.

[0035] 인쇄회로기판(502)을 통한 전기접속(510)들 (예, 도전 비아스 및/또는 트레이스), 인쇄회로기판(502)과 인터포저(504)를 전기적으로 접속시키는 스프링 접점(512)들, 인터포저(504)를 통한 전기 접속(514)들 (예, 도전 비아스 및/또는 트레이스), 인터포저(504)와 프로브 헤드(506)를 전기적으로 접속시키는 스프링 접점(516)들, 및 프로브 헤드(506)를 통한 전기적 접속(518)들 (예, 도전 비아스 및/또는 트레이스)은 커넥터(508)를 프로브(612)에 전기적으로 접속시킬 수 있다. 프로브(612)는 전자 디바이스 또는 전자 디바이스들(610)의 반도체 다이들(도시안됨) 상의 단자들을 접속시키도록 구성될 수 있다. 따라서 커넥터(508), 접속(510), 스프링 접점(512), 접속(514), 스프링 접점(516), 접속(518), 및 프로브(612)는 도 6의 커넥터(652)들과 테스트 중인 전자 디바이스 또는 전자 디바이스들(610)과 접속하는 프로브 카드 어셈블리(608)의 프로브(612)들 사이에 전기적 경로를 형성할 수 있다.

[0036] 프로브 헤드(506) 및 인터포저(504)는, 이들로만 한정하는 것은 아니지만, 볼트, 스크류, 클램프, 브래킷, 스프링 디바이스 등을 포함하는 임의의 적합한 수단(도시안됨)을 사용하여 인쇄회로기판(502)에 고정될 수 있다. 미국 특허 제5,974,622호, 미국 특허 제6,509,751호, 및 (2005년 6월 24일에 출원된) 미국 특허 출원 시리얼 번호 제11/165,833호는 일례의 프로브 카드 장치들을 기술하고 그 특허들에 기술된 프로브 카드 장치들의 다양한 특징들은 프로브 카드 어셈블리(608)로 구현될 수 있다.

[0037] 통신 링크(606), 테스트 헤드(650), 커넥터(652), 프로브카드 어셈블리(608)를 통한 전기적 경로(예, 510, 512, 514, 516, 518), 및 프로브(612)들은 테스트(602)와 전자 디바이스 또는 전자 디바이스들(610)의 다이(도시안됨) 사이에 앞서 언급한 복수의 통신 채널들을 형성할 수 있다. 또한 앞서 언급한 바와 같이, 통신 채널들 중 하나 이상의 통신 채널들은, 다이를 테스트하는 동안 전자 디바이스 또는 전자 디바이스들(610)의 다이(도시안됨)에 전원(604)으로부터의 전력을 공급하기 위해 사용될 수 있다. 도 2 내지 도 5의 전력 라인(120)은 전력을 공급하기 위해 사용되는 이와 같은 한 통신 채널을 나타낼 수 있다. [따라서, 도 2 내지 도 5의 전원(104)은 도 6의 전원(604)을 나타낼 것이고, 도 2 내지 도 5의 단자(118)는 도 6의 전자 디바이스 또는 전자 디바이스들(610)의 다이들(도시안됨) 중 하나로의 전력 입력 단자를 나타낼 것이다.] 도 2 내지 도 5의 바이패스 커패시터(122)는 도 7의 프로브 카드 어셈블리(608)의 모든 또는 임의의 기관(502, 504, 및/또는 506) 상에 위치할 수 있다. 도 2 내지 도 5의 비교기(210) 및 스위치들(214, 252, 254, 256, 314, 및 414)도 마찬가지로 임의의 또는 모든 기관(502, 504, 및/또는 506) 상에 위치할 수 있다. 몇몇의 실시예에서, (122 같은) 바이패스 커패시터들은, 프로브(612)에 가능한 한 또는 실용상 가깝게 위치하는 것이 유리하므로 프로브 헤드(506) 상에 위치할 수 있다. 알려진 바와 같이, 몇몇 경우에서, 바이패스 커패시터 [예, 바이패스 커패시터(122)와 같은]가 전자 디바이스 [예, 전자 디바이스(110)]의 전력 입력[예, 전력 단자(118)]에 가까울수록, 커패시터가 전력 입력에 제공되는 전력 신호의 전력 라인 출력 상의 잡음을 더욱 효과적으로 필터링할 수 있다. (122와 같은) 바이패스 커패시터는 프로브 헤드(506)의 양쪽 어느 측면에라도 위치될 수 있어, 프로브(612)가 부착되는 측면(524)을 포함할 수 있다. 도 2 내지 도 5의 비교기(210) 및 스위치들(214, 252, 254, 256, 314, 및 414)도 마찬가지로 [측면(524)을 포함하여, 어느 측면에라도] 프로브 헤드(506) 상에 위치할 수 있다. 비교기(210)의 입력(206)은 프로브 헤드(506)의 부분(526) 내에 임베딩된 접속(518)에 접속될 수 있다. 비교기(210) 및 스위치들(214, 252, 254, 256, 314, 및 414)도 역시 인쇄회로기판(502) 및/또는 인터포저(504) 중 하나 또는 그 이상에

위치할 수 있다.

[0038] 도 8은 본 발명의 몇몇 실시예에 따른 장애 검출회로 및 보호회로의 또 다른 구성을 도시하고 있다. 도시한 바와 같이, 도 2의 구성과 유사하게, 도 8의 장애 검출회로 및 보호회로는 전원(104)으로부터의 전력을 공급하는 전력 라인(120)을 포함할 수 있다. 바이패스 커패시터(122)는 그라운드(124)에 접속될 수 있다. 도 8의 장애 검출회로 및 보호회로는 또한 도 2의 스위치들과 동일한 도면부호가 부여되고 그 기능이 동일한 스위치들(252, 254, 및 256)을 포함할 수 있다. 그러나, 도 2의 장애 검출회로 및 보호회로와 달리, 도 8의 장애 검출회로 및 보호회로는 전력을 전력 라인(120)으로부터 복수의 프로브(116)들을 통해 테스트될 복수의 전자 디바이스(110)의 복수의 전력 단자(118)들에 분배하는 전력 평면(power plane)(1204)을 포함한다. 도 8의 구성은 검출기(1206)도 포함할 수 있다.

[0039] 도 8에 도시된 바와 같이, 검출기(1206)의 입력(1208)은 전력 평면(1204) 상의 상이한 접점들에 전기적으로 접속될 수 있다. [도 8에는 5개의 입력(1208)들이 도시되었지만, 그보다 더 많거나 더 적은 수의 입력들이 사용될 수 있다.] 전력 단자(118)들 중 하나 이상의 단자에서의 쇼트-투-그라운드 고장에 기인하여 프로브(116)들 중 하나 이상의 프로브가 그라운드에 단락되었다는 것을 의미할 수 있는 충분히 큰 전압차가 입력(1208)들 중 하나 이상의 입력 사이에서 검출된다면, 검출기(1206)는 출력(1202)을 활성화시키도록 구성될 수 있다. 상기 논의한 바와 같이, 전자 디바이스(110)들은 전형적으로 특정 전압 범위 내의 전력 공급으로 동작하도록 설계된다. 전력 단자(118)가 그라운드에 단락되는 장애는 전력 평면(1204)을 그라운드에 접속시키는 프로브(116)를 단락시킬 수 있고, 이것은 단락된 프로브(116)가 전력 평면(1204)에 접속되는 부근의 전력 평면(1204) 상에서 전압강하를 야기할 수 있다. 전압강하의 크기는 전자 디바이스(110) 및 전자 디바이스(110)를 테스트하기 위해 사용되는 테스트 시스템의 동작 파라미터들에 의존적이다. 따라서, 전압차 검출기(1206)는 전자 디바이스(110) 및 테스트 시스템의 동작 파라미터들에 의존할 수 있는 전압차를 검출하도록 구성된다.

[0040] 이와 같은 전압차 [즉, 전력 단자(118)들 중 한 단자에서의 장애를 나타내는] 검출시, 검출기(1206)는 도 2에 관해 상기 논의한 바와 같이, 스위치(254)를 닫고 스위치들(252 및 256)을 열어 출력(1202)을 활성화시킬 수 있다. [도 2에 관해 상기 논의한 바와 같이, 전자 디바이스(110)를 테스트하는 동안 스위치들(252, 254, 및 256)의 정상 동작 위치들은 다음과 같다: 스위치(252)는 닫힘, 스위치(254)는 열림, 스위치(256)는 닫힘.] 도 2에 관해 상기 논의한 바와 같이, 스위치(254)를 닫으면 전원(104)으로부터의 전류 서지 및/또는 바이패스 커패시터(122)로부터의 방전을 위해 그라운드(124)로의 경로를 제공할 수 있고, 이는 이와 같은 전원(104)으로부터의 전류 서지 및 바이패스 커패시터(122)로부터의 방전을 프로브(116)로부터 전환시킨다. 스위치(252)를 열면 전원(104)으로부터 프로브(116)가 접속해제되고, 스위치(256)를 열면 바이패스 커패시터(122)로부터 프로브(116)가 접속해제된다. 또한 도 2에 관해 상기 논의한 바와 같이, 도 8의 장애 검출회로 및 보호회로의 다양한 구성은 스위치들(252, 254, 및 256) 중 하나 또는 2개만을 사용하여 구현될 수 있다.

[0041] 전력 평면(1204)의 평면도인 도 9는, 본 발명의 몇몇 실시예에 따른 검출기(1206)와 같은 검출기의 일례의 구성을 도시하고 있다. 도시된 바와 같이, 검출기(1206)는 4개의 차동 증폭기들(1312, 1314, 1316, 및 1318) 및 차동 증폭기 출력들(1320, 1322, 1324, 및 1326)에 응답하여 출력(1202)을 내보내고, 상기 차동 증폭기들 중 하나 이상의 증폭기의 양 또는 음의 출력을 검출하도록 구성된 OR 연산회로(1328)를 포함할 수 있다. 도시된 바와 같이, 검출기(1206)는 전력 평면(1204)과 같이, 5개의 탭들(1302, 1304, 1306, 1308, 및 1310)로부터 각각 나오는 5개의 입력을 포함할 수 있다. 이 탭들(1302, 1304, 1306, 1308, 및 1310) 중 하나의 탭 [이 예에서는 탭(1306)]이 차동 증폭기들(1312, 1314, 1316, 및 1318) 각각에 대한 입력이 될 수 있다. 다른 탭들(1302, 1304, 1308, 및 1310) 각각은 차동 증폭기들(1312, 1314, 1316, 및 1318)로의 다른 입력이 될 수 있다. 따라서 각각의 차동 증폭기들(1312, 1314, 1316, 및 1318)은 탭(1306)에서의 전압(또는 전류)을 다른 탭들(1302, 1304, 1308, 및 1310)에서의 전압(또는 전류)과 비교할 수 있다. 도 9에 도시된 바와 같이, 다른 탭들(예, 1302, 1304, 1308, 및 1310)에 대하여 일반적으로 중앙에 위치하는 탭[예, 탭(1306)]이 다른 탭들로부터의 전압이 비교될 수 있는 전압을 제공하는 탭으로서 선택될 수 있다. 대안으로서, 탭들(1302, 1304, 1306, 1308, 및 1310) 중 임의의 탭이 다른 탭들로부터의 전압을 비교할 수 있는 전압을 제공하는 탭으로서 선택될 수도 있다.

[0042] 전압 (또는 드레인 전류)은, 예를 들어, 상기 기술한 바와 같이, 전력 단자(118)들 중 적어도 한 단자에서 장애가 있는 것이 아니라면 (도 8참고), 일반적으로 동일한 전력 평면(1204)이어야 한다. 각각의 차동 증폭기(1312, 1314, 1316, 및 1318)는, 자신의 입력에서의 전압 (또는 드레인 전류)차가 소정의 문턱값을 초과하는 경우 자신의 출력(1320, 1322, 1324, 및 1326)을 활성화시킬 수 있고, 이것은, 상기 논의한 바와 같이, 단자(118)들 중 하나 이상의 단자에서의 장애를 가리킨다. 상기 일반적으로 논의한 바와 같이, 문턱값은 전자 디바이스(110) 및 전자 디바이스(110)를 테스트하기 위해 사용되는 테스트 시스템의 동작 파라미터들에 의존할 수 있다. 차동 증

폭기들(1312, 1314, 1316, 및 1318)의 출력들(1320, 1322, 1324, 1326)은 OR 회로(1328)에 의해 논리적으로 OR 연산될 수 있어, 차동 증폭기들(1312, 1314, 1316, 및 1318)의 출력들(1320, 1322, 1324, 및 1326) 중 임의의 출력이 활성화되는 경우, 검출기(1206)의 출력(1202)은 활성화된다.

[0043] 예를 들어, 탭들(1302, 1304, 1308, 및 1310) 중 하나 이상의 탭의 주변에 있는 전력 평면(1204)에 접속된 프로브(116)가 쇼트-투-그라운드 장애가 있는 전자 디바이스(110)의 단자(118)와 접속한다면, 탭들(1302, 1304, 1308, 및 1310) 중 하나 이상의 탭의 전력 평면(1204) 상의 전압은 탭(1306)의 전압 이하로 떨어질 수 있고, 차동 증폭기들(1312, 1314, 1316, 및 1318) 중 하나 이상의 증폭기는 자신의 출력들(1320, 1322, 1324, 1326) 상의 양의 펄스를 생성시킬 수 있다. 탭(1306)의 주변에 있는 전력 평면(1204)에 접속된 프로브(116)가 쇼트-투-그라운드 장애가 있는 전자 디바이스(110)의 단자(118)와 접속한다면, 탭(1306)의 전력 평면(1204) 상의 전압은 탭들(1302, 1304, 1308, 및 1310)의 전력 평면(1204) 상의 전압 이하로 떨어질 수 있고, 차동 증폭기들(1312, 1314, 1316, 및 1318) 각각은 출력들(1320, 1322, 1324, 및 1326) 상의 음의 펄스를 생성시킬 수 있다. 5개의 탭들(1302, 1304, 1306, 1308, 1310), 4개의 차동 증폭기들(1312, 1314, 1316, 1318), 및 하나의 OR 게이트(1328)가 도 9에 도시되어 있지만, 더 많거나 더 적은 탭들, 차동 증폭기들, 및/또는 OR 게이트가 사용될 수 있다. 또한, 도 9에 도시된 바와 같이 구성된 다중 검출기(1206)는 전력 평면(1204)에 접속될 수 있다.

[0044] 도 8 및 도 9에 도시된 일례의 장애 검출회로 및 보호회로는, 도 7의 프로브 카드 어셈블리(608)와 같은 프로브 카드 어셈블리 상에서 구현될 수 있다. 예를 들어, 전력 평면(1204)은 프로브 기관(506)에 임베딩될 수 있고, 프로브(116)들은 도 7의 프로브(612)들 같이 구현될 수 있다. 스위치들(252, 254, 및 256) 중 임의의 하나 이상의 스위치 및 [차동 증폭기들(1312, 1314, 1316, 및 1318) 중 하나 이상 증폭기 및/또는 OR 게이트(1328)를 포함하는] 검출기(1206)는 인쇄회로기판(502), 인터포저(504), 및/또는 프로브 기관(506) 중 임의의 것에 배치되거나 임베딩될 수 있다.

[0045] 상기 기술한 실시예들 중 임의의 실시예에서, 비교기(210) 및 차동 증폭기들(1312, 1314, 1316, 및 1318)은 당 업계에 잘 알려진 것과 같은 고속 전압 비교기 또는 차동 증폭기들(예, 입력시 변화가 약 100 내지 1000 피코초 내에 있는 출력 또는 심지어 100 피코초보다 짧은 시간 내에 출력을 생성하는 증폭기들)일 수 있다. 비교기(210) 또는 차동 증폭기들(1312, 1314, 1316, 및 1318)은 대안으로서, 프로그램된 마이크로제어기 또는 펌웨어 또는 마이크로코드를 포함하지만 이들로만 제한되는 것은 아닌) 다른 논리 하드웨어 및/또는 소프트웨어일 수 있다. 따라서 다양한 모니터링 및 기록이 비교기(210) 및/또는 차동 증폭기들(1312, 1314, 1316, 및 1318) 중 임의의 증폭기들로 프로그램될 수 있다. 스위치들(214, 252, 254, 256, 314, 및 414)은 트랜지스터 (예, 바이-폴라 트랜지스터 또는 전계 효과 트랜지스터), 실리콘 제어형 정류기, 또는 전기적 도전 라인을 열기 및/또는 닫기에 적합한 임의의 다른 구조를 사용하여 구현될 수 있다. 예를 들어, 병렬로 구성된 많은 트랜지스터들은 스위치(214, 252, 254, 256, 314, 및 414)를 형성할 수 있다. 스위치들(214, 252, 254, 256, 314, 및 414)은 대안으로서, 릴레이 또는 임의의 다른 적합한 전자 스위칭 디바이스일 수 있다. 비교기(210), 차동 증폭기들(1312, 1314, 1316, 및 1318), 및/또는 스위치들(214, 252, 254, 256, 314, 및 414)은 하나 이상의 집적회로 상에서 구현될 수 있다.

[0046] 도 2에 관해서 일반적으로 상기 논의한 바와 같이, 여기서 기술된 실시예들 중 임의의 실시예에서, 테스터(102)는 접속(230)을 통해 비교기(210) 또는 검출기(1206)에 제어 신호를 제공할 수 있고 [예, 비교기(210) 또는 검출기(1206)의 파라미터들을 세팅, 비교기(210) 또는 검출기(1206)를 리셋하기 등] 상태 신호 및/또는 비교기(210) 또는 검출기(1206)로부터의 다른 신호들을 수신할 수 있다. 또한, 비교기(210) 또는 검출기(1206)는 검출된 장애에 관한 정보를 테스터(102)에 제공하고, 이와 같은 정보는, 테스터(102)가 전원(104)을 차단하도록 하는 신호 또는 신호들을 포함할 수 있다. 예를 들어, 장애 검출시, 비교기(210) 또는 검출기(1206)는 [스위치들(252, 254, 256, 및 414) 중 하나 이상의 스위치를 열거나 닫는 출력 신호(212 또는 1202)를 생성하는 것과 더불어] 장애의 검출을 나타내고 테스터(102)가 전원(104)을 차단하도록 하며, 접속(230)을 통해 테스터(102)에 전송되는 제어 신호 또는 제어 신호들을 생성한다.

[0047] 본 발명의 다양한 일례의 실시예 및 응용들이 도시되고 기술되었다. 많은 변경과 조정들 및 대안으로서의 실시예와 응용들이 가능하다. 예를 들어, 비교기(210) 및 스위치들(214, 252, 254, 256, 314, 및 414)은 그라운드로 분기 연결하거나 전력 라인(120)으로부터 커패시터(122)를 제외한 에너지 저장 장치들을 접속해제하도록 구성될 수 있다. 다른 예로서, [비교기(210) 및 스위치들(214, 252, 254, 256, 314, 및 414)을 포함하는] 장애 검출회로 및 보호회로는 도 6에 도시된 반도체 프로빙 시스템(600) 외의 시스템에서 구현될 수 있다. 예를 들어, 도 2 내지 도 5의 장애 검출회로 및 보호회로는 다른 타입 또는 다른 구성의 프로빙 시스템에서 구현될 수 있고, 그렇지 않다면, 장애 검출회로 및 보호회로는, 도 1a에 도시된 더 일반화된 테스트 시스템과 같은 다

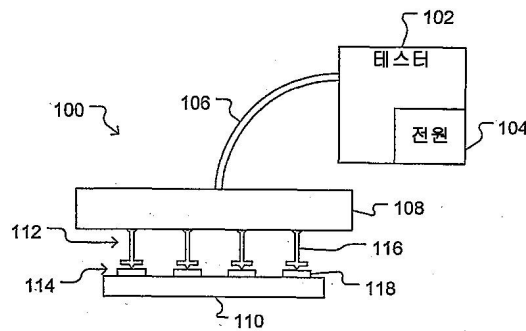
른 타입의 테스트 시스템에서 구현될 수 있다. 또 다른 예로서, 도 1a의 전원(104) 또는 도 6의 전원(604)은 반드시 테스터(102 및 602)에 위치될 필요는 없고 어느 위치에나 올 수 있다.

도면의 간단한 설명

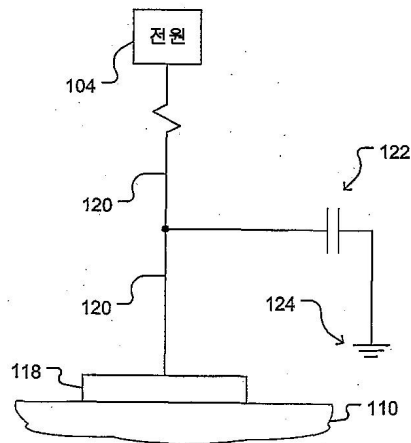
- [0007] 도 1a는 일례의 종래 기술의 테스트 시스템을 도시한 간략한 도면이다.
- [0008] 도 1b는 도 1a의 테스트 시스템의 전력 라인 및 바이패스 커패시터의 개략도이다.
- [0009] 도 2는 본 발명의 몇몇의 실시예에 따른 일례의 장애 검출회로 및 보호회로를 포함할 수 있는 전력 라인 및 바이패스 커패시터의 개략도이다.
- [0010] 도 3은 본 발명의 몇몇 실시예에 따른 일례의 다른 장애 검출회로 및 보호회로를 포함할 수 있는 도 2의 전력 라인 및 바이패스 커패시터의 개략도이다.
- [0011] 도 4는 본 발명의 몇몇 실시예에 따른 일례의 또 다른 장애 검출회로 및 보호회로를 갖는 도 2의 전력 라인 및 바이패스 커패시터의 개략도이다.
- [0012] 도 5는 본 발명의 몇몇 실시예에 따른 일례의 또 다른 장애 검출회로 및 보호회로를 갖는 도 2의 전력 라인 및 바이패스 커패시터의 개략도이다.
- [0013] 도 6은 본 발명의 몇몇 실시예에 따른 일례의 반도체 웨이퍼 프로빙 시스템을 도시한 도면이다.
- [0014] 도 7은 본 발명의 몇몇 실시예에 따른 일례의 프로브 카드 어셈블리를 도시한 도면이다.
- [0015] 도 8은 본 발명의 몇몇 실시예에 따른 일례의 또 다른 장애 검출회로 및 보호회로를 도시한 도면이다.
- [0016] 도 9는 본 발명의 몇몇 실시예에 따른 도 8의 검출기의 일례의 구성을 도시한 도면이다.

도면

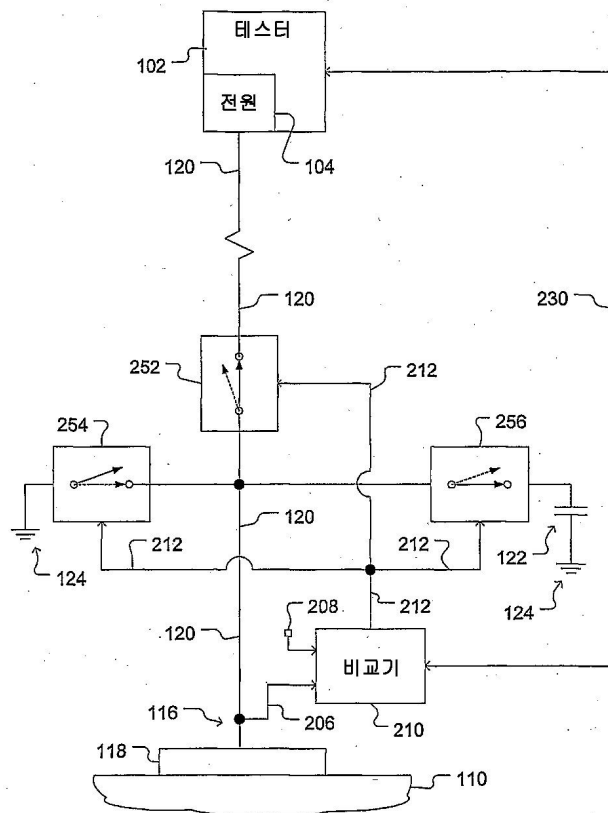
도면1a



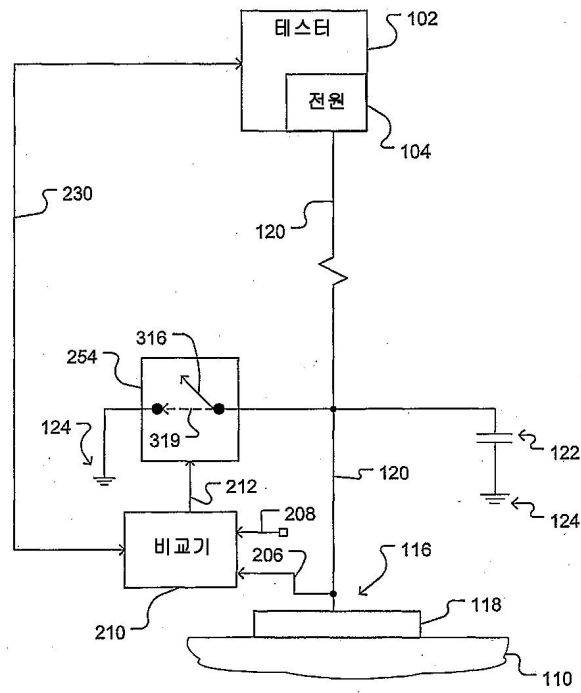
도면1b



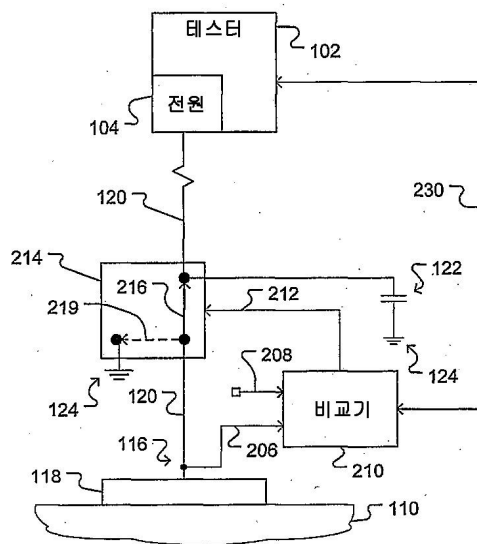
도면2



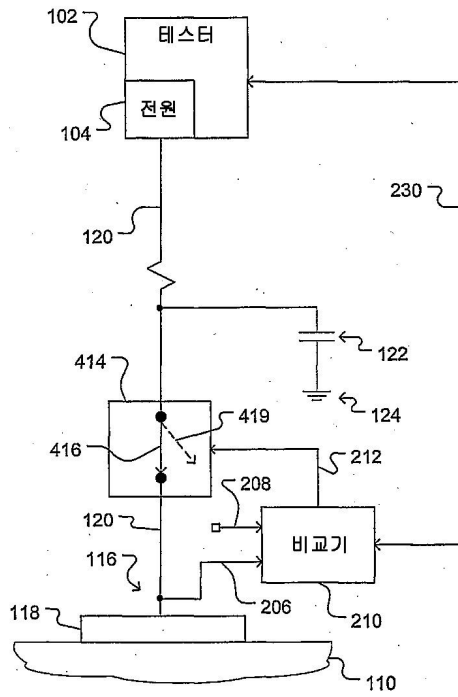
도면3



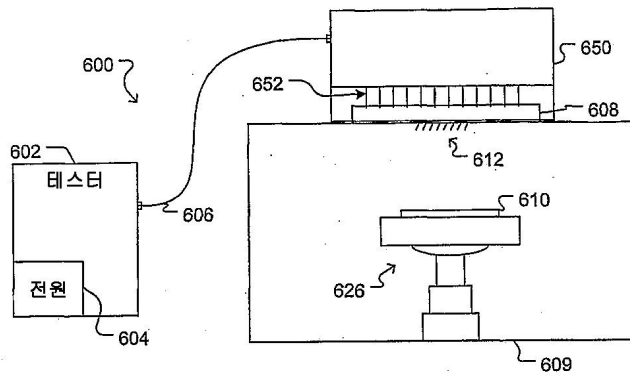
도면4



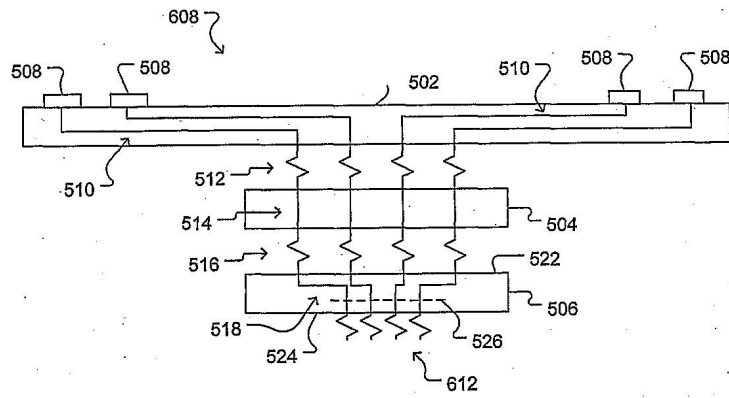
도면5



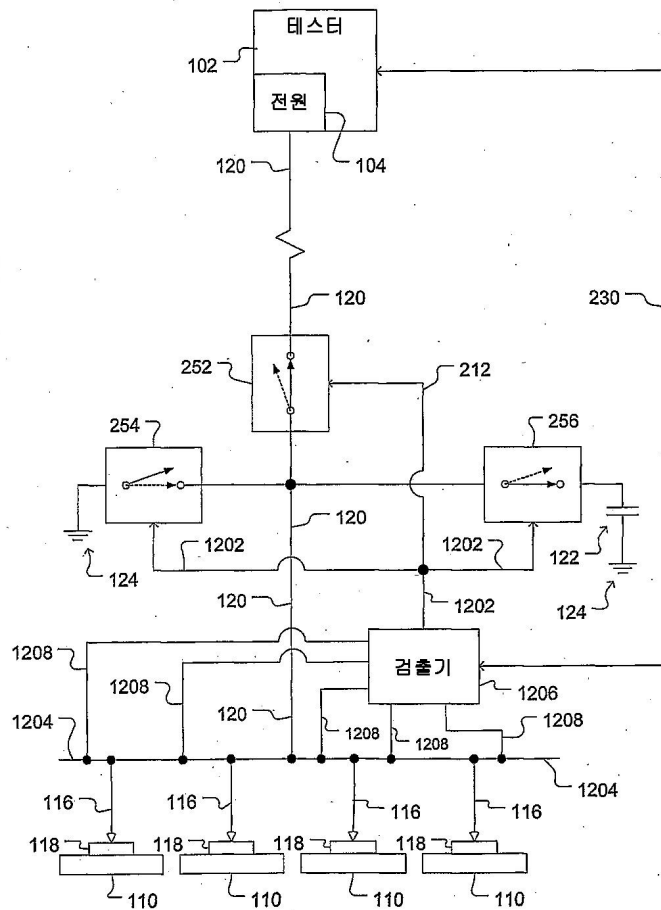
도면6



도면7



도면8



도면9

