

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3678286号
(P3678286)

(45) 発行日 平成17年8月3日(2005.8.3)

(24) 登録日 平成17年5月20日(2005.5.20)

(51) Int. Cl.⁷

F I

HO2M 7/21

HO2M 7/21

A

HO2M 3/28

HO2M 3/28

F

請求項の数 6 (全 8 頁)

<p>(21) 出願番号 特願平9-303998 (22) 出願日 平成9年11月6日(1997.11.6) (65) 公開番号 特開平11-146650 (43) 公開日 平成11年5月28日(1999.5.28) 審査請求日 平成15年1月10日(2003.1.10)</p>	<p>(73) 特許権者 591083244 富士電機システムズ株式会社 東京都千代田区三番町6番地17 (74) 代理人 100075166 弁理士 山口 巖 (74) 代理人 100076853 弁理士 駒田 喜英 (74) 代理人 100085833 弁理士 松崎 清 (74) 代理人 100088339 弁理士 篠部 正治 (72) 発明者 三野 和明 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内</p>
--	---

最終頁に続く

(54) 【発明の名称】 同期整流回路

(57) 【特許請求の範囲】

【請求項1】

トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにトランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、トランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

10

前記リアクトルとコンデンサ間、またはコンデンサと第1MOSFETのソース間に第3ダイオードを挿入することにより、第1MOSFETをオンしたとき、リアクトルにコンデンサから第1MOSFETのドレイン・ソース間方向に電流を流さないようにしたことを特徴とする同期整流回路。

【請求項2】

トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記ト

20

ランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、ランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

前記リアクトルに補助巻線を設けてリアクトルに流れる電流を検出し、これが零になるときに前記第1MOSFETをオフする制御手段を設けたことを特徴とする同期整流回路

10

【請求項3】

ランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記ランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、ランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

20

前記第1MOSFETの1つに流れる電流を検出し、これが零になるときに前記第1MOSFETをオフする制御手段を設けたことを特徴とする同期整流回路。

【請求項4】

ランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記ランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、ランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

30

前記第1MOSFETの1つのオン電圧を検出してこれから第1MOSFETの1つに流れる電流を推測し、これが零となるときに前記第1MOSFETをオフする制御手段を設けたことを特徴とする同期整流回路。

【請求項5】

ランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記ランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、ランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

40

前記ランス1次側の電流を検出して負荷率を検出し、負荷率が所定値以下の軽負荷時に前記第1MOSFETをオフする制御手段を設けたことを特徴とする同期整流回路。

50

【請求項6】

トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにトランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、トランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

10

前記トランス1次側の電流と同期整流回路の出力電圧とを検出し、リアクトル電流が零となる時間を計算して前記第1MOSFETをオフする制御手段を設けたことを特徴とする同期整流回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、金属酸化膜電界効果トランジスタ(MOSFET)の低オン抵抗を利用して、交流を直流に高効率に変換する同期整流回路に関する。

【0002】

20

【従来の技術】

図8に同期整流回路の従来例を示す。同図において、 T_r はトランス、 R_{C1} 、 F_{WRC} はダイオード、 $F_{W1} \sim F_{W4}$ はMOSFET、 L_0 はリアクトル、 C_0 はコンデンサを示す。

ここで、 T_r の2次側に正の電圧が生じると、電流は T_r の2次側ダイオード R_{C1} リアクトル L_0 コンデンサ C_0 T_r の2次側の経路で流れる。また、 T_r の2次側に負の電圧が生じると、 L_0 に流れる電流はリアクトル L_0 コンデンサ C_0 ダイオード F_{WRC} リアクトル L_0 の経路で還流する。しかし、ダイオードよりもMOSFETのオン電圧の方が低いので、MOSFET($F_{W1} \sim F_{W4}$)をオンすることで、MOSFET($F_{W1} \sim F_{W4}$)リアクトル L_0 の経路で還流させる。このように、MOSFETをオンすることで高効率化を図っている。

30

【0003】

なお、ダイオード R_{C1} は他のMOSFETに置き換えても良く、ダイオードとMOSFETを並列に設けるようにしても良い。ただし、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入することとする。また、ダイオード F_{WRC} を省略し、 $F_{W1} \sim F_{W4}$ のボディダイオードで代用するようにしても良い。

【0004】

【発明が解決しようとする課題】

図8の回路では、大きな負荷電流を流しているときのリアクトル L_0 に流れる電流の還流経路は常にリアクトル L_0 コンデンサ C_0 ダイオード F_{WRC} またはMOSFET($F_{W1} \sim F_{W4}$)リアクトル L_0 の方向である。しかし、負荷電流が小さい軽負荷時では、リアクトル電流は図9(c)に示すように、零付近でリップルを含んだ波形となる。ここで、リアクトル電流が L_0 $F_{W1} \sim F_{W4}$ C_0 L_0 の経路で流れているときにMOSFETをオフすると、リアクトル L_0 に蓄えられているエネルギーによって、MOSFET($F_{W1} \sim F_{W4}$)のドレイン・ソース間やダイオード F_{WRC} のアノード・カソード間の電圧が図9(d)に示すように上昇し、素子が破壊するおそれがある。

40

また、リアクトル電流が L_0 $F_{W1} \sim F_{W4}$ C_0 L_0 の方向で流れているときは、出力側のコンデンサ C_0 からエネルギーが放電されており、効率を低下させることになる。

50

したがって、この発明の課題は、エネルギーの損失を低減し高効率化を図ることにある。

【0005】

【課題を解決するための手段】

このような課題を解決すべく、請求項1の発明では、トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにトランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、トランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

10

前記リアクトルとコンデンサ間、またはコンデンサと第1MOSFETのソース間に第3ダイオードを挿入することにより、第1MOSFETをオンしたとき、リアクトルにコンデンサから第1MOSFETのドレイン・ソース間方向に電流を流さないようにしている。

【0006】

また、請求項2,3の発明では、トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにトランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、トランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

20

30

前記リアクトルに補助巻線を設けてリアクトルに流れる電流を検出し、これが零になるときに前記第1MOSFETをオフする制御手段を設けるか(請求項2の発明)、または

前記第1MOSFETの1つに流れる電流を検出し、これが零になるときに前記第1MOSFETをオフする制御手段を設けたことを特徴とする(請求項3の発明)。

【0007】

さらに、請求項4,5,6の発明では、トランスの2次側に任意の数の第1の金属酸化膜電界効果トランジスタ(MOSFET)を並列接続し、この第1MOSFETのドレインとトランスの正側間に第1ダイオードまたは第2MOSFETの少なくとも一方を、ダイオードの場合はそのアノードを前記トランスの正側に、また、MOSFETの場合はそのドレインどうしが接続されるようにそれぞれ挿入し、第1MOSFETのドレイン・ソース間のドレイン側にカソードが接続されるように第2ダイオードを並列接続するか、または第2ダイオードの役割を第1MOSFETのボディダイオードで果たし、さらにトランス2次側に並列接続した第1MOSFETのドレイン・ソース間にリアクトルとコンデンサの直列回路を並列接続し、コンデンサ両端間を出力とすることで、トランス2次側に負の電圧が発生したときに第1MOSFETをオンさせてリアクトル電流を還流させる同期整流回路において、

40

前記第1MOSFETの1つのオン電圧を検出してこれから第1MOSFETの1つに流れる電流を推測し、これが零となるときに前記第1MOSFETをオフする制御手段を設けるか(請求項4の発明)、または、

50

前記トランス1次側の電流を検出して負荷率を検出し、負荷率が所定値以下の軽負荷時に前記第1MOSFETをオフする制御手段を設けるか(請求項5の発明)、もしくは前記トランス1次側の電流と同期整流回路の出力電圧とを検出し、リアクトル電流が零となる時間を計算して前記第1MOSFETをオフする制御手段を設けたことを特徴とする(請求項6の発明)。

【0008】

【発明の実施の形態】

図1はこの発明の第1の実施の形態を示す回路図である。

同図からも明らかのように、この例はダイオードFWRCのカソードとFW1~FW4のドレインとの接続点と、コンデンサC₀のプラス(+)端子間にダイオードRC2を挿入した点が特徴である。これにより、リアクトルL₀の電流はコンデンサC₀ダイオードFWRCまたはMOSFET(FW1~FW4)リアクトルL₀の方向しか流れなくなる。その結果、L₀に蓄えられたエネルギーによるFW1~FW4やFWRC両端間の電圧上昇、C₀からのエネルギーの放出による軽負荷時の効率低下を抑制することができる。なお、ダイオードRC2はリアクトルL₀とコンデンサC₀間、若しくはコンデンサC₀と第1MOSFETのソース間に挿入するようにしても良いことは、言うまでもない。

【0009】

図2は図1の変形例を示す回路図である。

これは、図1のようにダイオードRC2を挿入する代わりに、電流検出器CTを設けてリアクトルL₀に流れる電流を検出し、L₀の電流がコンデンサC₀リアクトルL₀ダイオードFWRCまたはMOSFET(FW1~FW4)コンデンサC₀の方向に流れる前の電流、換言すればL₀の電流が零になったことを検出して、FW1~FW4をオフさせるものである。その結果、L₀の電流はリアクトルL₀コンデンサC₀ダイオードFWRCまたはMOSFET(FW1~FW4)リアクトルL₀の方向にしか流れなくなり、L₀に蓄えられたエネルギーによるFW1~FW4やFWRC両端間の電圧上昇、C₀からのエネルギー放出による軽負荷時の効率低下を抑制することができる。

【0010】

図3はこの発明の第2の実施の形態を示す回路図である。

この例は、図1のようにダイオードRC2を挿入する代わりに、L₀に補助巻線L₀'を付加し、その巻数比(L₀:L₀')からL₀に流れる電流を検出するもので、安価な電流検出を可能とするものである。なお、電流零を検出したらFW1~FW4をオフさせるのは、図1、図2の場合と同様である。

図4はこの発明の第3の実施の形態を示す回路図である。

これは、リアクトルL₀コンデンサC₀ダイオードFWRCまたはMOSFET(FW1~FW4)リアクトルL₀の方向に流れる電流のうち、FW1~FW4のいずれかに流れる電流を電流検出器CTにより検出するものである。この場合、MOSFETの並列数分の1の電流を検出すれば良く、電流検出を低コストで実現することができる。なお、電流零を検出したらFW1~FW4をオフさせるのは、図1~図3の場合と同様である。

【0011】

図5はこの発明の第4の実施の形態を示す回路図である。

これは、図1のようにダイオードRC2を挿入する代わりに、いずれか1つのMOSFETのドレイン・ソース間電圧の大きさからMOSFETに流れる電流(零)を検出するものである。電流検出器を用いないので、低コスト化を図ることができる。なお、電流零を検出したらFW1~FW4をオフさせるのは、図1~図4の場合と同様である。

図6はこの発明の第5の実施の形態を示す回路図である。

これは、図1のようにダイオードRC2を挿入する代わりに、トランスTrの1次側の電流と負荷電流とが比例関係にあることに着目したもので、トランスTrの1次側に電流検出器CTを設けて1次電流の大きさを検出し負荷電流を検出する。そして、この負荷電流が小さい軽負荷時にFW1~FW4をオフさせるのは、以上の各場合と同様である。こ

10

20

30

40

50

の例では、同期整流器側に検出器を設けなくても済むことになる。

【0012】

図7はこの発明の第6の実施の形態を示す回路図である。

ここでは、図6と同じくトランスTrの1次側に電流検出器を設けて1次電流の大きさを検出し、トランスTrの巻数比から2次側に流れるリアクトル L_0 の方向に流れる電流を検出する。すなわち、リアクトル電流のピーク値を I_0 とすると、リアクトル電流 I は、次の(1)式で表わされる。

$$I = (di/dt)t + I_0 \quad \dots (1)$$

ただし、 di/dt は次の(2)式となる。なお、 t は電流ピーク値からの時間、 V_0 は出力電圧である。

$$di/dt = -V_0/L_0 \quad \dots (2)$$

よって、 $I = 0$ となる時間 t は次の(3)式で表わされる。

$$t = L_0 I_0 / V_0 \quad \dots (3)$$

【0013】

つまり、(3)式よりリアクトル電流が零となるまでの時間は、 L_0 、 I_0 、 V_0 の値から計算できることが分かる。図7はリアクトル電流の初期値 I_0 から零になるまでの時間 t を図示している。

そして、この時間 t をもとにFW1～FW4をオフさせるのは、以上の各場合と同様である。また、同期整流器側に検出器を設けなくても済むのは図6の場合と同様である。

【0014】

【発明の効果】

この発明によれば、軽負荷時における同期整流回路の出力リアクトルに流れる還流電流を逆方向に流さないことで、高効率化を図ることができる。また、出力リアクトル電流が逆方向に流れたときに素子をオフするものではないので、素子の耐圧を越えることがなくなり、安全を図ることが可能になるという利点が得られる。

【図面の簡単な説明】

【図1】 この発明の第1の実施の形態を示す構成図である。

【図2】 図1の変形例を示す構成図である。

【図3】 この発明の第2の実施の形態を示す構成図である。

【図4】 この発明の第3の実施の形態を示す構成図である。

【図5】 この発明の第4の実施の形態を示す構成図である。

【図6】 この発明の第5の実施の形態を示す構成図である。

【図7】 この発明の第6の実施の形態を説明するための説明図である。

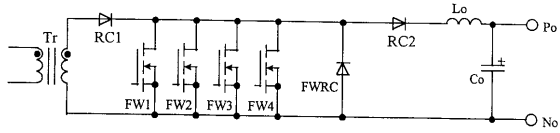
【図8】 従来例を示す回路図である。

【図9】 図8の動作説明図である。

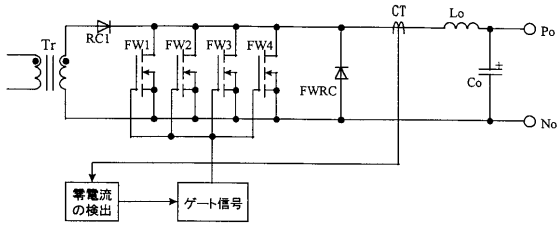
【符号の説明】

Tr...トランス、RC1、RC2、FWRC...ダイオード、FW1、FW2、FW3、FW4...MOSFET、 L_0 、 L_0' ...リアクトル、 C_0 ...コンデンサ、CT...電流検出器、 P_0 ...正側出力、 N_0 ...負側出力、 I ...電流、 t ...時間。

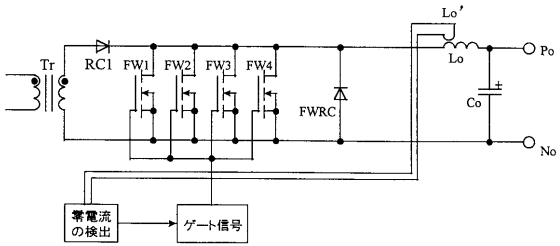
【 図 1 】



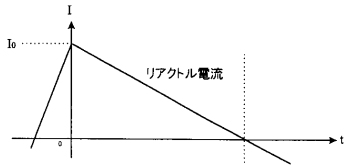
【 図 2 】



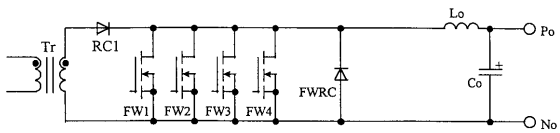
【 図 3 】



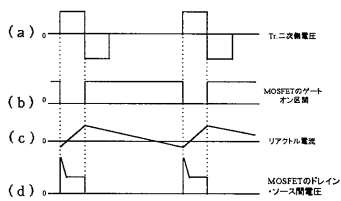
【 図 7 】



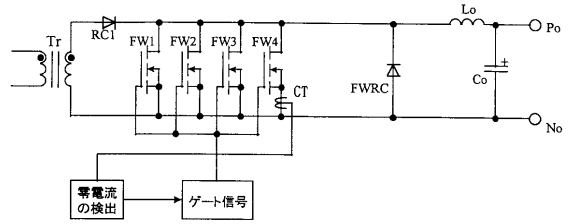
【 図 8 】



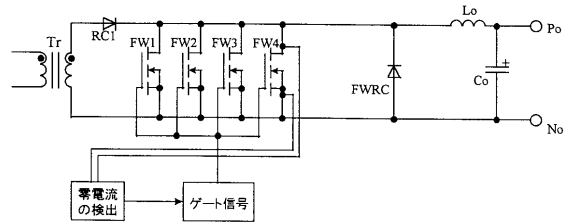
【 図 9 】



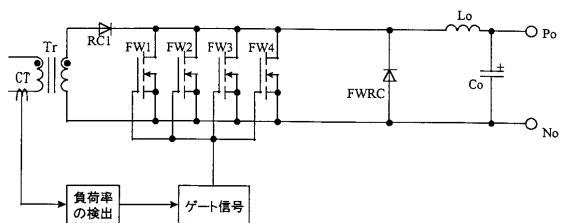
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(72)発明者 鷗頭 政和

神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 川端 修

(56)参考文献 特開平09-009618(JP,A)

特開平09-172775(JP,A)

実開昭62-185491(JP,U)

(58)調査した分野(Int.Cl.⁷, DB名)

H02M 7/21

H02M 3/28