



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I445085 B

(45) 公告日：中華民國 103 (2014) 年 07 月 11 日

(21) 申請案號：098112360

(22) 申請日：中華民國 98 (2009) 年 04 月 14 日

(51) Int. Cl. : **H01L21/3205 (2006.01)****H01L21/28 (2006.01)****H01L21/768 (2006.01)**

(30) 優先權：2008/04/15 日本

2008-105739

(71) 申請人：住友電氣工業股份有限公司 (日本) SUMITOMO ELECTRIC INDUSTRIES, LTD.

(JP)

日本

(72) 發明人：玉祖秀人 TAMASO, HIDETO (JP)

(74) 代理人：陳長文

(56) 參考文獻：

TW M324301

TW 200731406

US 5920794

US 2006/0267022A1

審查人員：趙芝婷

申請專利範圍項數：14 項 圖式數：27 共 0 頁

(54) 名稱

半導體裝置及其製造方法

(57) 摘要

本發明之藉由包括 p 型 SiC 區域及 n 型 SiC 區域均可充分抑制接觸電阻而接觸的電極，可減低製造步驟之步驟數及提高積體度之半導體裝置的 MOSFET 包括：n⁺ SiC 基板(11)、形成於 n⁺ SiC 基板(11)上之 n⁻ 碳化矽層(12)、及接觸於 n⁻ 碳化矽層(12)而配置之源極電極(22)。n⁻ 碳化矽層(12)包含導電型係 n 型之 n⁺ 源極區域(14)。而且，源極電極(22)包含與 n⁺ 源極區域(14)接觸而配置，且含有鈦、鋁及矽之源極接觸電極(16)。

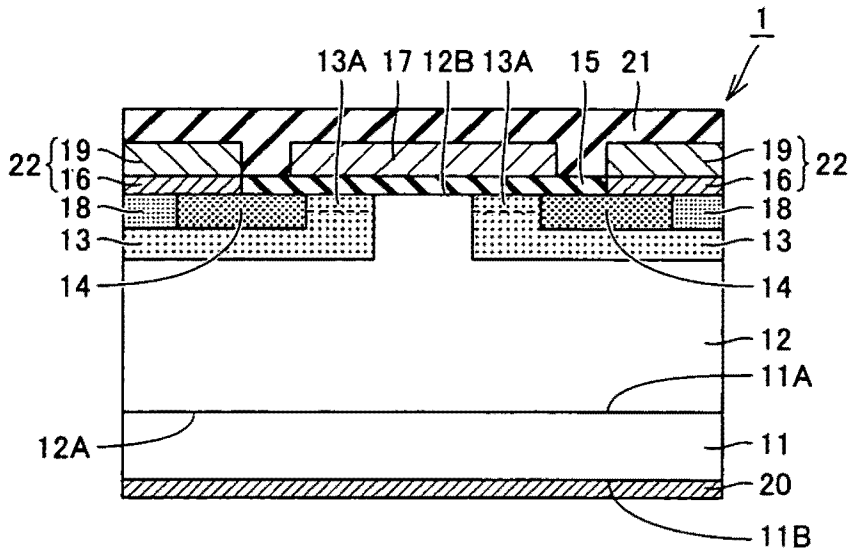


圖 1

- 1 . . . MOSFET
- 11 . . . n⁺ SiC 基板
- 11A . . . 一方主面
- 11B . . . 另一方主面
- 12 . . . n⁻ 碳化矽層
- 12A . . . 第一主面
- 12B . . . 第二主面
- 13 . . . p 本體
- 13A . . . 通道區域
- 14 . . . n⁺ 源極區域
- 15 . . . 閘極氧化膜
- 16 . . . 源極接觸電極
- 17 . . . 閘極電極
- 18 . . . p⁺ 區域
- 19 . . . 源極配線
- 20 . . . 汲極電極
- 21 . . . 鈍化膜
- 22 . . . 源極電極

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：98112360

※申請日：98.4.14

※IPC 分類：H01L21/3205 (2006.01)
H01L21/768 (2006.01)
H01L21/28 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

二、中文發明摘要：

本發明之藉由包括p型SiC區域及n型SiC區域均可充分抑制接觸電阻而接觸的電極，可減低製造步驟之步驟數及提高積體度之半導體裝置的MOSFET1包括：n⁺SiC基板(11)、形成於n⁺SiC基板(11)上之n⁻碳化矽層(12)、及接觸於n⁻碳化矽層(12)而配置之源極電極(22)。n⁻碳化矽層(12)包含導電型係n型之n⁺源極區域(14)。而且，源極電極(22)包含與n⁺源極區域(14)接觸而配置，且含有鈦、鋁及矽之源極接觸電極(16)。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

1	MOSFET
11	n^+ SiC基板
11A	一方主面
11B	另一方主面
12	n^- 碳化矽層
12A	第一主面
12B	第二主面
13	p本體
13A	通道區域
14	n^+ 源極區域
15	閘極氧化膜
16	源極接觸電極
17	閘極電極
18	p^+ 區域
19	源極配線
20	汲極電極
21	鈍化膜
22	源極電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及其製造方法，更特定地係關於一種具備接觸於含碳化矽之碳化矽層而配置的電極之半導體裝置及其製造方法。

【先前技術】

半導體裝置中形成導電型係n型之n型區域與導電型係p型之p型區域，該n型區域及p型區域中多為採用連接電極之構造的情況。近年來伴隨使用半導體裝置之裝置進行高效率化，亦對半導體裝置要求高效率化。為了將半導體裝置高效率化，上述電極不僅要求其本身之電阻(電性阻力)小，還要求與上述n型區域及p型區域之接觸電阻小。

另外，近年來，因半導體裝置可在高耐壓化、低損失化、高溫環境下使用等，所以構成半導體裝置之材料已進展為採用碳化矽(SiC)。SiC與先前作為構成半導體裝置之材料而廣泛使用的矽(Si)比較，係帶間隙大之寬帶間隙半導體。因而，構成半導體裝置之材料藉由採用SiC，可達成半導體裝置之高耐壓化及接通電阻之減低等。此外，將SiC作為材料而採用之半導體裝置與將矽作為材料而採用之半導體裝置比較，亦具有在高溫環境下使用時之特性的降低小之優點。

但是，採用SiC作為半導體裝置之素材的情況，與採用矽作為半導體裝置之素材的情況比較，避免p型區域及n型區域與電極之肖特基障壁變大困難，結果有抑制p型區域

及n型區域與電極之接觸電阻上昇不容易的問題。

對於此，習知藉由與包含n型雜質(導電型係n型之雜質)之n型SiC區域接觸的電極材料採用鎳(Ni)，與包含p型雜質(導電型係p型之雜質)之p型SiC區域接觸的電極材料採用鈦(Ti)/鋁(Al)或是鋁矽合金，可減低接觸電阻(例如參照谷本智及其他4位，「SiC器件之歐姆接觸形成技術」，電子資訊通訊學會論文誌，社團法人電子資訊通訊學會，2003年4月，Vol. J86-C，No.4，p359-367(非專利文獻1))。

先前技術文獻

非專利文獻

非專利文獻1：谷本 智及其他4位，「SiC器件之歐姆接觸形成技術」，電子資訊通訊學會論文誌，社團法人電子資訊通訊學會，2003年4月，Vol. J86-C，No. 4，p359-367

【發明內容】

發明所欲解決之問題

如上述，藉由依與電極接觸之區域係n型SiC區域或是p型SiC區域，適切地選擇構成電極之材料，即使半導體裝置之素材採用SiC之情況，仍可減低p型區域及n型區域與電極之接觸電阻。但是，構成接觸於p型區域之電極的材料與構成接觸於n型區域之電極的材料不同之情況，需要形成此等電極之數個步驟，製造步驟之步驟數增加。結果產生半導體裝置之製造成本上昇的問題。此外，構成接觸於p型區域之電極的材料與構成接觸於n型區域之電極的材料不同，亦成為阻礙半導體裝置之積體度提高的因素。

因此，本發明之目的為提供一種藉由包括p型SiC區域及n型SiC區域均可充分抑制接觸電阻而接觸的電極，可減低製造步驟之步驟數及提高積體度之半導體裝置及其製造方法。

解決問題之技術手段

按照本發明之半導體裝置包括：基板；碳化矽層，其係形成於基板上，且含碳化矽；及電極，其係接觸於碳化矽層而配置。上述碳化矽層包含導電型係n型之n型區域。而上述電極包含與n型區域接觸而配置，並含有鈦、鋁及矽之歐姆接觸電極。

本發明人就p型SiC區域及n型SiC區域均可充分抑制接觸電阻而接觸之電極的材料進行了詳細之檢討。其結果，獲得了如下的見識。

一般作為接觸於n型SiC區域之電極的材料，多為採用鎳的情況。此外，例如在使用SiC作為素材之DMOS型的縱型MOSFET(Metal Oxide Semiconductor Field Effect Transistor；氧化膜場效電晶體)中，採用含鎳之電極接觸於p型SiC區域及n型SiC區域兩方的構造。此因DMOS型之縱型MOSFET中需要接觸於p型區域及n型區域兩方的電極，含鎳之電極與p型SiC區域均可以 $10^{-2} \Omega \cdot \text{cm}^2$ 程度之接觸電阻率接觸。但是，該 $10^{-2} \Omega \cdot \text{cm}^2$ 之接觸電阻率係可用作歐姆接觸電極之數值，不過若考慮含鈦/鋁之電極與p型SiC區域可以 $10^{-3} \Omega \cdot \text{cm}^2$ 程度之接觸電阻率接觸，則含鎳之電極與p型SiC區域的接觸電阻稱不上充分低。

另外，採用含鈦/鋁之電極的情況，雖充分抑制與p型SiC區域之接觸電阻，不過與n型SiC區域之接觸電阻率成為 $10^{-3} \Omega \cdot \text{cm}^2$ 程度。但是該 $10^{-3} \Omega \cdot \text{cm}^2$ 之接觸電阻率亦為可用作歐姆接觸電極之數值，不過若考慮含鎳之電極與n型SiC區域可以 $10^{-6} \Omega \cdot \text{cm}^2$ 程度之接觸電阻率接觸，則含鈦/鋁之電極與n型SiC區域的接觸電阻稱不上充分低。

本發明人考慮此種電極之材料與p型SiC區域及n型SiC區域之接觸電阻的關係，並對電極之材料進一步加以檢討之結果，發現藉由在電極材料中採用包含鈦、鋁及矽之合金，p型SiC區域及n型SiC區域均可充分抑制接觸電阻。

本發明之半導體裝置中，接觸於碳化矽層而配置之電極包含與n型區域接觸而配置，並含有鈦、鋁及矽之歐姆接觸電極。該歐姆接觸電極可以與含鈦/鋁之電極不遜色的接觸電阻與p型SiC區域接觸，同時可以與含鎳之電極不遜色之接觸電阻與n型SiC區域接觸。其結果，根據本發明之半導體裝置，藉由包括p型SiC區域及n型SiC區域均可充分抑制接觸電阻而接觸的電極，可提供一種可減低製造步驟之步驟數及提高積體度的半導體裝置。

上述半導體裝置中，最好上述歐姆接觸電極含有原子數比為鈦之1.58倍以上6.33倍以下的鋁。

在實用上，為了採用作為歐姆接觸電極，最好與p型SiC區域之接觸電阻為 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下程度，與n型SiC區域之接觸電阻為 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 以下程度。在此，發明人調查包含鈦、鋁及矽之電極與p型SiC區域及n型SiC區域之接觸

電阻與該電極之組成的關係後，明瞭鋁對鈦之原子數比過大，則電極與n型SiC區域之接觸電阻變大，另外，若該原子數比過小，則電極與p型SiC區域之接觸電阻變大。而且，瞭解若上述原子數比未達1.58，則電極與p型SiC區域之接觸電阻超過 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 。此外，瞭解若上述原子數比超過6.33，則電極與n型SiC區域之接觸電阻超過 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 。從以上可以說最好歐姆接觸電極含有原子數比為鈦之1.58倍以上6.33倍以下的鋁。再者，為了更加減低電極與p型SiC區域之接觸電阻，最好上述原子數比為2.11以上，為了更加減低電極與n型SiC區域之接觸電阻，最好上述原子數比為4.22以下。

上述半導體裝置中，最好碳化矽層進一步包含導電型係p型之p型區域。而且，歐姆接觸電極係以從接觸於n型區域之區域延伸至接觸於p型區域之區域的方式配置。

p型SiC區域及n型SiC區域均可充分抑制接觸電阻而接觸之上述歐姆接觸電極，藉由以從接觸於n型區域之區域延伸至接觸於p型區域之區域的方式配置，可更加謀求減低製造步驟之步驟數及提高積體度。

上述半導體裝置中，最好進一步包括接觸於碳化矽層而配置，並與上述電極不同之其他電極。此外，碳化矽層進一步包含導電型係p型之p型區域。而且，該其他電極包含與p型區域接觸而配置，含有鈦、鋁及矽，且與上述歐姆接觸電極不同之其他歐姆接觸電極。

藉由p型SiC區域及n型SiC區域均可充分抑制接觸電阻而

接觸之上述歐姆接觸電極及其他歐姆接觸電極分別接觸於n型區域及p型區域而配置，可更加謀求減低製造步驟之步驟數及提高積體度。

另外，構成上述其他歐姆接觸電極之材料宜與構成上述歐姆接觸電極之材料同一。藉此，在半導體裝置之製造過程中，同時形成上述歐姆接觸電極與上述其他歐姆接觸電極容易，可更加減低製造步驟之步驟數。

上述半導體裝置中，上述其他歐姆接觸電極宜含有原子數比為鈦之1.58倍以上6.33倍以下的鋁。

如上述，考慮兼顧減低與p型SiC區域之接觸電阻及減低與n型SiC區域之接觸電阻時，上述其他歐姆接觸電極亦宜含有原子數比為鈦之1.58倍以上，6.33倍以下的鋁。進一步，為了更加減低上述其他電極與p型SiC區域之接觸電阻，上述原子數比宜為2.11以上，為了更加減低上述其他電極與n型SiC區域之接觸電阻，上述原子數比宜為4.22以下。

按照本發明之半導體裝置之製造方法包括以下步驟：準備基板；在基板上形成含碳化矽，並包含導電型係n型之n型區域的碳化矽層；及以接觸於碳化矽層之方式形成電極。而後，形成電極之步驟包含形成與n型區域接觸而配置，並包含鈦、鋁及矽之歐姆接觸電極的步驟。

本發明之半導體裝置之製造方法，係藉由包含鈦、鋁及矽，而形成可以與含鈦/鋁之電極不遜色的接觸電阻與p型SiC區域接觸，同時以與含鎳之電極不遜色的接觸電阻與n

型SiC區域接觸之歐姆接觸電極。因而，藉由本發明之半導體裝置之製造方法時，可達成在半導體裝置之製造步驟中的步驟數減低及半導體裝置之積體度的提高。

上述半導體裝置之製造方法中，形成歐姆接觸電極之步驟可具有以下步驟：在n型區域上形成含鈦之鈦層；在鈦層上形成含鋁之鋁層，在鋁層上形成含矽之矽層；及藉由將鈦層、鋁層及矽層加熱，而使包含鈦、鋁及矽之合金生成。

在n型區域上形成包含鈦、鋁及矽之歐姆接觸電極時，可採用在n型區域上形成鈦層、鋁層及矽層後，將此等之層加熱，而生成包含鈦、鋁及矽之合金的過程。在此，藉由將藉由接觸於氧而氧化容易之鋁及鈦，以比該鋁及鈦不易氧化之矽覆蓋，可抑制爾後步驟中鋁及鈦之氧化。此外，藉由預先使矽與熔點低之鋁接觸，可抑制在爾後步驟中鋁熔化而流出至周圍區域之前，鋁與矽形成合金，而鋁流出至周圍之區域。此外，鋁與矽之合金比鋁單體不易氧化。

因此，首先在n型區域上依序形成鈦層、鋁層及矽層，其後藉由進行形成合金用之加熱處理，可在以矽層覆蓋鈦層及鋁層之狀態下，且在使鋁層與矽層接觸之狀態下實施加熱處理。結果，可抑制鈦及鋁之氧化，並且抑制鋁流出至周圍區域，並使包含鈦、鋁及矽之合金生成，而形成穩定之歐姆接觸電極。

上述半導體裝置之製造方法中，於上述形成鋁層之步驟

中，形成含有鈦層之厚度的1.5倍以上6倍以下之厚度的鋁層。

如上述，在實用上，為了作為歐姆接觸電極而採用，與p型SiC區域之接觸電阻宜為 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下程度，與n型SiC區域之接觸電阻宜為 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 以下程度。在此，發明人調查在順次形成鈦層、鋁層及矽層後，以將此等合金化之程序製作歐姆接觸電極的情況中，鈦層、鋁層及矽層之厚度，與製作之歐姆接觸電極與p型SiC區域及n型SiC區域之接觸電阻的關係後，明瞭鋁層對鈦層之厚度的比過大時，電極與n型SiC區域之接觸電阻變大，另外該厚度之比過小時電極與p型SiC區域之接觸電阻變大。而後，瞭解上述厚度之比未達1.5時，電極與p型SiC區域之接觸電阻超過 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 。此外瞭解上述厚度之比超過6時，電極與n型SiC區域之接觸電阻超過 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 。從以上，上述形成鋁層之步驟宜形成含有鈦層之厚度的1.5倍以上，6倍以下之厚度的鋁層。進一步，為了更加減低電極與p型SiC區域之接觸電阻，上述厚度之比宜為2.0以上，為了更加減低電極與n型SiC區域之接觸電阻，上述厚度之比宜為4.0以下。

另外，上述形成鈦層之步驟中形成的鈦層厚度未達 100Å 時，藉由過程之不均一性，可能發生難以獲得重現性的問題。因而，形成之鈦層的厚度宜為 100Å 以上。另外，在上述形成鈦層之步驟中形成的鈦層厚度超過 400Å 時，可能發生妨礙鋁與SiC之反應，而特性降低的問題。因而，形成

之鈦層的厚度宜為400Å以下。此外，上述形成矽層之步驟中形成的矽層厚度未達100Å時，即使鋁為充分薄，在製作合金上仍可能不充分。因而，形成之矽層的厚度宜為100Å以上。另外，上述形成矽層之步驟中形成的矽層厚度超過500Å時，可能發生矽不與鋁反應，作為高電阻層而保留的問題。因而，形成之矽層的厚度宜為500Å以下。

上述半導體裝置之製造方法中，於上述使合金生成之步驟中，在惰性氣體與氫(H₂)之混合氣體中，將上述鈦層、鋁層及矽層加熱。

藉此，可穩定地減低製作之歐姆接觸電極與p型SiC區域及n型SiC區域的接觸電阻。另外，在此所謂惰性氣體包含氬(Ar)、氦(He)等之稀有氣體及氮(N₂)。此外，從減低半導體裝置之製造成本而形成歐姆接觸電極的觀點，將上述鈦層、鋁層及矽層加熱用的環境更宜為氬與氫之混合氣體或是氮與氫之混合氣體。

上述半導體裝置之製造方法中，上述形成歐姆接觸電極之步驟，係在比上述使合金生成之步驟之前，進一步具有在矽層上形成含鉑之鉑層的步驟。

藉此，可更加有效地抑制在爾後步驟中鋁及鈦之氧化，而可穩定地製作抑制p型SiC區域及n型SiC區域之接觸電阻的歐姆接觸電極。

上述半導體裝置之製造方法中，形成歐姆接觸電極之步驟可具有以下步驟：在n型區域上形成包含鈦、鋁及矽的混合層；及藉由將該混合層加熱，而使包含鈦、鋁及矽之

合金生成。

在n型區域上形成包含鈦、鋁及矽之歐姆接觸電極時，可採用首先在n型區域上形成包含鈦、鋁及矽之混合層後，將該混合層加熱，而使包含鈦、鋁及矽之合金生成的過程。藉此，可簡化製造步驟而形成穩定之歐姆接觸電極。

上述半導體裝置之製造方法中，形成混合層之步驟中，形成含有原子數比為鈦之1.58倍以上6.33倍以下的鋁之混合層。

如上述，考慮兼顧減低與p型SiC區域之接觸電阻及減低與n型SiC區域之接觸電阻時，上述歐姆接觸電極宜含有原子數比為鈦之1.58倍以上，6.33倍以下的鋁。因此，上述混合層中藉由形成含有原子數比為鈦之1.58倍以上，6.33倍以下之鋁的混合層，可以更適宜之水準達成兼顧減低與p型SiC區域之接觸電阻及減低與n型SiC區域之接觸電阻。進一步，為了更加減低電極與p型SiC區域之接觸電阻，上述原子數比宜為2.11以上，為了更加減低電極與n型SiC區域之接觸電阻，上述原子數比宜為4.22以下。

上述半導體裝置之製造方法中，於上述使合金生成之步驟中，在惰性氣體與氫之混合氣體中將上述混合層加熱。

藉此，可穩定地減低製作之歐姆接觸電極與p型SiC區域及n型SiC區域的接觸電阻。此外，從減低半導體裝置之製造成本而形成歐姆接觸電極之觀點，將上述混合層加熱用之環境更宜為氫與氫之混合氣體或是氮與氫之混合氣體。

上述半導體裝置之製造方法中，形成歐姆接觸電極之步驟，宜在比上述使合金生成之步驟之前，進一步具有在上述混合層上形成含鉑之鉑層的步驟。

藉此，可有效地抑制在爾後步驟中合金層之氧化，而可穩定地製作抑制p型SiC區域及n型SiC區域之接觸電阻的歐姆接觸電極。

上述半導體裝置之製造方法中，於形成碳化矽層之步驟中，形成更包含有導電型係p型之p型區域的碳化矽層。而後，於形成歐姆接觸電極之步驟中，以從接觸於n型區域之區域延伸至接觸於p型區域之區域的方式形成歐姆接觸電極。

藉由以從接觸於n型區域之區域延伸至接觸於p型區域之區域的方式而形成p型SiC區域及n型SiC區域均可充分地抑制接觸電阻而接觸之上述歐姆接觸電極，可達成更加減低半導體裝置之製造步驟中的步驟數及提高半導體裝置之積體度。

上述半導體裝置之製造方法中，宜進一步包括以接觸於碳化矽層之方式形成與上述電極不同之其他電極的步驟。此外，於形成碳化矽層之步驟中，形成更包含有導電型係p型之p型區域的碳化矽層。進一步上述形成其他電極之步驟進一步包含形成與p型區域接觸而配置，含有鈦、鋁及矽，並與上述歐姆接觸電極不同之其他歐姆接觸電極的步驟。而後，同時實施形成歐姆接觸電極之步驟與形成其他歐姆接觸電極之步驟。

藉由同時形成接觸於p型SiC區域之歐姆接觸電極與接觸於n型SiC區域之歐姆接觸電極，可謀求更加減低製造步驟之步驟數。

另外，構成上述其他歐姆接觸電極之材料宜與構成上述歐姆接觸電極之材料同一。藉此，同時形成上述歐姆接觸電極與上述其他歐姆接觸電極容易。

【實施方式】

發明之效果

從以上之說明明瞭，藉由本發明之半導體裝置及其製造方法時，藉由包括p型SiC區域及n型SiC區域均可充分地抑制接觸電阻而接觸的電極，可提供可減低製造步驟之步驟數及提高積體度的半導體裝置及其製造方法。

以下，依據圖式說明本發明之實施形態。另外，以下之圖式中，在同一或相當之部分註記同一之參照編號，不重複其說明。

(第一種實施形態)

首先，就第一種實施形態中之MOSFET作說明。參照圖1，第一種實施形態中之MOSFET1包含：含碳化矽(SiC)，係導電型為n型(第一導電型)之基板的 n^+ SiC基板11；含SiC，作為導電型為n型(第一導電型)之半導體層的 n^- 碳化矽層12；作為導電型為p型(第二導電型)之第二導電型區域的一對p本體(body)13；作為導電型為n型(第一導電型)之高濃度第一導電型區域的 n^+ 源極區域14；及作為導電型為p型(第二導電型)之高濃度第二導電型區域的 p^+ 區域18。

n^+ SiC基板11包含高濃度之n型雜質(導電型為n型之雜質)如包含氮(N)。

n^- 碳化矽層12在 n^+ SiC基板11之一方主面11A上，例如以10 μm 程度之厚度形成，藉由包含n型雜質而導電型成為n型。包含於 n^- 碳化矽層12之n型雜質例如係氮(N)，且以比包含於 n^+ SiC基板11之n型雜質低的濃度，例如以 $5 \times 10^{15} \text{ cm}^{-3}$ 之濃度包含。

一對p本體13在 n^- 碳化矽層12中以包含與 n^+ SiC基板11側之主面的第一主面12A相反側之主面的第二主面12B之方式彼此分離而形成，藉由包含p型雜質(導電型係p型之雜質)，導電型成為p型(第二導電型)。包含於p本體13之p型雜質例如係鋁、硼(B)等，且以比包含於 n^+ SiC基板11之n型雜質低的濃度，例如以 $1 \times 10^{17} \text{ cm}^{-3}$ 之濃度包含。

n^+ 源極區域14包含第二主面12B，且以包圍於p本體13之方式，而形成於一對p本體13的各個內部。 n^+ 源極區域14以比包含於 n^- 碳化矽層12之n型雜質高的濃度，例如以 $1 \times 10^{20} \text{ cm}^{-3}$ 之濃度包含n型雜質，例如包含磷(P)。

p^+ 區域18從形成於一對p本體13中的一方p本體13內部之 n^+ 源極區域14觀察，在與形成於另一方p本體13內部之 n^+ 源極區域14相反側，以包含第二主面12B之方式形成。 p^+ 區域18以比包含於p本體13之p型雜質高的濃度，例如以 $1 \times 10^{20} \text{ cm}^{-3}$ 之濃度包含p型雜質，例如包含鋁、硼等。

進一步參照圖1，MOSFET1包括：作為閘極絕緣膜之閘極氧化膜15、閘極電極17、一對源極接觸電極16、源極配

線19、汲極電極20及鈍化膜21。

閘極氧化膜15接觸於第二主面12B，並以從一方之 n^+ 源極區域14的上部表面延伸至另一方之 n^+ 源極區域14的上部表面之方式形成於 n^- 碳化矽層12之第二主面12B上，例如含二氧化矽(SiO_2)。

閘極電極17以從一方之 n^+ 源極區域14上延伸至另一方之 n^+ 源極區域14上的方式，接觸於閘極氧化膜15而配置。此外，閘極電極17含多晶矽、鋁等導電體。

源極接觸電極16分別從一對 n^+ 源極區域14上，在從閘極氧化膜15離開之方向延伸至 p^+ 區域18上，並且接觸於第二主面12B而配置。而後，源極接觸電極16含有鈦、鋁及矽。更具體而言，源極接觸電極16含有鈦、鋁、矽及碳(C)，其餘部分含氧(O)等雜質。

源極配線19接觸於源極接觸電極16而形成，並含鋁等導電體。而後，源極配線19經由源極接觸電極16而與 n^+ 源極區域14電性連接。該源極配線19與源極接觸電極16構成源極電極22。

汲極電極20在 n^+ SiC基板11中，接觸於與形成 n^- 碳化矽層12之側的主面之一方主面11A相反側的主面之另一方主面11B而形成。該汲極電極20例如與上述源極接觸電極16相同，亦可含其含有鈦、鋁及矽之材料，亦可含鎳等可與 n^+ SiC基板11歐姆接觸之其他材料。藉此，汲極電極20與 n^+ SiC基板11電性連接。

鈍化膜21係以從一方之源極配線19上，通過閘極電極17

上，而延伸至另一方源極配線19上之方式形成。該鈍化膜21例如含SiO₂，並具有將源極配線19及閘極電極17與外部電性絕緣，並且保護MOSFET1之功能。

亦即，本實施形態中之MOSFET1包括： n^+ SiC基板11；形成於 n^+ SiC基板11上，作為含碳化矽之碳化矽層的 n^- 碳化矽層12；及接觸於 n^- 碳化矽層12而配置之源極電極22。此外， n^- 碳化矽層12包含作為導電型為n型之n型區域的 n^+ 源極區域14。而後，源極電極22包含與 n^+ 源極區域14接觸而配置，作為含有鈦、鋁及矽之歐姆接觸電極的源極接觸電極16。進一步，本實施形態之MOSFET1中， n^- 碳化矽層12包含作為導電型為p型之p型區域的 p^+ 區域18。而後，源極接觸電極16以從接觸於 n^+ 源極區域14之區域延伸至接觸於 p^+ 區域18之區域的方式而配置。

本實施形態中之MOSFET1中，接觸於 n^- 碳化矽層12而配置之源極電極22，包含與 n^+ 源極區域14接觸而配置，並含有鈦、鋁及矽之源極接觸電極16。該源極接觸電極16可以與含鈦/鋁之電極不遜色的接觸電阻而與 p^+ 區域18接觸，同時，可以與含鎳之電極不遜色的接觸電阻而與 n^+ 源極區域14接觸。而後，該源極接觸電極16以從接觸於 n^+ 源極區域14之區域延伸至接觸於 p^+ 區域18之區域的方式配置。結果本實施形態中之MOSFET1成為可減低製造步驟之步驟數及提高積體度的半導體裝置。

更具體而言，具有DMOS構造之本實施形態中的MOSFET1，需要同電位地保持 n^+ 源極區域14與p本體13。

因而，要求對源極接觸電極16減低接觸電阻，並電性連接於 n^+ 源極區域14及p本體13兩方。進一步，MOSFET1中為了減低接通電阻，需要將 n^+ 源極區域14與源極接觸電極16抑制接觸電阻而電性連接。對於此，本實施形態中之MOSFET1的源極接觸電極16藉由含有鈦、鋁及矽，係以低之接觸電阻對 n^+ 源極區域14及p本體13(p^+ 區域18)兩方接觸。結果，MOSFET1成為可減低製造步驟之步驟數及提高積體度的半導體裝置。

進一步，源極接觸電極16宜含有原子數比為鈦之1.58倍以上，6.33倍以下的鋁。藉此，可更加確實地減低源極接觸電極16與 n^+ 源極區域14及p本體13(p^+ 區域18)的接觸電阻。

其次，就MOSFET1之動作作說明。參照圖1，在閘極電極17中賦予臨限值以下之電壓的狀態，亦即在斷開狀態下，位於閘極氧化膜15正下方之p本體13與 n^- 碳化矽層12之間成為反偏壓，而成為不導通狀態。另外，在閘極電極17中施加正的電壓時，在p本體13之與閘極氧化膜15接觸的附近之通道區域13A中形成反轉層。結果，電性連接 n^+ 源極區域14與 n^- 碳化矽層12，而電流流入源極電極22與汲極電極20之間。

其次，就按照本發明之半導體裝置之製造方法的一種實施形態之第一種實施形態中的半導體裝置之MOSFET的製造方法作說明。參照圖2，第一種實施形態中之MOSFET的製造方法中，首先，步驟(S10)係實施基板準備步驟。

該步驟(S10)係準備第一導電型之SiC基板。具體而言，參照圖4，例如準備含六方晶SiC，且藉由包含n型雜質而導電型為n型的 n^+ SiC基板11。

其次，參照圖2，步驟(S20)係實施n型層形成步驟。該步驟(S20)係在 n^+ SiC基板11上形成第一導電型之半導體層。具體而言，參照圖4，係藉由磊晶生長而在 n^+ SiC基板11之一方主面11A上形成 n^- 碳化矽層12。磊晶生長例如作為原料氣體可採用 SiH_4 (矽烷)與 C_3H_8 (丙烷)之混合氣體而實施。此時，作為n型雜質例如導入氮。藉此，可形成包含濃度比包含於 n^+ SiC基板11之n型雜質低的n型雜質之 n^- 碳化矽層12。

其次，參照圖2，步驟(S30)係實施p本體形成步驟。該步驟(S30)參照圖5，係以在 n^- 碳化矽層12中包含與 n^+ SiC基板11側之主面的第一主面12A相反側之主面的第二主面12B之方式，而形成第二導電型之第二導電型區域。具體而言，首先在第二主面12B上例如藉由CVD(Cheical Vapor Deposition；化學蒸鍍法)而形成含 SiO_2 之氧化膜。而後，在氧化膜之上塗布抗蝕劑後，進行曝光及顯像，而形成在依作為希望之第二導電型區域的p本體13形狀之區域具有開口的抗蝕膜。而後，使用該抗蝕膜作為遮罩，藉由例如藉由RIE(Reactive Ion Etching；反應性離子蝕刻)部分地除去氧化膜，而在 n^- 碳化矽層12上形成含具有開口圖案之氧化膜的遮罩層。其後，除去上述抗蝕膜後，使用該遮罩層作為遮罩，藉由將鋁等p型雜質離子佈植於 n^- 碳化

矽層 12，而在 n⁻碳化矽層 12 上形成 p 本體 13。

其次，參照圖 2，步驟(S40)係實施 n⁺區域形成步驟。該步驟(S40)係在 p 本體 13 內之包含第二主面 12B 的區域形成包含比 n⁻碳化矽層 12 高濃度之第一導電型的雜質之高濃度第一導電型區域。具體而言，參照圖 5，首先在步驟(S30)中，除去作為遮罩而使用之上述氧化膜後，以與步驟(S30)同樣之程序，形成在依希望之 n⁺源極區域 14 形狀的區域具有開口之遮罩層。而後，使用該遮罩層作為遮罩，藉由將磷等 n 型雜質藉由離子佈植而導入 n⁻碳化矽層 12 中，而形成 n⁺源極區域 14。

其次，參照圖 2，步驟(S50)係實施 p⁺區域形成步驟。該步驟(S50)參照圖 5，係從形成於一對 p 本體 13 中之一方的 p 本體 13 內部之 n⁺源極區域 14 觀察，在與形成於另一方 p 本體 13 內部之 n⁺源極區域 14 的相反側，以包含第二主面 12B 之方式而形成高濃度第二導電型區域(p⁺區域 18)。具體而言，參照圖 5，係以與步驟(S30)及(S40)同樣之程序，形成在依希望之 p⁺區域 18 形狀的區域具有開口之遮罩層，使用其作為遮罩，藉由將鋁、硼等 p 型雜質藉由離子佈植而導入 n⁻碳化矽層 12 中，而形成 p⁺區域 18。

其次，參照圖 2，步驟(S60)係實施活化退火步驟。該步驟(S60)係實施將實施離子佈植之 n⁻碳化矽層 12，例如在氬(Ar)環境中加熱至 1700°C 程度，並保持 30 分鐘程度，而使上述藉由離子佈植而導入之雜質活化的熱處理之活化退火。

其次，參照圖2，步驟(S70)係實施閘極絕緣膜形成步驟。該步驟(S70)參照圖6，係將實施至步驟(S10)~(S60)，而形成了包含希望之離子佈植區域的 n^- 碳化矽層12之 n^+ SiC基板11予以熱氧化。熱氧化例如可藉由在氧環境中加熱至 1300°C 程度，並保持10分鐘程度而實施。藉此，將應成為含二氧化矽(SiO_2)之閘極氧化膜15(參照圖1)的熱氧化膜15A(例如厚度為50 nm程度)形成於第二主面12B上。

其次，參照圖2，步驟(S80)及(S90)係實施歐姆電極形成步驟及汲極電極形成步驟。在此，步驟(S80)及(S90)可以該順序或是步驟(S90)及(S80)之順序實施，不過從減低步驟數之觀點，宜如以下說明地同時實施。在步驟(S80)及(S90)中，參照圖3，首先步驟(S81)~(S83)係以鈦膜形成步驟、鋁膜形成步驟及矽膜形成步驟的順序實施。

具體而言，參照圖6及圖7，首先在熱氧化膜15A上塗布抗蝕劑後，進行曝光及顯像，而形成具有依應形成源極接觸電極16(參照圖1)之區域的開口91A之抗蝕膜91。而後，使用該抗蝕膜91作為遮罩，藉由例如藉由RIE部分地除去熱氧化膜15A而形成閘極氧化膜15。其後，含鈦之鈦膜51、含鋁之鋁膜52及含矽之矽膜53，如圖7所示，例如藉由濺鍍而依序形成於第二主面12B上及 n^+ SiC基板11之與 n^- 碳化矽層12相反側的主面上。進一步，藉由除去抗蝕膜91，除去(lift off)抗蝕膜91上之鈦膜51、鋁膜52及矽膜53，而在從熱氧化膜15A露出之第二主面12B上及在 n^+ SiC基板11與 n^- 碳化矽層12相反側之主面上殘留鈦膜51、鋁膜

52及矽膜53。

在此，步驟(S81)中宜形成厚度為 100\AA 以上， 400\AA 以下之鈦膜51。藉此，可穩定地形成低電阻之歐姆接觸電極。此外，在步驟(S82)中，宜形成具有厚度為在步驟(S51)中所形成之鈦層的厚度之1.5倍以上6倍以下之鋁膜52。藉此，可製作更加確實地減低 n^+ 源極區域14及p本體13之接觸電阻的源極接觸電極16。進一步在步驟(S83)中，宜形成厚度為 100\AA 以上 500\AA 以下之矽膜53。藉此，可穩定地形成低電阻之歐姆接觸電極。

其次，參照圖3，步驟(S84)係實施合金化步驟。具體而言，參照圖8及圖9，係將上述程序完了之 n^+ SiC基板11在氫等惰性氣體環境中，加熱至 550°C 以上 1200°C 以下之溫度，並宜為 900°C 以上 1100°C 以下之溫度，例如加熱至 1000°C ，保持10分鐘以下之時間，例如保持2分鐘。藉此，將包含於鈦膜51、鋁膜52及矽膜53之鈦、鋁及矽，以及包含於 n^- 碳化矽層12或 n^+ SiC基板11之碳予以合金化。結果如圖9所示，形成分別從一對 n^+ 源極區域14上，在從閘極氧化膜15離開之方向，延伸至 p^+ 區域18上，並且接觸於第二主面12B而配置之源極接觸電極16，及接觸於在 n^+ SiC基板11中與形成 n^- 碳化矽層12之側的主面之一方主面11A相反側的主面之另一方主面11B而配置的汲極電極20。在此，步驟(S84)中，宜在惰性氣體，特別是氫或/及氮與氫的混合氣體中將 n^+ SiC基板11加熱。藉此，可製作抑制製造成本，並更加確實地減低 n^+ 源極區域14及p本體13(p^+ 區

域18)的接觸電阻之源極接觸電極16。藉由以上之程序，步驟(S80)及(S90)完了。

其次，參照圖2，步驟(S100)係實施閘極電極形成步驟。該步驟(S100)，例如含導電體之多晶矽、鋁等的閘極電極17(參照圖1)，係以從一方之 n^+ 源極區域14上，延伸至另一方之 n^+ 源極區域14上，並且接觸於閘極氧化膜15之方式而形成。閘極電極之素材採用多晶矽的情況，該多晶矽可為以超過 $1 \times 10^{20} \text{ cm}^{-3}$ 之高濃度包含磷。

其次，參照圖2，步驟(S110)係實施源極配線形成步驟。該步驟(S110)例如係藉由蒸鍍法，而將含導電體之鋁的源極配線19(參照圖1)形成於源極接觸電極16之上部表面上。藉由上述步驟(S80)及該步驟(S110)，源極電極22(參照圖1)完成。

其次，參照圖2，步驟(S120)係實施鈍化膜形成步驟。該步驟(S120)參照圖1，係以從一方之源極配線19上，通過閘極電極17上，而延伸至另一方源極配線19上之方式，形成例如含 SiO_2 之該鈍化膜21。該鈍化膜21例如可藉由CVD法而形成。藉由以上之步驟(S10)~(S120)，第一種實施形態中之作為半導體裝置的MOSFET1製造方法完了，第一種實施形態之MOSFET1(參照圖1)完成。

藉由第一種實施形態中之MOSFET的製造方法時，可將 p^+ 區域18及 n^+ 源極區域14均可充分抑制接觸電阻而接觸的上述源極接觸電極16，以從接觸於 n 型區域之區域延伸至接觸於 p 型區域之區域的方式而形成，並且與其同時形成

含與源極接觸電極16同一材料之汲極電極20。結果可達成MOSFET1之製造步驟中的步驟數減低及MOSFET1的積體度之提高。

(第二種實施形態)

其次，就本發明其他實施形態之第二種實施形態作說明。參照圖10，第二種實施形態中作為半導體裝置之接合型場效電晶體(Junction Field Effect Transistor; JFET)的JFET3，在歐姆接觸電極之構成中具有與第一種實施形態中之MOSFET1同樣的構成，且達到同樣之效果。具體而言，JFET3包括：含SiC，且導電型為n型之n型基板31；形成於n型基板31上之第一p型層32；形成於第一p型層32上之n型層33；及形成於n型層33上之第二p型層34。在此，p型層及n型層分別係導電型為p型及n型之含SiC的層。此外，第一p型層32可為例如厚度10 μm 程度，p型雜質之濃度 $7.5 \times 10^{15} \text{ cm}^{-3}$ 程度，n型層33可為例如厚度0.45 μm 程度，n型雜質之濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 程度，第二p型層34可為例如厚度0.25 μm 程度，p型雜質之濃度 $2 \times 10^{17} \text{ cm}^{-3}$ 程度。

第二p型層34及n型層33中形成包含濃度比n型層33高之導電型為n型的雜質(n型雜質)(例如 $1 \times 10^{20} \text{ cm}^{-3}$ 程度)之第一n型區域35及第二n型區域37，並且以夾入第一n型區域35及第二n型區域37之方式，而形成包含濃度比第一p型層32及第二p型層34高之導電型為p型的雜質(p型雜質)(例如 $1 \times 10^{18} \text{ cm}^{-3}$ 程度)之第一p型區域36。亦即，第一n型區域35、第一p型區域36及第二n型區域37分別以貫穿第二p型

層34到達n型層33之方式而形成。此外，第一n型區域35、第一p型區域36及第二n型區域37之底部從第一p型層32之上部表面(第一p型層32與n型層33之邊界部)隔以間隔而配置。

此外，從第一n型區域35觀察，在與第一p型區域36相反側，以從第二p型層34之上部表面34A(與n型層33之側相反側的主面)貫穿第二p型層34到達n型層33之方式而形成溝部71。換言之，溝部71之底壁71A從第一p型層32與n型層33之界面隔以間隔而位於n型層33之內部。進一步，以從溝部71之底壁71A貫穿n型層33，到達第一p型層32之方式，而形成包含濃度比第一p型層32及第二p型層34高之p型雜質(例如 $1 \times 10^{18} \text{ cm}^{-3}$ 程度)的第二p型區域43。該第二p型區域43之底部從n型基板31之上部表面(n型基板31與第一p型層32之邊界部)隔以間隔而配置。

進一步，以接觸於第一n型區域35、第一p型區域36、第二n型區域37及第二p型區域43之上部表面的方式，分別形成作為歐姆接觸電極之源極接觸電極39、閘極接觸電極41汲極接觸電極42及電位保持接觸電極44。而後，源極接觸電極39、閘極接觸電極41、汲極接觸電極42及電位保持接觸電極44含有鈦、鋁及矽。更具體而言，源極接觸電極39、閘極接觸電極41、汲極接觸電極42及電位保持接觸電極44與第一種實施形態中之源極接觸電極16同樣地含有鈦、鋁、矽及碳，殘餘部分含雜質。

而後，在歐姆接觸電極之源極接觸電極39、閘極接觸電

極41、汲極接觸電極42及電位保持接觸電極44與鄰接之其他歐姆接觸電極之間形成氧化膜38。更具體而言，作為絕緣膜之氧化膜38係以覆蓋在第二p型層34之上部表面34A、溝部71之底壁71A及側壁71B中，形成有源極接觸電極39、閘極接觸電極41、汲極接觸電極42及電位保持接觸電極44之區域以外的區域全體之方式而形成。藉此，將相鄰之歐姆接觸電極之間絕緣。

進一步，以接觸於源極接觸電極39、閘極接觸電極41及汲極接觸電極42之上部表面的方式，分別形成源極配線45、閘極配線46及汲極配線47，而與各歐姆接觸電極電性連接。源極配線45亦接觸於電位保持接觸電極44之上部表面，亦與電位保持接觸電極44電性連接。換言之，源極配線45係以從源極接觸電極39之上部表面上延伸至電位保持接觸電極44之上部表面上的方式而形成，藉此，電位保持接觸電極44保持與源極接觸電極39同電位。源極配線45、閘極配線46及汲極配線47例如由鋁等導電體而構成。源極接觸電極39及源極配線45構成源極電極61，閘極接觸電極41及閘極配線46構成閘極電極62，汲極接觸電極42及汲極配線47構成汲極電極63。進一步，以覆蓋源極電極61、閘極電極62、汲極電極63及氧化膜38之上部表面的方式，形成鈍化膜64。該鈍化膜64例如含 SiO_2 ，將源極電極61、閘極電極62及汲極電極63與外部電性絕緣，並且具有保護JFET3之功能。

亦即，本實施形態中之JFET3包括：n型基板31；形成於

n型基板31上，作為含碳化矽之碳化矽層的第一p型層32、n型層33及第二p型層34；以及接觸於第二p型層34而配置之源極電極61、閘極電極62及汲極電極63。此外，由第一p型層32、n型層33及第二p型層34構成之碳化矽層包含：作為導電型為n型之n型區域的第一n型區域35及第二n型區域37；以及作為導電型為p型之p型區域的第一p型區域36及第二p型區域43。而後，源極電極61及汲極電極63分別包含與第一n型區域35及第二n型區域37接觸而配置，且作為含有鈦、鋁及矽之歐姆接觸電極的源極接觸電極39及汲極接觸電極42。進一步，其他電極之閘極電極62包含與作為p型區域之第一p型區域36接觸而配置，含與源極接觸電極39及汲極接觸電極42同一材料，並作為含有鈦、鋁及矽之其他歐姆接觸電極的閘極接觸電極41。

本實施形態中之JFET3中，與第一種實施形態中之源極接觸電極16同樣地，含有鈦、鋁及矽之源極接觸電極39及汲極接觸電極42分別接觸於作為n型區域之第一n型區域35及第二n型區域37，且含與源極接觸電極39及汲極接觸電極42同一材料之閘極接觸電極41，係與作為p型區域之第一p型區域36接觸而配置。藉此，JFET3成為可減低製造步驟中之步驟數及提高積體度的半導體裝置。

更具體而言，本實施形態中之JFET3中，與先前之JFET同樣地，構成接觸於第一n型區域35及第二n型區域37而配置之源極接觸電極39及汲極接觸電極42的材料為鎳，構成接觸於第一p型區域36而配置之閘極接觸電極41的材料為

鈦/鋁之情況，產生以下之問題。亦即，在採用上述構成之JFET3的製造方法中，形成用於形成源極接觸電極39及汲極接觸電極42之遮罩後，藉由蒸鍍等形成此等電極。其後，需要在除去該遮罩後，進一步形成用於形成閘極接觸電極41之遮罩，並藉由蒸鍍等而形成該電極。採用此種製造過程之情況，步驟數增加，並且起因於經過2次之遮罩形成時的對準誤差，而阻礙積體度提高。對於此，本實施形態中之JFET3中，因為可以同一材料形成源極接觸電極39、閘極接觸電極41及汲極接觸電極42，所以可藉由1次之遮罩形成，一起形成此等電極。結果，藉由本實施形態中之JFET3時，可謀求製造步驟之步驟數的減低及積體度之提高。

其次，就JFET3之動作作說明。參照圖10，閘極電極62之電壓為0 V之狀態，n型層33中，被第一p型區域36與第二n型區域37夾著之區域及被該夾著的區域與第一p型層32夾著的區域(漂移區域)、以及被第一p型區域36與第一p型層32夾著的區域(通道區域)不致耗盡化，第一n型區域35與第二n型區域37成為經由n型層33而電性連接的狀態。因而，藉由電子從第一n型區域35朝向第二n型區域37移動而電流流動。

另外，在閘極接觸電極41中施加負的電壓時，上述之通道區域及漂移區域之耗盡化進行，而成為電性遮斷第一n型區域35與第二n型區域37之狀態。因而，電子無法從第一n型區域35朝向第二n型區域37移動，電流不流動。

其次，就第二種實施形態中之作為半導體裝置的JFET3之製造方法作說明。參照圖11，本實施形態中之JFET3的製造方法中，首先，步驟(S210)係實施基板準備步驟。具體而言，步驟(S210)如圖13所示，係準備包含高濃度之n型雜質的含SiC之n型基板31。其次，步驟(S220)係實施磊晶生長步驟。具體而言，係在n型基板31之一方主面上，例如藉由氣相磊晶生長而順次形成含SiC之第一p型層32、n型層33及第二p型層34。氣相磊晶生長中，例如材料氣體可使用矽烷(SiH_4)及丙烷(C_3H_8)氣體，載氣可採用氫(H_2)。此外，形成p型層用之p型雜質源，例如可採用乙硼烷(B_2H_6)及三甲基鋁(TMA)，形成n型層用之n型雜質例如可採用氮(N_2)。藉此，形成包含鋁、硼等p型雜質之第一p型層32及第二p型層34、以及包含氮等之n型雜質的n型層33。

其次，參照圖11，步驟(S230)係實施溝部形成步驟。具體而言，步驟(S230)如圖14所示，係以從第二p型層34之上部表面34A貫穿第二p型層34而至n型層33的方式形成溝部71。溝部71之形成例如在將於希望之溝部71的形成位置具有開口之遮罩層形成於第二p型層34之上部表面34A上後，可藉由使用 SF_6 氣體之乾式蝕刻而實施。

其次，參照圖11，步驟(S240)係實施離子佈植步驟。具體而言，步驟(S240)參照圖14及圖15，係首先在第二p型層34之上部表面34A及溝部71的底壁上，例如藉由CVD而形成含 SiO_2 之氧化膜。而後，在氧化膜上塗布抗蝕劑後，

進行曝光及顯像，而形成在依希望之第一n型區域35及第二n型區域37形狀的區域具有開口之抗蝕膜。而後，使用該抗蝕膜作為遮罩，藉由例如藉由RIE部分地除去氧化膜，而形成含在第二p型層34之上部表面34A上具有開口圖案之氧化膜的遮罩層。其後，除去上述抗蝕膜後，使用該遮罩層作為遮罩，而在n型層33及第二p型層34中實施離子佈植。佈植之離子種例如可為磷、氮等。藉此，形成貫穿第二p型層34而至n型層33的第一n型區域35及第二n型區域37。

進一步除去用於形成第一n型區域35及第二n型區域37之遮罩層後，藉由同樣之程序在第二p型層34之上部表面34A及溝部71的底壁上，形成在依希望之第一p型區域36及第二p型區域43形狀的區域具有開口之遮罩層。而後，使用該遮罩層作為遮罩，在第一p型層32、n型層33及第二p型層34中實施離子佈植。佈植之離子種例如可為鋁、硼等。藉此，形成貫穿第二p型層34而至n型層33之第一p型區域36，及從溝部71之底壁71A貫穿n型層33而至第一p型層32的第二p型區域43。

其次，參照圖11，步驟(S250)係實施活化退火步驟。具體而言，步驟(S250)係藉由將具有上述離子佈植完了之第一p型層32、n型層33及第二p型層34的n型基板31，例如在氫等惰性氣體環境中加熱至1700°C，並保持30分鐘，而實施活化退火。藉此，在步驟(S240)中導入之磷、鋁等雜質活化，可作為n型雜質或p型雜質之功能。

其次，參照圖 11，步驟(S260)係實施氧化膜形成步驟。具體而言，步驟(S260)參照圖 16，係藉由實施例如在氧環境中加熱至 1300°C 程度，並保持 30 分鐘程度之熱氧化處理，而形成作為覆蓋第二 p 型層 34 之上部表面 34A 與溝部 71 之底壁 71A 及側壁 71B 的絕緣膜之氧化膜 38(場氧化膜)。氧化膜 38 之厚度例如係 0.1 μm 程度。

其次，參照圖 11，步驟(S270)係實施歐姆電極形成步驟。步驟(S270)中，參照圖 12，首先，步驟(S271)係實施混合膜形成步驟。具體而言，參照圖 17，首先，在氧化膜 38 上塗布抗蝕劑後，進行曝光及顯像，而形成具有依應形成源極接觸電極 39、閘極接觸電極 41、汲極接觸電極 42 及電位保持接觸電極 44(參照圖 10)之區域的開口 91A 之抗蝕膜 91。而後，使用該抗蝕膜 91 作為遮罩，例如藉由 RIE 部分地除去熱氧化膜 15A。其後，在抗蝕膜 91 上及從該抗蝕膜 91 而露出之區域，例如藉由同時濺鍍鈦、鋁及矽之混合濺鍍而形成包含鈦、鋁及矽之混合膜 54。進一步藉由除去抗蝕膜 91，而除去(lift off)抗蝕膜 91 上之混合膜 54，混合膜 54 以接觸於第一 n 型區域 35、第一 p 型區域 36、第二 n 型區域 37 及第二 p 型區域 43 上之方式而殘留。

在此，步驟(S271)中，宜形成含有原子數比為鈦之 1.58 倍以上，6.33 倍以下之鋁的混合膜 54。藉此，可更加確實地減低源極接觸電極 39 與第一 n 型區域 35 之接觸電阻、汲極接觸電極 42 與第二 n 型區域 37 之接觸電阻、及閘極接觸電極 41 與第一 p 型區域 36 之接觸電阻。

其次，參照圖 12，步驟(S272)係實施合金化步驟。具體而言，參照圖 18，係實施在氫等惰性氣體環境中，加熱至 550°C 以上，1200°C 以下之溫度，並宜為 900°C 以上，1100°C 以下之溫度，例如加熱至 1000°C，保持 10 分鐘以下之時間，例如保持 2 分鐘之合金化處理。藉此，將包含於混合膜 54 之鈦、鋁及矽，以及包含於 n 型層 33 或第二 p 型層 34 之碳予以合金化。結果如圖 18 所示，以接觸於第一 n 型區域 35、第一 p 型區域 36、第二 n 型區域 37 及第二 p 型區域 43 之上部表面的方式，分別形成作為歐姆接觸電極之源極接觸電極 39、閘極接觸電極 41、汲極接觸電極 42 及電位保持接觸電極 44。在此，步驟(S84)中，上述加熱宜在惰性氣體，特別是氫或/及氮與氫的混合氣體中實施。藉此，可製作抑制製造成本，並抑制接觸電阻之源極接觸電極 39、閘極接觸電極 41 及汲極接觸電極 42。藉由以上之程序，步驟(S270)完了。

其次，參照圖 11，步驟(S280)係實施配線形成步驟。具體而言，步驟(S280)參照圖 10，係形成分別接觸於源極接觸電極 39、閘極接觸電極 41 及汲極接觸電極 42 之上部表面的源極配線 45、閘極配線 46 及汲極配線 47。源極配線 45、閘極配線 46 及汲極配線 47 例如可藉由形成在應形成源極配線 45、閘極配線 46 及汲極配線 47 之希望區域具有開口的抗蝕層，蒸鍍鋁後，與抗蝕層一起除去(lift off)抗蝕層上之鋁而形成。

其次，參照圖 11，步驟(S290)係實施鈍化膜形成步驟。

具體而言，步驟(S290)係以覆蓋源極電極61、閘極電極62、汲極電極63及氧化膜38之上部表面的方式，形成例如含SiO₂之鈍化膜64。該鈍化膜64之形成例如可藉由CVD而實施。

藉由以上之步驟，本實施形態中之JFET3完成。在此，上述本實施形態中之作為半導體裝置的JFET3之製造方法中，因可以包含鈦、鋁及矽之同一材料形成源極接觸電極39、閘極接觸電極41及汲極接觸電極42，所以可藉由1次之遮罩形成同時形成此等電極。結果，藉由本實施形態中之JFET3的製造方法時，可謀求製造步驟之步驟數的減低及積體度之提高。

另外，上述實施形態中，於MOSFET之製造中，係在形成鈦膜、鋁膜及矽膜後，以將此等合金化之步驟形成歐姆接觸電極，JFET之製造中，係形成混合膜，其後以將該混合膜合金化之步驟形成歐姆接觸電極，不過本發明之半導體裝置之製造方法不限於此。本發明之半導體裝置之製造方法中，歐姆接觸電極可藉由包含上述2個方法之各種方法而形成。

此外，上述實施形態中，本發明之半導體裝置的一例，係就MOSFET及JFET作說明，不過本發明之半導體裝置不限於此，亦可適用於IGBT(Insulated Gate Bipolar Transistor；絕緣閘極雙極電晶體)、雙極電晶體等其他半導體裝置。

(第三種實施形態)

其次，就本發明進一步其他實施形態之第三種實施形態作說明。第三種實施形態中之半導體裝置與第一種實施形態中之作為半導體裝置的MOSFET1基本上具有同樣之構成，達到同樣之效果並且可同樣地製造。但是，第三種實施形態中之MOSFET1的製造方法，在歐姆電極形成步驟及汲極電極形成步驟(參照圖2)中與第一種實施形態不同。

亦即，參照圖19、圖2及圖3，第三種實施形態中之歐姆接觸電極形成步驟(S80)在矽膜形成步驟(S83)之後，且在合金化步驟(S84)之前，作為步驟(S85)而實施鉑膜形成步驟之點中，與第一種實施形態不同。具體而言，第三種實施形態中之歐姆電極形成步驟(S80)及汲極電極形成步驟(S90)中，首先，步驟(S81)~(S83)與第一種實施形態之情況同樣地實施。而後，在步驟(S85)中，如圖20所示，在步驟(S83)中所形成之矽膜53上進一步形成含鉑之鉑膜55。該鉑膜55與鈦膜51等同樣地，例如可藉由濺鍍而形成。而後，參照圖21，與第一種實施形態之情況同樣地，藉由除去抗蝕膜91，而除去(lift off)抗蝕膜91上之鈦膜51、鋁膜52、矽膜53及鉑膜55，在從熱氧化膜15A露出之第二主面12B上及 n^+ SiC基板11之與 n^- 碳化矽層12相反側的主面上殘留鈦膜51、鋁膜52、矽膜53及鉑膜55。其後，藉由實施與第一種實施形態同樣之過程，第三種實施形態中之MOSFET1的製造方法完了。

如本實施形態，在矽膜53上進一步形成鉑膜55後，藉由實施合金化步驟(S84)，可穩定地製作更加抑制步驟(S84)

中之鈦膜51及鋁膜52的氧化，且更加減低接觸電阻之源極接觸電極16及汲極電極20。

(第四種實施形態)

其次，就本發明進一步其他實施形態之第四種實施形態作說明。第四種實施形態中之半導體裝置具有與第二種實施形態中之作為半導體裝置的JFET3基本上同樣之構成，達到同樣之效果並且可同樣地製造。但是，第四種實施形態中之JFET3的製造方法在歐姆電極形成步驟(參照圖11)中與第二種實施形態不同。

亦即，參照圖22、圖11及圖12，第四種實施形態中之歐姆接觸電極形成步驟(S270)在混合膜形成步驟(S271)之後，且在合金化步驟(S272)之前，作為步驟(S273)而實施鉑膜形成步驟之點中，與第二種實施形態不同。具體而言，第四種實施形態中之歐姆電極形成步驟(S270)中，首先與第二種實施形態之情況同樣地實施步驟(S271)。而後，在步驟(S273)中如圖23所示，係在步驟(S271)中所形成之混合膜54上進一步形成含鉑之鉑膜55。該鉑膜55例如可藉由濺鍍而形成。而後，與第一種實施形態之情況同樣地，藉由除去抗蝕膜91，而除去(lift off)抗蝕膜91上之混合膜54及鉑膜55，而在第一n型區域35、第一p型區域36、第二n型區域37及第二p型區域43上殘留混合膜54及鉑膜55。其後，藉由實施與第二種實施形態同樣之過程，第四種實施形態中之JFET3的製造方法完了。

如本實施形態，在混合膜54上進一步形成鉑膜55後，藉

由實施合金化步驟(S272)，可穩定地製作更加抑制步驟(S272)中之鈦及鋁的氧化，且更加減低接觸電阻之源極接觸電極39、閘極接觸電極41及汲極接觸電極42。

(實施例1)

以下，就本發明之實施例1作說明。進行將包含於本發明之半導體裝置中的包含鈦、鋁及矽的歐姆接觸電極(TiAlSi；實施例)與碳化矽層之接觸電阻，與本發明範圍外之先前歐姆接觸電極的鎳及鈦/鋁(比較例)與碳化矽層的接觸電阻比較之實驗。實驗之程序如以下。

首先，準備SiC基板，藉由離子佈植而在該SiC基板中形成以 $6 \times 10^{19} \text{ cm}^{-3}$ 之濃度包含n型雜質之磷(P)的n型SiC區域，與以 $5 \times 10^{19} \text{ cm}^{-3}$ 之濃度包含p型雜質之鋁(Al)的p型SiC區域。而後，以接觸於該n型SiC區域及p型SiC區域之方式，以與上述第一種實施形態同樣之方法形成包含鈦、鋁及矽之歐姆接觸電極，測定接觸電阻率(實施例)。另外，為了比較，以接觸於n型SiC區域及p型SiC區域之方式，亦形成含鎳之電極及含鈦/鋁之電極，測定接觸電阻率(比較例)。將測定結果顯示於表1。

[表1]

	與n型SiC區域之接觸電阻率($\Omega \cdot \text{cm}^2$)	與p型SiC區域之接觸電阻率($\Omega \cdot \text{cm}^2$)
NiSi(比較例)	5×10^{-6}	2×10^{-2}
TiAl(比較例)	3×10^{-3}	2×10^{-3}
TiAlSi(實施例)	7×10^{-6}	3×10^{-3}

參照表 1，含鎳之電極與 n 型 SiC 區域可以 $5 \times 10^{-6} \Omega \cdot \text{cm}^2$ 之低接觸電阻率而接觸，不過與 p 型 SiC 區域之接觸電阻率成為 $2 \times 10^{-2} \Omega \cdot \text{cm}^2$ ，稱不上充分低。另外，含鈦/鋁之電極與 p 型 SiC 區域可以 $2 \times 10^{-3} \Omega \cdot \text{cm}^2$ 之低接觸電阻率而接觸，不過與 n 型 SiC 區域之接觸電阻率成為 $3 \times 10^{-3} \Omega \cdot \text{cm}^2$ ，稱不上充分低。

對於此，包含於本發明之半導體裝置的包含鈦、鋁及矽的歐姆接觸電極 (TiAlSi) 與 n 型 SiC 區域之接觸電阻成為與鎳不遜色之 $7 \times 10^{-6} \Omega \cdot \text{cm}^2$ ，與 p 型 SiC 區域之接觸電阻成為與鈦/鋁不遜色之 $3 \times 10^{-3} \Omega \cdot \text{cm}^2$ 。因此，包含於本發明之半導體裝置的包含鈦、鋁及矽之歐姆接觸電極確認 p 型 SiC 區域及 n 型 SiC 區域均可充分地抑制接觸電阻。

(實施例 2)

以下，就本發明之實施例 2 作說明。關於包含於本發明之半導體裝置的歐姆接觸電極，進行調查歐姆接觸電極之組成造成與 p 型 SiC 區域及 n 型 SiC 區域的接觸電阻之影響的實驗。實驗之程序如以下。

首先，準備 SiC 基板，與上述實施例 1 同樣地，藉由離子佈植而在該 SiC 基板中形成以 $6 \times 10^{19} \text{ cm}^{-3}$ 之濃度包含 n 型雜質之磷 (P) 的 n 型 SiC 區域，與以 $5 \times 10^{19} \text{ cm}^{-3}$ 之濃度包含 p 型雜質之鋁 (Al) 的 p 型 SiC 區域。而後，以接觸於該 n 型 SiC 區域及 p 型 SiC 區域之方式，以與上述第一種實施形態同樣之方法形成包含鈦、鋁及矽之歐姆接觸電極，測定接觸電阻率。在此，實施將鈦膜之厚度固定於 200 \AA ，將矽膜之厚度

固定於250Å後，藉由使鋁膜之厚度變化，而使歐姆接觸電極之組成變化的實驗(實驗1)；與將鈦膜及鋁膜之厚度固定於200Å後，藉由使矽膜之厚度變化而使歐姆接觸電極之組成變化的實驗(實驗2)。將實驗1之結果顯示於圖24，將實驗2之結果顯示於圖25。另外，圖24中，橫軸顯示鋁膜之厚度對鈦膜之厚度的比，縱軸顯示接觸電阻率。此外，圖25中，橫軸顯示矽膜之厚度，縱軸顯示接觸電阻率。而後，在圖24及圖25中，圓形符號顯示與n型SiC區域之接觸電阻，方形符號顯示與p型SiC區域之接觸電阻。

其次，就實驗結果作說明。參照圖24，瞭解鋁膜之厚度對鈦膜之比過大時，歐姆接觸電極與n型SiC區域之接觸電阻變大，另外，該厚度之比過小時歐姆接觸電極與p型SiC區域之接觸電阻變大。而後，上述厚度之比未達1.5時，電極與p型SiC區域之接觸電阻超過 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 。此外，上述厚度之比超過6時，電極與n型SiC區域之接觸電阻超過 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 。

如上述，為了在實用上作為歐姆接觸電極而採用，與p型SiC區域之接觸電阻宜為 $1 \times 10^{-3} \Omega \cdot \text{cm}^2$ 以下程度，與n型SiC區域之接觸電阻宜為 $1 \times 10^{-4} \Omega \cdot \text{cm}^2$ 以下程度。因此，從以上之實驗結果，可以說形成上述鋁膜之步驟宜形成具有鈦膜之厚度的1.5倍以上，6倍以下之厚度的鋁膜。另外，從製造過程中之上述厚度之比，可以說歐姆接觸電極宜含有原子數比為鈦之1.58倍以上，6.33倍以下的鋁。此外，從圖24可以說為了更確實地減低與p型SiC區域之接觸

電阻，鋁膜之厚度更宜為鈦膜之厚度的2倍以上。

另外，參照圖25，從在固定鈦膜與鋁膜之膜厚的狀態下使矽膜之膜厚變化的實驗2之結果，瞭解鈦膜及鋁膜之膜厚一定時，即使矽膜之膜厚變化的情況，與歐姆接觸電極之接觸電阻對p型碳化矽層及n型碳化矽層均幾乎不變化。從以上之結果，明瞭藉由將鋁膜對鈦膜之膜厚的比(歐姆接觸電極中之鋁含有量對鈦含有量之比)形成以上述實驗1確認為適宜之範圍，不致大幅依存於矽膜之膜厚(歐姆接觸電極中之矽含有量)而可確實地減低歐姆接觸電極之接觸電阻。

(實施例3)

以下，就本發明之實施例3作說明。進行確認包含於本發明之半導體裝置的歐姆接觸電極之形成狀態的實驗。實驗之程序如以下。另外，本專利案中所謂「歐姆接觸電極」，係指藉由在碳化矽層上形成金屬膜，進一步對該金屬膜實施熱處理，以減低與碳化矽層之接觸電阻地形成之電極。

首先，藉由在碳化矽層上藉由與上述第一種實施形態之步驟(S81)~(S84)同樣之程序形成歐姆接觸電極而製作試劑。其後，將該試劑在垂直於歐姆接觸電極表面之剖面切斷，以SEM(Scanning Electron Microscope；掃描型電子顯微鏡)觀察該剖面，並拍攝照片。此外，藉由在從上述試劑之歐姆接觸電極表面垂直的方向實施濺鍍，並實施Auger分光分析，調查歐姆接觸電極附近之元素的分布。

其次，依據圖26及圖27說明實驗結果。在此，圖26中，上側係試劑之範圍外的區域，下側係半導體層，如圖26所示，被此等區域夾著的亮度不同之區域係歐姆接觸電極。此外，圖27中，橫軸為濺鍍時間，且顯示從歐姆接觸電極表面之深度，縱軸顯示原子之濃度。

參照圖26，確認在試劑之碳化矽層上形成大致一樣之厚度的歐姆接觸電極。在此，參照該SEM照片，將視點從碳化矽層側移至表面側(歐姆接觸電極側)，從最初出現含金屬等之合金層的位置至其表面為歐姆接觸電極。

此外，參照圖27，瞭解包含於上述試劑之歐姆接觸電極係包含鈦、鋁、矽、碳及氧(O)的合金。更具體而言，在歐姆接觸電極之厚度方向，鋁從表面隨著朝向內部(碳化矽層側)而濃度降低，另外，矽隨著朝向內部而濃度上昇。而後，鈦在厚度方向之中央部濃度最高，即使朝向表面側或內部側之情況濃度均降低。在此，例如著眼於矽之分布，描繪沿著相當於SiC之區域，亦即矽之濃度為一定之區域的矽之分布的直線 α ，與沿著比該區域在表面側，且矽之濃度隨著接近表面而降低之區域的直線 β ，從直線 α 與直線 β 之交點，表面側係歐姆接觸電極。

此次揭示之實施形態及實施例全部之點係例示，應視為並非作限制。本發明之範圍並非上述之說明，而係藉由申請專利範圍來顯示，並主張包含與申請專利範圍均等之意義及範圍內的全部變更。

產業上之可利用性

本發明之半導體裝置及其製造方法可特別有利地適用於包括接觸於含碳化矽之碳化矽層而配置的電極之半導體裝置及其製造方法。

【圖式簡單說明】

圖 1 係顯示第一種實施形態中之作為半導體裝置的 MOSFET 之構成的概略剖面圖；

圖 2 係顯示第一種實施形態中之 MOSFET 的製造方法之概略的流程圖；

圖 3 係顯示圖 2 中之歐姆電極形成步驟及汲極電極形成步驟的詳細流程圖；

圖 4 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 5 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 6 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 7 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 8 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 9 係說明第一種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 10 係顯示第二種實施形態中之 JFET 的構成之概略剖面圖；

圖 11 係顯示第二種實施形態中之半導體裝置的 JFET 之製造方法的概略流程圖；

圖 12 係顯示圖 11 中之歐姆電極形成步驟的詳細流程圖；

圖 13 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 14 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 15 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 16 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 17 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 18 係說明第二種實施形態中之 JFET 的製造方法用之概略剖面圖；

圖 19 係顯示第三種實施形態中之歐姆電極形成步驟及汲極電極形成步驟的詳細流程圖；

圖 20 係說明第三種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 21 係說明第三種實施形態中之 MOSFET 的製造方法用之概略剖面圖；

圖 22 係顯示第四種實施形態中之歐姆電極形成步驟的詳細流程圖；

圖 23 係說明第四種實施形態中之 JFET 的製造方法用之概

略剖面圖；

圖 24 係顯示鋁層對鈦層之膜厚之比與接觸電阻率之關係圖；

圖 25 係顯示矽層之膜厚與接觸電阻率之關係圖；

圖 26 係實施例 3 中之歐姆接觸電極附近的 SEM 照片；及

圖 27 係顯示實施例 3 中之歐姆接觸電極附近的元素分布圖。

【主要元件符號說明】

1	MOSFET
3	JFET
11	n^+ SiC 基板
11A	一方主面
11B	另一方主面
12	n^- 碳化矽層
12A	第一主面
12B	第二主面
13	p 本體
13A	通道區域
14	n^+ 源極區域
15	閘極氧化膜
15A	熱氧化膜
16	源極接觸電極
17	閘極電極
18	p^+ 區域

19	源極配線
20	汲極電極
21	鈍化膜
22	源極電極
31	n型基板
32	第一p型層
33	n型層
34	第二p型層
34A	上部表面
35	第一n型區域
36	第一p型區域
37	第二n型區域
38	氧化膜
39	源極接觸電極
41	閘極接觸電極
42	汲極接觸電極
43	第二p型區域
44	電位保持接觸電極
45	源極配線
46	閘極配線
47	汲極配線
51	鈦膜
52	鋁膜
53	矽膜

54	混合膜
55	鉑膜
61	源極電極
62	閘極電極
63	汲極電極
64	鈍化膜
71	溝部
71A	底壁
71B	側壁
91	抗蝕膜
91A	開口

七、申請專利範圍：

102年10月22日修正替換頁

1. 一種半導體裝置(1, 3)，其包括：

基板(11, 31)；

碳化矽層(12, 34)，其係形成於前述基板(11, 31)上，且含碳化矽；及

電極(22, 61, 63)，其係接觸於前述碳化矽層(12, 34)而配置；

前述碳化矽層(12, 34)包含n型導電型之n型區域(14, 35, 37)；

前述電極(22, 61, 63)包含與前述n型區域(14, 35, 37)接觸而配置且含有鈦、鋁及矽之歐姆接觸電極(16, 39, 42)；

其中前述歐姆接觸電極(16, 39, 42)含有原子數比為鈦之1.58倍以上6.33倍以下的鋁。

2. 如請求項1之半導體裝置(1)，其中前述碳化矽層(12)進一步包含p型導電型之p型區域(18)；

前述歐姆接觸電極(16)係以從接觸於前述n型區域(14)之區域延伸至接觸於前述p型區域(18)之區域的方式配置。

3. 如請求項1之半導體裝置(3)，其中進一步包括接觸於前述碳化矽層(34)而配置且與前述電極(61, 63)不同之其他電極(62)；

前述碳化矽層(34)進一步包含p型導電型之p型區域(36)；

前述其他電極(62)包含與前述p型區域(36)接觸而配置、含有鈦、鋁及矽且與前述歐姆接觸電極(39, 42)不同之其他歐姆接觸電極(41)。

4. 如請求項3之半導體裝置(3)，其中前述其他歐姆接觸電極(41)含有原子數比為鈦之1.58倍以上6.33倍以下的鋁。

5. 一種半導體裝置(1, 3)之製造方法，其包含以下步驟：

準備基板(11, 31)；

在前述基板(11, 31)上形成含有碳化矽且包含n型導電型之n型區域(14, 35, 37)的碳化矽層(12, 34)；及

以接觸於前述碳化矽層(12, 34)之方式形成電極(22, 61, 63)；

前述形成電極(22, 61, 63)之步驟包含形成與前述n型區域(14, 35, 37)接觸而配置且包含鈦、鋁及矽之歐姆接觸電極(16, 39, 42)的步驟；

其中前述形成歐姆接觸電極(16, 39, 42)之步驟具有以下步驟：

在前述n型區域(14, 35, 37)上形成含鈦之鈦層(51)；

在前述鈦層(51)上形成含鋁之鋁層(52)；

在前述鋁層(52)上形成含矽之矽層(53)；及

藉由將前述鈦層(51)、前述鋁層(52)及前述矽層(53)加熱，而生成包含鈦、鋁及矽之合金。

6. 如請求項5之半導體裝置(1, 3)之製造方法，其中於前述形成鋁層(52)之步驟中，形成具有前述鈦層(51)之厚度的1.5倍以上6倍以下之厚度的前述鋁層(52)。

7. 如請求項5之半導體裝置(1, 3)之製造方法，其中於前述生成合金之步驟中，在惰性氣體與氫之混合氣體中，將前述鈦層(51)、前述鋁層(52)及前述矽層(53)加熱。
8. 如請求項5之半導體裝置(1)之製造方法，其中前述形成歐姆接觸電極(16)之步驟，係在前述生成合金之步驟之前，進一步具有在前述矽層(53)上形成含鉑之鉑層(55)的步驟。
9. 如請求項5之半導體裝置(3)之製造方法，其中前述形成歐姆接觸電極(39, 42)之步驟具有以下步驟：
 在前述n型區域(35, 37)上形成包含鈦、鋁及矽的混合層(54)；及
 藉由將前述混合層(54)加熱，而生成包含鈦、鋁及矽之合金。
10. 如請求項9之半導體裝置(3)之製造方法，其中於前述形成混合層(54)之步驟中，形成含有原子數比為鈦之1.58倍以上6.33倍以下的鋁之前述混合層(54)。
11. 如請求項9之半導體裝置(3)之製造方法，其中於前述生成合金之步驟中，在惰性氣體與氫之混合氣體中將前述混合層(54)加熱。
12. 如請求項9之半導體裝置(3)之製造方法，其中前述形成歐姆接觸電極(39, 42)之步驟，係在前述生成合金之步驟之前，進一步具有在前述混合層(54)上形成含鉑之鉑層(55)的步驟。
13. 如請求項5之半導體裝置(1)之製造方法，其中於前述形

成碳化矽層(12)之步驟中，形成更包含有p型導電型之p型區域(18)的碳化矽層(12)；

於前述形成歐姆接觸電極(16)之步驟中，以從接觸於前述n型區域(14)之區域延伸至接觸於前述p型區域(18)之區域的方式形成前述歐姆接觸電極(16)。

14. 如請求項5之半導體裝置(3)之製造方法，其中進一步包括以接觸於前述碳化矽層(34)之方式形成與前述電極(61, 63)不同之其他電極(62)的步驟；

於前述形成碳化矽層(34)之步驟中，形成更包含有導p型電型之p型區域(36)的碳化矽層(34)；

前述形成其他電極(62)之步驟進一步包含形成與前述p型區域(36)接觸而配置、含有鈦、鋁及矽且與前述歐姆接觸電極(39, 42)不同之其他歐姆接觸電極(41)的步驟；

同時實施前述形成歐姆接觸電極(39, 42)之步驟與前述形成其他歐姆接觸電極(41)之步驟。

八、圖式：

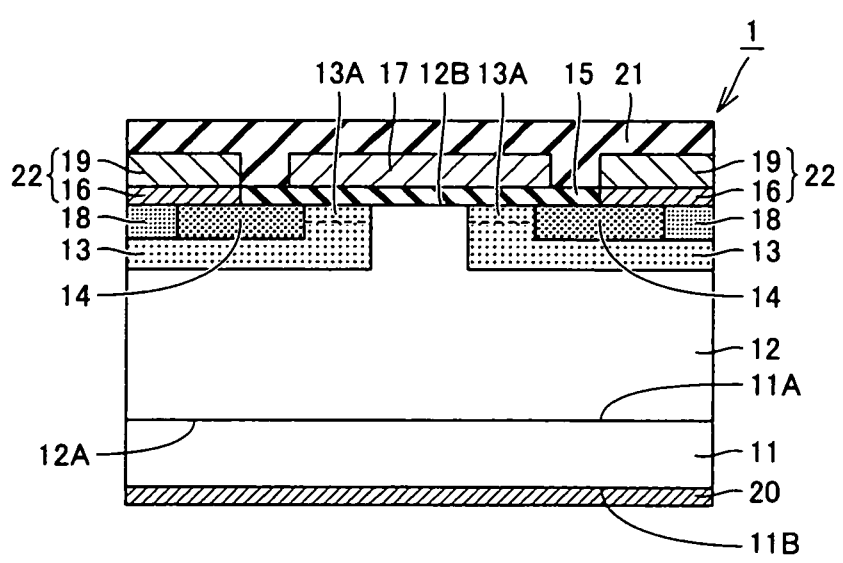


圖 1

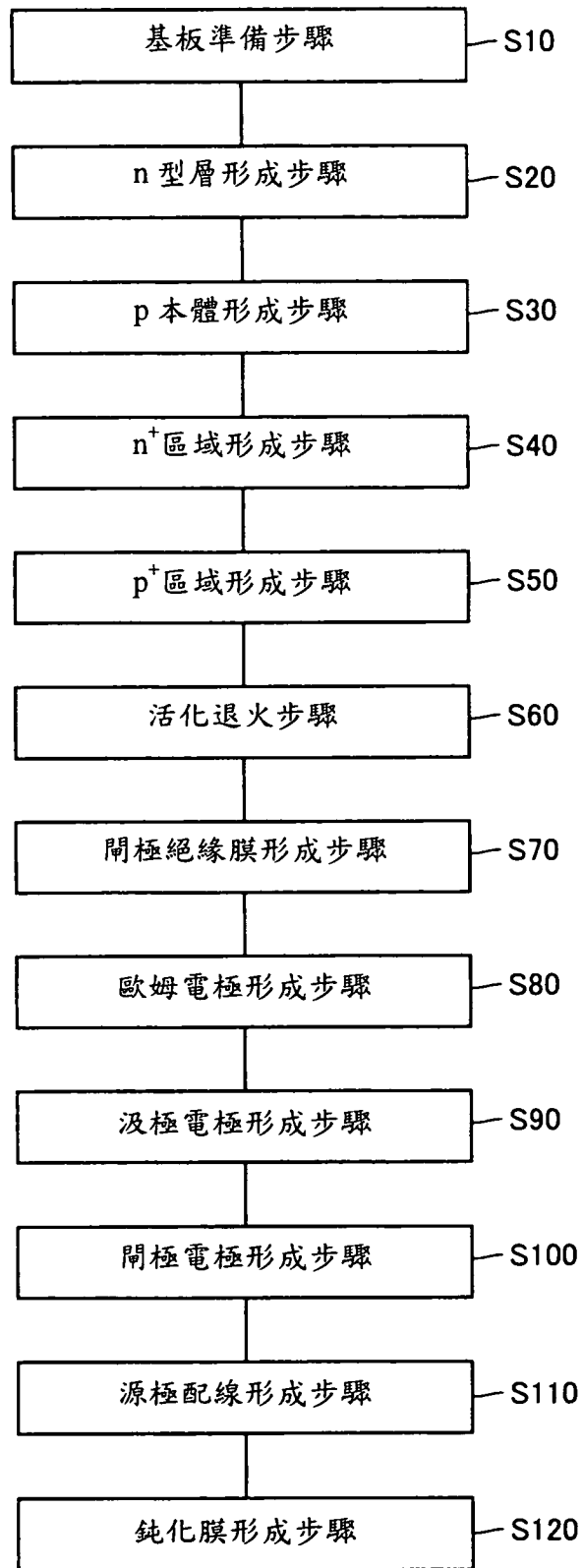


圖 2

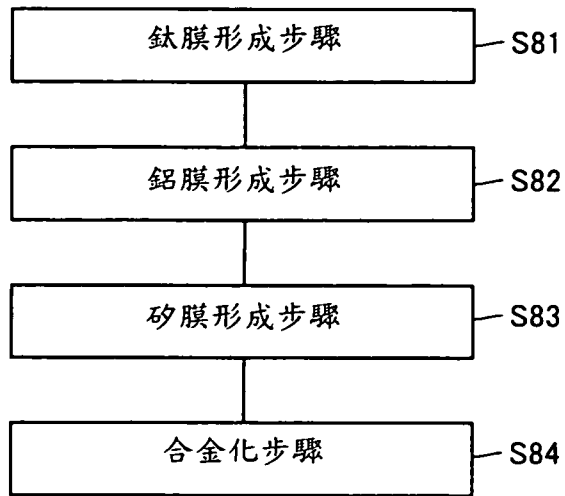


圖 3

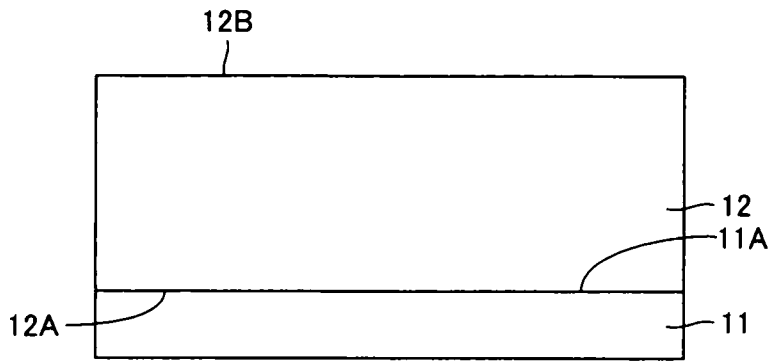


圖 4

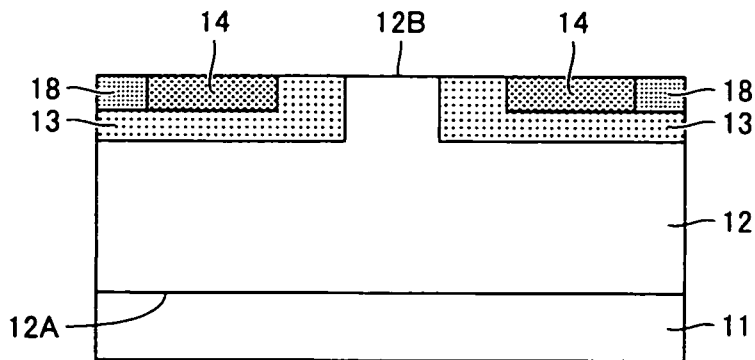


圖 5

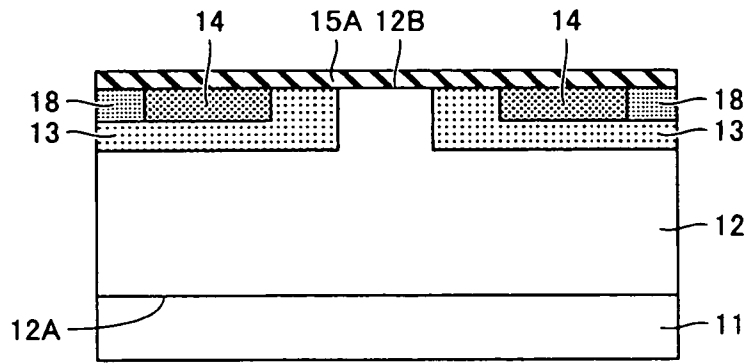


圖 6

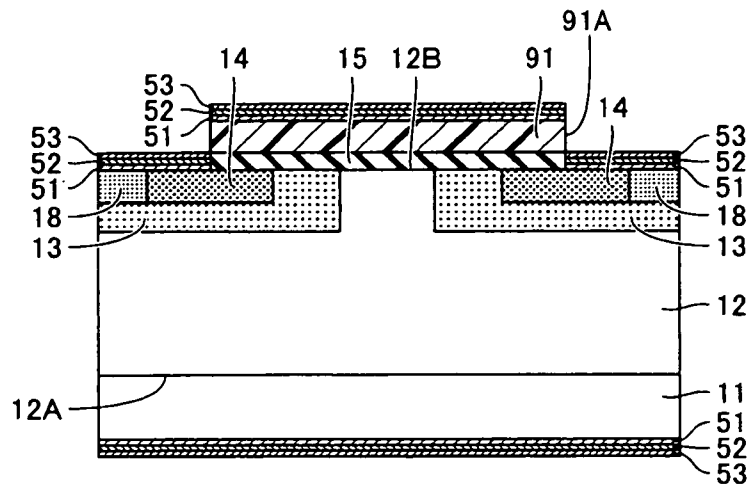


圖 7

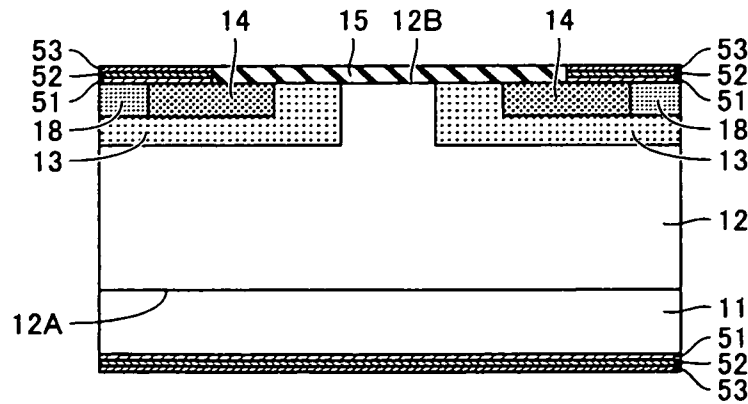


圖 8

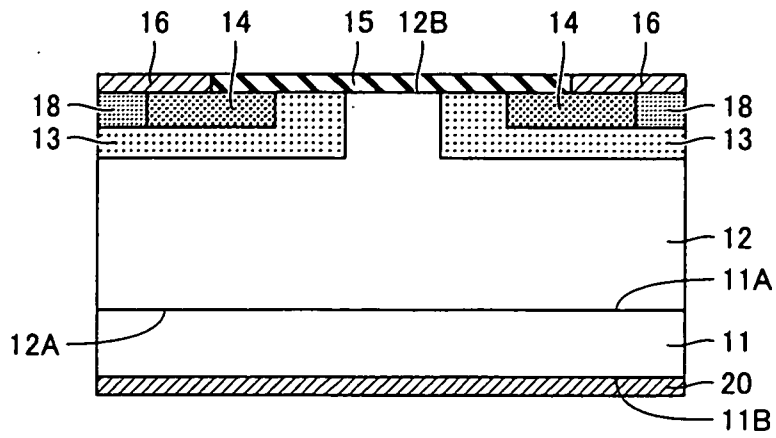


圖 9

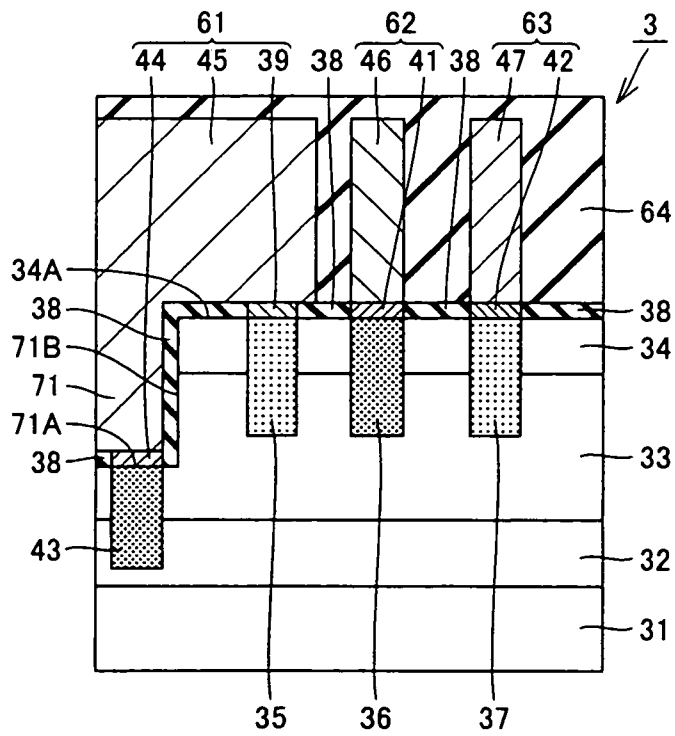


圖 10

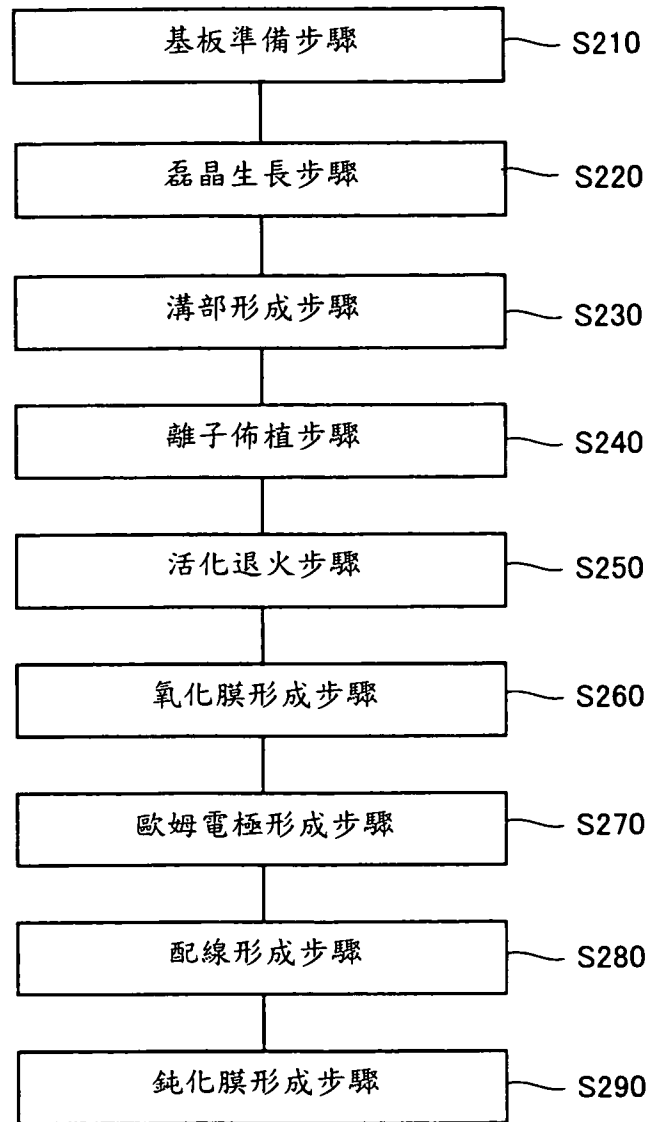


圖 11

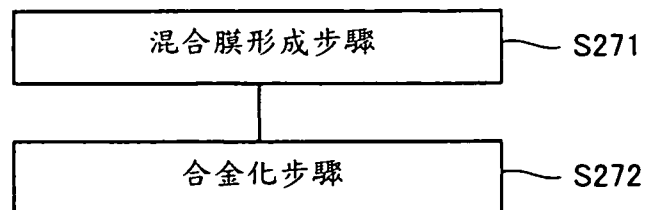


圖 12

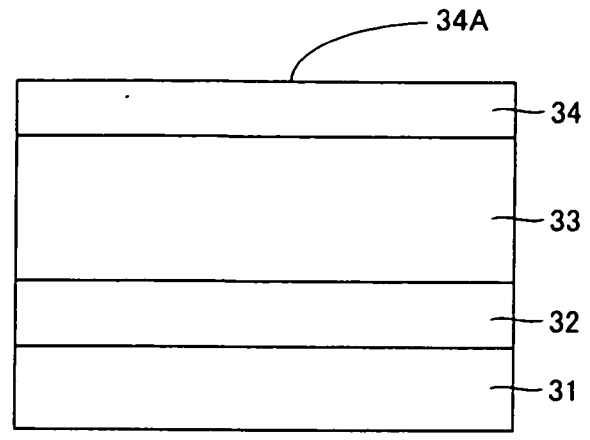


圖 13

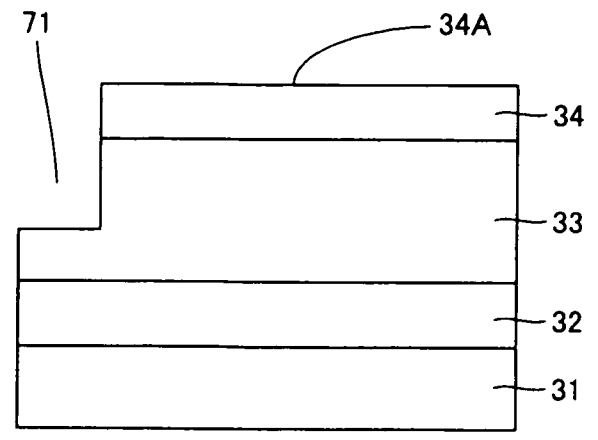


圖 14

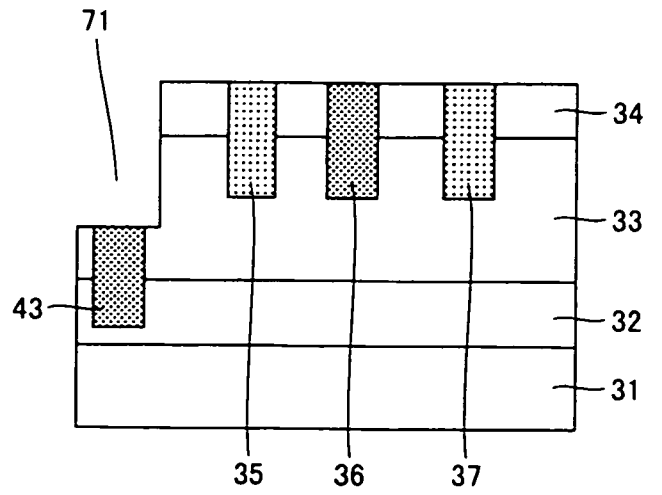


圖 15

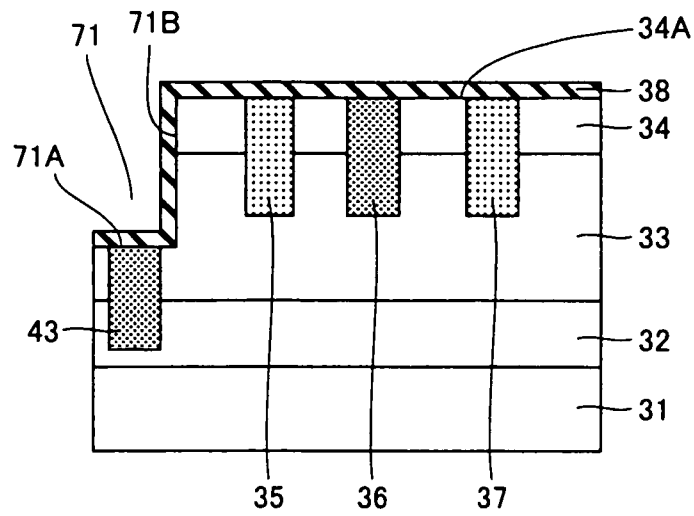


圖 16

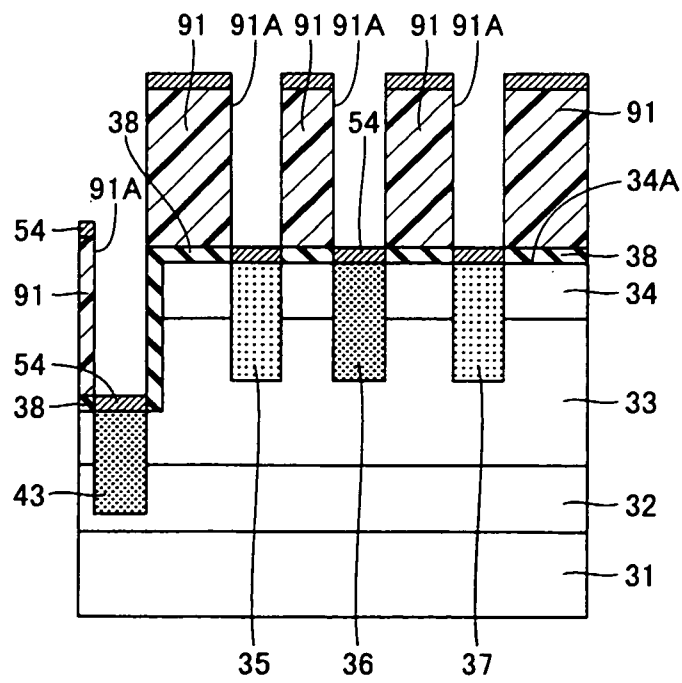


圖 17

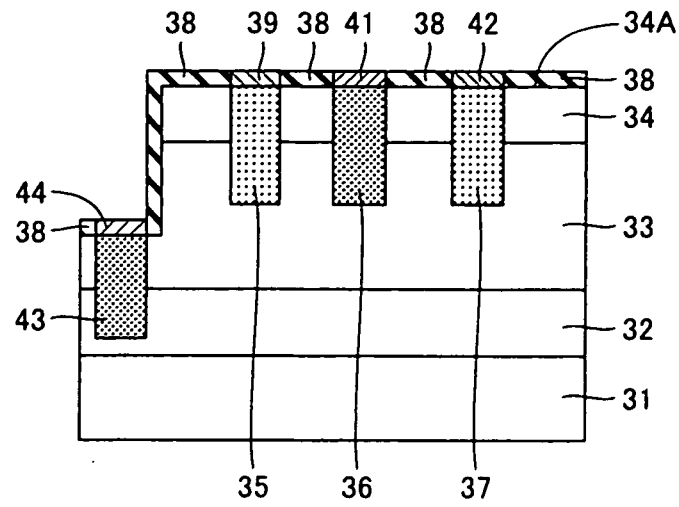


圖 18

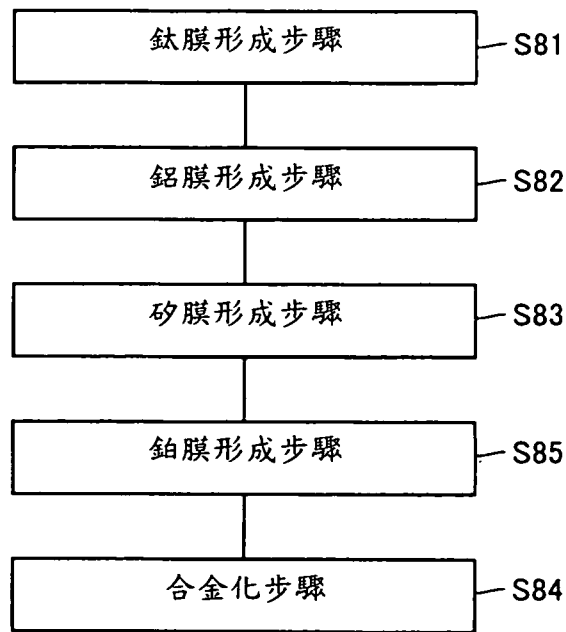


圖 19

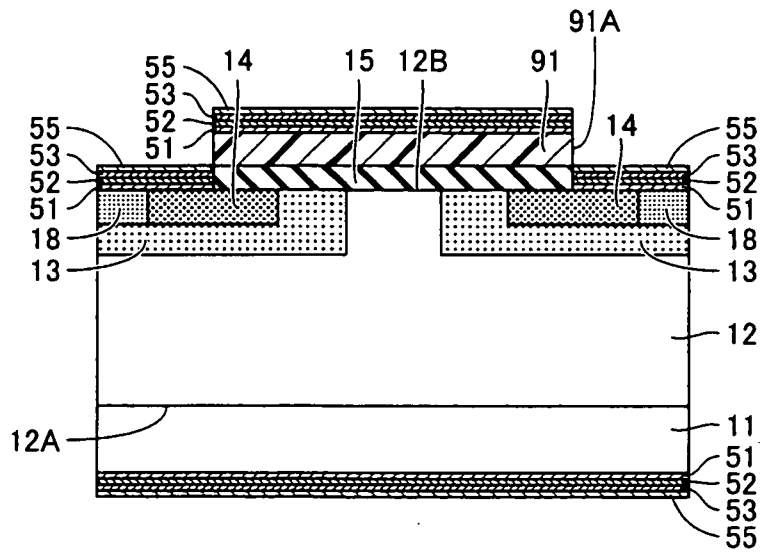


圖 20

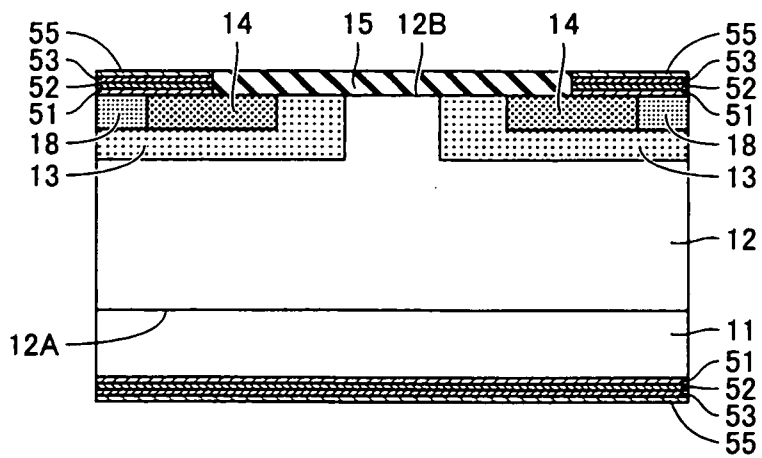


圖 21

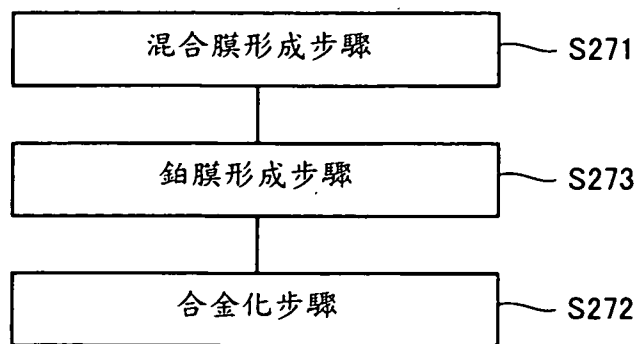


圖 22

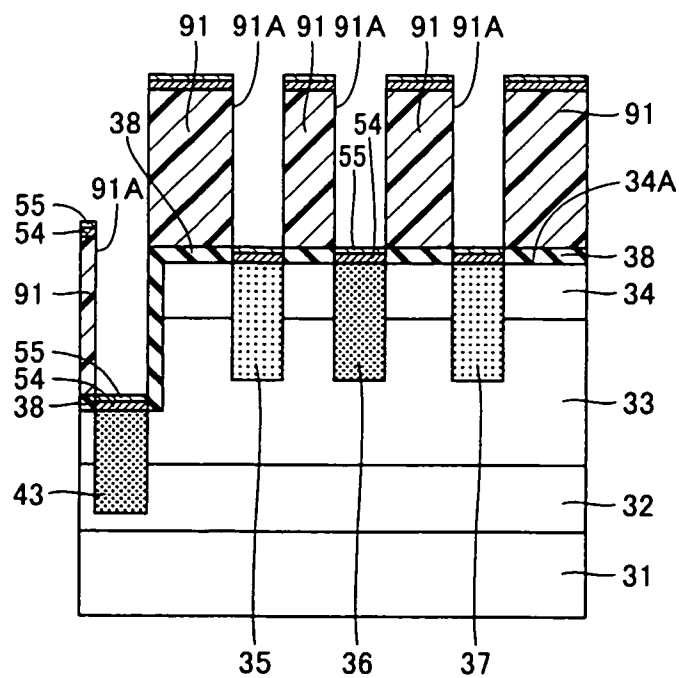


圖 23

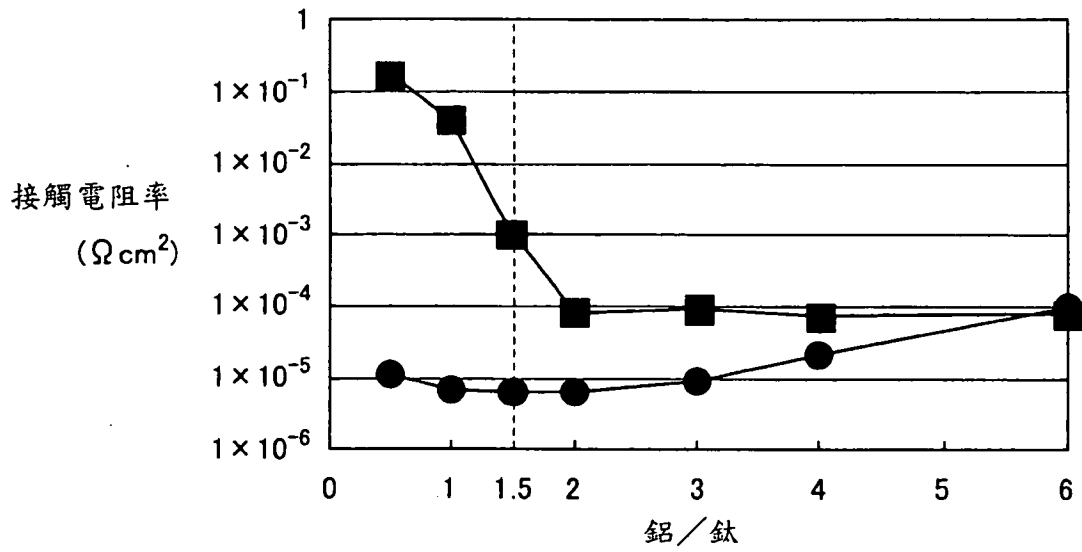


圖 24

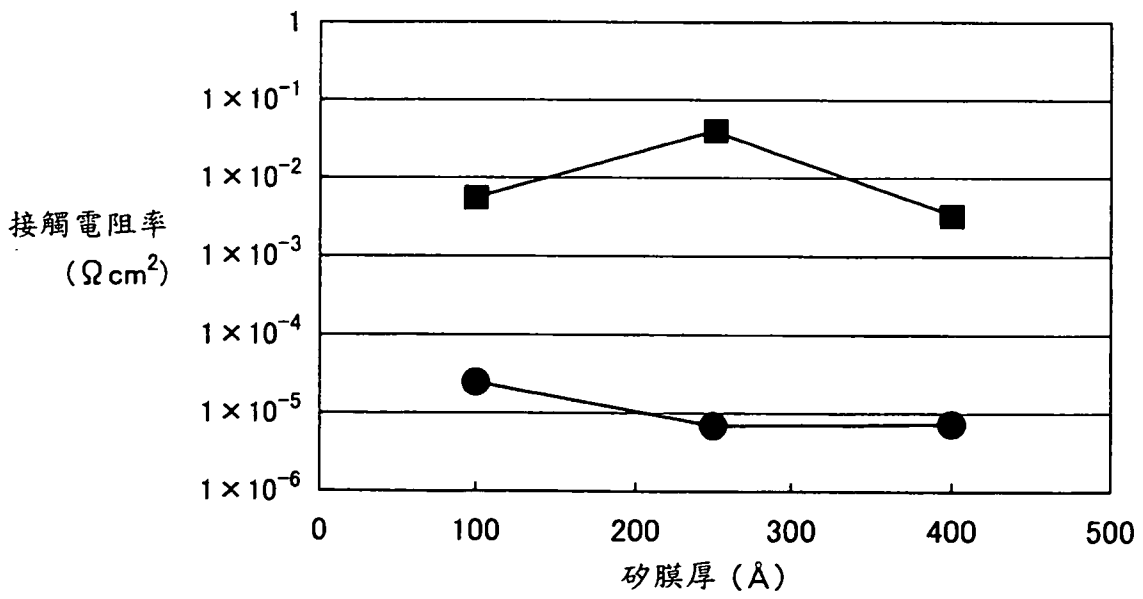


圖 25

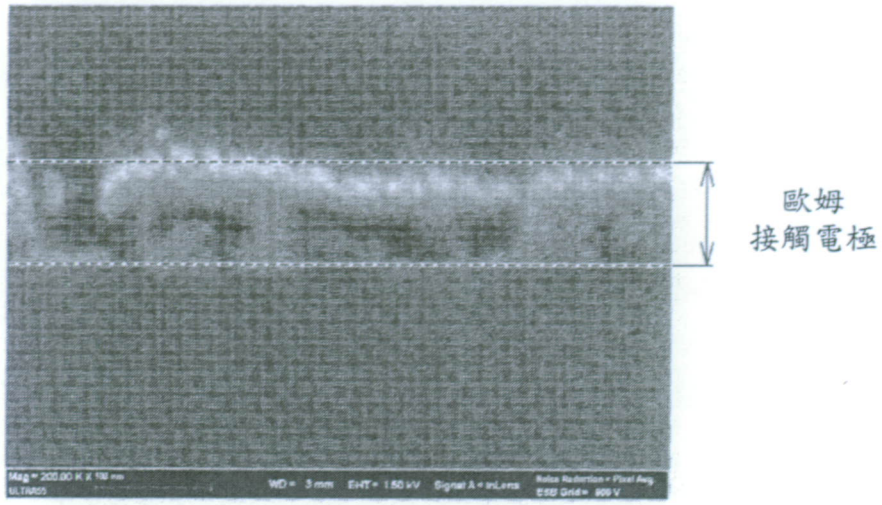


圖 26

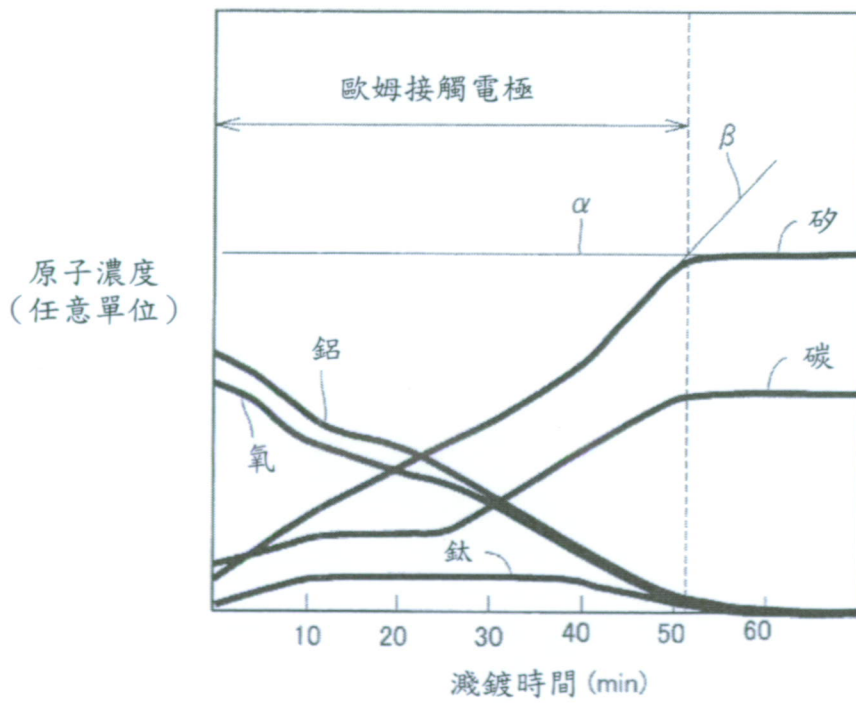


圖 27