

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-521223

(P2014-521223A)

(43) 公表日 平成26年8月25日(2014.8.25)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 25/04 (2014.01)	HO1L 25/04	Z
HO1L 25/18 (2006.01)	HO1L 25/00	B
HO1L 25/00 (2006.01)	HO1L 25/08	E
HO1L 25/065 (2006.01)		
HO1L 25/07 (2006.01)		

審査請求 未請求 予備審査請求 未請求 (全 45 頁)

(21) 出願番号	特願2014-520278 (P2014-520278)	(71) 出願人	309034272 インヴェンサンス・コーポレイション アメリカ合衆国 カリフォルニア州 95 134、サン・ホセ、オーチャード・パー クウェイ 3025
(86) (22) 出願日	平成24年7月11日 (2012.7.11)	(74) 代理人	100099623 弁理士 奥山 尚一
(85) 翻訳文提出日	平成26年3月5日 (2014.3.5)	(74) 代理人	100096769 弁理士 有原 幸一
(86) 國際出願番号	PCT/US2012/046255	(74) 代理人	100107319 弁理士 松島 鉄男
(87) 國際公開番号	W02013/009871	(74) 代理人	100114591 弁理士 河村 英文
(87) 國際公開日	平成25年1月17日 (2013.1.17)	(74) 代理人	100125380 弁理士 中村 純子
(31) 優先権主張番号	61/542,495		
(32) 優先日	平成23年10月3日 (2011.10.3)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	61/506,889		
(32) 優先日	平成23年7月12日 (2011.7.12)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	61/542,553		
(32) 優先日	平成23年10月3日 (2011.10.3)		
(33) 優先権主張国	米国(US)		

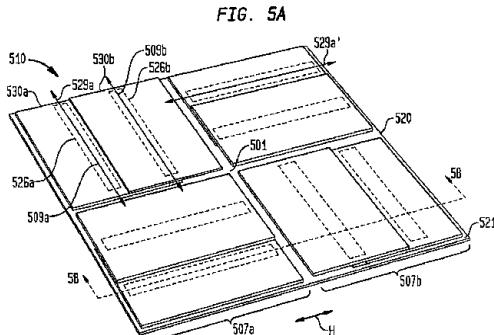
最終頁に続く

(54) 【発明の名称】パッケージ内のメモリモジュール

## (57) 【要約】

超小型電子パッケージ510が、対向する第1の表面521及び第2の表面527を有する基板520と、超小型電子素子の少なくとも2つの対507a、512bと、第2の表面において露出した複数の端子525とを備えることができる。超小型電子素子の各対507は、上側超小型電子素子530b及び下側超小型電子素子530aを含むことができる。超小型電子素子の対507は、基板520の第1の表面521に対して平行な水平方向Hにおいて互いに十分離間することができる。各下側超小型電子素子530aは、前面531と、この前面における複数のコンタクト535とを有することができる。上側超小型電子素子530bのそれぞれの表面531は、基板520の第1の表面521及びその対内の下側超小型電子素子530aの上に少なくとも部分的に重なることができる。

【選択図】図5A



**【特許請求の範囲】****【請求項 1】**

超小型電子パッケージであって、

対向する第1の表面及び第2の表面を有する基板と、

超小型電子素子の少なくとも2つの対であって、超小型電子素子の各対は、上側超小型電子素子及び下側超小型電子素子を含み、前記超小型電子素子の対は、前記基板の前記第1の表面に対して平行な水平方向において互いに十分離間し、各下側超小型電子素子は、前面と、該前面における複数のコンタクトとを有し、前記下側超小型電子素子の前記前面は、前記第1の表面に対して平行であるとともに該第1の表面の上に重なる単一の平面上に配置され、前記上側超小型電子素子のそれぞれの表面は、前記基板の前記第1の表面の上に重なるとともに、その対内の前記下側超小型電子素子の上に少なくとも部分的に重なり、前記超小型電子素子は、メモリ記憶アレイ機能を主として提供するようにともに構成されている、超小型電子素子の少なくとも2つの対と、

前記第2の表面において露出した複数の端子であって、該端子は、該超小型電子パッケージの外部の少なくとも1つの構成要素に該超小型電子パッケージを接続するように構成されている、複数の端子と、

各下側超小型電子素子の前記コンタクトのうちの少なくとも幾つかから前記端子のうちの少なくとも幾つかに延在する電気的接続部と、

を備える、超小型電子パッケージ。

**【請求項 2】**

前記超小型電子素子の対のうちの第1の対及び第2の対の前記下側超小型電子素子の前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸及び第2の軸を規定するコンタクトのそれぞれの列に配置され、前記第1の軸及び前記第2の軸は、互いにに対して横向きである、請求項1に記載の超小型電子パッケージ。

**【請求項 3】**

前記第1の軸及び前記第2の軸は、互いにに対して直交する、請求項2に記載の超小型電子パッケージ。

**【請求項 4】**

前記超小型電子素子の対のうちの第1の対及び第2の対の前記下側超小型電子素子の前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸及び第2の軸を規定するコンタクトのそれぞれの列に配置され、前記第1の軸及び前記第2の軸は、互いに平行である、請求項1に記載の超小型電子パッケージ。

**【請求項 5】**

前記超小型電子素子の少なくとも2つの対は、超小型電子素子の4つの対を含む、請求項1に記載の超小型電子パッケージ。

**【請求項 6】**

前記下側超小型電子素子のそれぞれの前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸、第2の軸、第3の軸、及び第4の軸を規定するコンタクトの列に配置され、前記第1の軸及び前記第3の軸は、互いに平行であり、前記第2の軸及び前記第4の軸は、前記第1の軸及び前記第3の軸に対して横向きである、請求項5に記載の超小型電子パッケージ。

**【請求項 7】**

前記超小型電子素子の対のうちの少なくとも1つの対の前記下側超小型電子素子は、第2の下側超小型電子素子に隣接して配置された第1の下側超小型電子素子であり、前記第2の下側超小型電子素子の前面は、前記第1の表面に対して平行な前記単一の平面上に配置され、前記第1の下側超小型電子素子の上に少なくとも部分的に重なる前記上側超小型電子素子は、前記第2の下側超小型電子素子の上にも少なくとも部分的に重なる、請求項1に記載の超小型電子パッケージ。

**【請求項 8】**

前記端子は、エリアアレイに配置され、前記端子は、互いに同一平面上にある露出した

10

20

30

40

50

接触面を有する、請求項 1 に記載の超小型電子パッケージ。

【請求項 9】

前記電気的接続部は、前記下側超小型電子素子のそれぞれのコンタクトと、前記基板の前記第 1 の表面において露出した導電性ボンドパッドとの間に延在するフリップチップ接続部を含む、請求項 1 に記載の超小型電子パッケージ。

【請求項 10】

前記上側超小型電子素子のそれぞれは、前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する少なくとも 1 つの第 1 の開口部の上に重なり、前記電気的接続部は、前記少なくとも 1 つの第 1 の開口部と位置合わせされた少なくとも一部を有する第 1 のリードを含む、請求項 1 に記載の超小型電子パッケージ。

10

【請求項 11】

前記下側超小型電子素子のそれぞれは、前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する少なくとも 1 つの第 2 の開口部の上に重なり、前記電気的接続部は、前記少なくとも 1 つの第 2 の開口部と位置合わせされた少なくとも一部を有する第 2 のリードを含む、請求項 10 に記載の超小型電子パッケージ。

20

【請求項 12】

前記下側超小型電子素子のそれぞれの前記前面は、前記基板の前記第 1 の表面の方に向き、前記上側超小型電子素子のそれぞれの前記前面は、該上側超小型電子素子のそれぞれの該前面におけるコンタクトが、その対内の前記下側超小型電子素子の縁部を越えて配置されるように、その対内の前記下側超小型電子素子の背面の上に部分的に重なる、請求項 11 に記載の超小型電子パッケージ。

20

【請求項 13】

前記上側超小型電子素子のそれぞれの前記コンタクトは、前記少なくとも 1 つの第 1 の開口部のうちの対応するものの上に重なり、前記下側超小型電子素子のそれぞれの前記コンタクトは、前記少なくとも 1 つの第 2 の開口部のうちの対応するものの上に重なり、上側超小型電子素子及び下側超小型電子素子の各対の前記対応する第 1 の開口部及び第 2 の開口部は、互いに離間している、請求項 12 に記載の超小型電子パッケージ。

30

【請求項 14】

前記上側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの上側超小型電子素子の前記前面の中央領域において列に配置され、前記上側超小型電子素子のそれぞれの前記コンタクトの列は、前記少なくとも 1 つの第 1 の開口部のうちの対応するものの長さの方向に延在する、請求項 12 に記載の超小型電子パッケージ。

30

【請求項 15】

前記下側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの下側超小型電子素子の前記前面の中央領域において列に配置され、前記下側超小型電子素子のそれぞれの前記コンタクトの列は、前記少なくとも 1 つの第 2 の開口部のうちの対応するものの長さの方向に延在する、請求項 14 に記載の超小型電子パッケージ。

40

【請求項 16】

前記第 1 の開口部のそれぞれは、その長さに対して横向きの方向に幅を有し、前記第 1 の開口部のそれぞれの前記幅は、該第 1 の開口部の該幅と同じ方向における、該第 1 の開口部の上に重なる前記上側超小型電子素子のうちの前記対応するものの幅よりも大きくなない、請求項 15 に記載の超小型電子パッケージ。

【請求項 17】

前記リードのうちの少なくとも幾つかは、前記第 1 の開口部又は前記第 2 の開口部のうちの少なくとも一方を通って延在するワイヤボンドを含む、請求項 11 に記載の超小型電子パッケージ。

【請求項 18】

前記リードの全ては、前記少なくとも 1 つの第 1 の開口部を通って延在するワイヤボン

50

ドである、請求項 1 1 に記載の超小型電子パッケージ。

【請求項 1 9】

前記第 1 のリードの全ては、前記少なくとも 1 つの第 1 の開口部を通って延在し、前記第 2 のリードの全ては、前記少なくとも 1 つの第 2 の開口部を通って延在する、請求項 1 1 に記載の超小型電子パッケージ。

【請求項 2 0】

前記リードのうちの少なくとも幾つかはリードボンドを含む、請求項 1 1 に記載の超小型電子パッケージ。

【請求項 2 1】

各上側超小型電子素子は、その前記前面において露出した複数のコンタクトを有し、前記前面の縁部に隣接して配置されたコンタクトの少なくとも 1 つの列に配置され、各コンタクトの列は、前記下側超小型電子素子のうちの前記対応するものの縁部を越えて配置されている、請求項 1 0 に記載の超小型電子パッケージ。

【請求項 2 2】

前記超小型電子素子の対のうちの少なくとも 1 つの対の前記下側超小型電子素子は、第 2 の下側超小型電子素子に隣接して配置された第 1 の下側超小型電子素子であり、前記第 2 の下側超小型電子素子の前面が、前記第 1 の表面に対して平行な前記単一の平面上に配置され、前記第 1 の下側超小型電子素子の前記背面の上に少なくとも部分的に重なる前記上側超小型電子素子の前記前面は、前記上側超小型電子素子の前記前面における前記コンタクトが、前記第 2 の下側超小型電子素子の縁部を越えて配置されるように、前記第 2 の下側超小型電子素子の背面の上にも少なくとも部分的に重なる、請求項 1 2 に記載の超小型電子パッケージ。

【請求項 2 3】

前記第 2 の下側超小型電子素子のそれぞれは、前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する少なくとも 1 つの第 3 の開口部の上に重なり、前記電気的接続部は、前記少なくとも 1 つの第 3 の開口部と位置合わせされた少なくとも一部を有する第 3 のリードを含む、請求項 2 2 に記載の超小型電子パッケージ。

【請求項 2 4】

前記上側超小型電子素子、前記第 1 の下側超小型電子素子、及び前記第 2 の下側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの超小型電子素子の前記前面の中央領域において列に配置され、前記上側超小型電子素子、前記第 1 の下側超小型電子素子、及び前記第 2 の下側超小型電子素子のそれぞれの前記コンタクトの列は、それぞれの前記少なくとも 1 つの第 1 の開口部、前記少なくとも 1 つの第 2 の開口部、及び前記少なくとも 1 つの第 3 の開口部のうちの対応するものの長さの方向に延在する、請求項 2 3 に記載の超小型電子パッケージ。

【請求項 2 5】

前記第 1 の開口部、前記第 2 の開口部、及び前記第 3 の開口部のそれぞれは、その長さに対して横向きの方向に幅を有し、前記開口部のそれぞれの前記幅は、該開口部の該幅と同じ方向における、該開口部の上に重なる前記超小型電子素子のうちの前記対応するものの幅よりも大きくない、請求項 2 4 に記載の超小型電子パッケージ。

【請求項 2 6】

前記第 1 のリードの全ては、前記少なくとも 1 つの第 1 の開口部を通って延在し、前記第 2 のリードの全ては、前記少なくとも 1 つの第 2 の開口部を通って延在し、前記第 3 のリードの全ては、前記少なくとも 1 つの第 3 の開口部を通って延在する、請求項 2 3 に記載の超小型電子パッケージ。

【請求項 2 7】

前記超小型電子パッケージは、超小型電子素子の 4 つの対を備え、各超小型電子素子の前記コンタクトは、8 つのデータ I/O コンタクトを含む、請求項 1 に記載の超小型電子パッケージ。

【請求項 2 8】

10

20

30

40

50

前記超小型電子パッケージは、超小型電子素子の4つの対を備え、各超小型電子素子の前記コンタクトは、9つのデータI/Oコンタクトを含む、請求項1に記載の超小型電子パッケージ。

【請求項29】

前記超小型電子パッケージは、9つの超小型電子素子を備え、各超小型電子素子の前記コンタクトは、8つのデータI/Oコンタクトを含む、請求項1に記載の超小型電子パッケージ。

【請求項30】

前記超小型電子パッケージは、超小型電子素子の2つの対を備え、各超小型電子素子の前記コンタクトは、8つのデータI/Oコンタクトを含む、請求項1に記載の超小型電子パッケージ。

10

【請求項31】

前記超小型電子パッケージは、超小型電子素子の2つの対を備え、各超小型電子素子の前記コンタクトは、16個のデータI/Oコンタクトを含む、請求項1に記載の超小型電子パッケージ。

【請求項32】

前記超小型電子パッケージにおいて、前記端子のうちの少なくとも幾つかと、前記超小型電子素子のうちの1つ又は複数とに電気的に接続されたバッファ素子を更に備え、該バッファ素子は、該超小型電子パッケージの前記端子のうちの1つ又は複数において受信された少なくとも1つの信号を再生成するように構成されている、請求項1に記載の超小型電子パッケージ。

20

【請求項33】

前記バッファ素子は、前記基板の前記第1の表面に実装される、請求項32に記載の超小型電子パッケージ。

【請求項34】

前記バッファ素子は、前記基板の前記第2の表面に実装される、請求項32に記載の超小型電子パッケージ。

30

【請求項35】

前記少なくとも1つの信号は、前記超小型電子パッケージに転送される前記アドレス信号の全てを含む、請求項32に記載の超小型電子パッケージ。

【請求項36】

前記少なくとも1つの信号は、前記超小型電子パッケージに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを含み、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックである、請求項32に記載の超小型電子パッケージ。

【請求項37】

前記少なくとも1つの信号は、前記超小型電子パッケージによって受信された前記データ信号の全てを含む、請求項32に記載の超小型電子パッケージ。

【請求項38】

前記基板に実装されるとともに識別情報を記憶するように構成された不揮発性メモリ素子を更に備え、該不揮発性メモリ素子は、前記超小型電子素子のうちの1つ又は複数に電気的に接続されている、請求項1に記載の超小型電子パッケージ。

40

【請求項39】

温度センサを更に備える、請求項1に記載の超小型電子パッケージ。

【請求項40】

前記基板に実装されたデカップリングコンデンサ素子を更に備え、該デカップリングコンデンサ素子は、前記超小型電子素子のうちの1つ又は複数に電気的に接続されている、請求項1に記載の超小型電子パッケージ。

【請求項41】

50

前記基板は、該基板の平面における熱膨張係数が12 ppm/未満である材料から実質的になる要素である、請求項1に記載の超小型電子パッケージ。

【請求項42】

前記基板は、該基板の平面における熱膨張係数が30 ppm/未満である材料から実質的になる誘電体素子を備える、請求項1に記載の超小型電子パッケージ。

【請求項43】

前記超小型電子素子は、アドレス指定可能メモリモジュールとともに機能するよう構成され、前記超小型電子パッケージは、前記超小型電子素子のそれぞれにおいて受信されたデータの一部を記憶するように構成されている、請求項1に記載の超小型電子パッケージ。

10

【請求項44】

前記超小型電子パッケージは、デュアルインラインメモリモジュールとして機能するよう構成されている、請求項43に記載の超小型電子パッケージ。

【請求項45】

前記超小型電子パッケージは、同じコマンド及び信号インターフェースを有し、デュアルインラインメモリモジュールと同じ量のデータを転送するように構成されている、請求項44に記載の超小型電子パッケージ。

【請求項46】

前記超小型電子素子のそれぞれは、主としてメモリ記憶アレイ機能を提供するよう構成されている、請求項1に記載の超小型電子パッケージ。

20

【請求項47】

前記超小型電子素子のそれぞれは、ダイナミックランダムアクセスメモリ(「DRAM」)集積回路チップを含む、請求項1に記載の超小型電子パッケージ。

【請求項48】

前記超小型電子素子のそれぞれは、該超小型電子素子のうちの他のものと機能的及び機械的に同等である、請求項1に記載の超小型電子パッケージ。

【請求項49】

前記基板の前記第2の表面は、その中央部分を占有する中央領域を有し、前記端子のうちの少なくとも幾つかは、前記中央領域に配置された第1の端子である、請求項1に記載の超小型電子パッケージ。

30

【請求項50】

前記超小型電子素子の少なくとも2つの対は、超小型電子素子の4つの対を含み、超小型電子素子の各対は、前記基板の前記第1の表面と前記第2の表面との間に延在する開口部の上に少なくとも部分的に重なり、各開口部は、それぞれの第1の軸、第2の軸、第3の軸、及び第4の軸を規定する長さを有し、前記第1の軸及び前記第3の軸は、互いに平行であり、前記第2の軸及び前記第4の軸は、前記第1の軸及び前記第3の軸に対して横向きであり、前記中央領域は、前記第1の軸、前記第2の軸、前記第3の軸、及び前記第4の軸によって境界が定められる、請求項49に記載の超小型電子パッケージ。

【請求項51】

前記各開口部は、外側開口部であり、超小型電子素子の各対は、前記外側開口部のうちの対応するもの隣接して前記基板の前記第1の表面と前記第2の表面との間に延在する内側開口部の上に少なくとも部分的に重なり、各内側開口部は、前記外側開口部のうちの前記対応するものの前記長さによって規定される前記軸よりも前記基板の重心に近い軸を規定する長さを有する、請求項49に記載の超小型電子パッケージ。

40

【請求項52】

前記第1の端子は、該超小型電子パッケージに転送される前記アドレス信号の全てを搬送するよう構成されている、請求項50に記載の超小型電子パッケージ。

【請求項53】

前記第1の端子は、該超小型電子パッケージに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のうちの少なくとも幾つかを搬送するよう

50

に構成され、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックであり、前記第1の端子は、前記超小型電子素子のうちの少なくとも2つによって共有される、請求項50に記載の超小型電子パッケージ。

#### 【請求項54】

前記第1の端子は、前記超小型電子素子のそれぞれによって共有される、請求項53に記載の超小型電子パッケージ。

#### 【請求項55】

前記超小型電子素子のうちの少なくとも1つと熱連通する放熱体を更に備える、請求項1に記載の超小型電子パッケージ。 10

#### 【請求項56】

前記放熱体は、前記上側超小型電子素子のそれぞれの背面の上に少なくとも部分的に重なる、請求項55に記載の超小型電子パッケージ。

#### 【請求項57】

前記放熱体は、前記下側超小型電子素子のそれぞれの前記背面の上に少なくとも部分的に重なる、請求項56に記載の超小型電子パッケージ。

#### 【請求項58】

請求項1に記載の複数の超小型電子パッケージを備える超小型電子アセンブリであって、パネルコンタクトを有する回路パネルを更に備え、前記パッケージの前記端子は、前記パネルコンタクトにボンディングされる、請求項1に記載の複数の超小型電子パッケージを備える超小型電子アセンブリ。 20

#### 【請求項59】

前記回路パネルは、前記超小型電子パッケージのそれぞれに及びそれぞれから信号を運搬する共通の電気インタフェースを有する、請求項58に記載の超小型電子アセンブリ。

#### 【請求項60】

前記超小型電子パッケージのそれぞれは、デュアルインラインメモリモジュールと同じ機能を有するように構成されている、請求項58に記載の超小型電子アセンブリ。

#### 【請求項61】

前記回路パネルはマザーボードである、請求項58に記載の超小型電子アセンブリ。 30

#### 【請求項62】

前記回路パネルは、マザーボードに取り付けられるように構成されたモジュールである、請求項58に記載の超小型電子アセンブリ。

#### 【請求項63】

前記回路パネルに実装されるとともに前記超小型電子パッケージのうちの少なくとも幾つかに電気的に接続されたバッファ素子を更に備え、該バッファ素子は、前記超小型電子パッケージの前記端子のうちの1つ又は複数において受信された少なくとも1つの信号を再生成するように構成されている、請求項58に記載の超小型電子アセンブリ。

#### 【請求項64】

前記少なくとも1つの信号は、前記超小型電子アセンブリに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを含み、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックである、請求項63に記載の超小型電子アセンブリ。 40

#### 【請求項65】

前記少なくとも1つの信号は、前記超小型電子アセンブリによって受信された前記データ信号の全てを含む、請求項63に記載の超小型電子アセンブリ。

#### 【請求項66】

請求項58に記載の複数の超小型電子アセンブリを備えるモジュールであって、各超小型電子アセンブリは、該超小型電子アセンブリのそれぞれに及びそれぞれから信号を運搬

10

20

30

40

50

する第2の回路パネルに電気的に結合されている、請求項58に記載の複数の超小型電子アセンブリを備えるモジュール。

【請求項67】

請求項1に記載の超小型電子パッケージと、該超小型電子パッケージに電気的に接続された1つ又は複数の他の電子構成要素とを備える、システム。

【請求項68】

ハウジングを更に備え、前記超小型電子パッケージ及び前記他の電子構成要素は、前記ハウジングに実装されている、請求項67に記載のシステム。

【発明の詳細な説明】

【技術分野】

10

【0001】

本出願の主題は、超小型電子パッケージ及び超小型電子パッケージを組み込んだアセンブリに関する。

【0002】

[関連出願の相互参照]

本出願は、2012年1月9日に出願された米国特許出願第13/346,185号の継続出願である。この米国特許出願は、全てが2011年10月3日に出願された米国仮特許出願第61/542,488号、第61/542,495号、及び第61/542,553号と、2011年7月12日に出願された米国仮特許出願第61/506,889号との出願日の利益を主張する。これらの米国仮特許出願の開示内容は、引用することによって本明細書の一部をなすものとする。

20

【背景技術】

【0003】

半導体チップは、一般に、事前にパッケージされた個々のユニットとして提供される。標準的なチップは、平坦な方形の本体を有し、この本体は、チップの内部回路部に接続されたコンタクトを有する大きな前面を備えている。個々の各チップは、通常、チップのコンタクトに接続された外部端子を有するパッケージ内に含まれている。また、端子、すなわちパッケージの外部接続点は、プリント回路基板等の回路パネルに電気的に接続するよう構成されている。多くの従来の設計では、チップパッケージは、チップ自体の面積よりもかなり大きな回路パネルの面積を占有する。「チップの面積」とは、この開示において、前面を有する平坦なチップに関して用いられるとき、前面の面積を指すものとして理解されるべきである。

30

【0004】

「フリップチップ」設計では、チップの前面は、パッケージ誘電体素子、すなわち、パッケージの基板の面に向き合い、チップ上のコンタクトは、はんだバンプ又は他の接続素子によってこの基板の面上のコンタクトに直接ボンディングされる。また、この基板は、当該基板上に重なる外部端子を通じて回路パネルにボンディングすることができる。「フリップチップ」設計は、比較的コンパクトな構成を提供し、各パッケージは、例えば、本願と同一の譲受人に譲渡された米国特許第5,148,265号、同第5,148,266号、及び同第5,679,977号の或る特定の実施形態に開示されているように、チップの前面の面積に等しいか又はそれよりも僅かに大きな回路パネルの面積を占有する。これらの米国特許の開示内容は、引用することによって本明細書の一部をなすものとする。或る特定の革新的な実装技法が、従来のフリップチップボンディングのコンパクト性に匹敵するコンパクト性又はそれに等しいコンパクト性を提供する。チップ自体の面積に等しいか又はそれよりも僅かに大きな回路パネルの面積内に単一のチップを収容することができるパッケージは、一般に、「チップスケールパッケージ」と呼ばれる。

40

【0005】

チップのいかなる物理的構成においても、サイズは重要な考慮事項である。チップのより小型の物理的構成に対する要求は、携帯型電子デバイスの急速な発展により、更に強くなっている。単に例として、一般に「スマートフォン」と呼ばれるデバイスは、携帯

50

電話の機能を、強力なデータプロセッサ、メモリ、並びに全地球測位システム受信機、電子カメラ及びローカルエリアネットワーク接続等の補助デバイスと、高解像度ディスプレイ及び関連する画像処理チップとともに一体化している。こうしたデバイスは、完全なインターネット接続、最大解像度の映像を含むエンターテイメント、ナビゲーション、電子銀行等の機能を、全てポケットサイズのデバイスで提供することができる。複雑な携帯型デバイスでは、多数のチップを小さい空間に詰め込む必要がある。さらに、チップのうちのいくつかは、一般に「I/O」と呼ばれる多くの入出力接続を有している。これらのI/Oを、他のチップのI/Oと相互接続しなければならない。相互接続を形成するコンポーネントは、アセンブリのサイズを大幅に増大させるべきではない。同様の必要性は、例えば、インターネット検索エンジンで使用されるもの等の、性能の増大及びサイズの低減が必要とされるデータサーバにおける用途等の、他の用途でも発生する。

10

#### 【0006】

メモリ記憶アレイ、特にダイナミックランダムアクセスメモリチップ(DRAM)及びフラッシュメモリチップを含む半導体チップは、一般に、單一チップ又は複数チップのパッケージ及びアセンブリにパッケージされる。各パッケージは、端子と、その中のチップとの間で信号を搬送し、電源及び接地を接続するために数多くの電気的接続を有する。それらの電気的接続は、チップのコンタクト支持面に対して水平方向に延在する水平導体、例えば、トレース、ビームリード等、及びチップの表面に対して垂直方向に延在するビア等の垂直導体、並びにチップの表面に対して水平及び垂直の両方向に延在するワイヤボンド等の、異なる種類の導体を含むことができる。

20

#### 【0007】

マルチチップパッケージ内で、そのパッケージの複数のチップに信号を送信することは、特に、メモリチップに対するクロック信号、アドレス信号及びストローブ信号等の、パッケージ内の2つ以上のチップに共通の信号の場合、課題をもたらす。そのようなマルチチップパッケージ内では、パッケージの端子とチップとの間の接続経路の長さが異なる可能性がある。経路長が異なると、信号が端子と各チップとの間を進行するのにかかる時間が長くなるか又は短くなる可能性がある。2点間の信号の進行時間は「伝搬遅延」と呼ばれ、導体長、導体の構造、及びその導体に近接している他の誘電体又は導体構造の関数である。

30

#### 【0008】

2つの異なる信号が特定の場所に到着する時間差を「スキュー」と呼ぶことができる。2つ以上の場所において特定の信号の到着時間に生じるスキューは、伝搬遅延と、その特定の信号がそれらの場所に向かって進行し始める時刻との両方の結果である。スキューは回路性能に影響を与える場合も、与えない場合もある。同期している信号群内の全ての信号に一斉にスキューが生じているとき、その場合、動作のために必要とされる全ての信号が、必要なときに一緒に到着するので、スキューは多くの場合に性能にほとんど影響を及ぼさない。しかしながら、動作のために必要とされる同期している信号群の異なる信号が異なる時刻に到着するとき、これは当てはまらない。この場合、必要とされる全ての信号が到着しない限り、動作を実行することができないので、スキューは性能に影響を与える。本明細書において説明する実施形態は、同時係属中の米国仮特許出願第61/506,889号(TESSERA 3.8-664)に開示されているスキューを最小にする特徴を含むことができる。この米国仮特許出願の開示内容は、引用することによって本明細書の一部をなすものとする。

40

#### 【0009】

従来の超小型電子パッケージは、メモリ記憶アレイ機能を主として提供するように構成された超小型電子素子、すなわち、メモリ記憶アレイ機能を提供する能動デバイスを他のいずれの機能よりも多く具現化する超小型電子素子を組み込むことができる。この超小型電子素子は、DRAMチップ、又はそのような半導体チップを積み重ねて電気的に相互接続したアセンブリとすることもできるし、それらを含むこともできる。通常、そのようなパッケージの端子の全ては、超小型電子素子が実装されるパッケージ基板の1つ又は複数

50

の周縁部に隣接して数組の列に配置される。

【発明の概要】

【発明が解決しようとする課題】

【0010】

上記に鑑みると、電気的性能を改良するために、マルチチップ超小型電子パッケージ及びアセンブリに対して或る特定の改良を行うことができる。本発明のこれらの特質は、以下に説明するような超小型電子パッケージ及びアセンブリを構築することによって達成することができる。

【0011】

本発明の一態様によれば、超小型電子パッケージが、対向する第1の表面及び第2の表面を有する基板と、超小型電子素子の少なくとも2つの対であって、超小型電子素子の各対は、上側超小型電子素子及び下側超小型電子素子を含む超小型電子素子の少なくとも2つの対と、前記第2の表面において露出した複数の端子と、各下側超小型電子素子の前記コンタクトのうちの少なくとも幾つかから前記端子のうちの少なくとも幾つかに延在する電気的接続部とを備えることができる。前記超小型電子素子の対は、前記基板の前記第1の表面に対して平行な水平方向において互いに十分離間することができる。各下側超小型電子素子は、前面と、該前面における複数のコンタクトとを有することができる。前記下側超小型電子素子の前記前面は、前記第1の表面に対して平行であるとともに該第1の表面の上に重なる単一の平面に配置することができる。前記上側超小型電子素子のそれぞれの表面は、前記基板の前記第1の表面の上に重なるとともに、その対内の前記下側超小型電子素子の上に少なくとも部分的に重なることができる。前記超小型電子素子は、メモリ記憶アレイ機能を主として提供するようにともに構成することができる。前記端子は、該超小型電子パッケージの外部の少なくとも1つの構成要素に該超小型電子パッケージを接続するように構成することができる。

10

20

30

40

【0012】

特定の実施形態において、前記超小型電子素子の対のうちの第1の対及び第2の対の前記下側超小型電子素子の前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸及び第2の軸を規定するコンタクトのそれぞれの列に配置することができる。前記第1の軸及び前記第2の軸は、互いに対して横向きにすることができる。一例において、前記第1の軸及び前記第2の軸は、互いに対して直交することができる。例示的な実施形態において、前記超小型電子素子の対のうちの第1の対及び第2の対の前記下側超小型電子素子の前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸及び第2の軸を規定するコンタクトのそれぞれの列に配置することができる。前記第1の軸及び前記第2の軸は、互いに平行にすることができる。特定の例において、前記超小型電子素子の少なくとも2つの対は、超小型電子素子の4つの対を含むことができる。

【0013】

一実施形態において、前記下側超小型電子素子のそれぞれの前記複数のコンタクトのうちの少なくとも幾つかは、それぞれの第1の軸、第2の軸、第3の軸、及び第4の軸を規定するコンタクトの列に配置することができる。前記第1の軸及び前記第3の軸は、互いに平行にすることができる。前記第2の軸及び前記第4の軸は、前記第1の軸及び前記第3の軸に対して横向きにすることができる。超小型電子パッケージ。特定の実施形態において、前記超小型電子素子の対のうちの少なくとも1つの対の前記下側超小型電子素子は、第2の下側超小型電子素子に隣接して配置された第1の下側超小型電子素子とすることができます。前記第2の下側超小型電子素子の前面は、前記第1の表面に対して平行な前記単一の平面に配置することができる。前記第1の下側超小型電子素子の上に少なくとも部分的に重なる前記上側超小型電子素子は、前記第2の下側超小型電子素子の上にも少なくとも部分的に重なることができる。

【0014】

例示的な実施形態において、前記端子は、エリアアレイに配置することができる。前記端子は、互いに同一平面上にある露出した接触面を有することができる。特定の例におい

50

て、前記電気的接続部は、前記下側超小型電子素子のそれぞれのコンタクトと、前記基板の前記第1の表面において露出した導電性ボンドパッドとの間に延在するフリップチップ接続部を含むことができる。一実施形態において、前記上側超小型電子素子のそれぞれは、前記基板の前記第1の表面と前記第2の表面との間に延在する少なくとも1つの第1の開口部の上に重なることができる。前記電気的接続部は、前記少なくとも1つの第1の開口部と位置合わせされた少なくとも一部を有する第1のリードを含むことができる。特定の実施形態において、前記下側超小型電子素子のそれぞれは、前記基板の前記第1の表面と前記第2の表面との間に延在する少なくとも1つの第2の開口部の上に重なることができる。前記電気的接続部は、前記少なくとも1つの第2の開口部と位置合わせされた少なくとも一部を有する第2のリードを含むことができる。

10

#### 【0015】

一例において、前記下側超小型電子素子のそれぞれの前記前面は、前記基板の前記第1の表面の方に向くことができ、前記上側超小型電子素子のそれぞれの前記前面は、該上側超小型電子素子のそれぞれの該前面におけるコンタクトが、その対内の前記下側超小型電子素子の縁部を越えて配置されるように、その対内の前記下側超小型電子素子の背面の上に部分的に重なることができる。例示的な実施形態において、前記上側超小型電子素子のそれぞれの前記コンタクトは、前記少なくとも1つの第1の開口部のうちの対応するものの上に重なることができ、前記下側超小型電子素子のそれぞれの前記コンタクトは、前記少なくとも1つの第2の開口部のうちの対応するものの上に重なることができる。上側超小型電子素子及び下側超小型電子素子の各対の前記対応する第1の開口部及び第2の開口部は、互いに離間することができる。

20

#### 【0016】

特定の例において、前記上側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの上側超小型電子素子の前記前面の中央領域において列に配置することができる。前記上側超小型電子素子のそれぞれの前記コンタクトの列は、前記少なくとも1つの第1の開口部のうちの対応するものの長さの方向に延在することができる。一実施形態において、前記下側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの下側超小型電子素子の前記前面の中央領域において列に配置することができる。前記下側超小型電子素子のそれぞれの前記コンタクトの列は、前記少なくとも1つの第2の開口部のうちの対応するものの長さの方向に延在することができる。特定の実施形態において、前記第1の開口部のそれぞれは、その長さに対しても横向きの方向に幅を有することができる。前記第1の開口部のそれぞれの前記幅は、該第1の開口部の該幅と同じ方向における、該第1の開口部の上に重なる前記上側超小型電子素子のうちの前記対応するものの幅よりも大きくしないことができる。

30

#### 【0017】

一例において、前記リードのうちの少なくとも幾つかは、前記第1の開口部又は前記第2の開口部のうちの少なくとも一方を通って延在するワイヤボンドを含むことができる。例示的な実施形態において、前記リードの全ては、前記少なくとも1つの第1の開口部を通って延在するワイヤボンドとすることができます。特定の例において、前記第1のリードの全ては、前記少なくとも1つの第1の開口部を通って延在することができ、前記第2のリードの全ては、前記少なくとも1つの第2の開口部を通って延在することができる。一実施形態において、前記リードのうちの少なくとも幾つかはリードボンドを含むことができる。特定の例において、各上側超小型電子素子は、その前記前面において露出した複数のコンタクトを有することができ、前記前面の縁部に隣接して配置されたコンタクトの少なくとも1つの列に配置することができる。各コンタクトの列は、前記下側超小型電子素子のうちの前記対応するものの縁部を越えて配置することができる。

40

#### 【0018】

特定の例において、前記超小型電子素子の対のうちの少なくとも1つの対の前記下側超小型電子素子は、第2の下側超小型電子素子に隣接して配置された第1の下側超小型電子素子とすることができます。前記第2の下側超小型電子素子の前面は、前記第1の表面に対

50

して平行な前記单一の平面に配置することができる。前記第1の下側超小型電子素子の前記背面の上に少なくとも部分的に重なる前記上側超小型電子素子の前記前面は、前記上側超小型電子素子の前記前面における前記コンタクトが、前記第2の下側超小型電子素子の縁部を越えて配置されるように、前記第2の下側超小型電子素子の背面の上にも少なくとも部分的に重なることができる。一実施形態において、前記第2の下側超小型電子素子のそれぞれは、前記基板の前記第1の表面と前記第2の表面との間に延在する少なくとも1つの第3の開口部の上に重なることができる。前記電気的接続部は、前記少なくとも1つの第3の開口部と位置合わせされた少なくとも一部を有する第3のリードを含むことができる。

## 【0019】

10

例示的な実施形態において、前記上側超小型電子素子、前記第1の下側超小型電子素子、及び前記第2の下側超小型電子素子のそれぞれの前記コンタクトのうちの少なくとも幾つかは、前記それぞれの超小型電子素子の前記前面の中央領域において列に配置することができる。前記上側超小型電子素子、前記第1の下側超小型電子素子、及び前記第2の下側超小型電子素子のそれぞれの前記コンタクトの列は、それぞれの前記少なくとも1つの第1の開口部、前記少なくとも1つの第2の開口部、及び前記少なくとも1つの第3の開口部のうちの対応するものの長さの方向に延在することができる。一例において、前記第1の開口部、前記第2の開口部、及び前記第3の開口部のそれぞれは、その長さに対して横向きの方向に幅を有することができる。前記開口部のそれぞれの前記幅は、該開口部の該幅と同じ方向における、該開口部の上に重なる前記超小型電子素子のうちの前記対応するものの幅よりも大きくしないことができる。特定の例において、前記第1のリードの全ては、前記少なくとも1つの第1の開口部を通って延在することができ、前記第2のリードの全ては、前記少なくとも1つの第2の開口部を通って延在することができ、前記第3のリードの全ては、前記少なくとも1つの第3の開口部を通って延在することができる。

20

## 【0020】

特定の実施形態において、該超小型電子パッケージは、超小型電子素子の4つの対を備えることができる。各超小型電子素子の前記コンタクトは、8つのデータI/Oコンタクトを含むことができる。代替的に、各超小型電子素子の前記コンタクトは、9つのデータI/Oコンタクトを含むことができる。一実施形態において、該超小型電子パッケージは、9つの超小型電子素子を備えることができる。各超小型電子素子の前記コンタクトは、8つのデータI/Oコンタクトを含むことができる。例示的な実施形態において、該超小型電子パッケージは、超小型電子素子の2つの対を備えることができる。各超小型電子素子の前記コンタクトは、8つのデータI/Oコンタクトを含むことができる。代替的に、各超小型電子素子の前記コンタクトは、16個のデータI/Oコンタクトを含むことができる。

30

## 【0021】

一例において、前記超小型電子パッケージは、該超小型電子パッケージにおいて、前記端子のうちの少なくとも幾つかと、前記超小型電子素子のうちの1つ又は複数とに電気的に接続されたバッファ素子も備えることができる。該バッファ素子は、該超小型電子パッケージの前記端子のうちの1つ又は複数において受信された少なくとも1つの信号を再生成するように構成することができる。特定の実施形態において、前記バッファ素子は、前記基板の前記第1の表面に実装することができる。例示的な実施形態において、前記バッファ素子は、前記基板の前記第2の表面に実装することができる。一実施形態において、前記少なくとも1つの信号は、該超小型電子パッケージに転送される前記アドレス信号の全てを含むことができる。特定の例において、前記少なくとも1つの信号は、該超小型電子パッケージに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを含むことができ、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックである。

40

## 【0022】

50

例示的な実施形態において、前記少なくとも 1 つの信号は、該超小型電子パッケージによって受信された前記データ信号の全てを含むことができる。一実施形態において、該超小型電子パッケージは、前記基板に実装されるとともに識別情報を記憶するように構成された不揮発性メモリ素子も備えることができる。該不揮発性メモリ素子は、前記超小型電子素子のうちの 1 つ又は複数に電気的に接続することができる。特定の例において、前記超小型電子パッケージは温度センサも備えることができる。特定の実施形態において、前記超小型電子パッケージは、前記基板に実装されたデカップリングコンデンサ素子も備えることができる。該デカップリングコンデンサ素子は、前記超小型電子素子のうちの 1 つ又は複数に電気的に接続することができる。一実施形態において、前記基板は、該基板の平面における CTE が 12 ppm / 未満である材料から実質的になる要素とすることができます。特定の実施形態において、前記基板は、該基板の平面における CTE が 30 ppm / 未満である材料から実質的になる誘電体素子を備えることができる。

10

## 【0023】

一例において、前記超小型電子素子は、アドレス指定可能メモリモジュールとしてともに機能するように構成することができる。該超小型電子パッケージは、前記超小型電子素子のそれぞれにおいて受信されたデータの一部を記憶するように構成することができる。一実施形態において、該超小型電子パッケージは、デュアルインラインメモリモジュールとして機能することができる。例示的な実施形態において、該超小型電子パッケージは、同じコマンド及び信号インターフェースを有することができ、デュアルインラインメモリモジュールと同じ量のデータを転送するように構成することができる。特定の実施形態において、前記超小型電子素子のそれぞれは、主としてメモリ記憶アレイ機能を提供するように構成することができる。一例において、前記超小型電子素子のそれぞれは、ダイナミックランダムアクセスメモリ（「DRAM」）集積回路チップを含むことができる。特定の例において、前記超小型電子素子のそれぞれは、該超小型電子素子のうちの他のものと機能的及び機械的に同等とすることができます。

20

## 【0024】

特定の実施形態において、前記基板の前記第 2 の表面は、その中央部分を占有する中央領域を有することができる。前記端子のうちの少なくとも幾つかは、前記中央領域に配置された第 1 の端子とすることができます。一実施形態では、前記超小型電子素子の少なくとも 2 つの対は、超小型電子素子の 4 つの対を含むことができる。超小型電子素子の各対は、前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する開口部の上に少なくとも部分的に重なることができる。各開口部は、それぞれの第 1 の軸、第 2 の軸、第 3 の軸、及び第 4 の軸を規定する長さを有することができる。前記第 1 の軸及び前記第 3 の軸は、互いに平行にすることができます。前記第 2 の軸及び前記第 4 の軸は、前記第 1 の軸及び前記第 3 の軸に対して横向きにすることができます。前記中央領域は、前記第 1 の軸、前記第 2 の軸、前記第 3 の軸、及び前記第 4 の軸によって境界を定めることができる。

30

## 【0025】

例示的な実施形態において、前記各開口部は、外側開口部とすることができます。超小型電子素子の各対は、前記外側開口部のうちの対応するものに隣接して前記基板の前記第 1 の表面と前記第 2 の表面との間に延在する内側開口部の上に少なくとも部分的に重なることができる。各内側開口部は、前記外側開口部のうちの前記対応するものの前記長さによって規定される前記軸よりも前記基板の重心に近い軸を規定する長さを有することができる。一実施形態では、前記第 1 の端子は、該超小型電子パッケージに転送される前記アドレス信号の全てを搬送するように構成することができる。

40

## 【0026】

特定の例において、前記第 1 の端子は、該超小型電子パッケージに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号のうちの少なくとも幾つかを搬送するように構成することができ、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックである

50

。前記第1の端子は、前記超小型電子素子のうちの少なくとも2つによって共有することができる。一例では、前記第1の端子は、前記超小型電子素子のそれぞれによって共有することができる。例示的な実施形態において、超小型電子パッケージは、前記超小型電子素子のうちの少なくとも1つと熱連通する放熱体も備えることができる。特定の実施形態において、前記放熱体は、前記上側超小型電子素子のそれぞれの背面の上に少なくとも部分的に重なることができる。一実施形態において、前記放熱体は、前記下側超小型電子素子のそれぞれの前記背面の上に少なくとも部分的に重なることができる。

【0027】

本発明の一態様によれば、超小型電子アセンブリが、上記で説明したような複数の超小型電子パッケージを備えることができる。該超小型電子アセンブリは、パネルコンタクトを有する回路パネルも備えることができる。前記パッケージの前記端子は、前記パネルコンタクトにボンディングすることができる。一実施形態において、前記回路パネルは、前記超小型電子パッケージのそれぞれに及びそれぞれから信号を運搬する共通の電気インターフェースを有することができる。例示的な実施形態において、前記超小型電子パッケージのそれぞれは、デュアルINLINEメモリモジュールと同じ機能を有するように構成することができる。特定の例において、前記回路パネルはマザーボードとすることができる。一例において、前記回路パネルは、マザーボードに取り付けられるように構成されたモジュールとすることができます。

【0028】

特定の実施形態において、前記超小型電子アセンブリは、前記回路パネルに実装されるとともに前記超小型電子パッケージのうちの少なくとも幾つかに電気的に接続されたバッファ素子も備えることができる。該バッファ素子は、前記超小型電子パッケージの前記端子のうちの1つ又は複数において受信された少なくとも1つの信号を再生成するように構成することができる。一例において、前記少なくとも1つの信号は、該超小型電子アセンブリに転送される前記コマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを含むことができ、前記コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、前記クロック信号は、前記アドレス信号をサンプリングするのに用いられるサンプリングクロックである。例示的な実施形態において、前記少なくとも1つの信号は、該超小型電子アセンブリによって受信された前記データ信号の全てを含むことができる。

【0029】

本発明の一態様によれば、モジュールが、上記で説明したような複数の超小型電子アセンブリを含むことができる。各超小型電子アセンブリは、該超小型電子アセンブリのそれぞれに及びそれぞれから信号を運搬する第2の回路パネルに電気的に結合することができる。本発明の更なる態様は、本発明の上記態様による超小型電子アセンブリ、本発明の上記態様による複合チップ、又は双方を、それらに電気的に接続された他の電子構成要素とともに組み込んだシステムを提供することができる。例えば、このシステムは、ポータブルなハウジングとすることができる単一のハウジングに配置及び/又は実装することができる。本発明のこの態様における好ましい実施形態によるシステムは、比較可能な従来のシステムよりもコンパクトにすることができる。

【図面の簡単な説明】

【0030】

【図1A】本発明の一実施形態による超小型電子パッケージの概略斜視図である。

【図1B】図1Aの1B-1Bの線に沿って取られた図1Aの超小型電子パッケージの側断面図である。

【図1C】超小型電子素子のロケーションを示す、図1Aの超小型電子パッケージの底面図である。

【図2A】基板に実装された超小型電子素子フリップチップを有する別の実施形態による超小型電子パッケージの概略斜視図である。

【図2B】図2Aの2B-2Bの線に沿って取られた図2Aの超小型電子パッケージの側

10

20

30

40

50

断面図である。

【図 2 C】対応する下側超小型電子素子の上に少なくとも部分的に重なっている 1 つ又は複数の上側超小型電子素子を有する、図 2 A の超小型電子パッケージの変形形態の側断面図である。

【図 2 D】対応する下側超小型電子素子の上に少なくとも部分的に重なっている 1 つ又は複数の上側超小型電子素子を有する、図 2 A の超小型電子パッケージの変形形態の側断面図である。

【図 3 A】ボンド窓及び中央領域のロケーションを示す、更なる実施形態による 4 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 3 B】ボンド窓及び中央領域のロケーションを示す、更なる実施形態による 4 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 3 C】ボンド窓及び中央領域のロケーションを示す、更なる実施形態による 4 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 3 D】ボンド窓及び中央領域のロケーションを示す、更なる実施形態による 4 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 4 A】ボンド窓及び中央領域のロケーションを示す、別の更なる実施形態による 3 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 4 B】ボンド窓及び中央領域のロケーションを示す、別の更なる実施形態による 3 つの超小型電子素子を有する超小型電子パッケージの上面図である。

【図 5 A】積み重ねられた超小型電子素子を有する更に別の実施形態による超小型電子パッケージの概略斜視図である。

【図 5 B】図 5 A の 5 B - 5 B の線に沿って取られた、図 5 A の超小型電子パッケージの側断面図である。

【図 5 C】超小型電子素子のロケーションを示す、図 5 A の超小型電子パッケージの底面図である。

【図 6 A】積み重ねられた超小型電子素子を有する更に別の実施形態による超小型電子パッケージの概略斜視図である。

【図 6 B】図 6 A の 6 B - 6 B の線に沿って取られた、図 6 A の超小型電子パッケージの側断面図である。

【図 6 C】超小型電子素子のロケーションを示す、図 6 A の超小型電子パッケージの底面図である。

【図 7】積み重ねられた超小型電子素子を有する更に別の実施形態による超小型電子パッケージの概略斜視図である。

【図 8 A】回路パネルに実装された複数の超小型電子パッケージを有する超小型電子アセンブリの概略斜視図である。

【図 8 B】図 8 A の超小型電子アセンブリの底面図である。

【図 8 C】回路パネルに実装された複数の超小型電子パッケージを有する更なる実施形態による超小型電子アセンブリの概略斜視図である。

【図 8 D】回路パネルに実装された複数の超小型電子パッケージを有する更なる実施形態による超小型電子アセンブリの概略斜視図である。

【図 8 E】回路パネルに実装された複数の超小型電子パッケージを有する更なる実施形態による超小型電子アセンブリの概略斜視図である。

【図 9】複数のモジュールを備える一実施形態によるシステムの概略図である。

【発明を実施するための形態】

【0031】

本発明の或る特定の実施形態は、超小型電子素子、例えば、半導体チップ、又は半導体チップを積み重ねて配置したものが、メモリ記憶アレイ機能を主として提供するように構成されているパッケージ又は超小型電子アセンブリを提供する。そのような超小型電子素子では、メモリ記憶アレイ機能を提供するように構成された、すなわち、そのように構築されて他のデバイスと相互接続された、その素子内の能動デバイス、例えばトランジスタ

10

20

30

40

50

の数は、他のいずれかの機能を提供するように構成された能動デバイスの数よりも多い。したがって、一例では、DRAMチップ等の超小型電子素子は、その主要な又は唯一の機能としてメモリ記憶アレイ機能を有することができる。代替的に、別の例では、そのような超小型電子素子は、混合用途を有することができ、メモリ記憶アレイ機能を提供するように構成された能動デバイスを組み込むことができるとともに、プロセッサ機能、すなわち、数ある中でも信号プロセッサ機能又はグラフィックスプロセッサ機能等の別の機能を提供するように構成された他の能動デバイスも組み込むことができる。この場合も、超小型電子素子は、依然として、メモリ記憶アレイ機能を提供するように構成された能動デバイスを、超小型電子素子の他のいずれの機能よりも多く有することができる。

【0032】

10

本明細書における本発明の実施形態は、その中に2つ以上の半導体チップ、すなわち、超小型電子素子を有するパッケージを提供する。多チップパッケージは、その中にあるチップを、数ある中でも、ボールグリッドアレイ、ランドグリッドアレイ又はピングリッドアレイ等の端子のアレイを通してそのパッケージが電気的に、かつ機械的に接続される場合がある回路パネル、例えば、プリント配線板に接続するのに必要とされる面積及び空間の量を削減することができる。そのような接続空間は、小型又はポータブルな計算デバイス、例えば、通常パーソナルコンピュータの機能と広範な世界への無線接続性とを併せ持つ「スマートフォン」又はタブレット等のハンドヘルドデバイスでは特に制限される。マルチチップパッケージは、高度な高性能ダイナミックランダムアクセスメモリ（「DRAM」）チップ、例えば、DDR3タイプDRAMチップ及びその後続製品等の、大量の相対的に安価なメモリをシステムが利用できるようにするのに特に役に立つ可能性がある。

20

【0033】

マルチチップパッケージを接続するのに必要とされる回路パネルの面積の量は、パッケージ内の2つ以上のチップに至る途中に、少なくとも幾つかの信号がその中を通って進行する共通端子をパッケージ上に設けることによって削減することができる。しかしながら、高性能動作をサポートしながら、それを果たすには課題がある。無終端スタブに起因した信号の望ましくない反射等の望ましくない影響を回避するには、パッケージの外面にある端子を回路パネル上のグローバル配線と電気的に接続する回路パネル上のトレース、ビア、及び他の導体は長すぎてはならない。放熱も、高度なチップにとって課題を提示し、そのため、各チップの大きな平坦面のうちの少なくとも1つは、放熱体に結合されるか、又は設置されたシステム内の流れあるいは空気に、暴露されるかあるいは熱連通していることが望ましい。以下に説明するパッケージは、これらの更なる目標に役立つことができる。

30

【0034】

図1A～図1Cは、本発明の一実施形態による特定のタイプの超小型電子パッケージ10を示している。図1A～図1Cに見られるように、超小型電子パッケージ10は、パッケージ構造、例えば、対向する第1の表面21及び第2の表面22を有する基板20を備えることができる。場合によっては、基板20は、（基板の第1の表面21に対して平行な方向の）基板の平面において低い熱膨張係数（「CTE」）、すなわち、12パーセントペーミリオン／摂氏温度（以下、「ppm／°C」）未満のCTEを有する材料から実質的になることができ、半導体材料、例えばシリコン、又はセラミック材料若しくは二酸化シリコン、例えばガラス等の誘電体材料等から実質的になることができる。代替的に、基板20は、シート状基板を含むことができ、このシート状基板は、ポリイミド、エポキシ樹脂、熱可塑性物質、熱硬化プラスチック等の高分子材料、又は他の適した高分子材料から実質的になることもできるか、又は数ある中でもB7樹脂（ビスマレイミドトリアジン）のガラス強化構造又はFR4等のエポキシ樹脂ガラス等の合成高分子無機材料を含むか又はこれらの材料から実質的になる。一例では、そのような基板20は、基板の平面、すなわちその表面に沿った方向において30ppm／°C未満のCTEを有する材料から実質的になることができる。

40

【0035】

50

図1A～図1Cにおいて、基板20の第1の表面21に対して平行な方向は、本明細書では「水平」方向又は「横」方向と呼ばれるのに対して、第1の表面に対して垂直な方向は、本明細書では、上向き方向又は下向き方向と呼ばれ、本明細書では、「垂直」方向とも呼ばれる。本明細書で言及するこれらの方向は、言及する構造の基準系におけるものである。したがって、これらの方向は、重力基準系における通常の「上」方向又は「下」方向に対して任意の向きにあることができる。

【0036】

1つの特徴部が別の特徴部よりも「表面の上方において」高い高さに配置されているという記述は、その1つの特徴部が表面から同じ直交方向においてその別の特徴部よりも大きく離れた距離にあることを意味する。逆に、1つの特徴部が別の特徴部よりも「表面の上方において」低い高さに配置されているという記述は、その1つの特徴部が表面から同じ直交方向においてその別の特徴部よりも小さく離れた距離にあることを意味する。

10

【0037】

少なくとも1つの開口部26が、基板20の第1の表面21と第2の表面22との間に延在することができる。図1Aに見て取ることができますように、基板20は、当該基板を貫通して延在する4つの開口部26を有することができる。基板20は、当該基板上に複数の端子25、例えば、導電性パッド、ランド、又は導電性ポスト若しくは導電性ピンを有することができる。そのような端子25は、基板20の第2の表面22において露出することができる。端子25は、超小型電子パッケージ10と外部の構成要素の対応する導電性素子との接続用の端点として機能することができる。この外部の構成要素は、特に、回路パネル、例えば、プリント配線板、フレキシブル回路パネル、ソケット、他の超小型電子アセンブリ若しくはパッケージ、インタポーラ、又は受動構成要素アセンブリ（例えば、図8Aに示す回路パネル）等である。一例では、そのような回路パネルは、マザーボード又はDIMMモジュールボードとすることができます。特定の実施形態では、端子は、数ある中でも、ボールグリッドアレイ（BGA）（以下に説明するような接合素子11を備える）、ランドグリッドアレイ（LGA）、又はピングリッドアレイ（PGA）等のエリアアレイに配置することができる。一実施形態では、端子25は、基板20の第2の表面22の周辺部に沿って配置することができる。

20

【0038】

一例示の実施形態では、端子25は、銅、銅合金、金、ニッケル等の導電性材料から作製された実質的に剛性のポストを含むことができる。端子25は、例えば、レジストマスクにおける開口内に導電性材料をめっきすることによって、又は例えば、銅、銅合金、ニッケル、若しくはそれらの組み合わせから作製されたポストを形成することによって形成することができる。そのようなポストは、例えば、金属シート又は他の金属構造体を基板20から離れる方向に延在するポストにサブトラクティブパターニングすることによって、超小型電子パッケージ10を例えば以下に説明する回路パネル860等の外部の構成要素と電気的に相互接続する端子として形成することができる。端子25は、例えば、米国特許第6,177,636号に記載されているような他の構成を有する実質的に剛性のポストとすることができます。この米国特許の開示内容は、引用することによって本明細書の一部をなすものとする。一例では、端子25は、互いに同一平面上の露出した接触面を有することができる。

30

【0039】

超小型電子パッケージ10は、外部の構成要素との接続用の端子25に取り付けられた接合素子11を備えることができる。この接合素子11は、例えば、はんだ、スズ、インジウム、共晶組成、若しくはそれらの組み合わせ等のボンドメタル又は導電性ペースト若しくは導電性接着剤等の別の接合材料の塊とすることができます。特定の実施形態では、端子25と外部の構成要素（例えば、図8Aに示す回路パネル860）のコンタクトとの間の接合部は、所有者が共通する米国特許出願第13/155,719号及び第13/158,797号に記載されているような導電性マトリックス材を含むことができる。これらの米国特許出願の開示内容は、引用することによって本明細書の一部をなすものとする。

40

50

特定の実施形態では、これらの接合部は、これらの米国特許出願に記載されているものと同様の構造を有することもできるし、これらの米国特許出願に記載されているような方法で形成することもできる。

【0040】

導電性素子が構造体の表面「において露出する」という記述は、この開示において用いられるとき、その導電性素子が、表面に対して垂直な方向に、構造体の外側からその表面に向かって移動する理論的な点との接触に利用可能であることを示す。したがって、構造体の表面において露出する端子又は他の導電性素子は、そのような表面から突出することもできるし、そのような表面と同一平面をなすこともできるし、そのような表面に対して陥凹して、構造体の孔又は窪みを通じて露出することもできる。

10

【0041】

端子25は、基板20の第2の表面22の中央領域23において露出する第1の端子25aと、中央領域の外側にある第2の表面の周辺領域28において露出する第2の端子25bとを含むことができる。図1A～図1Cに示す配置は、或る超小型電子素子が他のいずれの超小型電子素子の上にも重なる必要なく、超小型電子素子30のコンパクトな配置と、比較的広範囲の中央領域23とを提供することができる。

20

【0042】

第1の端子25aは、外部の構成要素から超小型電子パッケージ10に転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを搬送するように構成することができる。例えばダイナミックランダムアクセスメモリ（「DRAM」）用のダイナミックメモリ記憶アレイを備える超小型電子素子では、そのような超小型電子素子がダイナミックランダムアクセスメモリ記憶デバイスであるとき、例えば、コマンド信号は、超小型電子パッケージ10内の超小型電子素子によって用いられる書き込みインペブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号である。ワンダイン終端（ODT）、チップセレクト、クロックインペブル等の他の信号は、第1の端子25aによって搬送する必要があるコマンド信号の一部ではない。

20

【0043】

クロック信号は、アドレス信号をサンプリングするのに用いられるサンプリングクロックとすることができる。第2の端子25bのうちの少なくとも幾つかは、第1の端子25aによって搬送されるコマンド信号、アドレス信号、及びクロック信号以外の信号を搬送するように構成することができる。チップセレクト、リセット、電源電圧、例えばVdd、Vddq、並びに接地、例えばVss及びVssq等の信号又は基準電位は、第2の端子25bによって搬送することができる。これらの信号又は基準電位のいずれも、第1の端子25aによって搬送する必要はない。

30

【0044】

図1Cに示す例等の特定の例では、第2の端子25bは、各周辺領域28において少なくとも1つの列に配置することができる。一実施形態では、コマンド信号、アドレス信号、及びクロック信号以外の信号を搬送するように構成された第2の端子25bのうちの少なくとも幾つかは、基板20の第2の表面22の中央領域23において露出することができる。

40

【0045】

超小型電子パッケージ10は、それぞれが基板20の第1の表面21の方に向いた前面31を有する複数の超小型電子素子30も備えることができる。一例では、超小型電子素子30のそれぞれは、それぞれがダイナミックランダムアクセスメモリ（「DRAM」）記憶アレイ等のメモリ記憶素子又は主としてDRAM記憶アレイ（例えば、DRAM集積回路チップ）として機能するように構成された記憶素子を組み込んだペアチップ又は超小型電子ユニットとすることができます。「メモリ記憶素子」とは、本明細書において用いられるとき、電気インタフェースを介してデータを運搬等するように、データを記憶及び検索するのに使用可能な回路部とともにアレイに配置された多数のメモリセルを指す。特定の例では、超小型電子パッケージ10は、シングルラインメモリモジュール（「S1

50

MM」)又はデュアルインラインメモリモジュール(「DIMM」)に含めることができる。

【0046】

特定の例では、メモリ記憶素子を備える超小型電子素子30は、少なくともメモリ記憶アレイ機能を有することができるが、この超小型電子素子は、フル機能メモリチップでない場合がある。そのような超小型電子素子は、それ自体バッファリング機能を有しない場合があるが、超小型電子素子のスタック内の他の超小型電子素子に電気的に接続される場合があり、そのスタック内の少なくとも1つの超小型電子素子が、バッファリング機能を有する(バッファリング超小型電子素子は、バッファチップ、フル機能メモリチップ、又はコントローラチップとすることができます)。

10

【0047】

他の例では、本明細書において説明するパッケージの任意のものにおける超小型電子素子のうちの1つ又は複数が、例えば、フラッシュメモリ、DRAM又は他のタイプのメモリのような他のいずれの機能よりも多くの数のメモリ記憶アレイ機能を提供する能動デバイスを具現化することができ、別の超小型電子素子又は主として論理機能を提供するよう構成された「論理チップ」とともにパッケージ内に配置することができる。特定の実施形態では、論理チップは、マイクロプロセッサ又は他の汎用計算素子等の、プログラマブル又はプロセッサ素子とすることができます。その論理チップは、マイクロコントローラ素子、グラフィックスプロセッサ、浮動小数点プロセッサ、コプロセッサ、デジタルシグナルプロセッサ等とすることができます。特定の実施形態では、論理チップは、ハードウェア状態機械機能を主に実行することができるか、又は特定の機能若しくは目的を果たすように別の方法でハードコード化することができる。代替的には、論理チップは、特定用途向け集積回路(「ASIC」)又はフィールドプログラマブルゲートアレイ(「FPGA」)チップとすることができます。そのような変形形態では、その際、パッケージは「システムインパッケージ」(「SIP」)とすることができます。

20

【0048】

別の変形形態では、本明細書において説明されるパッケージのうちの任意のものにおける超小型電子素子は、同じ超小型電子素子内に共に埋め込まれた1つ又は複数の関連するメモリ記憶アレイを有するプログラマブルプロセッサ等の、その中に埋め込まれた論理機能及びメモリ機能を併せ持つことができる。そのような超小型電子素子は、プロセッサ等の論理機能が、メモリ記憶アレイ、又は特殊化した機能の場合がある幾つかの他の機能を実行する回路等の他の回路とともに埋め込まれるという点で、「システムオンチップ」(「SOC」)と呼ばれる場合もある。

30

【0049】

特定の例では、超小型電子素子30のそれぞれは、超小型電子素子の他のものと機能的及び機械的に同等とすることができます、そのため、各超小型電子素子は、同じ機能を有する同じパターンの導電性コンタクト35を前面31に有することができる。ただし、各超小型電子素子の長さ、幅、及び高さの特定の寸法は、他の超小型電子素子のものと異なることができる。

40

【0050】

各超小型電子素子30は、その前面31において露出する複数の導電性コンタクト35を有することができる。各超小型電子素子30のコンタクト35は、前面のエリアの中央部分を占有する前面31の中央領域36に配置される1つ又は複数の列に配置することができる。中央領域36は、例えば、超小型電子素子30の対向する周縁部32a、32b間の最短距離の中央3分の1を含む前面31のエリアを占有することができる。各超小型電子素子30の前面31は、周縁部32aに隣接する第1の周辺領域と、もう1つの周縁部32bに隣接する第2の周辺領域と、第1の周辺領域と第2の周辺領域との間に配置された中央領域36とを有すると考えることができます。図1Bに示すように、各超小型電子素子30のコンタクト35は、開口部26のうちの少なくとも1つと位置を合わせることができます。

50

## 【0051】

超小型電子素子の表面又は面、例えば、超小型電子素子30の前面31の中央領域36は、本明細書において用いられるとき、表面の第1の周辺領域と第2の周辺領域との間に配置される表面の部分を意味する。これらの周辺領域は、超小型電子素子の対向するそれぞれの第1の周縁部及び第2の周縁部（例えば、超小型電子素子30の対向する周縁部32a、32b）に隣接して配置される。第1の周辺領域及び第2の周辺領域並びに中央領域のそれぞれは、等しい幅を有し、そのため、中央領域は、そのような超小型電子素子の対向する第1の周縁部と第2の周縁部との間の最短距離の中央3分の1に延在する表面のエリアを占有する。

## 【0052】

10

特定の実施形態では、超小型電子パッケージ10は、4つの超小型電子素子30を有することができ、各超小型電子素子のコンタクト35は、8つのデータI/Oコンタクトを含む。別の実施形態では、超小型電子パッケージ10は、4つの超小型電子素子30を有することができ、各超小型電子素子のコンタクト35は、16個のデータI/Oコンタクトを含む。特定の例では、超小型電子パッケージ10（及び本明細書において説明する他の超小型電子パッケージのうちの任意のもの）は、1クロックサイクルにおいて32個のデータビットを並列に転送、すなわち、パッケージによって受信又はパッケージから送信するように構成することができる。別の例では、超小型電子パッケージ10（及び本明細書において説明する他の超小型電子パッケージのうちの任意のもの）は、1クロックサイクルにおいて64個のデータビットを並列に転送するように構成することができる。複数の他のデータ転送量が可能であり、その中でも、数個のそのような転送量のみについて言及するが、限定するものではない。例えば、超小型電子パッケージ10（及び本明細書において説明する他の超小型電子パッケージのうちの任意のもの）は、クロックサイクルごとに72個のデータビットを転送するように構成することができる。この72個のデータビットは、データを表す64個の基本ビットと、64個の基本ビットのための誤り訂正符号（「ECC」）ビットである8つのビットとのセットを含むことができる。96個のデータビット、108個のビット（データビット及びECCビット）、128個のデータビット、及び144個のビット（データビット及びECCビット）は、超小型電子パッケージ10（及び本明細書において説明する他の超小型電子パッケージのうちの任意のもの）がサポートするように構成することができる、サイクル当たりのデータ転送幅の他の例である。

20

30

40

## 【0053】

図1A～図1Cの実施形態では、パッケージの第1の端子25aを通過する少なくとも幾つかの信号は、超小型電子素子30のうちの少なくとも2つと共に共通にすることができる。これらの信号は、第1の端子25aから、基板20の第2の表面22に対して平行な方向に延在する導電性トレース等の接続部を通って超小型電子素子30の対応するコンタクト35に送ることができる。超小型電子パッケージ10は、複数の超小型電子素子30に共通の信号を、超小型電子素子のうちの特定の1つにそれぞれ専用化されたパッケージの2つ以上の端子を通してではなく、パッケージの共通の第1の端子25aを通して送ることができる。このようにして、そのような端子25によって占有される基板20の面積量を削減することができる。

## 【0054】

図1Aは、風車の形状に類似した、基板20上の超小型電子素子30a、30b、30c、及び30dの特定の配置を示している。この場合、各超小型電子素子30の複数のコンタクト35のうちの少なくとも幾つかは、それぞれの第1の軸29a、第2の軸29b、第3の軸29c、及び第4の軸29d（総称して軸29）を規定するコンタクトのそれぞれの列に配置することができる。図1Aに示す例では、第1の軸29a及び第3の軸29cは、互いに平行にすることができ、第2の軸29b及び第4の軸29dは、互いに平行にすることができ、第1の軸及び第3の軸は、第2の軸及び第4の軸に対して横向きにすることができる。特定の実施形態では、第1の軸29a及び第3の軸29cは、第2の

50

軸 2 9 b 及び第 4 の軸 2 9 d に対して直交することができる。一例では、第 1 の軸 2 9 a 、第 2 の軸 2 9 b 、第 3 の軸 2 9 c 、及び第 4 の軸 2 9 d のそれぞれは、開口部 2 6 を上述したような風車の構成に配置することができるよう、開口部 2 6 a 、 2 6 b 、 2 6 c 、及び 2 6 d のうちの対応するものの長さによって規定することができる。

【 0 0 5 5 】

図 1 A に示す特定の例では、各超小型電子素子 3 0 の軸 2 9 は、それぞれの超小型電子素子を二分することができ、超小型電子パッケージ 1 0 内の正確に 1 つの他の超小型電子素子のエリアと交差することができる。例えば、第 1 の軸 2 9 a は、第 1 の超小型電子素子 3 0 a を二分することができ、正確に 1 つの他の超小型電子素子 3 0 のエリアと交差することができる。同様に、第 2 の軸 2 9 b は、第 2 の超小型電子素子 3 0 b を二分することができ、正確に 1 つの他の超小型電子素子 3 0 のエリアと交差することができる。同じことは、第 3 の超小型電子素子 3 0 c を二分することができ、正確に 1 つの他の超小型電子素子 3 0 のエリアと交差することができる第 3 の軸 2 9 c にも当てはまる。確かに、これは、第 4 の超小型電子素子 3 0 d を二分することができ、正確に 1 つの他の超小型電子素子 3 0 のエリアと交差することができる第 4 の軸 2 9 d にも当てはまる。

10

【 0 0 5 6 】

コントラクト 3 5 と端子 2 5 との間の電気的接続部は、オプションのリード、例えば、ワイヤボンド 4 0 、又はリードの少なくとも一部分が開口部 2 6 のうちの少なくとも 1 つと位置合わせされている他の可能な構造を含むことができる。例えば、図 1 B に見られるように、電気的接続部のうちの少なくとも幾つかは、基板内の開口部 2 6 の縁部を越えて延在するワイヤボンド 4 0 を含むことができ、コントラクト 3 5 及び基板の導電性素子 2 4 に接合される。一実施形態では、電気的接続部のうちの少なくとも幾つかは、リードボンドを含むことができる。そのような接続部は、導電性素子 2 4 と端子 2 5 との間を、基板 2 0 の第 1 の表面 2 1 及び第 2 の表面 2 2 のいずれか又は双方に沿って延在するリードを含むことができる。特定の例では、そのようなリードは、各超小型電子素子 3 0 のコントラクト 3 5 と端子 2 5 との間に電気的に接続することができ、各リードは、開口部 2 6 のうちの少なくとも 1 つと位置合わせされた部分を有する。

20

【 0 0 5 7 】

一例では、開口部 2 6 のそれぞれは、それぞれの軸 2 9 に対して横向きの方向に幅を有することができ、各開口部の幅は、その開口部の幅と同じ方向において、その開口部の上に少なくとも部分的に重なる超小型電子素子 3 0 の幅よりも大きくない。

30

【 0 0 5 8 】

一例では、基板 2 0 の第 1 の表面 2 1 ( 図 1 A ) 又は第 2 の表面 2 2 の方に向いた表面 3 1 ' を有する 1 つ又は複数の追加のチップ 3 0 ' を基板 2 0 に実装することができる。そのような追加のチップ 3 0 ' は、基板 2 0 の第 1 の表面 2 1 において露出した導電性コントラクトにフリップチップボンディングすることができる。

【 0 0 5 9 】

追加のチップ 3 0 ' のうちの 1 つ又は複数は、超小型電子パッケージ 1 0 の外部の構成要素に対する超小型電子素子 3 0 のそれぞれの信号絶縁を提供するのに役立つように構成することができるバッファリングチップとすることができる。一例では、そのようなバッファリングチップ又はバッファ素子は、超小型電子パッケージ 1 0 において、端子 2 5 のうちの少なくとも幾つかと、超小型電子素子 3 0 のうちの 1 つ又は複数とに電気的に接続することができ、バッファ素子は、超小型電子パッケージ 1 0 の端子のうちの 1 つ又は複数において受信された少なくとも 1 つの信号を再生成するように構成されている。一実施形態では、超小型電子パッケージ 1 0 は、レジスター D I M M であり、少なくとも 1 つの信号は、パッケージに転送されるコマンド信号、アドレス信号、バンクアドレス信号、及びクロック信号の全てを含むことができ、コマンド信号は、書き込みイネーブル信号、行アドレスストローブ信号、及び列アドレスストローブ信号であり、クロック信号は、アドレス信号をサンプリングするのに用いられるサンプリングクロックである。特定の例では、超小型電子パッケージ 1 0 が、負荷軽減 D I M M ( 「 L R D I M M 」 ) であるとき、

40

50

少なくとも1つの信号は、超小型電子パッケージによって受信されたデータ信号の全てを含むことができる。

【0060】

特定の実施形態では、追加のチップ30'のうちの1つ又は複数は、デカップリングコンデンサとすることができます。1つ又は複数のデカップリングコンデンサは、上述したバッファリングチップの代わりに又はそれに加えて、超小型電子素子30間に配置することができます。そのようなデカップリングコンデンサは、超小型電子パッケージ10内の内部の電源バス及び接地バスに電気的に接続することができます。

【0061】

一実施形態では、追加のチップ30'のうちの1つは、基板20に実装されるとともに、超小型電子パッケージのデータ幅及びデータ深度等の超小型電子パッケージ10の識別情報を永久的に記憶するように構成された電気的消去可能プログラマブル読み出し専用メモリ（「EEPROM」）等の不揮発性メモリ素子とすることができます。そのような不揮発性メモリ素子は、超小型電子素子30のうちの1つ又は複数に電気的に接続することができます。

10

【0062】

一例では、追加のチップ30'のうちの1つは、温度センサとすることができます。そのような温度センサは、超小型電子素子30のうちの1つ又は複数に電気的に接続することができます。一例では、温度センサは、ダイオードを含むことができ、基板20に実装することができます。特定の実施形態では、追加のチップ30'のうちの1つは、基板20に実装されたシリアルプレゼンスディテクト素子とすることができます。

20

【0063】

超小型電子パッケージ10は、超小型電子素子30の前面31と基板20の第1の表面21との間に接着剤12を更に備えることができる。超小型電子パッケージ10は、超小型電子素子30の背面32をオプションとして覆うか、部分的に覆うか、又は覆いのないままとすることができます。封入材（図示せず）も備えることができる。例えば、図1A～図1Cに示すパッケージには、超小型電子素子30の背面32に封入材を流し込むことができるか、ステンシル印刷することができるか、スクリーン印刷することができるか、又は分注することができる。別の例では、封入材は、オーバモールドによってその上に形成される成形化合物とすることができます。

30

【0064】

上記の実施形態の変形形態では、超小型電子素子のコンタクトは、その表面の中央領域内に配置されないようにすることができます。むしろ、それらのコンタクトは、そのような超小型電子素子の縁部に隣接する1つ又は複数の行内に配置される場合がある。別の変形形態では、超小型電子素子のコンタクトは、そのような超小型電子素子の2つの対向する縁部に隣接して配置することができます。更に別の変形形態では、超小型電子素子のコンタクトは、任意の2つの縁部に隣接して配置することができるか、又はそのような超小型電子素子の3つ以上の縁部に隣接して配置することができる。そのような場合、基板内の開口部の場所は、超小型電子素子のそのような1つ又は複数の縁部に隣接して配置されるコンタクトの場所に対応するように変更することができる。

40

【0065】

図2A及び図2Bは、図1A～図1Cに関して上述した実施形態の一変形形態を示している。この変形形態では、超小型電子素子230が、基板220の第1の表面221にフリップチップボンディングされている。そのような一実施形態では、超小型電子素子230と基板220との間の電気的接続部は、超小型電子素子のそれぞれのコンタクトと、基板の第1の表面221において露出した導電性ボンドパッドとの間に延在するフリップチップ接続部を含む。

【0066】

図2Cは、図2A及び図2Bに関して上述した実施形態の一変形形態を示している。この変形形態では、超小型電子素子230のうちの1つ又は複数は、下側超小型電子素子2

50

30' であり、超小型電子パッケージ 210' は、上側超小型電子素子 230a、230b、及び 230c を備え、各上側超小型電子素子は、下側超小型電子素子の背面 232 の上に少なくとも部分的に重なる表面を有する。図 2C に示すように、上側超小型電子素子 230a、230b、及び 230c は、下側超小型電子素子を貫通して延在する少なくとも 1 つの導電性ピア 209 を通じて下側超小型電子素子 230' と電気的に接続されている。特定の実施形態では、下側超小型電子素子 230" を、基板 220 の第 2 の表面 222 において露出した導電性コンタクトにワイヤボンディングすることができる。

【0067】

図 2D は、図 2A 及び図 2B に関して上述した実施形態の一変形形態を示している。この一変形形態では、超小型電子素子 230 のうちの 1 つ又は複数は、下側超小型電子素子 230" であり、超小型電子パッケージ 210" は、上側超小型電子素子 230a 及び 230b を備え、各上側超小型電子素子は、下側超小型電子素子の背面 232 の上に少なくとも部分的に重なる表面を有する。図 2D に示すように、上側超小型電子素子 230a 及び 230b は、上側超小型電子素子のコンタクト 235 と、下側超小型電子素子 230" の背面 232 において露出した導電性素子 245 との間に延在するワイヤボンド 240 を通じて下側超小型電子素子 230" と電気的に接続されている。特定の実施形態では、下側超小型電子素子 230" は、基板 220 の第 2 の表面 222 において露出した導電性コンタクトにワイヤボンディングすることができる。

【0068】

図 3A ~ 図 3D は、基板の第 1 の表面に対する超小型電子素子の異なるロケーションを有する、図 1A ~ 図 1C に示す超小型電子パッケージ 10 の追加の変形形態を示している。図 3A ~ 図 3D において、それぞれの超小型電子パッケージ 301、302、303、及び 304 は、4 つの超小型電子素子 330 をそれぞれ備えることができ、各超小型電子素子は、基板 320 の第 2 の表面において露出した導電性コンタクトにそれぞれの開口部 326 を通ってワイヤボンディングされたコンタクトを有する。開口部 326 は、基板の第 2 の表面の中央領域 323 の境界の部分を規定することができ、この中央領域には、超小型電子素子 330 のうちの少なくとも 2 つに接続された共有される第 1 の端子が位置することができる。

【0069】

図 3A において、超小型電子パッケージ 301 は、図 1A ~ 図 1C の超小型電子素子 30 と同様に配置された超小型電子素子 330 を有するが、超小型電子素子 330 はそれぞれ、実質的に正方形の形状を有し、そのため、基板 320 の第 1 の表面には、超小型電子素子間に位置する空所がほとんどない。

【0070】

図 3B において、超小型電子素子 330 のそれぞれは、それぞれの開口部 326 の長さに対して平行に向いた第 1 の縁部 332a 及び対向する縁部 332b を有する。超小型電子素子 330 のそれぞれの第 1 の縁部 332a は、他の超小型電子素子のいずれのエリアも通って延在していない軸 329 を規定することができる。そのような実施形態では、基板 320 の第 1 の表面において、超小型電子素子 330 間に位置するより大きな空所があり、基板の第 2 の表面の中央領域 323 は、比較的大きくすることができる。

【0071】

図 3C において、超小型電子素子 330 のそれぞれは、他の超小型電子素子のいずれのエリアも通って延在していない軸 329 を規定するそれぞれの開口部 326 の上に重なることができる。しかしながら、図 3B と比較すると、超小型電子素子のうちの 2 つ 330a 及び 330c は、基板 320 の第 1 の表面の中央により近く移動している。超小型電子素子 330 のそれぞれは、それぞれの開口部 326 の長さに対して平行に向いた第 1 の縁部 332a 及び対向する縁部 332b を有する。第 1 の超小型電子素子 330a 及び第 3 の超小型電子素子 330c の第 1 の縁部 332a は、第 2 の超小型電子素子 330b 及び第 4 の超小型電子素子 330d のエリアを通って延在するそれぞれの軸 329a 及び 329c を規定することができる。

10

20

30

40

50

## 【0072】

図3Dは、超小型電子素子のうちの2つ330a及び330cが基板320の第1の表面の中央により一層近く移動している、図3Cの一変形形態である。第1の超小型電子素子330a及び第3の超小型電子素子330bは、第2の超小型電子素子330b及び第4の超小型電子素子330dのエリアを通って延在するそれぞれの軸329及び329'を規定するそれぞれの開口部326a及び326cの上に重なることができる。また、超小型電子素子330のそれぞれは、それぞれの開口部326の長さに対して平行に向いた第1の縁部332a及び対向する縁部332bを有する。第1の超小型電子素子330a及び第3の超小型電子素子330cの第1の縁部332aは、同様に、第2の超小型電子素子330b及び第4の超小型電子素子330dのエリアを通って延在するそれぞれの軸329a及び329cを規定することができる。

10

## 【0073】

図4A及び図4Bは、基板420の第1の表面に対して平行な单一の平面に配置された前面を有する3つの超小型電子素子を有する、図1A～図1Cに示す超小型電子パッケージ10の追加の変形形態を示している。図4Aにおいて、超小型電子パッケージ401は、基板410の第1の側に実装された3つの超小型電子素子430を有する。超小型電子素子のうちの第1のもの430aは、例えば、図2C又は図2Dに示すような方法で、当該第1の超小型電子素子の上に少なくとも部分的に重なるとともに当該第1の超小型電子素子と電気的に接続された追加の超小型電子素子を有することができる。超小型電子素子のうちの第2のもの430bは、例えば、コントローラとすることができる。図4Bにおいて、超小型電子パッケージ402は、風車構成の超小型電子素子430のうちの1つが省略され、基板420の第1の表面に対して平行な单一の平面に配置された前面を有する3つの超小型電子素子が残されていることを除いて、図1A～図1Cに示す超小型電子パッケージ10と同じである。

20

## 【0074】

図5A～図5Cは、図1A～図1Cに関して上述した実施形態の一変形形態を示している。超小型電子パッケージ510は、図1A～図1Cに示す超小型電子パッケージ10と同様である。しかしながら、パッケージ510は、下側超小型電子素子530a及び上側超小型電子素子530bの複数の対507を含む。そのような各対507において、上側超小型電子素子530bの前面531は、下側超小型電子素子530aの背面とすることができます。そのような下側超小型電子素子530aの表面532の上に少なくとも部分的に重なる。第1の対507a及び第2の対507b等の超小型電子素子の隣接する対507は、基板520の第1の表面521に対して平行な水平方向Hに互いに十分離間させることができる。特定の例では、超小型電子素子530a及び530bはともに、他のいずれの機能よりもメモリ記憶アレイ機能を提供する能動デバイスを多く具現化することができる。

30

## 【0075】

一実施形態では、超小型電子パッケージ510は、8つの超小型電子素子530(4つの下側超小型電子素子530a及び4つの上側超小型電子素子530bを含む)を有することができ、各超小型電子素子は、8つのデータI/Oコンタクトを備える。別の実施形態では、超小型電子パッケージ510は、8つの超小型電子素子530(4つの下側超小型電子素子530a及び4つの上側超小型電子素子530bを含む)を有することができ、各超小型電子素子は、9つのデータI/Oコンタクトを備える。

40

## 【0076】

特定の例では、超小型電子素子の隣接する対の下側超小型電子素子530aの前面531において露出した導電性コンタクト535のうちの少なくとも幾つかは、第1の軸529a及び第2の軸529a'を規定するコンタクトのそれぞれの列に配置することができる。図5Aに示すように、そのような第1の軸529a及び第2の軸529a'は、互いに対して横向きにことができる。特定の例では、第1の軸529a及び第2の軸529a'は、互い直交することができる。一実施形態では、第1の軸529a及び第2の軸

50

529a'は、互いに平行にすることができる。

【0077】

一実施形態では、超小型電子素子の各対507は、基板520の第1の表面521と第2の表面522との間に延在する外側開口部526aの上に少なくとも部分的に重なることができる。各外側開口部526aは、第1の表面及び第2の表面に対して平行な方向に延在する外側軸509aを規定する長さを有することができる。4つの外側軸509aは、上述したような風車構成に配置することができ、外側軸509aは、外側軸の2つ平行な対に配置することができ、各対は、他方の対に対して横向きである。基板520の第2の表面522の中央部分を占有する中央領域523は、図5Cに示すように、4つの外側軸509aによって境界を定めることができる。基板520の第2の表面522の中央領域523において露出した端子525のうちの少なくとも幾つかは、上述した第1の端子25aと同様の機能を有する第1の端子とすることができます。

【0078】

一例示の実施形態では、超小型電子素子の各対507は、図5Aに示すように、同じ超小型電子素子の対内の外側開口部526aのうちの対応するものに隣接する、基板520の第1の表面521と第2の表面522との間に延在する内側開口部526bの上にも少なくとも部分的に重なることができる。各内側開口部526bは、第1の表面及び第2の表面に対して平行な方向に延在する軸509bを規定する長さを有することができ、各内側軸509bは、外側開口部526aのうちの対応するものの長さによって規定される軸509aよりも基板の重心501に近い。

【0079】

図5Aに示すように、各下側超小型電子素子530aは、外側開口部526aの上に重なり、各上側超小型電子素子530bは、内側開口部526bの上に重なる。特定の実施形態では、各上側超小型電子素子530bは、外側開口部526aの上に重なることができ、各下側超小型電子素子530aは、内側開口部526bの上に重なることができる。一例では、下側超小型電子素子530aのうちの1つ又は複数は、対応する外側開口部526aの上に重なることができ、他の下側超小型電子素子は、対応する内側開口部526bの上に重なる一方、上側超小型電子素子530bのうちの1つ又は複数は、対応する外側開口部の上に重なることができ、他の上側超小型電子素子は、対応する内側の開口部の上に重なることができる。

【0080】

特定の例では、各上側超小型電子素子530bは、内側開口部526b又は外側開口部526aのいずれかとすることができる第1の開口部の上に重なることができる。第1の開口部のそれぞれは、その長さに対して横向きの方向に幅を有することができ、第1の開口部のそれぞれの幅は、第1の開口部の幅と同じ方向において第1の開口部の上に重なる上側超小型電子素子530bのうちの対応するものの幅よりも大きくない。

【0081】

一例では、各下側超小型電子素子530aは、内側開口部526b又は外側開口部526aのいずれかとすることができる第2の開口部の上に重なることができる。第2の開口部のそれぞれは、その長さに対して横向きの方向に幅を有することができ、第2の開口部のそれぞれの幅は、第2の開口部の幅と同じ方向において第2の開口部の上に重なる下側超小型電子素子530aのうちの対応するものの幅よりも大きくない。

【0082】

上側超小型電子素子530bの前面531と、基板520の第1の表面521の一部分との間にスペーサ514を位置決めすることができ、当該スペーサと基板の第1の表面との間に位置する接着剤512の有無は問わない。そのようなスペーサ514は、例えば、二酸化シリコン等の誘電体材料、シリコン等の半導体材料、又は1つ若しくは複数の接着剤層から作製することができる。スペーサ514が接着剤を含む場合、それらの接着剤は、上側超小型電子素子530bを基板520に接続することができる。一実施形態では、スペーサ514は、基板520の第1の表面521に対して実質的に垂直な垂直方向Vに

10

20

30

40

50

おいて、前面 531 と背面 532 との間の下側超小型電子素子 530a の厚さ T2 と実質的に同じ厚さ T1 を有することができる。特定の実施形態では、例えば、スペーサ 514 が、接着材料から作製されているとき、スペーサ 514 は、上述した接着剤 12 等の接着剤 512 なしで用いることができる。

【0083】

図 6A ~ 図 6C は、図 5A ~ 図 5C に関して上述した実施形態の一変形形態を示している。超小型電子パッケージ 610 は、当該超小型電子パッケージ 610 では、上側超小型電子素子 630b の前面 631 が、2 つの下側超小型電子素子 630a の背面 632 の上に少なくとも部分的に重なることを除いて、図 5A ~ 図 5C に示す超小型電子パッケージ 510 と同様である。下側超小型電子素子 630a の全ては、基板 620 の第 1 の表面 621 に対して平行な単一の平面に配置された前面 631 を有することができる。  
10

【0084】

図 7 は、図 5A ~ 図 5C に関して上述した実施形態の別の変形形態を示している。超小型電子パッケージ 710 は、当該超小型電子パッケージ 710 が、超小型電子素子の 3 つの対 707 を備え、各対が下側超小型電子素子 730a 及び上側超小型電子素子 730b を有することを除いて、図 5A ~ 図 5C に示す超小型電子パッケージ 510 と同じである。超小型電子素子の第 4 の対 707 の代わりに、超小型電子パッケージ 710 は、2 つの下側超小型電子素子 730a と、上側超小型電子素子のそれぞれの背面 732 の上に少なくとも部分的に重なる前面 731 を有する 1 つの対応する上側超小型電子素子 730b とをグループ化したものを備える。一例では、超小型電子パッケージ 710 は、それぞれ 8 つのデータ I/O コンタクトを備える 9 つの超小型電子素子 730 を有することができる。  
20

【0085】

図 8A 及び図 8B を参照すると、超小型電子アセンブリ 801 は、共通の回路パネル 860 に実装することができる複数の超小型電子パッケージ 810 を備えることができる。超小型電子パッケージ 810 のそれぞれは、図 1A ~ 図 1C からの超小型電子パッケージ 10 として示されているが、そのような超小型電子パッケージ 810 は、図 1A ~ 図 7 を参照して上述した超小型電子パッケージの任意のものとすることができる。回路パネル 860 は、対向する第 1 の表面 861 及び第 2 の表面 862 と、それぞれの第 1 の表面及び第 2 の表面において露出した複数の導電性パネルコンタクトとを有することができる。超小型電子パッケージ 810 は、例えば、各超小型電子パッケージの端子とパネルコンタクトとの間に延在することができる図 1B に示す接合素子 11 によって、パネルコンタクトに実装することができる。図 8B に示すように、第 1 の超小型電子パッケージ 810a の基板の第 2 の表面と、第 2 の超小型電子パッケージ 810b の基板の第 2 の表面とは、互いの上に少なくとも部分的に重なることができる。特定の例では、回路パネル 860 は、30 ppm / 未満の CTE を有する素子を備えることができる。一実施形態では、そのような素子は、半導体、ガラス、セラミック、又は液晶ポリマ材料から実質的になることができる。  
30

【0086】

特定の実施形態では、回路パネル 860 は、超小型電子アセンブリ 801 がソケット (図 9 に示す) に挿入されたときに、ソケットの対応するコンタクトと接続する複数の平行な露出した縁部コンタクト 850 を、第 1 の表面 861 及び第 2 の表面 862 のうちの少なくとも一方の挿入縁部 851 に隣接して有することができる。縁部コンタクト 850 のうちの一部又は全ては、超小型電子アセンブリ 801 の第 1 の表面 861 又は第 2 の表面 862 のいずれか又は双方において露出することができる。一例では、回路パネル 860 は、マザーボードとすることができます。一例示の実施形態では、回路パネル 860 は、マザーボード等の別の回路パネルに取り付けるように構成することができるメモリサブシステム等のモジュールとすることができます。別の回路パネルへの回路パネル 860 のそのような取り付けは、以下に説明するようなものとすることができます。  
40

【0087】

10

20

30

40

50

露出した縁部コンタクト 850 及び挿入縁部 851 は、マザーボード上に設けることができるようなシステムの他のコネクタの対応するソケット(図9)内への挿入用にサイズ決めすることができる。そのような露出した縁部コンタクト 850 は、そのようなソケットコネクタ内の複数の対応するばねコンタクト(図9)と接続するのに適することができる。そのようなばねコンタクトは、露出した縁部コンタクト 850 のうちの対応するものと接続するように、各スロットの单一又は複数の側に配置することができる。一例では、縁部コンタクト 850 のうちの少なくとも幾つかは、それぞれの縁部コンタクトと、超小型電子パッケージ 810 のうちの1つ又は複数との間で信号又は基準電位のうちの少なくとも一方を搬送するのに使用可能とすることができます。特定の実施形態では、超小型電子アセンブリ 801 は、デュアルインラインメモリモジュールと同じ信号インターフェースを有することができる。10

#### 【0088】

図8C～図8Eは、図5A～図5Cからの超小型電子パッケージ 510 として示されている超小型電子パッケージ 810' を備える、図8A及び図8Bに示す超小型電子アセンブリ 801 の変形形態を示している。図8Cにおいて、超小型電子パッケージ 802 は、回路パネル 860 の第1の側 861 に実装された5つの超小型電子パッケージ 810' を有する。20

#### 【0089】

図8Dにおいて、超小型電子パッケージ 803 は、回路パネル 860 の第1の表面 861 に実装された5つの超小型電子パッケージ 810' を有し、回路パネルの第1の表面の方に向いた表面を有する、図1Aに示す追加のチップ 30' のような追加のチップ 830' が示されている。そのような追加のチップ 830' は、例えば、超小型電子アセンブリ 803 の外部の構成要素に対する超小型電子パッケージ 810' のそれぞれの信号絶縁を提供するのに役立つように構成することができるバッファリングチップを備える、図1A～図1Cを参照して上述した追加のチップのタイプのうちの任意のものとすることができます。一例では、追加のチップ 830' は、メモリコントローラを含むことができる。30

#### 【0090】

図8Eにおいて、超小型電子パッケージ 804 は、それぞれのソケット 805 にそれぞれ実装された5つの超小型電子パッケージ 810' を有し、各ソケットは、回路パネル 860 の第1の表面 861 に実装されている。30

#### 【0091】

図1～図8Eを参照して上述した超小型電子パッケージ及び超小型電子アセンブリは、図9に示すシステム 900 等の多様な電子システムの構成において利用することができる。例えば、本発明の更なる実施形態によるシステム 900 は、上述したような超小型電子パッケージ及び超小型電子アセンブリ等の複数のモジュール又は構成要素 906 を、他の電子構成要素 908 及び 910 とともに備える。40

#### 【0092】

システム 900 は、複数のソケット 905 を備えることができ、各ソケットは、当該ソケットの一方又は双方の側に複数のコンタクト 907 を備え、各ソケット 905 が、対応するモジュール又は構成要素 906 の対応する露出した縁部コンタクト又は露出したモジュールコンタクトと接続するのに適することができるようになっている。図示する例示のシステム 900 では、システムは、フレキシブルプリント回路基板等の回路パネル又はマザーボード 902 を備えることができ、この回路パネルは、モジュール又は構成要素 906 を互いに相互接続する多数の導体 904 を備えることができ、これらの導体のうちの1つのみが図9に示されている。そのような回路パネル 902 は、システム 900 に備えられた超小型電子パッケージ 10 又は 110 のそれぞれに及びそれぞれから信号を運搬することができる。しかしながら、これは、単なる例示にすぎない。モジュール又は構成要素 906 間の電気的接続部を作製する任意の適した構造を用いることができる。特定の例では、モジュール又は構成要素 906 を、ソケット 905 を通じて回路パネル 902 に結合するのではなく、超小型電子パッケージ 10 等のモジュール又は構成要素 906 のうちの50

1つ又は複数を回路パネル902に直接実装することができる。

【0093】

特定の実施形態では、システム900は、半導体チップ908等のプロセッサも備えることができ、各モジュール又は構成要素906は、1クロックサイクルにおいてN個のデータビットを並列に転送するように構成することができ、プロセッサは、1クロックサイクルにおいてM個のデータビットを並列に転送するように構成することができるようになっている。MはN以上である。

【0094】

一例では、システム900は、1クロックサイクルにおいて32個のデータビットを並列に転送するように構成されたプロセッサチップ908を備えることができ、このシステムは、図1A～図1Cを参照して説明したモジュール10等の4つのモジュール906も備えることができ、各モジュール906は、1クロックサイクルにおいて8つのデータビットを並列に転送するように構成されている（すなわち、各モジュール906は、第1の超小型電子素子及び第2の超小型電子素子を備えることができ、これらの2つの超小型電子素子のそれぞれは、1クロックサイクルにおいて4つのデータビットを並列に転送するように構成されている）。

10

【0095】

別の例では、システム900は、1クロックサイクルにおいて64個のデータビットを並列に転送するように構成されたプロセッサチップ908を備えることができ、このシステムは、図9を参照して説明したモジュール1000等の4つのモジュール906も備えることができ、各モジュール906は、1クロックサイクルにおいて16個のデータビットを並列に転送するように構成されている（すなわち、各モジュール906は、第1の超小型電子素子及び第2の超小型電子素子からなる2つセットを備えることができ、これらの4つの超小型電子素子のそれぞれは、1クロックサイクルにおいて4つのデータビットを並列に転送するように構成されている）。

20

【0096】

図9に示す例では、構成要素908は半導体チップであり、構成要素910はディスプレイスクリーンであるが、他の任意の構成要素をシステム900において用いることができる。もちろん、説明図を明瞭にするために、図9には2つの追加の構成要素908及び910しか示されていないが、システム900は、任意の数のそのような構成要素を備えることができる。

30

【0097】

モジュール又は構成要素906並びに構成要素908及び910は、破線で概略的に示す共通のハウジング901内に実装することができ、必要に応じて互いに電気的に相互接続して所望の回路を形成することができる。ハウジング901は、例えば、携帯電話又は携帯情報端末において使用可能なタイプのポータブルなハウジングとして示され、スクリーン910は、このハウジングの表面において露出することができる。構造906が撮像チップ等の光感知素子を備える実施形態では、光をこの構造体に送るレンズ911又は他の光学デバイスも設けることができる。ここでも、図9に示す単純化したシステムは単なる例示にすぎず、デスクトップコンピュータ、ルータ等の固定構造と一般に考えられるシステムを含む他のシステムを、上記で議論した構造体を用いて作製することができる。

40

【0098】

上記で説明した超小型電子パッケージのいずれか又は全てにおいて、超小型電子素子のうちの1つ又は複数の背面は、製造の完了後に超小型電子パッケージの外表面において少なくとも部分的に露出させることができる。したがって、図1Aに関して上述した超小型電子パッケージ10において、超小型電子素子30の背面32は、完成した超小型電子パッケージ10内の封入材の外表面において部分的又は全面的に露出させることができる。

【0099】

上述した実施形態のいずれかにおいて、超小型電子パッケージは、任意の適した熱伝導性材料から部分的又は全体的に作製された放熱体を備えることができる。適した熱伝導性

50

材料の例には、金属、グラファイト、熱伝導性接着剤、例えば、熱伝導性エポキシ樹脂、はんだ等、又はそのような材料の組み合わせが含まれるが、これらに限定されるものではない。一例では、放熱体は、実質的に連続した金属シートとすることができる。

#### 【0100】

一実施形態では、放熱体は、超小型電子素子のうちの1つ又は複数に隣接して配置された金属層を備えることができる。この金属層は、超小型電子パッケージの背面において露出することができる。代替的に、放熱体は、超小型電子素子の少なくとも背面をカバーするオーバーモールド又は封入材を含むことができる。一例では、放熱体は、図5A及び図5Bに示す下側超小型電子素子530a及び/又は上側超小型電子素子530b等の上下の超小型電子素子のそれぞれの前面及び背面のうちの少なくとも一方と熱連通することができる。放熱体は、超小型電子素子のうちの隣接するものの隣接する縁部間に延在することができる。放熱体は、周囲環境への放熱を改善することができる。

10

#### 【0101】

特定の実施形態では、金属製又は他の熱伝導性材料製の事前に形成された放熱体を、熱伝導性接着剤又は熱伝導性グリース等の熱伝導性材料を用いて、超小型電子素子のうちの1つ又は複数の背面に取り付けるか又は配置することができる。接着剤が存在する場合、この接着剤は、例えば、コンプライアントに取り付けられた素子間の熱膨張差を吸収するように、放熱体と、この放熱体が取り付けられた超小型電子素子との間の相対的な移動を可能にするコンプライアント材料とすることができる。放熱体は、モノリシック構造とすることができます。代替的に、放熱体は、互いに離間した複数のスプレッダ部を備えることができる。特定の実施形態では、放熱体は、図5A及び図5Bに示す下側超小型電子素子530a及び/又は上側超小型電子素子530b等の超小型電子素子のうちの1つ又は複数の背面の少なくとも一部分に直接接合されたはんだの層とすることができますか、又はこのはんだの層を含むことができる。

20

#### 【0102】

本発明は特定の実施形態を参照しながら本明細書において説明されてきたが、これらの実施形態は本発明の原理及び応用形態を例示するにすぎないことは理解されたい。それゆえ、添付の特許請求の範囲によって規定されるような本発明の趣旨及び範囲から逸脱することなく、例示的な実施形態に数多くの変更を加えることができること、及び他の構成を考案することは理解されたい。

30

#### 【0103】

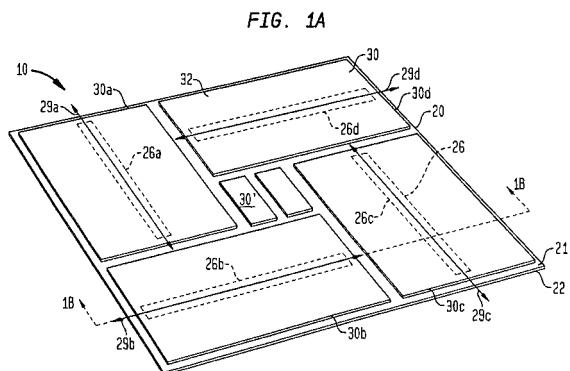
様々な従属請求項及びそこに記載した特徴を、初期の請求項に提示したものとは異なる方法で組み合わせることができることが認識されるであろう。個々の実施形態に関して説明した特徴は、説明した実施形態の他のものと共有することができることも認識されるであろう。

#### 【産業上の利用可能性】

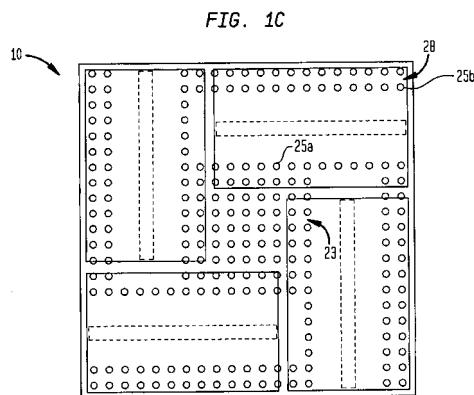
#### 【0104】

本発明は、超小型電子パッケージ及び超小型電子パッケージを製造する方法を含むが、これらに限定されるものではない幅広い産業上の利用可能性を享有する。

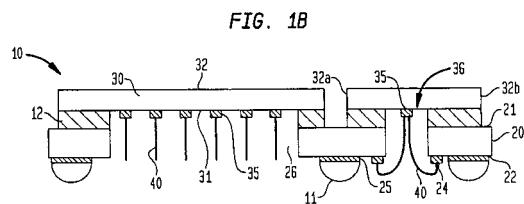
【図 1 A】



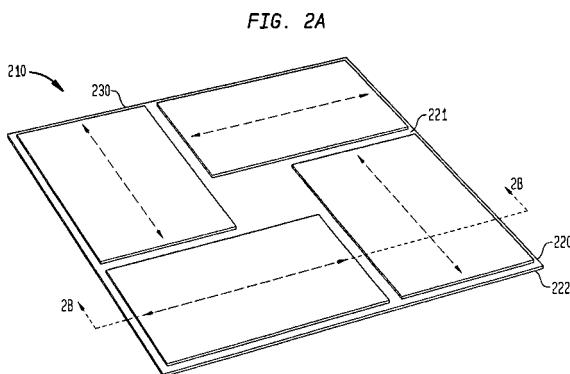
【図 1 C】



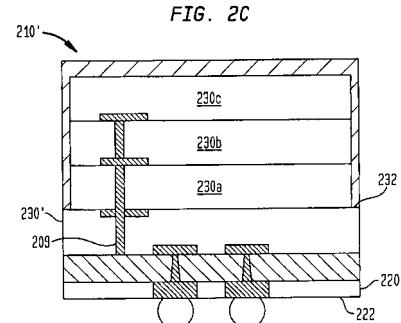
【図 1 B】



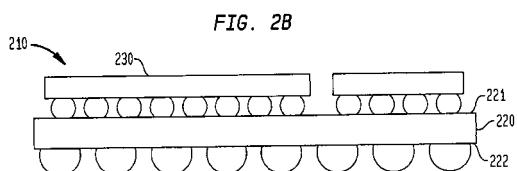
【図 2 A】



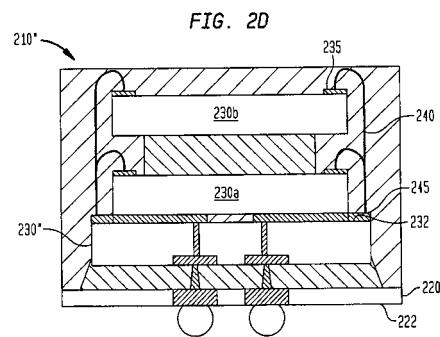
【図 2 C】



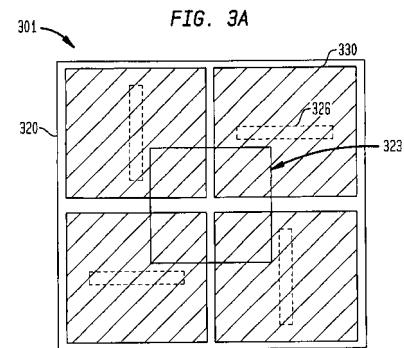
【図 2 B】



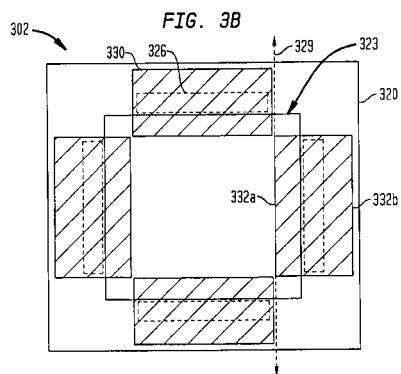
【図 2 D】



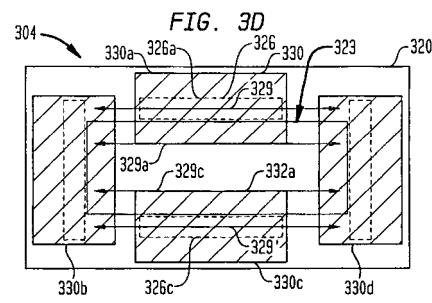
【図 3 A】



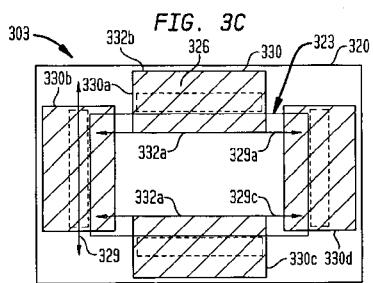
【図 3 B】



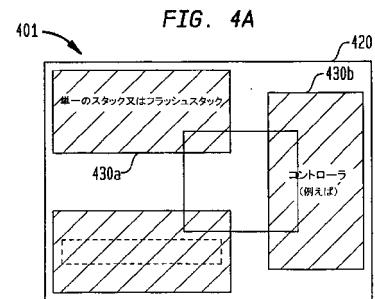
【図 3 D】



【図 3 C】



【図 4 A】



【図 4 B】

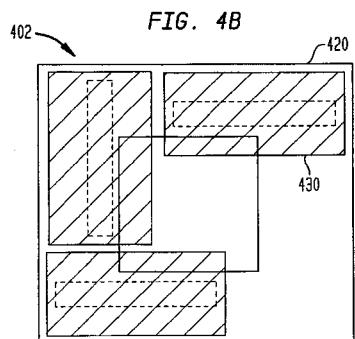


FIG. 4B

【図 5 A】

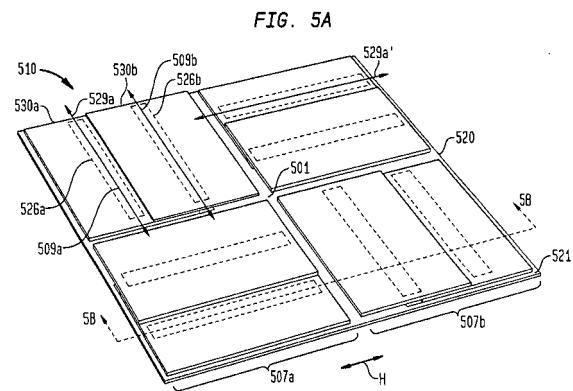


FIG. 5A

【図 5 B】

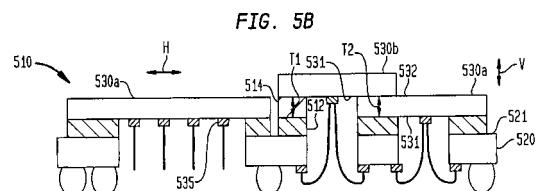


FIG. 5B

【図 5 C】

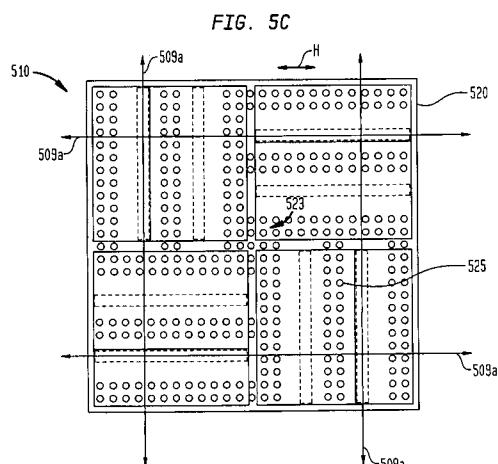


FIG. 5C

【図 6 A】

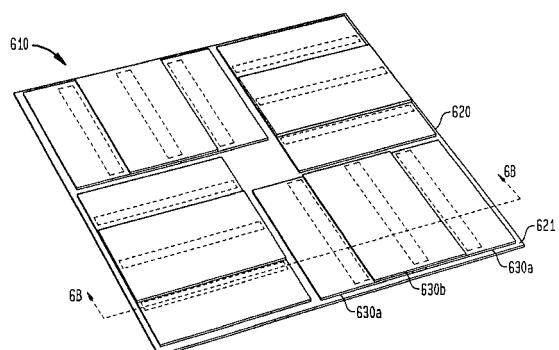


FIG. 6A

【図 6 B】

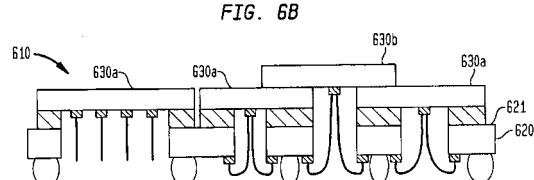


FIG. 6B

【図 6 C】

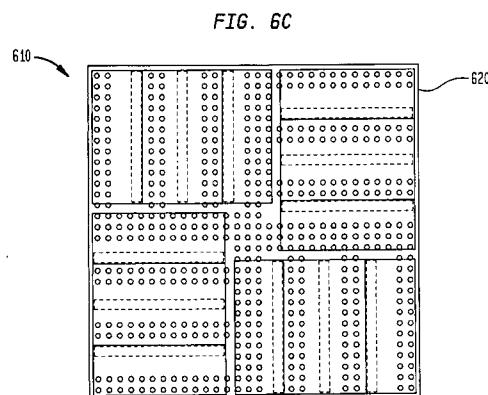


FIG. 6C

【図 7】

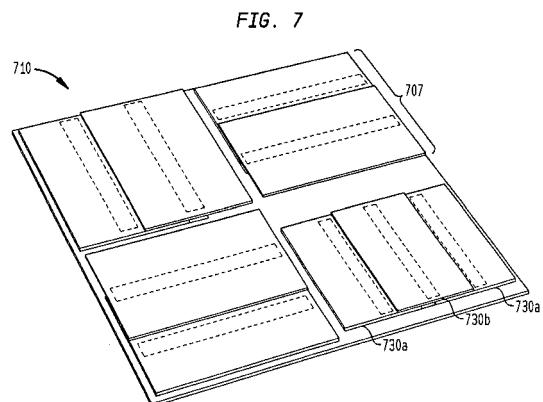


FIG. 7

【図 8 A】

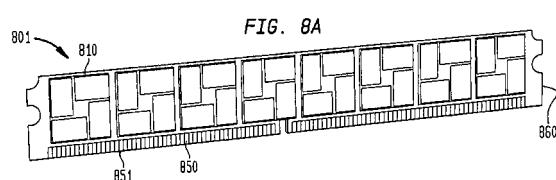


FIG. 8A

【図 8 B】

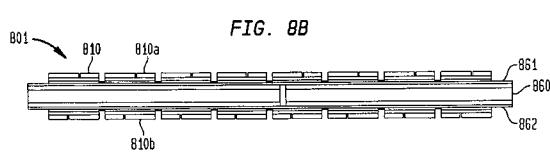


FIG. 8B

【図 8 E】

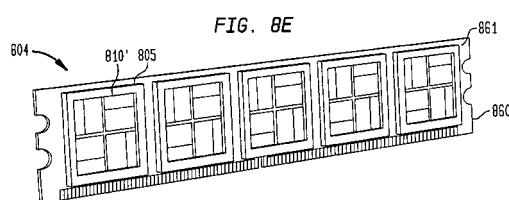


FIG. 8E

【図 8 C】

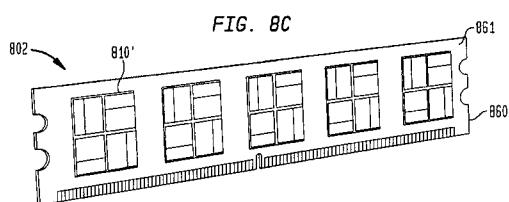


FIG. 8C

【図 9】

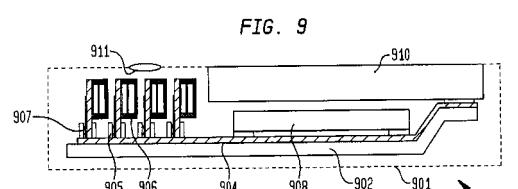


FIG. 9

【図 8 D】

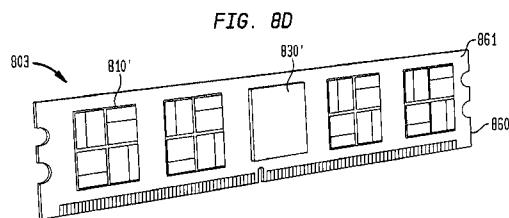


FIG. 8D

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2012/046255												
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H01L25/065 H01L23/49 H01L23/13 ADD.														
According to International Patent Classification (IPC) or to both national classification and IPC														
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L														
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched														
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data														
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="text-align: left; padding: 2px;">Category*</th> <th style="text-align: left; padding: 2px;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="text-align: left; padding: 2px;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="text-align: left; padding: 2px;">KR 2007 0088177 A (SAMSUNG TECHWIN CO LTD [KR]) 29 August 2007 (2007-08-29) figures 1,2,3,4a -----</td> <td style="text-align: center; padding: 2px;">1,4,8, 48,67,68</td> </tr> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="text-align: left; padding: 2px;">US 2008/150155 A1 (PERIAMAN SHANGGAR [MY] ET AL) 26 June 2008 (2008-06-26) paragraphs [0016], [0017], [0019], [0020], [0032], [0032], [0035], [0037]; figures 1,4,5f,11 -----</td> <td style="text-align: center; padding: 2px;">1-3,8, 48,67,68</td> </tr> <tr> <td style="text-align: center; padding: 2px;">X</td> <td style="text-align: left; padding: 2px;">US 2008/088030 A1 (ELDRIDGE BENJAMIN N [US] ET AL) 17 April 2008 (2008-04-17) paragraphs [0026], [0027], [0047], [0048]; figure 8 ----- -----</td> <td style="text-align: center; padding: 2px;">1,10-13, 17-19, 21,48, 67,68 -/-</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	KR 2007 0088177 A (SAMSUNG TECHWIN CO LTD [KR]) 29 August 2007 (2007-08-29) figures 1,2,3,4a -----	1,4,8, 48,67,68	X	US 2008/150155 A1 (PERIAMAN SHANGGAR [MY] ET AL) 26 June 2008 (2008-06-26) paragraphs [0016], [0017], [0019], [0020], [0032], [0032], [0035], [0037]; figures 1,4,5f,11 -----	1-3,8, 48,67,68	X	US 2008/088030 A1 (ELDRIDGE BENJAMIN N [US] ET AL) 17 April 2008 (2008-04-17) paragraphs [0026], [0027], [0047], [0048]; figure 8 ----- -----	1,10-13, 17-19, 21,48, 67,68 -/-
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	KR 2007 0088177 A (SAMSUNG TECHWIN CO LTD [KR]) 29 August 2007 (2007-08-29) figures 1,2,3,4a -----	1,4,8, 48,67,68												
X	US 2008/150155 A1 (PERIAMAN SHANGGAR [MY] ET AL) 26 June 2008 (2008-06-26) paragraphs [0016], [0017], [0019], [0020], [0032], [0032], [0035], [0037]; figures 1,4,5f,11 -----	1-3,8, 48,67,68												
X	US 2008/088030 A1 (ELDRIDGE BENJAMIN N [US] ET AL) 17 April 2008 (2008-04-17) paragraphs [0026], [0027], [0047], [0048]; figure 8 ----- -----	1,10-13, 17-19, 21,48, 67,68 -/-												
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.												
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed														
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
Date of the actual completion of the international search  11 March 2013		Date of mailing of the international search report  20/03/2013												
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Manook, Rhoda												

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2012/046255

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2010/295166 A1 (KIM KILSOO [KR]) 25 November 2010 (2010-11-25) paragraphs [0089], [0090], [0091], [0095]; figures 6,9 -----	1,10,21

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US2012/046255

## Box No. II Observations where certain claims were found unsearchable (Continuation of Item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
  
  
  
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
  
  
  
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of Item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  2.  As all searchable claims could be searched without effort justifying an additional fees, this Authority did not invite payment of additional fees.
  3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
- 1-4, 8, 10-13, 17-19, 21, 48, 67, 68
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

## Remark on Protest

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-3

The features in claim 1 are rendered not inventive from document KR20070088177 (D1) & cannot therefore serve as a common inventive concept for claim 1 (Rule 13.1 PCT).

D1 discloses:

A microelectronic package (fig. 1), comprising: a substrate (10) having first and second opposed surfaces; at least 2 pairs (20 and 30, 21 and 31) of microelectr. elements, each pair of microelectr. elements including an upper (30or31) microelectr. element and a lower (20or21) microelectr. element, the pairs of microelectr. elements being fully spaced apart from one another in a horizontal direction parallel to the first surface of the substrate, each lower microelectr. element (20&21) having a front surface and a plurality of contacts (20b&21b) at the front surface, the front surfaces of the lower microelectr. elements being arranged in a single plane parallel to and overlying the first surface, a surface of each of the upper microelectr. elements (30&31) overlying the first surface of the substrate and at least partially overlying the lower microelectr. (20&21) element in its pair, a plurality of terminals exposed at the second surface (10a), the terminals configured for connecting the microelectr. package to at least one component external to the microelectr. package ; & electr. connections (25a&26a) extending from at least some of the contacts of each lower microelectr. element to at least some of the terminals (10a).

The S-M of claim 1 differs from this known D1 in that the microelectronic elements together (20,30,21 and 31) are configured to predominantly provide memory storage array function.

The problem to be solved is that of enabling the microelectronic package to perform specific functions. D1 is silent as to the specific function of the individual microelectr. elements (30,30,21 and 31) is, the skilled person is well aware that there are a no. of arbitrary functions that these microelectronic elements can perform such as, eg. memory storage, without having to use any inventive knowledge, thus rendering the S-M of claim 1 not inventive in the light of D1 & the skilled person.

Re. cl. 2 the special technical features with respect to the non inventive claim 1 are that at least some of the plurality of contacts of the lower microelectronic element of first and second ones of the pairs of microelectronic elements is arranged in a respective column of contacts defining respective first and second axes, the first and second axes being transverse to one another.

1.1. claims: 4, 8, 48, 67, 68

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

Although the special technical features of the dependent claim 2 and those of claims 4,8,48,67 and 68 are not the same, they could be searched without any additional effort and thus are included in the first searched group of claims I.

---

## 2. claims: 5, 6

Re. cl. 5, the special technical features with respect to the non inventive claim 1 are that the at least two pairs of microelectronic elements includes four pairs of microelectronic elements.

Thus the objective problem of claim 5 to be solved can be construed as: increasing the density of the microelectronic package

---

## 3. claim: 7

Re. cl. 7, the special technical features with respect to the non inventive claim 1 are that the lower microelectronic element of at least one of the pairs of the microelectronic elements is a first lower microelectronic element disposed adjacent a second lower microelectronic element, a front surface of the second lower microelectronic element being arranged in the single plane parallel to the first surface, and wherein the upper microelectronic element that at least partially overlies the first lower microelectronic element also at least partially overlies the second lower microelectronic element.

Thus the objective problem of claim 7 to be solved can be construed as: ensuring that the thickness of the package is made as small as possible, whilst maintaining a high density of microelectronic elements.

---

## 4. claim: 9

Re. cl. 9, the special technical features with respect to the non inventive claim 1 are that the electrical connections include flip-chip connections extending between contacts of each of the lower microelectronic elements and conductive bond pads exposed at the first surface of the substrate.

Thus the objective problem of claim 9 to be solved can be construed as: choosing the appropriate electrical connections between the lower microelectronic elements and the substrate for reduced inductance when transferring signals from the microelectronic elements to the substrate.

---

## 5. claims: 10-13, 17-19, 21

The common concept between dep. cl. 21,17-20,13,14,22 is

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

the S-M of cls. 10,11 or 12 & this common concept is not new according to document US 2008/088030 (D3), which discloses: (re. claim 10) A microelectronic package (fig. 8), comprising: a substrate (802) having 1st (832) and 2nd (830) opposed surfaces; at least two pairs of microelectronic elements (2 x 812a,812b), each pair of microelectronic elements including an upper (812b) microelectronic element and a lower (812a) microelectronic element, the pairs of microelectronic elements being fully spaced apart (812a in between) from one another in a horizontal direction parallel to the 1st surface of the substrate, each lower (812a) microelectronic element having a front surface and a plurality of contacts (814; par. 27,48) at the front surface, the front surfaces of the lower microelectronic elements being arranged in a single plane parallel to and overlying the 1st surface (832), a surface of each of the upper microelectronic elements (812b) overlying the 1st surface of the substrate and at least partially overlying the lower microelectronic element (812a) in its pair, the microelectronic elements together configured to predominantly provide memory storage array function (par. 27); a plurality of terminals (806; par. 47 and par. 26) exposed at the 2nd surface (830), the terminals configured for connecting the microelectronic package to at least one component external to the microelectronic package; and electrical connections (818) extending from at least some of the contacts of each lower (812a) microelectronic element to at least some of the terminals (806; par. 48) and each of the upper microelectronic (812b) elements overlies at least one first aperture (816) extending between the 1st and 2nd surfaces of the substrate (802), and wherein the electrical connections (818) include first leads having at least portions aligned with the at least one first aperture (816). The S-M of cls. 11 & 12 is also not new in view of document D3 (fig. 8).  
Re. cl. 13, the STF with respect to the known common general concept of claim 12 is: at least some of the leads include wire bonds extending through at least one of the apertures. As all of the features of cl. 13 are known from D3, none of them form a contribution over the known prior art.  
Although the STFs of the dep. cls. 17,18,19,21 are not the same, they could be searched without any additional effort & thus they form the basis of the searched invention group 5a.

---

## 6. claims: 14-16

Re. cl. 14, the special technical feature with respect to the known common general concept of claim 12 is: at least some of the contacts of each of the upper microelectronic elements are disposed in a column in a central region of the front surface of the respective upper microelectronic element, the column of contacts of each of the upper microelectronic elements extending in a direction of a length of a corresponding one of the at least one first

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

aperture.

Thus the objective problem of claim 14 to be solved can be construed as: minimising the warping which may occur between the microelectronic elements and the substrate.

---

7. claim: 20

Re. cl. 20, the special technical feature with respect to the known common general concept of claim 11 is: at least some of the leads include leads bonds.

Thus the objective problem of claim 20 to be solved can be construed as: providing batch processing on wafer scale.

---

8. claims: 22-26

Re. cl. 22, the special technical feature with respect to the known common general concept of claim 12 is: the lower microelectronic element of at least one of the pairs of the microelectronic elements is a first lower microelectronic element disposed adjacent a second lower microelectronic element, a front surface of the second lower microelectronic element being arranged in the single plane parallel to the first surface, and wherein the front surface of the upper microelectronic element that at least partially overlies the rear surface of the first lower microelectronic element also at least partially overlies a rear surface of the second lower microelectronic element such that the contacts at the front surface of the upper microelectronic element are disposed beyond an edge of the second lower microelectronic element.

Thus the objective problem of claim 22 to be solved can be construed as: increasing the density of the microelectronic package.

---

9. claims: 27-31

Re. cl. 27, the special technical feature with respect to the non inventive claim 1 is: the microelectronic package includes four pairs of microelectronic elements, wherein the contacts of each microelectronic element include eight data I/O contacts.

Re. cl. 28, the special technical feature with respect to the non inventive claim 1 is: the microelectronic package includes four pairs of microelectronic elements, wherein the contacts of each microelectronic element include nine data I/O contacts.

Re. cl. 29, the special technical feature with respect to the non inventive claim 1 is: the microelectronic package includes nine microelectronic elements, wherein the contacts of each microelectronic element include eight data I/O contacts.

Re. cl. 30, the special technical feature with respect to

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

the non inventive claim 1 is: the contacts of each microelectronic element include eight data I/O contacts. Re. cl. 31, the special technical feature with respect to the non inventive claim 1 is: the contacts of each microelectronic element include sixteen data I/O contacts. Thus the objective problem of claims 27,28,29,30 and 31 to be solved can be construed as: enabling the microelectronic elements to deal with predefined amounts of data transfer in parallel per clock cycle (see appl. par. 70 for example).

---

## 10. claims: 32-37

Re. cl. 32, the special technical feature with respect to the non inventive claim 1 is: a buffer element electrically connected to at least some of the terminals and one or more of the microelectronic elements in the microelectronic package, the buffer element configured to regenerate at least one signal received at one or more of the terminals of the microelectronic package. Thus the objective problem of claim 32 to be solved can be construed as: enabling the microelectronic package to cache data (see par. 77 of the application) with respect to components external to the package.

---

## 11. claim: 38

Re. cl. 38, the special technical feature with respect to the non inventive claim 1 is: a nonvolatile memory element mounted to the substrate and configured to store identifying information, the nonvolatile memory element electrically connected to one or more of the microelectronic elements. Thus the objective problem of claim 38 to be solved can be construed as: to provide means for permanently storing the package ID (see app. par. 79).

---

## 12. claim: 39

Re. cl. 39, the special technical feature with respect to the non inventive claim 1 is: further comprising a temperature sensor. Thus the objective problem of claim 39 to be solved can be construed as: to enable a triggering function if the microelectronic element overheats.

---

## 13. claim: 40

Re. cl. 40, the special technical feature with respect to the non inventive claim 1 is: further comprising a decoupling capacitor element mounted to the substrate, the decoupling capacitor element electrically connected to one or more of the microelectronic elements.

International Application No. PCT/ US2012/046255

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

Thus the objective problem of claim 40 to be solved can be construed as: ensuring the package is protected against voltage swings.

---

## 14. claims: 41, 42

Re. cl. 41, the special technical feature with respect to the non inventive claim 1 is: the substrate is an element consisting essentially of a material having a CTE in a plane of the substrate less than 12 ppm/°C.

Re. cl. 42, the special technical feature with respect to the non inventive claim 1 is: the substrate includes a dielectric element consisting essentially of a material having a CTE in a plane of the substrate less than 30 ppm/°C.

Thus the objective problem of claims 41 and 42 to be solved can be construed as: minimising the warping which may occur between the microelectronic elements and the substrate.

---

## 15. claims: 43-47

Re. cl. 43, the special technical feature with respect to the non inventive claim 1 is: the microelectronic elements are configured to function together as an addressable memory module, the microelectronic package configured to store part of data received in each of the microelectronic elements.

Re. cl. 46, the special technical feature with respect to the non inventive claim 1 is: each of the microelectronic elements is configured to predominantly provide memory storage array function.

Re. cl. 47, the special technical feature with respect to the non inventive claim 1 is: each of the microelectronic elements includes a dynamic random access memory ("DRAM") integrated circuit chip.

Thus the objective problem of claims 43 and 46 and 47 to be solved can be construed as: enabling the package to store information.

---

## 16. claims: 49-54

Re. cl. 49, the special technical feature with respect to the non inventive claim 1 is: the second surface of the substrate has a central region occupying a central portion thereof, and wherein at least some of the terminals are first terminals disposed in the central region.

Thus the objective problem of claim 49 to be solved can be construed as: ensuring that the electrical connection from the terminals of the substrate to each of the microelectronic elements has exactly the same resistance value.

---

## 17. claims: 55-57

International Application No. PCT/ US2012/046255

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

Re. cl. 55, the special technical feature with respect to the non inventive claim 1 is: further comprising a heat spreader in thermal communication with at least one of the microelectronic elements.  
Thus the objective problem of claim 55 to be solved can be construed as: ensuring the package is able to effectively dissipate heat.

---

**18. claims: 58-66**

Re. cl. 58, the special technical feature with respect to the non inventive claim 1 is: a plurality of microelectronic packages as claimed in claim 1, further comprising a circuit panel having panel contacts, wherein the terminals of the package are bonded to the panel contacts.  
Thus the objective problem of claim 58 to be solved can be construed as: configuring a module.

---

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No  
PCT/US2012/046255

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
KR 20070088177 A	29-08-2007	NONE	
US 2008150155 A1	26-06-2008	NONE	
US 2008088030 A1	17-04-2008	NONE	
US 2010295166 A1	25-11-2010	KR 20100125745 A US 2010295166 A1	01-12-2010 25-11-2010

---

フロントページの続き

(31) 優先権主張番号 61/542,488

(32) 優先日 平成23年10月3日(2011.10.3)

(33) 優先権主張国 米国(US)

(31) 優先権主張番号 13/346,185

(32) 優先日 平成24年1月9日(2012.1.9)

(33) 優先権主張国 米国(US)

(81) 指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,R,S,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,IDL,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA

(74) 代理人 100142996

弁理士 森本 聰二

(74) 代理人 100154298

弁理士 角田 恭子

(74) 代理人 100166268

弁理士 田中 祐

(74) 代理人 100170379

弁理士 徳本 浩一

(74) 代理人 100161001

弁理士 渡辺 篤司

(74) 代理人 100179154

弁理士 児玉 真衣

(74) 代理人 100180231

弁理士 水島 亜希子

(74) 代理人 100184424

弁理士 増屋 徹

(72) 発明者 ハーバ, ベルガセム

アメリカ合衆国カリフォルニア州 95070, サラトガ, ミラー・コート 19487

(72) 発明者 ゾーニ, ワエル

アメリカ合衆国カリフォルニア州 95134, サン・ノゼ, オーチャード・パークウェイ 270  
2, インベンス・コーポレイション内

(72) 発明者 クリスト, リチャード・デューイット

アメリカ合衆国カリフォルニア州 95134, サン・ノゼ, オーチャード・パークウェイ 270  
2, インベンス・コーポレイション内

(72) 発明者 モハメッド, イリヤス

アメリカ合衆国カリフォルニア州 95050, サンタ・クララ, ボハノン・ドライブ 2377