



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I421994 B

(45) 公告日：中華民國 103 (2014) 年 01 月 01 日

(21) 申請案號：100103911

(22) 申請日：中華民國 100 (2011) 年 02 月 01 日

(51) Int. Cl. : H01L23/488 (2006.01)

H01L21/60 (2006.01)

(30) 優先權：2010/02/08 美國

12/701,868

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：陳志華 CHEN, CHIH HUA (TW)；陳承先 CHEN, CHEN SHIEN (TW)；郭正錚 KUO,
CHEN CHENG (TW)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW 200504974

TW 200531610

審查人員：翁佑菱

申請專利範圍項數：10 項 圖式數：8 共 0 頁

(54) 名稱

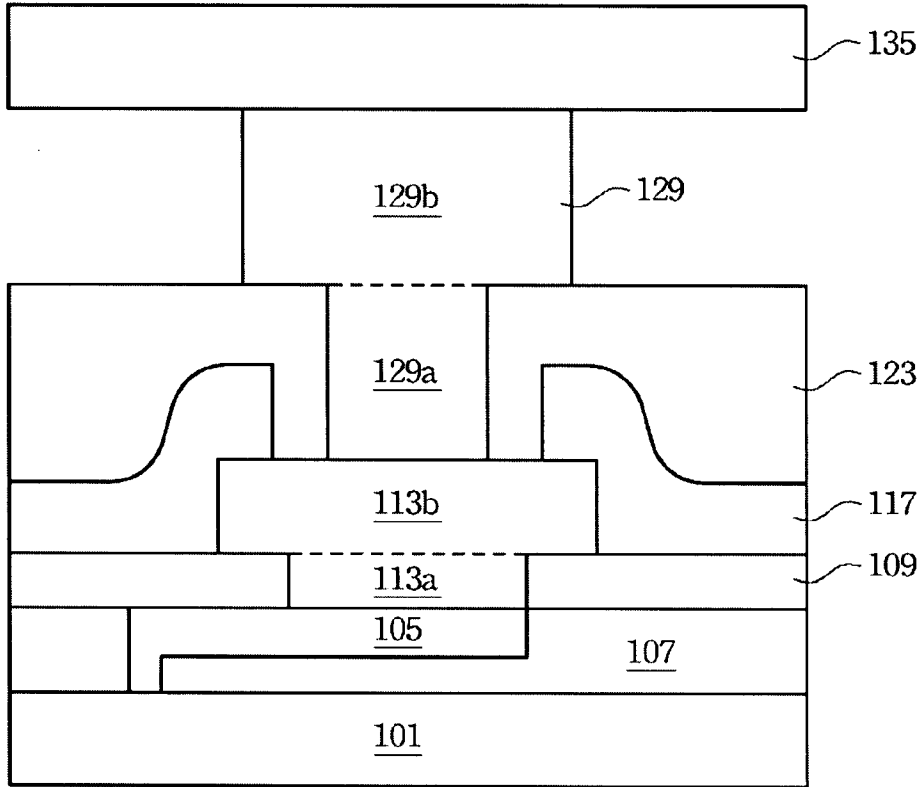
用於半導體基板的導體柱結構以及製造方法

A CONDUCTIVE PILLAR STRUCTURE FOR SEMICONDUCTOR SUBSTRATE AND METHOD OF
MANUFACTURE

(57) 摘要

一種用於晶片的導體柱結構，該晶片包含一鈍化層，該鈍化層具有位於基板上的一金屬接觸開口。一接合焊墊，具有位於金屬接觸開口內的一第一部分以及一位於鈍化層上方的一第二部分。接合焊墊的第二部分具有一第一寬度。接合焊墊上有一緩衝層，其具有一第二寬度的一柱體接觸開口以暴露接合焊墊的一部分。一導體柱，具有位於柱體接觸開口內的一第一部分以及位於緩衝層上方的一第二部分。導體柱的第二部分具有一第三寬度。第二寬度與第一寬度之比在約 0.35 至 0.65 之間。第二寬度與第三寬度之比在約 0.35 至 0.65 之間。

A conductive pillar structure for a die includes a passivation layer having a metal contact opening over a substrate. A bond pad has a first portion inside the metal contact opening and a second portion overlying the passivation layer. The second portion of the bond pad has a first width. A buffer layer over the bond pad has a pillar contact opening with a second width to expose a portion of the bond pad. A conductive pillar has a first portion inside the pillar contact opening and a second portion over the buffer layer. The second portion of the conductive pillar has a third width. A ratio of the second width to the first width is between about 0.35 and about 0.65. A ratio of the second width to the third width is between about 0.35 and about 0.65.



- 101 . . . 基板
- 105 . . . 導電層
- 107 . . . 絕緣層
- 109 . . . 第一鈍化層
- 113a . . . 接合焊墊
第一部分
- 113b . . . 接合焊墊
第二部分
- 117 . . . 第二鈍化層
- 123 . . . 緩衝層
- 129 . . . 導體柱
- 129a . . . 導體柱第
一部分
- 129b . . . 導體柱第
二部分
- 135 . . . 半導體元件

第 7 圖



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：

100103911

※申請日期：

100.2.01.

※IPC分類：

H01L 231488 H2006.01

一、發明名稱：(中文/英文)

H01L 21/60 H2006.01

用於半導體基板的導體柱結構以及製造方法
 A CONDUCTIVE PILLAR STRUCTURE FOR
 SEMICONDUCTOR SUBSTRATE AND METHOD OF
 MANUFACTURE

二、中文發明摘要：

一種用於晶片的導體柱結構，該晶片包含一鈍化層，該鈍化層具有位於基板上的一金屬接觸開口。一接合焊墊，具有位於金屬接觸開口內的一第一部分以及一位於鈍化層上方的一第二部分。接合焊墊的第二部分具有一第一寬度。接合焊墊上有一緩衝層，其具有一第二寬度的一柱體接觸開口以暴露接合焊墊的一部分。一導體柱，具有位於柱體接觸開口內的一第一部分以及位於緩衝層上方的一第二部分。導體柱的第二部分具有一第三寬度。第二寬度與第一寬度之比在約 0.35 至 0.65 之間。第二寬度與第三寬度之比在約 0.35 至 0.65 之間。

三、英文發明摘要：

A conductive pillar structure for a die includes a passivation layer having a metal contact opening over a substrate. A bond pad has a first portion inside the metal contact opening and a second portion overlying the passivation layer. The second portion of the bond pad has a first width. A buffer layer over the bond pad has a pillar contact opening with a second width to expose a portion of the bond pad. A conductive pillar has a first portion inside the pillar contact opening and a second portion over the buffer layer. The second portion of the conductive pillar has a third width. A ratio of the second width to the first width is between about 0.35 and about 0.65. A ratio of the second width to the third width is between about 0.35 and about 0.65.

四、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之模組符號簡單說明：

101：基板

105：導電層

107：絕緣層

109：第一鈍化層

113a：接合焊墊第一部分

113b：接合焊墊第二部分

117：第二鈍化層

123：緩衝層

129：導體柱

129a：導體柱第一部分

129b：導體柱第二部分

135：半導體元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於半導體凸塊製程，特別係關於一種形成導體柱凸塊的結構和方法。

【先前技術】

覆晶技術在半導體裝置的封裝過程中扮演非常重要的角色。覆晶微電子組裝包括使用焊錫凸塊作為連接將倒裝電子元件直接電性連接至基板上，例如電路板。由於覆晶在尺寸、性能以及適應性方面超越其他封裝方法的優勢，使得覆晶封裝的使用大幅增長。

近年來，導體柱技術已取得長足進步。將焊錫凸塊的使用取而代之的是借助銅柱把電子元件連接至基板。銅柱技術實現了具有更低凸塊橋接可能性的更細間距，降低了電路的電容負載以及允許電子元件在更高的頻率下運作。

然而，標準的柱體製造製程有一些不足之處。舉例來說，標準導體柱製造程式會在微電子組裝中產生導致破裂的壓力。破裂會蔓延至晶片裏下層的電子元件。破裂會損害或損毀電子元件，這樣就提高了整個組裝的不良率。

有鑒於此，需要一個改進的結構和方法來製作用於半導體晶片的具有優良電子性能的導體柱。

【發明內容】

本發明所揭露的一實施例包含具有導體柱的一半導體晶片。一基板。一鈍化層，具有在基板上方的一金屬接觸開口。一接合焊墊，具有位於金屬接觸開口內的一第一部分以及在鈍化層上方的一第二部分。接合焊墊的第二部分具有一第一寬度。一緩衝層沉積在接合焊墊上。緩衝層具有一第二寬度的一柱體接觸開口，以此來暴露接合焊墊的一部分。一導體柱，具有位於柱體接觸開口內的一第一部分以及在緩衝層上方的一第二部分。該導體柱的第二部分具有一第三寬度。第二寬度與第一寬度之比在約 0.35 至 0.65 之間。第二寬度與第三寬度之比在約 0.35 至 0.65 之間。

本發明所揭露的另一實施例包含具有一導體柱的一半導體晶片。一基板。一第一鈍化層，具有位於基板上的一金屬接觸開口。一接合焊墊，具有一第一部分和一第二部分。第一部分位於金屬接觸開口內。第二部分位於第一鈍化層上方，且具有一第一寬度。一第二鈍化層位於第一鈍化層上，部分覆蓋接合焊墊，並留有一暴露的接合焊墊表面。一緩衝層位於第二鈍化層以及一部分接合焊墊的第二部分上。緩衝層具有一第二寬度的柱體接觸開口，位於一部分暴露的接合焊墊表面上。一導體柱，具有一第一部分和一第二部分。第一部分位於緩衝層的柱體接觸開口內。第一部分上方的第二部分具有一第三寬度。第二寬度與第一寬度之比在約 0.35 至 0.65 之間。第二寬度與第三寬度之比在約 0.35 至 0.65

之間。

本發明所揭露的另一實施例包含一形成導體柱的方法。提供一基板。在基板上形成一鈍化層。鈍化層具有一金屬接觸開口。在鈍化層上形成一接合焊墊。接合焊墊具有一第一部分，位於金屬接觸開口內，以及在第一部分上方的具有一第一寬度的一第二部分。在接合焊墊上形成一緩衝層，緩衝層具有一第二寬度的柱體接觸開口，用以部分暴露接合焊墊的第二部分。形成一導體柱，用以覆蓋開口以及置於一部分緩衝層上，導體柱具有一第三寬度。第二寬度與第一寬度之比在約 0.35 至 0.65 之間。第二寬度與第三寬度之比在約 0.35 至 0.65 之間。

本發明的一些實施例用於調節標準柱體製作製程的不足之處。舉例來說，一些實施例可降低組裝製程中產生的壓力並且減少導致產量降低的破裂蔓延。

【實施方式】

以下將詳細討論例舉實施例的製作與使用。然而應理解的是，本揭露內容提供的衆多可行發明概念能夠在許多特定情況下體現。討論的實施例僅作為例舉之用，並非用以限定本發明。

第 1 圖至第 7 圖是根據本發明一實施例在一基板上製作導體柱的各個階段的剖視圖。第 8 圖繪示了製作導體柱的方法 200 的流程圖。其中“基板”通常指的是一半導體基板，各種沉積層和集積電路在其上形成。基

板可包含矽或複合半導體，例如砷化鎵(GaAs)、磷化銦(InP)、矽/鍺(Si/Ge)、或碳化矽(SiC)。沉積層的例子包含介電層、摻雜層、金屬層、多晶矽層，通過插塞可將一層與另一層或更多層相連接。集積電路的例子包含晶體管、電阻和/或電容。

請參照第 1 圖與第 8 圖，在製程步驟 201 中，提供一基板 101。在基板 101 上形成一內連層 103。內連層 103 包含排布於一或多個介電層 107 內的一或多個導電層 105。在集積電路上形成導電層 105 是用以電性連接集積電路和上層。介電層 107 的形成可使用，舉例來說，介電常數(k 值)在約 2.9 和 3.8 之間的低 k 介電材料，k 值在約 2.5 和 2.9 之間的超低 k 介電材料，低 k 介電材料的組合等等。隨著 k 值的降低，介電層 107 變得更脆弱且易剝離和破裂。

請參照第 2 圖與第 8 圖，在製程步驟 202 中，在內連層 103 上形成一第一鈍化層 109 以保護集積電路和內連層 103 免於損傷和污染。形成一金屬接觸開口 111 以暴露導電層 105 的一部分。在一實施例中，形成金屬接觸開口 111 的製程包括在內連層 103 上沉積第一鈍化層 109，用蝕刻定義金屬接觸開口 111。第一鈍化層 109 可以是一層或更多層，所包含的材料為，舉例來說，氧化物、未摻雜的矽玻璃(undoped silicate glass, USG)、氮化矽(SiN)，二氧化矽(SiO₂)或氮氧化矽(SiON)。鈍化層 109 的厚度可在約 0.6 μm 和約 1.4 μm 之間。第一鈍化層 109 可防止或降低水氣、機械和輻射

對集積電路造成的損傷。

請參照第 3 圖與第 8 圖，在製程步驟 203 中，在第一鈍化層 109 上形成一接合焊墊 113。接合焊墊 113 具有位於金屬接觸開口 111 內的一第一部分 113a 以及位於第一鈍化層 109 上方的一第二部分 113b。第二部分 113b 具有一寬度 115。接合焊墊 113 接觸導電層 105 並向下層集積電路提供電性連接。在一實施例中，接合焊墊 113 可包含一導電材料，比如鋁、鋁合金、銅、銅合金或其組合。接合焊墊 113 的沉積可使用物理氣相沉積 (physical vapor deposition, PVD)，比如使用鋁、銅或其合金製作的濺鍍靶材的濺鍍沉積，接著用微影和蝕刻定義接合焊墊 113 的沉積層。

請參照第 4 圖與第 8 圖，在製程步驟 204 中，在第一鈍化層 109 和接合焊墊 113 上形成一第二鈍化層 117。第二鈍化層 117 的形成可使用與第一鈍化層 109 類似的方式和材料。第一鈍化層 109 和第二鈍化層 117 可選擇性的使用互不相同的材料來形成。第二鈍化層 117 可使用傳統的沉積技術沉積至第一鈍化層 109 和接合焊墊 113 上，例如化學氣相沉積 (chemical vapor deposition, CVD)。沉積之後使用微影和蝕刻來選擇性地在接合焊墊 113 上定義一開口 119。第二鈍化層 117 部分覆蓋接合焊墊 113，並在開口 119 內留有一暴露的接合焊墊 113 的表面。開口 119 具有一小於寬度 115 的寬度 121。第二鈍化層 117 可吸收或釋放由封裝基板引起的熱量或機械壓力。

請參照第 5 圖與第 8 圖，在製程步驟 205 中，在第二鈍化層 117 和接合焊墊 113 上形成一緩衝層 123。緩衝層 123 包含厚度在約 $2\mu\text{m}$ 和約 $10\mu\text{m}$ 之間的聚醯亞胺，一氧化鉛 (PBO) 或環氧樹脂。緩衝層 123 塗布在第二鈍化層 117 上並填充開口 119 以覆蓋接合焊墊 113 的第二部分 113b 的暴露表面。緩衝層 123 作為壓力緩衝來降低在組裝製程中傳遞至第一鈍化層 109 和第二鈍化層 117 的壓力。接著進行微影和圖案化用以在接合焊墊 113 上選擇性的定義一柱體接觸開口 125。柱體接觸開口 125 在接合焊墊 113 的暴露的表面上具有一寬度 127。

請參照第 6 圖與第 8 圖，在製程步驟 206 中，在緩衝層 123 上形成一導體柱 129。導體柱 129 具有位於柱體接觸開口 125 內的一第一部分 129a 以及位於緩衝層 123 上的一第二部分 129b。第二部分 129b 具有一寬度 133。寬度 133 為約 $55\mu\text{m}$ 至約 $130\mu\text{m}$ 。導體柱 129 具有一高度，從第一部分 129a 的底部算起，高度為約 $35\mu\text{m}$ 至約 $55\mu\text{m}$ 。導體柱 129 藉由接合焊墊 113 電性連接內連層 103，並向下層集積電路提供電性連接。在一實施例中，導體柱 129 包含一導電材料，比如銅或銅合金。導體柱 129 可使用電鍍形成，以填充緩衝層 123 上的圖案化的光阻層（未繪示）的開口。在電鍍製程後將光阻層去除。在緩衝層 123 上形成多個導體柱（未繪示）。導體柱與相鄰導體柱間形成一間距，該間距為約 $125\mu\text{m}$ 至約 $250\mu\text{m}$ 。

可接受的組裝產量與兩個比例有關。一第一比例是寬度 127 與寬度 115 之比。一第二比例是寬度 127 與寬度 133 之比。寬度 127 與寬度 115 的第一比例在約 0.35 至約 0.65 之間。寬度 127 與寬度 133 的第二比例在約 0.35 至約 0.65 之間。舉例來說，如比例低於 0.35，組裝的不良率將上升。當寬度 127 很小時，導體柱 129 與接合焊墊 113 的不良接觸概率將更高。如比例高於 0.65，第二鈍化層 117 在組裝製程中將破裂。舉例來說，當寬度 127 很大時，緩衝層 123 將無法降低組裝製程中傳遞至接合焊墊 113 的壓力。屆時，壓力會從接合焊墊 113 擴散至第二鈍化層 117。脆弱的第二鈍化層 117 會變得易剝離和破裂。

請參照第 7 圖與第 8 圖，在製程步驟 207 中，使用第 6 圖中所示的導體柱 129 將半導體基板 101 與一半導體元件 135 接合。在一實施例中，半導體元件 135 可為一半導體晶片，承載基板，電路板或任何熟習此技藝者熟知的合適元件。半導體基板 101 和半導體元件 135 可藉由導體柱 129 電性連接。接合方法包括銅-銅接合，焊接接合或任何熟習此技藝者熟知的合適方法。

雖然本發明及其優勢已詳細描述，然其應理解的是，在不脫離本發明之精神和範圍內，依照本發明之權利要求當可作各種之更動與潤飾。各實施例的製程、機器、製品和物之組合、方式、方法和步驟並非用以限定本發明的範圍。熟習本領域之技藝者可輕易理解本發明揭露內容，利用現有或即將發展的製程、機器、製品和

物之組合、方式、方法或步驟，產生對應於本發明實施例的相同的功能和結果。因此，所附權利要求包括在其範圍內的製程、機器、製品和物之組合、方式、方法或步驟。

【圖式簡單說明】

參見展示實施例的附圖詳細闡釋本發明，應理解的是附圖僅作示意之用，因此並未按比例繪製：

第 1 圖繪示了半導體基板的剖視圖；

第 2 圖繪示了在第 1 圖中所示的基板的表面形成的具有一金屬接觸開口的一第一鈍化層；

第 3 圖繪示了在第一鈍化層上形成一接合焊墊；

第 4 圖繪示了在第一鈍化層上形成一第二鈍化層並覆蓋一部分接合焊墊；

第 5 圖繪示了在第二鈍化層上形成一緩衝層並覆蓋一部分接合焊墊；

第 6 圖繪示了在緩衝層上形成的一導體柱；

第 7 圖繪示了半導體基板接合於一半導體元件；以及

第 8 圖繪示了製作導體柱的方法的流程圖。

【主要元件符號說明】

101：基板

103：內連層

105：導電層

- 107：絕緣層
- 109：第一鈍化層
- 111：金屬接觸開口
- 113：接合焊墊
- 113a：接合焊墊第一部分
- 113b：接合焊墊第二部分
- 115：寬度
- 117：第二鈍化層
- 119：開口
- 121：寬度
- 123：緩衝層
- 125：柱體接觸開口
- 127：寬度
- 129：導體柱
- 129a：導體柱第一部分
- 129b：導體柱第二部分
- 133：寬度
- 135：半導體元件
- 201 至 207：製程步驟

七、申請專利範圍：

1. 一種半導體晶片，包含：

一基板；

一第一鈍化層，具有位於該基板上的一金屬接觸開口；

一接合焊墊，具有位於該金屬接觸開口內的一第一部分以及位於該鈍化層上方的一第二部分，該接合焊墊的第二部分具有一第一寬度；

一緩衝層，位於該接合焊墊上，該緩衝層具有一第二寬度的一柱體接觸開口以暴露該接合焊墊的一部分；以及

一導體柱，具有位於該柱體接觸開口內的一第一部分以及位於該緩衝層上方的一第二部分，該導體柱的第二部分具有一第三寬度，其中該第二寬度與該第一寬度之比在約0.35至約0.65之間，該第二寬度與該第三寬度之比在約0.35至約0.65之間。

2. 如請求項1所述之半導體晶片，更包含：

一第二鈍化層，位於該第一鈍化層上方，部分覆蓋該接合焊墊並留有一暴露的接合焊墊表面。

3. 如請求項2所述之半導體晶片，該第一鈍化層及

該第二鈍化層至少包含氧化物、未摻雜的矽玻璃 (undoped silicate glass, USG)、氮化矽和氮氧化矽其中之一者。

4. 如請求項2所述之半導體晶片，其中該第二鈍化層具有一第四寬度的一開口以暴露該接合焊墊，該第四寬度寬於該第三寬度，該第三寬度為約35 μm 至約55 μm 。

5. 如請求項1所述之半導體晶片，更包含在該半導體基板上方和該第一鈍化層下方形成的一內連層，其中該導體柱藉由該接合焊墊電性連接該內連層，該導體柱包含銅。

6. 如請求項1所述之半導體晶片，其中該緩衝層包含聚醯亞胺。

7. 如請求項1所述之半導體晶片，其中該導體柱與一相鄰導體柱間間距為約125 μm 至約250 μm 。

8. 一種形成導體柱的方法，包含：
提供一基板；

形成一第一鈍化層在該基板上，該第一鈍化層具有一金屬接觸開口；

形成一接合焊墊在該鈍化層上，該接合焊墊具有位於該金屬接觸開口內的一第一部分以及在第一部分上方的具有一第一寬度的一第二部分；

形成一緩衝層在該接合焊墊上，該緩衝層具有一第二寬度的一柱體接觸開口，用以部分暴露該接合焊墊的第二部分；以及

形成一導體柱，用以覆蓋該開口以及置於一部分該緩衝層上，該導體柱具有一第三寬度，

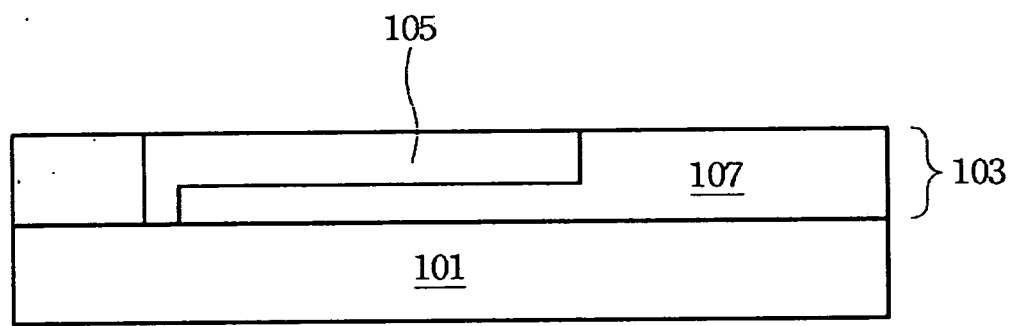
其中，該第二寬度與該第一寬度之比在約0.35至約0.65之間，該第二寬度與該第三寬度之比在約0.35至約0.65之間。

9. 如請求項8所述之方法，更包含：

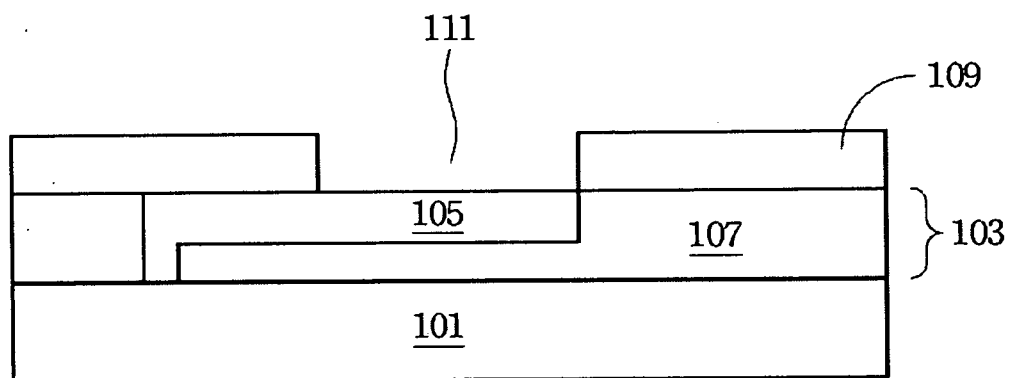
形成一第二鈍化層在該第一鈍化層上方，部分覆蓋該接合焊墊並留有一暴露的接合焊墊表面，其中該第二鈍化層具有一第四寬度的一開口以暴露該接合焊墊，該第四寬度窄於該第三寬度；以及

在該導體柱與一相鄰導體柱間形成一間距，該間距為約125 μm 至約250 μm 。

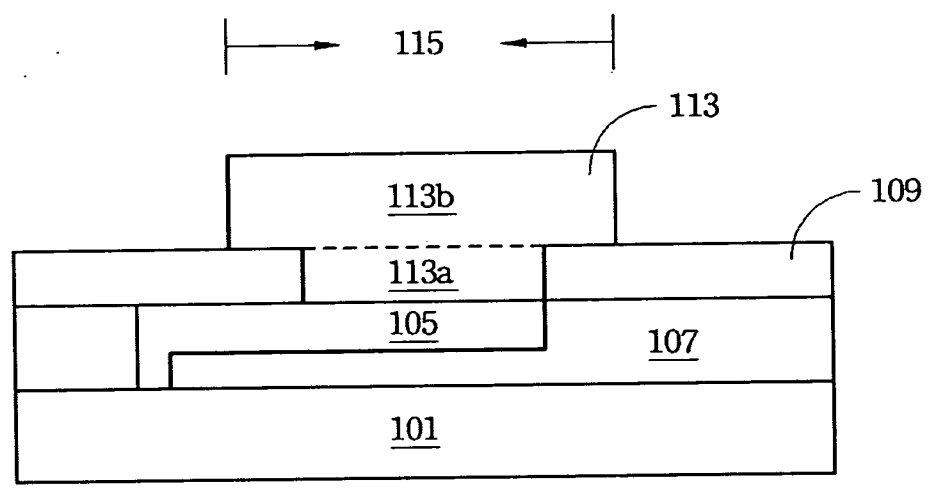
10. 如請求項9所述之方法，其中該第一鈍化層及該第二鈍化層至少包含氧化物、未摻雜的矽玻璃（undoped silicate glass, USG）、氮化矽和氮氧化矽其中之一者，該緩衝層包含聚醯亞胺，該導體柱包含銅，該導體柱藉由該接合焊墊電性連接一內連層。



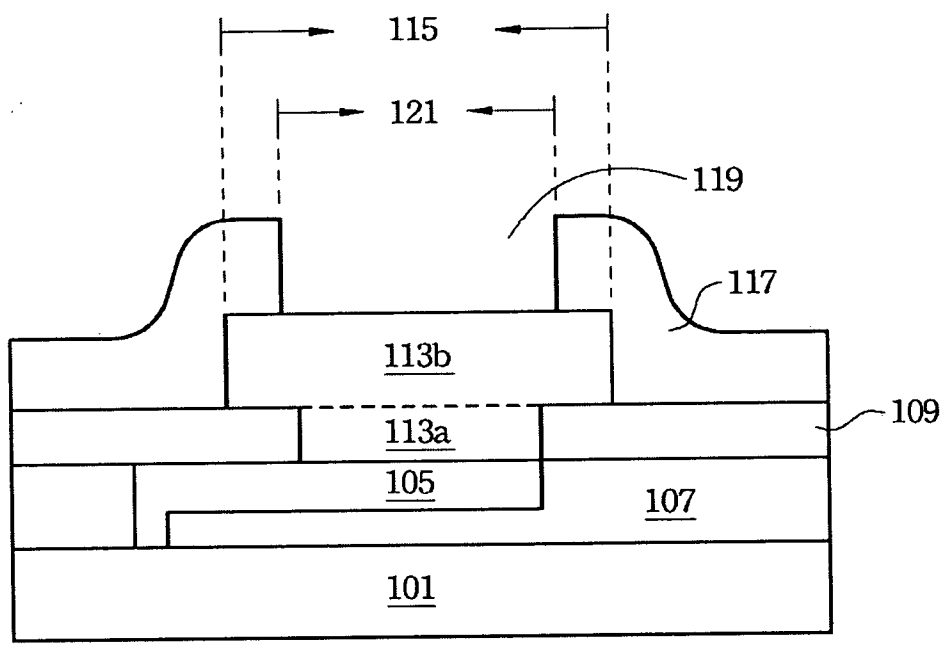
第 1 圖



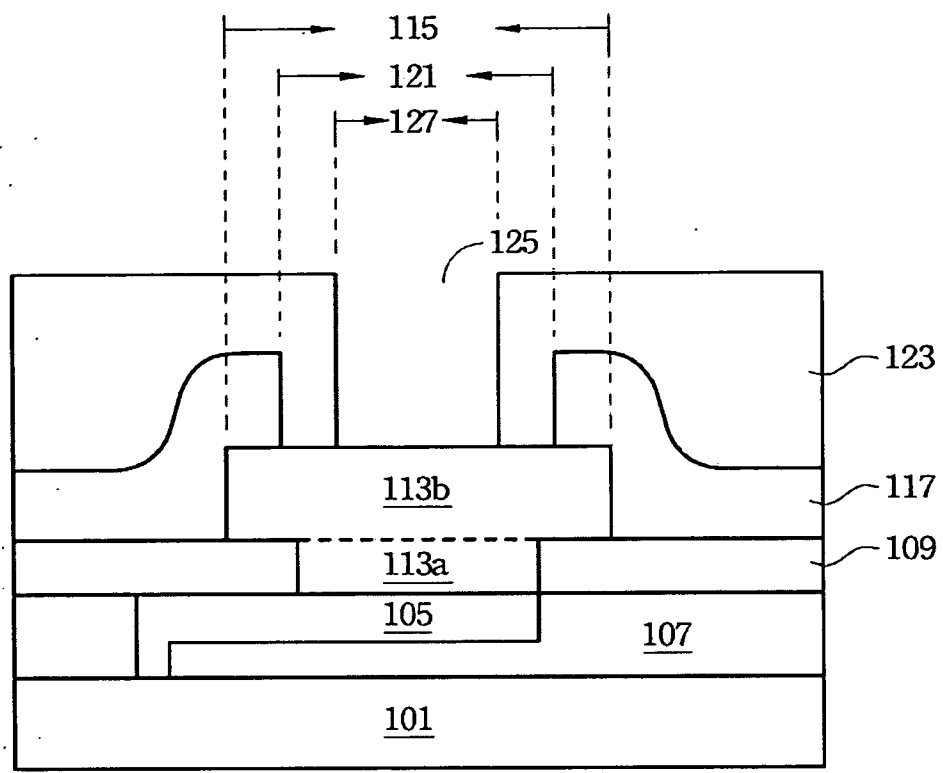
第 2 圖



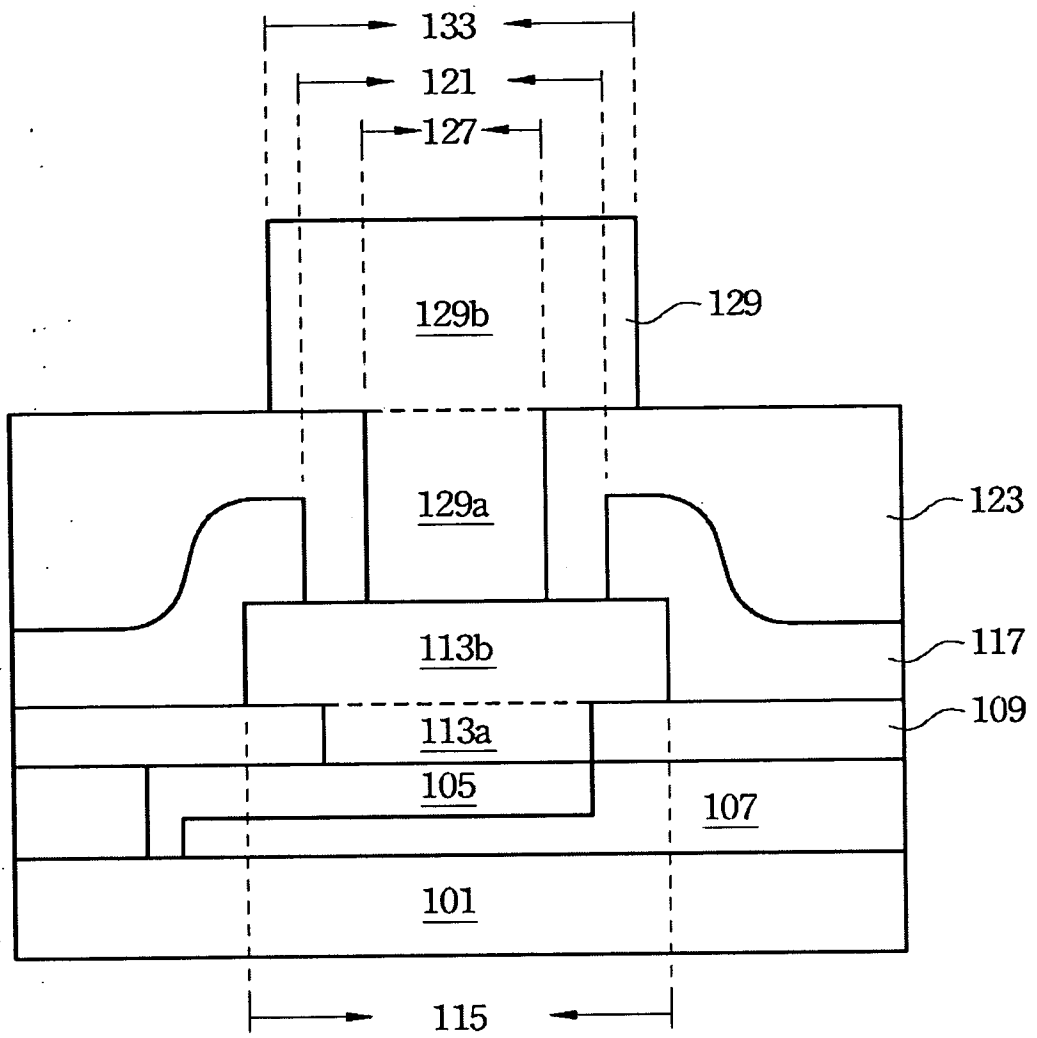
第 3 圖



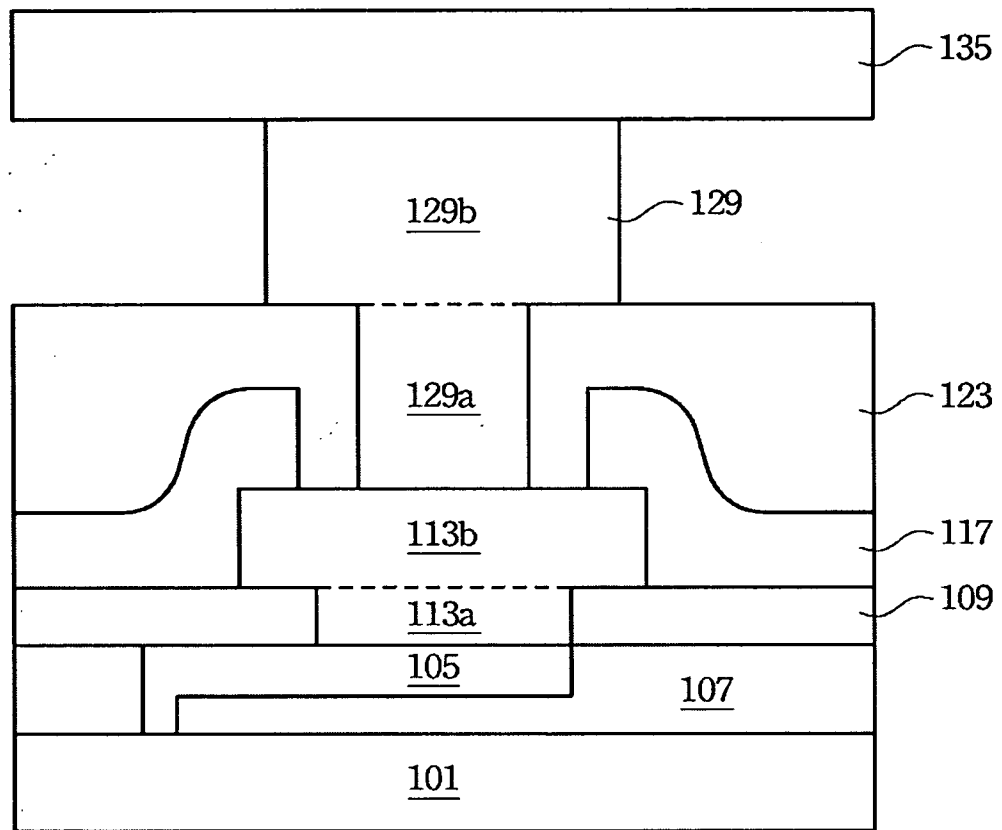
第 4 圖



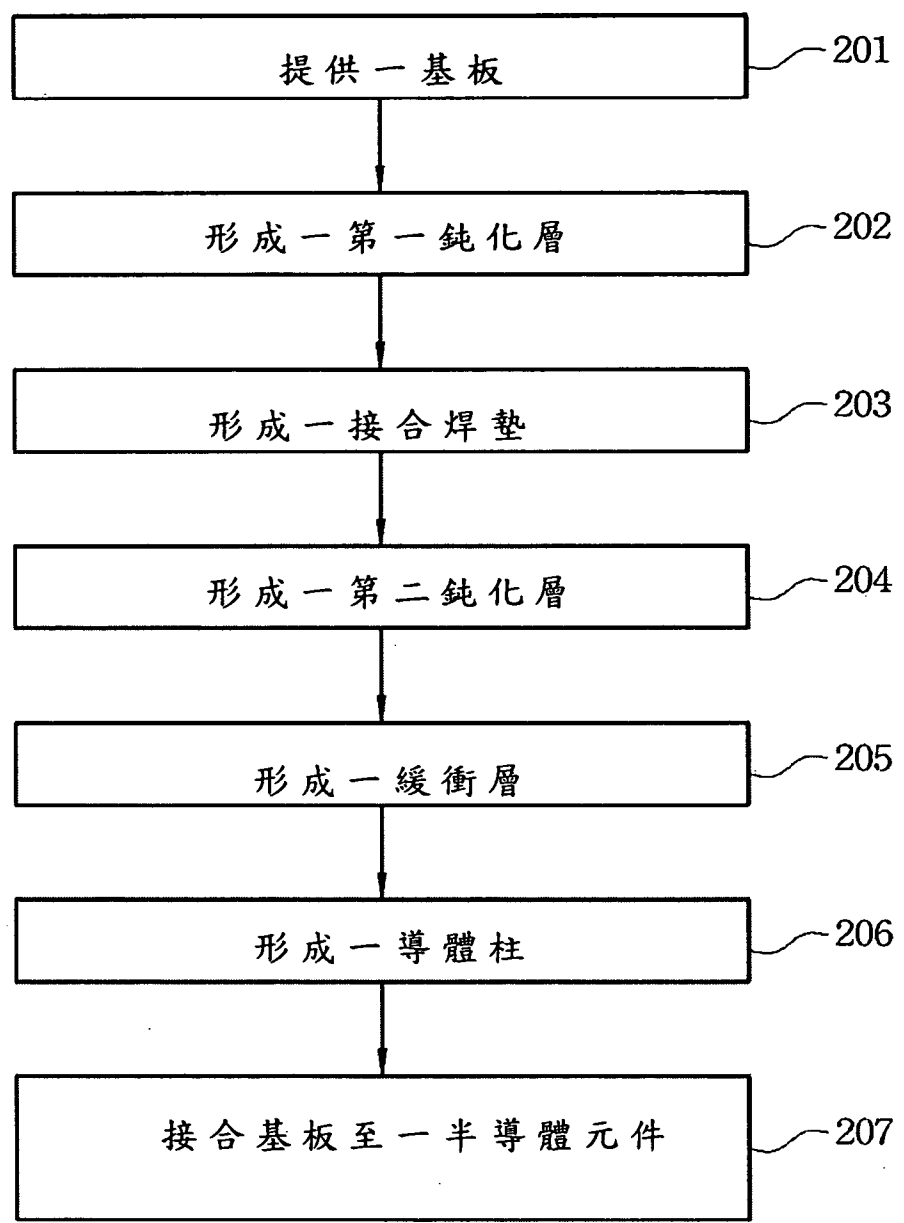
第 5 圖



第 6 圖



第 7 圖



第 8 圖