

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2024-543728

(P2024-543728A)

(43)公表日 令和6年11月22日(2024.11.22)

(51) 國際特許分類

FI

H O 1 L 25/07 (2006.01)

H O 1 L

25/08

Y

審査請求 未請求 予備審査請求 未請求 (全43頁)

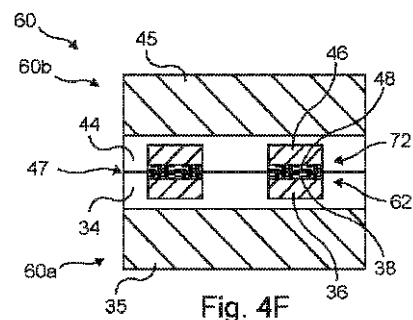
(21)出願番号	特願2024-535512(P2024-535512)	(71)出願人	518065991
(86)(22)出願日	令和4年12月14日(2022.12.14)		アデア セミコンダクター ボンディン
(85)翻訳文提出日	令和6年6月13日(2024.6.13)		グ テクノロジーズ インコーポレイテッド
(86)国際出願番号	PCT/US2022/081601		アメリカ合衆国 カリフォルニア州 9 5
(87)国際公開番号	WO2023/114878		1 3 4 サンノゼ オーチャード パーク
(87)国際公開日	令和5年6月22日(2023.6.22)		ウェイ 3 0 2 5
(31)優先権主張番号	63/291,285	(74)代理人	100103610
(32)優先日	令和3年12月17日(2021.12.17)		弁理士 ▲吉▼田 和彦
(33)優先権主張国・地域又は機関		(74)代理人	100109070
	米国(US)		弁理士 須田 洋之
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く	(74)代理人	100119013
			弁理士 山崎 一夫
		(74)代理人	100130937
			弁理士 山本 泰史
		(74)代理人	100144451
			最終頁に続く

(54) 【発明の名称】 ダイレクトボンディングのための導電性フィーチャを有する構造及びその形成方法

(57) 【要約】

ダイレクトボンディングのための構造及び方法を開示する。結合構造が、第1の素子及び第2の素子を含むことができる。第1の素子は、非導電性結合面を有する第1の非導電性構造と、非導電性結合面から非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、キャビティ内に配置された第1の導電材料及びその上の第2の導電材料を有する第1の導電性フィーチャとを含むことができる。第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さいことができる。第2の導電材料の結晶粒界には、20パーセントパーミリオン（ppm）未満の不純物が存在することができる。

【選択図】 図4 F



【特許請求の範囲】

【請求項 1】

素子の形成方法であって、

非導電性構造を準備することと、

前記非導電性構造に、前記非導電性構造の表面から前記非導電性構造の厚みを少なくとも部分的に貫通するキャビティを形成することと、

第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを前記キャビティ内に含む導電性フィーチャを提供することであって、前記第 2 の導電材料は前記素子の結合面に配置され、前記第 2 の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の 20 % よりも小さい、ことと、

前記素子の前記結合面をダイレクトボンディングのために調製することと、を含む方法。

【請求項 2】

前記第 2 の導電材料の結晶粒界に 20 パーツパーミリオン (ppm) 未満の不純物が存在する、

請求項 1 に記載の方法。

【請求項 3】

前記第 2 の導電材料の平均粒径は、前記第 1 の導電材料の平均粒径よりも小さい、

請求項 1 に記載の方法。

【請求項 4】

前記導電性フィーチャを提供することは、前記第 1 の導電材料及び前記第 2 の導電材料を別々に提供することを含む、

請求項 1 に記載の方法。

【請求項 5】

前記第 1 の導電材料を提供することは、前記キャビティを部分的に満たすことを含む、

請求項 4 に記載の方法。

【請求項 6】

前記第 1 の導電材料を提供することは、前記キャビティを前記第 1 の導電材料で満たし、前記第 1 の導電材料の一部を除去することを含む、

請求項 4 に記載の方法。

【請求項 7】

前記第 2 の導電材料を提供する前に前記第 1 の導電材料をアニール処理することをさらに含む、

請求項 4 に記載の方法。

【請求項 8】

前記導電材料を提供することは、前記第 2 の導電材料をプラズマ蒸着 (PVD) によって前記第 1 の導電材料上に提供することを含む、

請求項 4 に記載の方法。

【請求項 9】

前記第 2 の導電材料は、前記第 1 の導電材料を提供する第 1 の堆積プロセスよりも高い電流密度でのめっきによって提供される、

請求項 4 に記載の方法。

【請求項 10】

前記結合面を調製することは、前記非導電材料及び前記第 2 の導電材料の表面を研磨することを含む、

請求項 1 に記載の方法。

【請求項 11】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 10 % よりも小さい、

請求項 1 に記載の方法。

10

20

30

40

50

【請求項 1 2】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 5 % よりも小さい、
請求項 1 1 に記載の方法。

【請求項 1 3】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 2 % よりも小さい、
請求項 1 2 に記載の方法。

【請求項 1 4】

前記結合面における前記導電性フィーチャの面積は $7 \mu\text{m}^2$ よりも小さい、
請求項 1 に記載の方法。 10

【請求項 1 5】

前記結合面における前記第 2 の導電材料の断面図での最大結晶粒側面積は 2000 nm^2 よりも小さい、
請求項 1 に記載の方法。

【請求項 1 6】

前記結合面における前記第 2 の導電材料の最大直線横方向粒径は 200 nm よりも小さい、
請求項 1 に記載の方法。

【請求項 1 7】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、
請求項 1 に記載の方法。 20

【請求項 1 8】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層を設けることをさらに含む、
請求項 1 に記載の方法。

【請求項 1 9】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 50 % 未満である、
請求項 1 に記載の方法。

【請求項 2 0】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 30 % 未満である、
請求項 1 9 に記載の方法。 30

【請求項 2 1】

結合構造の形成方法であって、
非導電性結合面を有する第 1 の非導電性構造と、
前記非導電性結合面から前記非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、

前記キャビティ内に配置された第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを有する第 1 の導電性フィーチャと、

を含む第 1 の素子を準備することであって、前記第 2 の導電材料は、前記素子の結合面において少なくとも部分的に露出しており、前記第 2 の導電材料の平均粒径は、前記第 1 の導電材料の平均粒径よりも小さい、ことと、 40

第 2 の非導電性構造と、

第 2 の導電性フィーチャと、

を含む第 2 の素子を準備することと、

前記第 2 の導電材料にアニールプロセスを行うことなく、前記第 1 の素子の前記結合面と前記第 2 の素子の結合面とを接触させることと、

前記接触後に前記第 1 の素子と前記第 2 の素子とを直接結合することと、
を含む方法。

【請求項 2 2】

前記第 2 の導電材料の結晶粒界に 20 パーツパーミリオン (ppm) 未満の不純物が存 50

在する、

請求項 2 1 に記載の方法。

【請求項 2 3】

前記第 1 の素子と前記第 2 の素子とを直接結合することは、介在接着剤を使用せずに前記第 1 の非導電性構造と前記第 2 の非導電性構造とを直接結合し、介在接着剤を使用せずに前記第 1 の導電性フィーチャと前記第 2 の導電性フィーチャとを直接結合することを含む、

請求項 2 1 に記載の方法。

【請求項 2 4】

前記第 1 の素子を準備することは、

前記第 1 の非導電性構造を準備することと、

前記第 1 の非導電性構造にキャビティを形成することと、

第 1 の導電材料を提供することと、

前記第 1 の導電材料を提供した後に第 2 の導電材料を提供することと、

を含む、請求項 2 1 に記載の方法。

【請求項 2 5】

前記第 2 の導電材料を提供する前に前記第 1 の導電材料をアニール処理することをさらに含む、

請求項 2 4 に記載の方法。

【請求項 2 6】

前記結合された第 1 及び第 2 の素子をアニール処理することをさらに含む、

請求項 2 1 に記載の方法。

【請求項 2 7】

前記素子の前記結合面をダイレクトボンディングのために調製することをさらに含む、請求項 2 1 に記載の方法。

【請求項 2 8】

前記結合面を調製することは、前記非導電材料及び前記第 2 の導電材料の表面を研磨することを含む、

請求項 2 7 に記載の方法。

【請求項 2 9】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の 20 % よりも小さい、

請求項 2 1 に記載の方法。

【請求項 3 0】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 10 % よりも小さい、

請求項 2 9 に記載の方法。

【請求項 3 1】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 5 % よりも小さい、

請求項 3 0 に記載の方法。

【請求項 3 2】

前記導電性フィーチャの前記露出した面積全体は $7 \mu\text{m}^2$ よりも小さい、請求項 2 1 に記載の方法。

【請求項 3 3】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大結晶粒側面積は 2000nm^2 よりも小さい、

請求項 2 1 に記載の方法。

【請求項 3 4】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大直線

10

20

30

40

50

横方向粒径は200nmよりも小さい、
請求項21に記載の方法。

【請求項35】

前記第1の素子と前記第2の素子とを直接結合した後の前記第2の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の30%よりも小さい、
請求項21に記載の方法。

【請求項36】

前記第1の素子と前記第2の素子とを直接結合した後の前記第2の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の20%よりも小さい、
請求項35に記載の方法。

10

【請求項37】

前記第1の素子と前記第2の素子とを直接結合した後の前記第2の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の15%よりも小さい、
請求項36に記載の方法。

【請求項38】

前記第1の素子と前記第2の素子とを直接結合した後の前記結合面における前記第2の導電材料の最大結晶粒側面積は 71000nm^2 よりも小さい、
請求項21に記載の方法。

【請求項39】

前記第1の素子と前記第2の素子とを直接結合した後の前記結合面における前記第2の導電材料の最大直線横方向粒径は $2\mu\text{m}$ よりも小さい、
請求項21に記載の方法。

20

【請求項40】

前記第1の導電材料及び前記第2の導電材料は銅を含む、
請求項21に記載の方法。

【請求項41】

前記第1の導電材料と前記第2の導電材料との間に介在層を設けることをさらに含む、
請求項21に記載の方法。

【請求項42】

非導電性構造と、
前記非導電性構造内のキャビティと、
導電性フィーチャと、
を備えた素子であって、
前記キャビティは、前記非導電性構造の表面から前記非導電性構造の厚みを少なくとも部分的に貫通し、
前記導電性フィーチャは、第1の導電材料と、前記第1の導電材料上の第2の導電材料とを前記キャビティ内に含み、前記第2の導電材料は前記素子の結合面に配置され、前記第2の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の20%よりも小さい、
素子。

30

【請求項43】

前記第2の導電材料の結晶粒界に20パーセントパーミリオン（ppm）未満の不純物が存在する、
請求項42に記載の素子。

【請求項44】

前記第2の導電材料の前記直線横寸法での平均粒径は、前記第1の導電材料の直線横寸法での平均粒径よりも小さい、
請求項42に記載の素子。

40

【請求項45】

前記第2の導電材料の厚みは、前記導電性フィーチャの厚みの50%未満である、

50

請求項 4 2 に記載の素子。

【請求項 4 6】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 3 0 % 未満である、
請求項 4 5 に記載の素子。

【請求項 4 7】

前記素子の前記結合面は、ダイレクトボンディングのために調製される、
請求項 4 2 に記載の素子。

【請求項 4 8】

前記結合面は、2 n m 未満の二乗平均平方根 (r m s) 表面粗さを有する、
請求項 4 7 に記載の素子。

10

【請求項 4 9】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 1 0 % よりも小さい、
請求項 4 2 に記載の素子。

【請求項 5 0】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 5 % よりも小さい、
請求項 4 9 に記載の素子。

【請求項 5 1】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 2 % よりも小さい、
請求項 5 0 に記載の素子。

20

【請求項 5 2】

前記結合面における前記導電性フィーチャの前記直線横寸法は $7 \mu m^2$ よりも小さい、
請求項 4 2 に記載の素子。

【請求項 5 3】

前記結合面における前記第 2 の導電材料の最大結晶粒側面積は $2 0 0 0 n m^2$ よりも小さい、
請求項 4 2 に記載の素子。

【請求項 5 4】

前記結合面における前記第 2 の導電材料の前記最大粒径は $2 0 0 n m$ よりも小さい、
請求項 4 2 に記載の素子。

30

【請求項 5 5】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、
請求項 4 2 に記載の素子。

【請求項 5 6】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層をさらに備える、
請求項 4 2 に記載の素子。

【請求項 5 7】

第 1 の素子と、
第 2 の素子と、
を備えた結合構造であって、前記第 1 の素子は、
非導電性結合面を有する第 1 の非導電性構造と、
前記非導電性結合面から前記非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、
前記キャビティ内に配置された第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを有する第 1 の導電性フィーチャと、
を含み、前記第 2 の導電材料の平均粒径は、前記第 1 の導電材料の平均粒径よりも小さく、前記第 2 の導電材料の結晶粒界に 2 0 パーツパーミリオン (p p m) 未満の不純物が存在し、前記第 2 の素子は、

40

50

第 2 の非導電性構造と、

第 2 の導電性フィーチャと、

を含み、前記第 1 の素子及び前記第 2 の素子は、前記第 1 の非導電性構造と前記第 2 の非導電性構造とが介在接着剤を使用せずに互いに直接結合され、前記第 2 の導電材料と前記第 2 の導電性フィーチャとが介在接着剤を使用せずに互いに直接結合されるように互いに結合される、結合構造。

【請求項 58】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 50%未満である、請求項 57 に記載の結合構造。

【請求項 59】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 30%未満である、請求項 58 に記載の結合構造。

【請求項 60】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、請求項 57 に記載の結合構造。

【請求項 61】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層をさらに備える、請求項 57 に記載の結合構造。

【請求項 62】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の 30%よりも小さい、請求項 57 に記載の結合構造。

【請求項 63】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 20%よりも小さい、請求項 62 に記載の結合構造。

【請求項 64】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 15%よりも小さい、請求項 63 に記載の結合構造。

【請求項 65】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の結合面における前記第 2 の導電材料の最大結晶粒側面積は 71000 nm^2 よりも小さい、請求項 57 に記載の結合構造。

【請求項 66】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大直線横方向粒径は $2\text{ }\mu\text{m}$ よりも小さい、請求項 57 に記載の結合構造。

【請求項 67】

素子の形成方法であって、

非導電性構造を準備することと、

前記非導電性構造にキャビティを形成することと、

第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを前記キャビティ内に含む導電性フィーチャを、前記第 2 の導電材料が前記素子の結合面において少なくとも部分的に露出し、前記第 2 の導電材料の結晶粒界に 20 パーツパーミليون (ppm) 未満の不純物が存在し、前記第 2 の導電材料の直線横寸法での最大粒径が前記導電性フィーチャの直線横寸法の 20%よりも小さくなるように提供することと、を含む方法。

【請求項 68】

前記導電性フィーチャを提供することは、前記第 1 の導電材料及び前記第 2 の導電材料を別々に提供することを含む、
請求項 67 に記載の方法。

【請求項 69】

前記第 1 の導電材料を提供することは、前記キャビティを部分的に満たすことを含む、
請求項 68 に記載の方法。

【請求項 70】

前記第 1 の導電材料を提供することは、前記キャビティを前記第 1 の導電材料で満たし、
前記第 1 の導電材料の一部を除去することを含む、
請求項 68 に記載の方法。

10

【請求項 71】

前記第 2 の導電材料を提供する前に前記第 1 の導電材料をアニール処理することをさらに含む、
請求項 68 に記載の方法。

【請求項 72】

前記導電材料を提供することは、蒸着によって前記第 1 の導電材料上に前記第 2 の導電材料を提供することを含む、
請求項 68 に記載の方法。

【請求項 73】

前記蒸着は物理蒸着又は化学蒸着である、
請求項 72 に記載の方法。

20

【請求項 74】

前記第 2 の導電材料は、前記第 1 の導電材料を提供する第 1 の堆積プロセスよりも高い電流密度でのめっきによって提供される、
請求項 68 に記載の方法。

【請求項 75】

前記素子の前記結合面をダイレクトボンディングのために調製することをさらに含む、
請求項 67 に記載の方法。

【請求項 76】

前記結合面を調製することは、前記非導電材料及び前記第 2 の導電材料の表面を研磨することを含む、
請求項 75 に記載の方法。

30

【請求項 77】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 5 % よりも小さい、
請求項 67 に記載の方法。

【請求項 78】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 2 % よりも小さい、
請求項 77 に記載の方法。

40

【請求項 79】

前記導電性フィーチャの前記露出した面積全体は $7 \mu\text{m}^2$ よりも小さい、
請求項 67 に記載の方法。

【請求項 80】

前記結合面における前記第 2 の導電材料の最大結晶粒側面積は 2000nm^2 よりも小さい、
請求項 67 に記載の方法。

【請求項 81】

前記第 2 の導電材料の最大粒径は 200nm よりも小さい、
請求項 67 に記載の方法。

50

【請求項 8 2】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、
請求項 6 7 に記載の方法。

【請求項 8 3】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層を設けることをさらに含む、
請求項 6 7 に記載の方法。

【請求項 8 4】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 5 0 % 未満である、
請求項 6 7 に記載の方法。

【請求項 8 5】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 3 0 % 未満である、
請求項 8 4 に記載の方法。

【請求項 8 6】

結合構造の形成方法であって、

非導電性結合面を有する第 1 の非導電性構造と、

前記非導電性構造内のキャビティと、

前記キャビティ内に配置された第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを有する第 1 の導電性フィーチャと、

を含む第 1 の素子を準備することであって、前記第 2 の導電材料は、前記素子の結合面において少なくとも部分的に露出しており、前記第 2 の導電材料の結晶粒界に 2 0 パーセントパーミリオン (ppm) 未満の不純物が存在し、前記第 2 の導電材料の直線横寸法での最大粒径が前記導電性フィーチャの直線横寸法の 2 0 % よりも小さい、ことと、

第 2 の非導電性構造と、

第 2 の導電性フィーチャと、

を含む第 2 の素子を準備することと、

前記第 2 の導電材料にアニールプロセスを行うことなく、前記第 1 の素子の前記結合面と前記第 2 の素子の結合面とを接触させることと、

前記接触後に前記第 1 の素子と前記第 2 の素子とを直接結合することと、
を含む方法。

【請求項 8 7】

前記第 1 の素子と前記第 2 の素子とを直接結合することは、介在接着剤を使用せずに前記第 1 の非導電性構造と前記第 2 の非導電性構造とを直接結合し、介在接着剤を使用せずに前記第 1 の導電性フィーチャと前記第 2 の導電性フィーチャとを直接結合することを含む、

請求項 8 6 に記載の方法。

【請求項 8 8】

前記第 1 の素子を準備することは、

前記第 1 の非導電性構造を準備することと、

前記第 1 の非導電性構造にキャビティを形成することと、

第 1 の導電材料を提供することと、

前記第 1 の導電材料を提供した後に第 2 の導電材料を提供することと、
を含む、請求項 8 6 に記載の方法。

【請求項 8 9】

前記第 2 の導電材料を提供する前に前記第 1 の導電材料をアニール処理することをさらに含む、

請求項 8 8 に記載の方法。

【請求項 9 0】

前記結合された第 1 及び第 2 の素子をアニール処理することをさらに含む、
請求項 8 6 に記載の方法。

【請求項 9 1】

10

20

30

40

50

前記素子の前記結合面をダイレクトボンディングのために調製することをさらに含む、請求項 86 に記載の方法。

【請求項 92】

前記結合面を調製することは、前記非導電材料及び前記第 2 の導電材料の表面を研磨することを含む、請求項 91 に記載の方法。

【請求項 93】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 5 % よりも小さい、請求項 86 に記載の方法。

10

【請求項 94】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの前記直線横寸法の 2 % よりも小さい、請求項 93 に記載の方法。

【請求項 95】

前記導電性フィーチャの前記露出した面積全体は $7 \mu\text{m}^2$ よりも小さい、請求項 86 に記載の方法。

【請求項 96】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記結合面における前記第 2 の導電材料の最大結晶粒側面積は 2000 nm^2 よりも小さい、請求項 86 に記載の方法。

20

【請求項 97】

前記第 1 の素子と前記第 2 の素子とを直接結合する前の前記第 2 の導電材料の最大粒径は 200 nm よりも小さい、請求項 86 に記載の方法。

【請求項 98】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 30 % よりも小さい、請求項 86 に記載の方法。

【請求項 99】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 20 % よりも小さい、請求項 98 に記載の方法。

30

【請求項 100】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 15 % よりも小さい、請求項 99 に記載の方法。

【請求項 101】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記結合面における前記第 2 の導電材料の最大結晶粒側面積は 71000 nm^2 よりも小さい、請求項 86 に記載の方法。

40

【請求項 102】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の前記最大粒径は $2 \mu\text{m}$ よりも小さい、請求項 86 に記載の方法。

【請求項 103】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、請求項 86 に記載の方法。

【請求項 104】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層を設けることをさらに含む、

50

請求項 86 に記載の方法。

【請求項 105】

非導電性構造と、
前記非導電性構造内のキャビティと、
導電性フィーチャと、
を備えた素子であって、

前記キャビティは、前記非導電性構造の表面から前記非導電性構造の厚みを少なくとも部分的に貫通し、

前記導電性フィーチャは、第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを前記キャビティ内に含み、前記第 2 の導電材料は前記素子の結合面に配置され、前記第 2 の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の 20 % よりも小さく、前記第 2 の導電材料の結晶粒界に 20 パーツパーミリオン (ppm) 未満の不純物が存在する、
素子。

10

【請求項 106】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 50 % 未満である、
請求項 105 に記載の素子。

【請求項 107】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 30 % 未満である、
請求項 106 に記載の素子。

20

【請求項 108】

前記素子の前記結合面は、ダイレクトボンディングのために調製される、
請求項 105 に記載の素子。

【請求項 109】

前記結合面は、2 nm 未満の二乗平均平方根 (rms) 表面粗さを有する、
請求項 108 に記載の素子。

【請求項 110】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 5 % よりも小さい、
請求項 105 に記載の素子。

30

【請求項 111】

前記第 2 の導電材料の前記最大粒径は、前記導電性フィーチャの前記直線横寸法の 2 % よりも小さい、
請求項 110 に記載の素子。

【請求項 112】

前記結合面における前記導電性フィーチャの面積は $7 \mu\text{m}^2$ よりも小さい、
請求項 105 に記載の素子。

【請求項 113】

前記結合面における前記第 2 の導電材料の最大結晶粒側面積は 2000 nm^2 よりも小さい、
請求項 105 に記載の素子。

40

【請求項 114】

前記結合面における前記第 2 の導電材料の前記最大粒径は 200 nm よりも小さい、
請求項 105 に記載の素子。

【請求項 115】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、
請求項 105 に記載の素子。

【請求項 116】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層をさらに備える、
請求項 105 に記載の素子。

50

【請求項 1 1 7】

第 1 の素子と、

第 2 の素子と、

を備えた結合構造であって、前記第 1 の素子は、

非導電性結合面を有する第 1 の非導電性構造と、

前記非導電性結合面から前記非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、

前記キャビティ内に配置された第 1 の導電材料と、前記第 1 の導電材料上の第 2 の導電材料とを有する第 1 の導電性フィーチャと、

を含み、前記第 2 の素子は、

第 2 の非導電性構造と、

第 2 の導電性フィーチャと、

を含み、前記第 1 の素子及び前記第 2 の素子は、前記第 1 の非導電性構造と前記第 2 の非導電性構造とが介在接着剤を使用せずに互いに直接結合され、前記第 2 の導電材料と前記第 2 の導電性フィーチャとが介在接着剤を使用せずに互いに直接結合されるように互いに結合され、

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の直線横寸法での最大粒径は、前記導電性フィーチャの直線横寸法の 30% よりも小さい、結合構造。

【請求項 1 1 8】

前記第 2 の導電材料の結晶粒界に 20 パーツパーミリオン (ppm) 未満の不純物が存在する、

請求項 1 1 7 に記載の結合構造。

【請求項 1 1 9】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 50% 未満である、請求項 1 1 7 に記載の結合構造。

【請求項 1 2 0】

前記第 2 の導電材料の厚みは、前記導電性フィーチャの厚みの 30% 未満である、請求項 1 1 8 に記載の結合構造。

【請求項 1 2 1】

前記第 1 の導電材料及び前記第 2 の導電材料は銅を含む、請求項 1 1 7 に記載の結合構造。

【請求項 1 2 2】

前記第 1 の導電材料と前記第 2 の導電材料との間に介在層をさらに備える、請求項 1 1 7 に記載の結合構造。

【請求項 1 2 3】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 20% よりも小さい、請求項 1 1 7 に記載の結合構造。

【請求項 1 2 4】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の最大粒径は、前記導電性フィーチャの直線横寸法の 15% よりも小さい、請求項 1 2 3 に記載の結合構造。

【請求項 1 2 5】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記結合面における前記第 2 の導電材料の最大結晶粒側面積は 71000 nm^2 よりも小さい、請求項 1 1 7 に記載の結合構造。

【請求項 1 2 6】

前記第 1 の素子と前記第 2 の素子とを直接結合した後の前記第 2 の導電材料の前記最大粒径は $2 \mu\text{m}$ よりも小さい、

10

20

30

40

50

請求項 1 1 7 に記載の結合構造。

【請求項 1 2 7】

前記導電性フィーチャの前記露出した面積全体は $7 \mu\text{m}^2$ よりも小さい、

請求項 1 1 7 に記載の結合構造。

【請求項 1 2 8】

ダイレクトハイブリッドボンディングのための導電性フィーチャを基板内に形成する方法であって、

第 1 の平均粒径を形成するための条件下で、めっきを含む第 1 の堆積プロセスによって第 1 の導電材料を堆積させることと、

前記第 1 の堆積プロセスとは異なる、前記第 1 の堆積プロセスよりも小さな第 2 の平均粒径を形成する第 2 の堆積プロセスによって、前記第 1 の堆積プロセスに対して不純物レベルを高めることなく第 2 の導電材料を堆積させることと、

前記第 2 の導電材料及び非導電性表面を含む結合面をダイレクトハイブリッドボンディングのために調製することと、を含む方法。

【請求項 1 2 9】

前記第 1 の導電材料の不純物レベルは、前記第 2 の導電材料以上である、

請求項 1 2 8 に記載の方法。

【請求項 1 3 0】

前記第 2 の堆積プロセスは、前記第 2 の導電材料の結晶粒界に 20 パーツパーミリオン (ppm) 未満の不純物を導入することなく結晶粒成長を抑制するプロセスである、請求項 1 2 8 に記載の方法。

【請求項 1 3 1】

前記第 1 の堆積プロセスはめっきプロセスを含み、前記第 2 の堆積プロセスは蒸着プロセスを含む、請求項 1 2 8 に記載の方法。

【請求項 1 3 2】

前記めっきプロセスは、 $2 \text{ amp} / \text{dm}^2$ を上回る電流密度を使用する、

請求項 1 3 1 に記載の方法。

【請求項 1 3 3】

前記第 1 の堆積プロセスは、第 1 の電流密度を用いためっきを含み、前記第 2 の堆積プロセスは、前記第 1 の電流密度よりも高い第 2 の電流密度を用いためっきを含む、請求項 1 2 8 に記載の方法。

【請求項 1 3 4】

前記第 1 の堆積プロセスはめっきを含み、前記第 2 の堆積プロセスは蒸着を含む、請求項 1 2 8 に記載の方法。

【請求項 1 3 5】

前記第 1 の導電材料及び前記第 2 の導電材料は主に銅を含む、

請求項 1 2 8 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願との相互参照〕

本出願は、2021 年 12 月 17 日に出願された「ダイレクトボンディングのための導電性フィーチャを有する構造及びその形成方法 (STRUCTURE WITH CONDUCTIVE FEATURE FOR DIRECT BONDING AND METHOD OF FORMING SAME)」という名称の米国仮特許出願第 63 / 291, 285 号に対する優先権を主張するものであり、この文献の内容はその全体が引用により本明細書に組み入れられる。

【0002】

10

20

30

40

50

本分野は、ダイレクトボンディングのための構造及び方法に関し、具体的には導電性フィーチャ及び非導電性フィーチャの両方のハイブリッドダイレクトボンディングに関する。

【背景技術】

【0003】

集積デバイスダイ又はチップなどの半導体素子は、他の素子上に実装又は積層することができる。例えば、半導体素子は、インターポーザ、再構成ウェハ又は素子などのキャリアに実装することができる。別の例として、半導体素子を別の半導体素子上に積層することもでき、例えば第1の集積デバイスダイを第2の集積デバイスダイ上に積層することができる。各半導体素子は、半導体素子を互いに機械的及び電氣的に結合するための導電パッドを有することができる。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

はんだなどの介在接着剤を使用せずに素子を互いに直接結合することには多くの利点がある。しかしながら、導電性領域及び非導電性領域の両方のダイレクトハイブリッドボンディングは困難である。従って、ダイレクトボンディングにおいて使用される導電パッドなどの導電性フィーチャを形成するための改善された方法が継続的に必要とされている。

【課題を解決するための手段】

【0005】

以下、限定ではなく一例として示す下記図面を参照しながら具体的な実装について説明する。

20

【図面の簡単な説明】

【0006】

【図1A】ダイレクトハイブリッドボンディング前の2つの素子の概略的断面側面図である。

【図1B】図1Aに示す2つの素子のダイレクトハイブリッドボンディング後の概略的断面側面図である。

【図2A】互いに結合された2つの比較的小型の結晶粒の導電性フィーチャの断面走査型電子顕微鏡（SEM）画像である。

30

【図2B】互いに結合された導電性フィーチャセット及び互いに結合されていない導電性フィーチャセットの断面SEM画像である。

【図2C】小領域のみで結合した大量の不純物を含む2つの微細銅パッドの断面SEM画像である。

【図3A】ある実施形態による結合構造の製造工程のステップを示す図である。

【図3B】ある実施形態による結合構造の製造工程のステップを示す図である。

【図3C】ある実施形態による結合構造の製造工程のステップを示す図である。

【図3D】ある実施形態による結合構造の製造工程のステップを示す図である。

【図3E】ある実施形態による結合構造の製造工程のステップを示す図である。

【図4A】別の実施形態による結合構造の製造工程のステップを示す図である。

40

【図4B】別の実施形態による結合構造の製造工程のステップを示す図である。

【図4C】別の実施形態による結合構造の製造工程のステップを示す図である。

【図4D】別の実施形態による結合構造の製造工程のステップを示す図である。

【図4E】別の実施形態による結合構造の製造工程のステップを示す図である。

【図4F】別の実施形態による結合構造の製造工程のステップを示す図である。

【図5】ある実施形態による、第1の導電材料36及び第2の導電材料38を含む導電性フィーチャ42を概略的に示すために生成した画像である。

【図6】別の実施形態による、第1の導電材料36及び第2の導電材料38を含む導電性フィーチャ62を概略的に示すために生成した画像である。

【発明を実施するための形態】

50

【0007】

本開示では、結合面又はその付近に小型の結晶粒（grains）を有し、小型の結晶粒の下に大型の結晶粒を有する導電性フィーチャの形成方法について説明する。異なるサイズの結晶粒を有するこのような導電性フィーチャは、ダイレクトハイブリッドボンディングなどの直接金属結合に有利であることができる。例えば、2又は3以上の（集積デバイスダイ、ウェハなどの）半導体素子を互いに積層又は結合して結合構造を形成することができる。1つの素子の導電性コンタクトパッドは、別の素子の対応する導電性コンタクトパッドに電氣的に接続することができる。結合構造では、いずれかの好適な数の素子を積層することができる。本明細書で説明する方法及びボンドパッド構造は、他の文脈でも同様に有用であることができる。

10

【0008】

本明細書に開示する様々な実施形態は、介在接着剤を使用せずに2又は3以上の素子を互いに直接結合できる直接結合構造に関する。図1A及び図1Bに、いくつかの実施形態による、介在接着剤を使用せずに直接的にハイブリッド結合された構造を形成するプロセスを概略的に示す。図1A及び図1Bでは、結合構造100が、介在接着剤を使用せずに結合界面118において互いに直接結合できる2つの素子102及び104を含む。結合構造100を形成するには、2又は3以上の（例えば、集積デバイスダイ、ウェハ、受動デバイス、電力スイッチなどの個々の能動デバイスなどを含む半導体素子などの）マイクロ電子素子102及び104を互いに積層又は結合することができる。第1の素子102の導電性フィーチャ106a（例えば、コンタクトパッド、ビア（例えば、TSV）の露出端、又は基板貫通電極）は、第2の素子104の対応する導電性フィーチャ106bに電氣的に接続することができる。結合構造100では、いずれかの好適な数の素子を積層することができる。例えば、第2の素子104上に第3の素子（図示せず）を積層し、第3の素子上に第4の素子（図示せず）を積層することなどができる。これに加えて又は代えて、第1の素子102に沿って1又は2以上のさらなる素子（図示せず）を互いに横方向に隣接して積層することもできる。いくつかの実施形態では、横方向に積層されるさらなる素子が第2の素子よりも小さいことができる。いくつかの実施形態では、横方向に積層されるさらなる素子が第2の素子よりも2倍小さいことができる。

20

【0009】

いくつかの実施形態では、素子102及び104が、接着剤を使用せずに互いに直接結合される。様々な実施形態では、非導電材料又は誘電材料を含む非導電領域が第1の素子102の第1の結合層108aとして機能することができ、この第1の結合層108aを、第2の素子104の第2の結合層108bとして機能する非導電材料又は誘電材料を含む対応する非導電領域に、接着剤を使用せずに直接結合することができる。非導電性結合層108a及び108bは、素子102、103の半導体（例えば、シリコン）部分などのデバイス部分110a及び110bのそれぞれの表側114a及び114bに配置することができる。能動デバイス及び／又は回路は、デバイス部分110a及び110b内又はデバイス部分110a及び110b上にパターン化し、及び／又は別様に配置することができる。能動デバイス及び／又は回路は、デバイス部分110a、110bの表側114a、114b又はその付近、及び／又はデバイス部分110a、110bの反対の裏側116a、116b又はその付近に配置することができる。結合層は、素子の表側及び／又は裏側に施すことができる。非導電材料は、第1の素子102の非導電性結合領域又は結合層108aと呼ぶことができる。いくつかの実施形態では、誘電体－誘電体ボンディング技術を使用して、第1の素子102の非導電性結合層108aを第2の素子104の対応する非導電性結合層108bに直接結合することができる。例えば、少なくとも米国特許第9、564、414号、第9、391、143号及び第10、434、749号に開示されているダイレクトボンディング技術を使用して、接着剤を使用せずに非導電性結合又は誘電体－誘電体結合を形成することができる。なお、様々な実施形態では、結合層108a及び／又は108bが、酸化シリコンなどの誘電材料又はアンドープ型シリコンなどのアンドープ型半導体材料などの非導電材料を含むことができると理解されたい

30

40

50

。ダイレクトボンディングのための好適な誘電結合面又は材料としては、以下に限定するわけではないが、酸化シリコン、窒化シリコン、又は酸窒化シリコンなどの無機誘電体、或いは炭化シリコン、酸窒化シリコン、低K誘電材料、SiCOH誘電体、炭窒化シリコン、又はダイヤモンド状炭素などの炭素、或いはダイヤモンド表面を含む材料を挙げることができる。このような炭素含有セラミック材料は、炭素を含んでいるにもかかわらず無機物とみなすことができる。いくつかの実施形態では、誘電材料が、エポキシ、樹脂又は成形材料などのポリマー材料を含まない。

【0010】

いくつかの実施形態では、デバイス部分110a及び110bが、異種構造を定める有意に異なる熱膨張係数(thermal expansion:CTE)を有することができる。デバイス部分110a及び110b間の、とりわけ典型的にはデバイス部分110a、110bの単結晶部分であるバルク半導体間のCTE差は、5ppm又は10ppmよりも大きいことができる。例えば、デバイス部分110a及び110b間のCTE差は、5ppm~100ppm、5ppm~40ppm、10ppm~100ppm、又は10ppm~40ppmの範囲内であることができる。いくつかの実施形態では、デバイス部分110a及び110bの一方が、光圧電用途又は焦電用途に有用なペロブスカイト材料(perovskite materials)を含む光電子単結晶材料を含み、デバイス部分110a、110bの他方が、より従来の基板材料を含むことができる。例えば、デバイス部分110a、110bの一方は、タンタル酸リチウム(LiTaO₃)又はニオブ酸リチウム(LiNbO₃)を含み、デバイス部分110a、110bの他方は、シリコン(Si)、石英、石英ガラス、サファイア、又はガラスを含む。他の実施形態では、デバイス部分110a、110bの一方が、ガリウムヒ素(GaAs)又は窒化ガリウム(GaN)などのIII-V族単一半導体材料を含み、デバイス部分110a、110bの他方が、シリコン(Si)などの非III-V族半導体材料、或いは石英、石英ガラス、サファイア又はガラスなどの、同様のCTEを有する他の材料を含むことができる。

【0011】

様々な実施形態では、介在接着剤を使用せずにダイレクトハイブリッドボンドを形成することができる。例えば、非導電性結合面112a及び112bを高度に滑らかに研磨することができる。結合面112a及び112bを洗浄し、プラズマ及び／又はエッチャントに曝して表面112a及び112bを活性化することができる。いくつかの実施形態では、活性化後又は活性化中(例えば、プラズマ及び／又はエッチングプロセス中)に表面112a及び112bを化学種で終端させることができる。理論によって制限されるわけではないが、いくつかの実施形態では、結合面112a及び112bにおける化学結合を切断するために活性化プロセスを実行することができ、終端プロセスは、ダイレクトボンディング中の結合エネルギーを高めるさらなる化学種を結合面112a及び112bにおいて提供することができる。いくつかの実施形態では、活性化及び終端化が、例えばプラズマで表面112a及び112bを活性化して終端化することなどの同じステップで行われる。他の実施形態では、ダイレクトボンディングのためのさらなる化学種をもたらすように結合面112a及び112bを別の処理で終端させることもできる。様々な実施形態では、終端化化学種(terminating species)が窒素を含むことができる。例えば、いくつかの実施形態では、(単複の)結合面112a、112bを窒素含有プラズマに曝すことができる。さらに、いくつかの実施形態では、結合面112a、112bをフッ素に曝すことができる。例えば、第1及び第2の素子102、104間の結合界面118又はその付近には、1又は2以上のフッ素ピークが存在することができる。従って、ダイレクトボンディング構造100では、2つの非導電材料(例えば、結合層108a及び108b)間の結合界面118が、結合界面118における窒素含有量及び／又はフッ素ピークが高い非常に滑らかな界面を含むことができる。活性化処理及び／又は終端化処理のさらなる例は、米国特許第9,564,414号、第9,391,143号、及び第10,434,749号に記載されており、これらの各文献の内容はその全体が

10

20

30

40

50

全ての目的で引用により本明細書に組み入れられる。

【0012】

様々な実施形態では、第1の素子102の導電性フィーチャ106aを、第2の素子104の対応する導電性フィーチャ106bに直接結合することもできる。例えば、ダイレクトハイブリッドボンディング技術を使用して、上述したように調製された共有結合的に直接結合された非導電体-非導電体（例えば、誘電体-誘電体）表面を含む結合界面118に沿って導体-導体ダイレクトボンディングを提供することができる。様々な実施形態では、導体-導体（例えば、導電性フィーチャ106a-導電性フィーチャ106b）ダイレクトボンド及び誘電体-誘電体ハイブリッドボンドを、少なくとも米国特許第9,716,033号及び第9,852,988号に開示されているダイレクトボンディング技術を使用して形成することができ、これらの各文献の内容はその全体が全ての目的で引用により本明細書に組み入れられる。本明細書で説明するダイレクトハイブリッドボンディングの実施形態では、導電性フィーチャが非導電結合層内に設けられ、導電性フィーチャ及び非導電性フィーチャの両方が上述した平坦化処理、活性化処理及び／又は終端化処理などによってダイレクトボンディングのために調製される。従って、ダイレクトボンディングのために調製される結合面は、導電性フィーチャ及び非導電性フィーチャの両方を含む。

10

【0013】

例えば、非導電性（例えば、誘電性）結合面112a、112b（例えば、無機誘電体表面）は、上述したように調製して、介在接着剤を使用せずに互いに直接結合することができる。導電性接触フィーチャ（例えば、結合層108a、108b内の非導電性誘電体領域によって少なくとも部分的に取り囲むことができる導電性フィーチャ106a、106b）も、介在接着剤を使用せずに互いに直接結合することができる。様々な実施形態では、導電性フィーチャ106a、106bが、非導電体領域に少なくとも部分的に埋め込まれた離散パッド又はトレースを含むことができる。いくつかの実施形態では、導電性接触フィーチャが、基板貫通ビア（例えば、シリコン貫通ビア（TSV））の露出した接触面を含むことができる。いくつかの実施形態では、それぞれの導電性フィーチャ106a及び106bを、誘電体領域又は非導電性結合層108a及び108bの外表面（例えば、上面）（非導電性結合面112a及び112b）から下方に、例えば30nm未満、20nm未満、15nm未満、又は10nm未満だけ、例えば2nm~20nmの範囲内、又は4nm~10nmの範囲内で凹ませることができる。様々な実施形態では、ダイレクトボンディングの前に、対向する素子の凹部を、対向するコンタクトパッド間の総間隙が15nm未満又は10nm未満になるようにサイズ決めすることができる。いくつかの実施形態では、非導電性結合層108a及び108bを室温で接着剤を使用せずに互いに直接結合し、その後結合構造100をアニール処理することができる。導電性フィーチャ106a及び106bは、アニール処理すると膨張して互いに接触し、金属-金属ダイレクトボンディングを形成することができる。カリフォルニア州サンノゼのAdelia社から市販されているDirect Bond Interconnect又はDBI（登録商標）技術を使用することで、ダイレクトボンド界面118を横切る高密度の導電性フィーチャ106a及び106bの接続（例えば、規則的アレイのための小さな又は微細なピッチ）を有利に可能にすることができる。いくつかの実施形態では、結合された素子の一方の結合面に埋め込まれた導電性トレースなどの導電性フィーチャ106a及び106bのピッチが、100ミクロン未満、又は10ミクロン未満、或いは2ミクロン未満であることができる。いくつかの用途では、ボンディングパッドの寸法のうちの1つ（例えば、直径）に対する導電性フィーチャ106a及び106bのピッチの比率が20未満、又は10未満、又は5未満、又は3未満であり、場合によっては2未満であることが望ましい。他の用途では、結合された素子のうちの1つの素子の結合面に埋め込まれた導電性トレースの幅が、例えば0.3~3ミクロンなど、0.3~20ミクロンに及ぶことができる。様々な実施形態では、導電性フィーチャ106a及び106b及び／又はトレースが銅又は銅合金を含むことができるが、他の金属が適することもある。例えば、導電性フィーチャ

20

30

40

50

ャ 1 0 6 a 及び 1 0 6 b などの本明細書に開示する導電性フィーチャは、微細粒金属 (fine-grain metal) (例えば、微細粒銅) を含むことができる。

【0014】

このように、ダイレクトボンディングプロセスでは、介在接着剤を使用せずに第 1 の素子 1 0 2 を第 2 の素子 1 0 4 に直接結合することができる。いくつかの構成では、第 1 の素子 1 0 2 が、シングュレートされた集積デバイスダイなどのシングュレートされた素子を含むことができる。他の構成では、第 1 の素子 1 0 2 が、シングュレーション時に複数の集積デバイスダイを形成する複数 (例えば、数十、数百、又はそれよりも多く) の素子領域を含むキャリア又は基板 (例えば、ウェハ) を含むことができる。同様に、第 2 の素子 1 0 4 も、シングュレートされた集積デバイスダイなどのシングュレートされた素子を含むことができる。他の構成では、第 2 の素子 1 0 4 がキャリア又は基板 (例えば、ウェハ) を含むことができる。従って、本明細書に開示する実施形態は、ウェハーウェハ (W 2 W)、ダイーダイ (D 2 D)、又はダイーウェハ (D 2 W) ボンディングプロセスに適用することができる。ウェハーウェハ (W 2 W) プロセスでは、2 又は 3 以上のウェハを互いに直接結合 (例えば、ダイレクトハイブリッドボンディング) し、好適なシングュレーションプロセスを使用してシングュレートすることができる。シングュレーション後には、シングュレートされた構造の側縁部 (例えば、2 つの結合された素子の側縁部) が実質的に同一平面上に存在し、結合構造の共通シングュレーションプロセスを示すマーキング (例えば、鋸シングュレーションプロセス (saw singulation process) が使用される場合には鋸マーキング) を含むことができる。

10

20

【0015】

本明細書で説明したように、第 1 及び第 2 の素子 1 0 2、1 0 4 は接着剤を使用せずに互いに直接結合することができ、これは堆積プロセスとは異なり、堆積と比べて構造的に異なる界面をもたらす。1 つの用途では、結合構造における第 1 の素子 1 0 2 の幅が第 2 の素子 1 0 4 の幅と同様である。他のいくつかの実施形態では、結合構造 1 0 0 における第 1 の素子 1 0 2 の幅が第 2 の素子 1 0 4 の幅と異なる。同様に、結合構造における大きい方の素子の幅又は面積は、小さい方の素子の幅又は面積よりも少なくとも 1 0 % 大きいことができる。従って、第 1 及び第 2 の素子 1 0 2 及び 1 0 4 は非堆積素子を含むことができる。さらに、直接結合構造 1 0 0 は、堆積層とは異なり、ナノメートルスケールの空隙 (ナノボイド) が存在する欠陥領域を結合界面 1 1 8 に沿って含むことがある。ナノボイドは、結合面 1 1 2 a 及び 1 1 2 b の活性化 (例えば、プラズマへの曝露) に起因して形成されることがある。上述したように、結合界面 1 1 8 は、活性化及び／又は最後の化学処理プロセスからの材料の濃度を含むことができる。例えば、活性化に窒素プラズマを利用する実施形態では、結合界面 1 1 8 に窒素ピークが形成されることがある。窒素ピークは、二次イオン質量分析 (SIMS) 技術を使用して検出することができる。様々な実施形態では、例えば (例えば、結合面を窒素含有プラズマに曝す) 窒素終端化処理が、加水分解 (OH 終端) 面の OH 基を NH₂ 分子に置換して窒素終端面をもたらすことができる。活性化に酸素プラズマを利用する実施形態では、結合界面 1 1 8 に酸素ピークが形成されることがある。いくつかの実施形態では、結合界面 1 1 8 が酸窒化シリコン、酸炭窒化シリコン、又は炭窒化シリコンを含むことができる。本明細書で説明するように、直接結合は、ファンデルワールス結合 (van Der Waals bonds) よりも強い共有結合を含むことができる。結合層 1 0 8 a 及び 1 0 8 b は、高度に滑らかに平坦化された研磨表面を含むこともできる。

30

40

【0016】

様々な実施形態では、導電性フィーチャ 1 0 6 a 及び 1 0 6 b 間の金属-金属結合を、金属粒が結合界面 1 1 8 を横切って互いに成長するように接合することができる。いくつかの実施形態では、金属が銅であり又は銅を含み、結合界面 1 1 8 を横切る銅の拡散を向上させるように大部分が 1 1 1 結晶面に沿って配向された結晶粒を有することができる。いくつかの実施形態では、導電性フィーチャ 1 0 6 a 及び 1 0 6 b が、アニール処理中に導電性フィーチャの融合を支援できるナノ双晶銅粒構造 (nanotwinned co

50

pper grain structure) を含むことができる。結合界面 118 は、結合された導電性フィーチャ 106a 及び 106b 又はその付近の非導電性結合層 108a 及び 108b 間に実質的に間隙が存在しないように、結合された導電性フィーチャ 106a 及び 106b の少なくとも一部まで実質的に完全に延びることができる。いくつかの実施形態では、導電性フィーチャ 106a 及び 106b の下方に、及び／又はこれらを横方向に取り囲む（例えば、銅を含むことができる）バリア層を施すことができる。しかしながら、他の実施形態では、例えば米国特許第 11, 195, 748 号に記載されるように、導電性フィーチャ 106a 及び 106b の下方にバリア層が存在しないこともでき、この文献はその全体が全ての目的で引用により本明細書に組み入れられる。

【0017】

本明細書で説明するハイブリッドボンディング技術の使用は、隣接する導電性フィーチャ 106a 及び 106b 間の極めて微細なピッチ、及び／又は小さなパッドサイズを可能にできるという利点を有する。例えば、様々な実施形態では、隣接する導電性フィーチャ 106a（又は 106b）間のピッチ p（すなわち、図 1A に示すような端部間又は中心間距離）が、0.5 ミクロン～50 ミクロン、0.75 ミクロン～25 ミクロン、1 ミクロン～25 ミクロン、1 ミクロン～10 ミクロン、又は 1 ミクロン～5 ミクロンの範囲内であることができる。さらに、主要横寸法（例えば、パッド直径）も、例えば 0.25 ミクロン～30 ミクロン、0.25 ミクロン～5 ミクロン、又は 0.5 ミクロン～5 ミクロンの範囲内のように小さくすることができる。

【0018】

上述したように、非導電性結合層 108a、108b は、接着剤を使用せずに互いに直接結合することができ、その後に結合構造 100 をアニール処理することができる。導電性フィーチャ 106a、106b は、アニール処理すると膨張して互いに接触し、金属－金属ダイレクトボンディングを形成することができる。いくつかの実施形態では、導電性フィーチャ 106a、106b の材料がアニールプロセス中に相互拡散（interdiffuse）することができる。

【0019】

導電性フィーチャの粒径は、導電性フィーチャと別の導電性フィーチャ（例えば、導電性フィーチャ 106a、106b）との間の結合強度に影響を与えることができる。いくつかの実施形態では、導電性フィーチャが、銅コンタクトパッド又はラインなどの金属フィーチャを含むことができる。比較的小型の結晶粒を有する導電性フィーチャはエネルギー的に不安定な場合があり、結晶粒は時間と共に平衡に向かうことができる。従って、比較的小型の粒径を有する導電性フィーチャは、最低限の熱の付与でも比較的高い結合強度で互いに結合することができ、比較的小型の粒径との直接結合ではより低いアニール温度を達成することができる。所与のアニール温度では、このような比較的小型の粒径を有する導電性フィーチャ間の結合強度が、単結晶粒又は大型結晶粒の導電性フィーチャ間の結合強度よりも大きい。実際には、図 2B の右側のフィーチャに示すように、金属フィーチャの表面を横切る単結晶粒が完全に結合を防ぐ場合がある。いくつかの実施形態では、結合される導電性フィーチャが、いずれも比較的小型の結晶粒の導電性フィーチャを含むことができる。他のいくつかの実施形態では、導電性フィーチャの一方が比較的小型の結晶粒の導電性フィーチャを含み、導電性フィーチャの他方が、結合面に複数の結晶粒界（grain boundaries）を有する大型の結晶粒の導電性フィーチャを有することができる。相互拡散による小型結晶粒の導電性フィーチャ間の結合は、十分に信頼できる金属－金属結合をもたらすことができるのに対し、所与のアニール温度での相互拡散による単結晶粒又は大型結晶粒の導電性フィーチャ間の結合は、信頼できる導体－導体（例えば、金属－金属）結合をもたらさないことがある。結晶粒界における不純物は、結晶粒の移動及び結合を抑制又は阻害することがある。従って、結合界面付近では最低限の不純物が好ましいと考えられる。例えば、本明細書に開示する様々な実施形態では、結合界面又はその付近における導電材料の結晶粒界が、1 ppm 又は 3 ppm の不純物などの 20 パーツパーミリオン（ppm）未満の不純物を有することができる。いくつかの実施形態

10

20

30

40

50

では、結合界面又はその付近における導電材料の結晶粒界が、1 ppm~20 ppm、5 ppm~20 ppm、1 ppm~15 ppm、又は5 ppm~15 ppmの不純物を有することができる。不純物は、例えば二次イオン質量分析 (SIMS) スキャニング技術を使用して測定することができる。例えば、飛行時間型 SIMS (TOF-SIMS) を使用して、様々な元素の濃度を、境界を含む結晶粒構造に対してマッピングすることができる。導電材料の結晶方位は、例えば電子後方散乱回折 (EBSD) 法を使用して決定することができる。導電材料の結晶粒界構造は、例えば高分解能透過型電子顕微鏡 (HRTEM) 法などの電子顕微鏡 (EM) 法を使用して決定することができる。決定された導電材料の構造に基づいて、特定の不純物を含むサイト数を推定することができる。

【0020】

一般に、結合界面付近の粒径は、(結合前の) 導電性フィーチャの表面又は導電性フィーチャの断面図で観察することができる。1つの目的は、対向する素子上の導電性フィーチャの結晶粒界が互いに交わることを可能にして、可動性、従ってダイレクトボンディングを促すことであるため、粒径は、結合すべき導電性フィーチャの横方向サイズに関して測定することができる。従来通りに処理された基板では、ピッチ及び導電性フィーチャ (例えば、ボンディングパッド、ビア、トレース、又はTSV) の横寸法が代々の集積回路 (IC) において小さくなるにつれて、フィーチャの割合としての粒径が (例えば、竹粒構造 (bamboo grain structures) のように) 大きくなり、ハイブリッドダイレクトボンディング時に粒界が互いに交わる可能性が低くなる。小型の結晶粒は、従来の処理、及び／又は直接結合界面における複数の結晶粒又は亜結晶粒で構成された導電性フィーチャの横寸法と比較して、導電性フィーチャのダイレクトボンディングを促す移動度にとって有利となり得る。結合界面に複数の結晶粒を提示することで、たとえ今日のICで採用される比較的小型の導電性フィーチャサイズ、及びさらに小型になると予想される将来の導電性フィーチャサイズであっても、対向する素子からの結晶粒界が交わる見込み又は確率が高まる。従って、結合界面に小型の結晶粒を有することで、結合界面に存在する結晶粒の数が多くなり、結合界面にもたらす結晶粒界の数が少ない (例えば、単結晶粒) 大型の結晶粒を結合界面に有する場合と比べて結合を形成する見込み又は確率が高まる。本明細書で説明する実施形態のボンディングパッド、ビア (例えば、TSV)、トレース又は貫通基板電極などの導電性フィーチャは、約0.01 µm~15 µm、約0.1 µm~10 µm、約0.5 µm~8 µm、約2 µm~5 µm、約1 µm~3 µm、又は約0.01 µm~1 µmの範囲内の最大横寸法を有することができる。比較的小型の高ピッチボンダパッドの例は、例えば約7 µm²よりも狭い結合界面に導電性フィーチャの露出面積全体を有することができる。

【0021】

結合前のハイブリッドダイレクトボンダ界面の一部を形成する導電性フィーチャの上面における粒径について説明する。従って、ハイブリッドダイレクトボンダ界面の一部を形成する導電性フィーチャの上面における粒径は、結合前に別の素子の対応する接触面に接触するように構成される導電性フィーチャの接触面の20%未満、10%未満、5%未満、又は2%未満であることができる。これらの割合は、平均粒径又は最大粒径を導電性フィーチャサイズで除算することによって計算することができ、粒径及びフィーチャサイズは、いずれも例えば垂直断面などの横 (例えば、x又はy) 寸法 (直線横寸法 (linear lateral dimension)) において直線的に測定される。面積に関して言えば、結合前の (結合界面において横方向に測定される) 界面結晶粒は、2000 nm²未満、1000 nm²未満、500 nm²未満、300 nm²未満、又は180 nm²未満であることができる。このような比較的小型の結晶粒によってもたらされる導電性フィーチャは、結合面において3~20個、3~15個、又は4~8個の結晶粒を露出させ、2つの直接結合された導電性フィーチャ間の結合界面において結晶粒界が交わる可能性を最大化することができる。結合界面における結晶粒の結合前の最大横寸法は、200 nm未満、100 nm未満、50 nm未満、25 nm未満、20 nm未満、又は15 nm未満であることができる。

10

20

30

40

50

【0022】

結合後のハイブリッドダイレクトボンド界面の一部を形成する導電性フィーチャの上面における粒径について説明する。界面粒径は、結合後の導電性フィーチャの接触面の30%未満、20%未満、又は15%未満であることができ、この割合は導電性フィーチャを拡大して接触させるアニールを含むことができ、結合前の粒径と比べると粒径を増大させる傾向にあるが、後述するように従来の大量製造によって生じるアニール後の粒径と比べると小さなままである。結合前の比較と同様に、これらの割合は、平均粒径又は最大粒径を導電性フィーチャサイズで除算することによって計算することができ、粒径及びフィーチャサイズは、いずれも例えば垂直断面などの横（例えば、x又はy）寸法において直線的に測定される。（垂直断面図で横方向に測定される）界面粒径は、例えば結晶粒のサイズが結合後に71000nm²未満、50000nm²未満、20000nm²未満、10000nm²未満、又は8000nm²未満であることを意味することができる。

10

【0023】

従来の大量製造プロセス（例えば、ボトムアップめっき）を使用して製造された導電性フィーチャの粒径は比較的大きくなり得る。導電性フィーチャの大部分がこのような大型の粒径を有することは、このような粒径が小型の粒径よりも安定しており、より良好な導電度及び信号速度を示すことができ、電子移動が少ないため有利となり得る。しかしながら、上述したように、このような大型の結晶粒はダイレクトボンド界面では不利な場合がある。小型の結晶粒界を達成する1つの方法は、めっきプロセス中に結晶粒成長を抑制する不純物を採用することである。しかしながら、このようなプロセスは、とりわけ結晶粒界に高濃度の不純物を取り込んでしまい、結合界面における導電材料の移動度に別の障害が生じる恐れがある。このような従来のプロセスを使用して、不純物を含まない比較的小型の粒径の導電性フィーチャを形成することは困難である。また、小型の結晶粒のみを含む比較的大型の導電性フィーチャを形成するには時間がかかり、経済的に非効率的であり、安定性及び導電性に悪影響を及ぼす恐れもある。さらに、小型の結晶粒のみを含む比較的大型の導電性フィーチャを形成すると、導電性フィーチャ内に望ましくない空隙が形成される恐れもある。

20

【0024】

一般に、めっきされた導電材料（例えば、銅）内の不純物は、例えば炭素、酸素、窒素、硫黄を含むことができる。不純物は、例えば、コンタクトパッドの導電材料（例えば、銅）と共に合金を形成しない非合金不純物を含むことができる。他の例では、不純物が酸化シリコン粒子又は炭化シリコンを含むことができる。

30

【0025】

図2Aは、互いに結合された2つの導電性フィーチャ（第1の導電性フィーチャ10及び第2の導電性フィーチャ12）の断面画像である。図2Aの画像における第1及び第2の導電性フィーチャ10、12は、結合界面に複数の重なり合った結晶粒界を有する微細粒銅（Cu）を含む。微細粒金属は、15nm未満、20nm未満、50nm未満、100nm未満、200nm未満、300nm未満、又は500nm未満の平均粒幅を有する金属として定義することができる。例えば、微細粒金属中の結晶粒の最大幅は、10nm～500nm、10nm～300nm、15nm～500nm、15nm～300nm、15nm～100nm、15nm～50nm、50nm～500nm、50nm～300nm、又は100nm～300nmの範囲内であることができる。いくつかの実施形態では、微細粒金属中のほとんどの結晶粒が、10nm～500nm、10nm～300nm、15nm～500nm、15nm～300nm、15nm～100nm、15nm～50nm、50nm～500nm、50nm～300nm、又は100nm～300nmの範囲の幅を有することができる。あるプロセス例では、微細粒銅が、毎分約0.28μmのめっき速度でめっきしたものである。図2Aには、第1及び第2の導電性フィーチャ10、12の数多くの結晶粒が第1及び第2の導電性フィーチャ10、12間の結合界面と交わっていることを示しており、このことは、第1及び第2の導電性フィーチャ10、12間の信頼できるダイレクトボンディングの提供に寄与することができる。

40

50

【0026】

図2Bは、互いに結合された導電性フィーチャ14a、16a、及び互いに結合されていない導電性フィーチャ14b、16bの断面画像である。導電性フィーチャ14a、14b、16a、16bの結晶粒は、全体的なフィーチャサイズに比べて比較的大型である（例えば、フィーチャの表面における結晶粒界の数が限られている）。図2Bには、導電性フィーチャ14b、16bが互いに結合するように調製されていたことを示す。しかしながら、導電性フィーチャ14b、16bは互いに結合しなかった。図2Bに示す構造は、導電性フィーチャ14bの結合界面のほぼ全体にわたって延びる又は広がる導電性フィーチャ14bの結晶粒が金属-金属結合の形成を妨げていることを示すことができる。従って、導電性フィーチャ14b、16b間には、結合するのに十分な結晶粒界の重なりが存在しない。このことは、導電性フィーチャのフィーチャサイズ又は結合界面に比べて粒径が大きなフィーチャでは、金属フィーチャが結合しない確率が高くなり得ることを示す。従って、比較的多くの数の結合フィーチャのアレイではこれらのうちのいくつかは結合せず、従って歩留まりが低下する。

10

【0027】

図2Cは、狭い点領域のみにおいて互いに結合された大量の不純物を含む微細銅パッド18、20の断面画像である。本明細書で説明したように、比較的小型の結晶粒（例えば、微細粒）をもたらす1つの方法は、めっきプロセス中に結晶粒の成長を抑制する不純物を導入することである。図2Cは、図2Aの第1及び第2の導電性フィーチャ10、12よりも微細な銅パッド18、20間の結合の信頼度が低いことを示す。

20

【0028】

本明細書に開示する様々な実施形態は、過度の不純物又は空隙を伴わずに結合面又はその付近に比較的小型の結晶粒を含む導電性フィーチャを形成する方法に関する。様々な実施形態によれば、導電性フィーチャは、2又は3以上の異なるプロセスを使用して形成することができる。1つの例では、めっきプロセス及び蒸着プロセスを使用して導電性フィーチャを形成することができる。別の例では、第1の速度での第1のめっきプロセス、及び（例えば、より高い電流密度を使用する）第2の速度での第2のめっきプロセスを使用して導電性フィーチャを形成することができる。さらに別の例では、第1の導体形成プロセスによって導電性フィーチャの大部分がもたらされ、アニール処理によってさらに大型で安定した結晶粒が形成され、第2の導体形成プロセスによって導電性フィーチャの表面がもたらされ、形成プロセスと結合プロセスとの間にアニール処理は行われず。本明細書で教示する方法は、結合界面付近に小型の結晶粒を形成し、界面からさらに離れた場所に大型の結晶粒を形成することができるが、界面付近の結晶粒界に過剰な添加剤を伴わない。

30

【0029】

比較的小型の結晶粒は時間と共に成長し得るので、導電性フィーチャ（第1の導電性フィーチャ）を他の導電性フィーチャ（第2の導電性フィーチャ）に比較的素早く結合することが有利となり得る。例えば、第1の導電性フィーチャ及び第2の導電性フィーチャを形成してから1～2週間以内に第1の導電性フィーチャ及び第2の導電性フィーチャを結合すれば、金属-金属ダイレクトボンドの成功可能性を最大化することができる。製造後のチップ又はウェハを長期（例えば、6ヶ月又は1年）にわたって保存すると、恐らくは大型の粒径のクリープ速度が低下し、又は導電性フィーチャにおいて交わる結晶粒界が減少することに起因して、大型の結晶粒が成長して大型の粒径が金属-金属結合を阻害する傾向にある。

40

【0030】

図3A～図3Eに、ある実施形態による結合構造30を製造する製造工程の様々なステップを示す。図3Aにおいて、非導電性構造34にキャビティ32を形成することができる。いくつかの実施形態では、非導電性構造34をデバイス部分35上に配置することができる。図3Bにおいて、第1の堆積プロセスを使用してキャビティ32を第1の導電材料36で少なくとも部分的に満たすことができる。第1の導電材料36は銅を含むことが

50

できる。いくつかの実施形態では、第1の導電材料36を、（例えば、 1 cm^2 当たり30 mA未満の、さらに詳細には 1 cm^2 当たり15 mA未満の）比較的低い電流密度及び比較的低い堆積速度を使用するボトムアップ充填プロセスによってキャビティ32内にめっきすることができる。キャビティ32の側壁32は、第1の導電材料36によって完全に覆うことができる。いくつかの実施形態では、第2の導電材料38の堆積前に第1の導電材料36をアニール処理して、第1の導電材料36の結晶粒を成長させて安定化することができる。図示のように、キャビティ32を完全に満たす前に第1の堆積プロセスを停止することにより、キャビティ32に開口部40を残すことができる。

【0031】

図3Cにおいて、第2の堆積プロセスを使用して、キャビティ32内の第1の導電材料36上の開口部40に第2の導電材料38を提供することができる。第2の導電材料38は銅を含むことができる。いくつかの実施形態では、第2の導電材料38を、比較的低い添加剤濃度を使用して第1の堆積プロセスよりも高い堆積速度（高い電流密度）でめっきすることによって提供することができる。例えば、平方デシメートル（ASD）当たり約2アンペア又は $\text{amp s} / \text{dm}^2$ 以上などの比較的高い電流密度を採用して比較的微細な結晶粒を形成することができる。しかしながら、粗い又は多孔質の金属被覆を最小化するために、7 ASD又はめっき浴の物質移動限界（mass transfer limit）よりも高いような非常に高い電流密度は避けるべきである。いくつかの実施形態では、第1の堆積プロセスがめっきを含み、第2の堆積プロセスが化学蒸着（CVD）又は物理蒸着（PVD）などの蒸着を含む。異なるめっきプロセス又は蒸着プロセスのどちらによって形成されるかにかかわらず、第2の導電材料38の粒径は平均的に第1の導電材料36の粒径よりも観察可能なほど小さく、及び／又は第2の導電材料38では、結晶粒制御のためのめっき添加剤から存在するような不純物が第1の導電材料36と比べて観察可能なほど少ない。いくつかの実施形態では、第1の導電材料36が第2の導電材料38よりも多くの不純物を含むことができる。

【0032】

非導電性構造34の少なくとも一部及び第2の導電材料38の少なくとも一部を含む表面を研磨し、表面を処理して（例えば、活性化及び終端化して）素子（例えば、第1の素子30a）の結合面を定めることができる。いくつかの実施形態では、第2の導電材料38の表面が、非導電性構造34の表面と同一平面又は概ね同一平面であることができる。他のいくつかの実施形態では、上述したように、第2の導電材料38の表面を非導電性構造34の表面に対して凹ませることができる。第2の導電材料38の厚みは、導電性フィーチャ42（第1の導電材料36と第2の導電材料38との組み合わせ）の厚みの70%未満、30%未満、又は20%未満であることができる。いくつかの実施形態では、第2の導電材料38の厚みが30 nm～600 nmであることができ、第1の導電材料36の厚みが400 nm～5000 nmであることができる。

【0033】

図3Dにおいて、図3Cで形成された素子（第1の素子30a）を別の素子（第2の素子30b）に接触させることができる。第2の素子30bは、第1の素子30aと同一又は概ね同様の構造を有することができる。第1の導電材料36は、第2の導電材料38の形成前にアニール処理することができるが、第2の導電材料38は、結合前にアニール処理せず、或いは上述したような結合面に大型の結晶粒を有する第1の導電材料のアニール処理と比べて低い温度で及び／又は短い期間にわたってアニール処理することができる。第1の素子30aを室温で第2の素子30bに接触させると、第1の素子30aの非導電性構造34及び第2の素子30bの非導電性構造44が結合界面47に沿って互いに結合することができる。いくつかの実施形態では、非導電性構造44をデバイス部分45上に配置することができる。いくつかの実施形態では、第1の素子30aを室温で第2の素子30bに接触させると、第1の素子30aの第2の導電材料38及び第2の素子30bの（第3の導電材料46及び第4の導電材料48を含むことができる）導電性フィーチャ52が結合界面47に沿って互いに結合することができる。図3Eにおいて、非導電性フィ

ーチャ４２、５２の最初の室温での結合後に、接触した第１及び第２の素子３０ａ、３０ｂをアニール処理することができ、このような結合後のアニール処理によって導電性フィーチャが互いに膨張してハイブリッドボンディングが完了し、結合構造３０を形成することができる。いくつかの実施形態では、結合構造３０における第２の導電材料３８の粒径が、第１の導電材料３６の粒径よりも小さいままであることができる。

【００３４】

図４Ａ～図４Ｆに、ある実施形態による、結合構造６０を製造する製造工程の様々なステップを示す。図４Ａにおいて、非導電性構造３４にキャビティ３２を形成することができる。図４Ｂにおいて、第１の堆積プロセスを使用してキャビティ３２を第１の導電材料３６で満たすことができる。第１の導電材料３６は銅を含むことができる。いくつかの実施形態では、第１の導電材料３６を、（例えば、２アンペア／平方デシメートル（ＡＳＤ）未満の、さらに詳細には０．５ＡＳＤ未満又は３０ｍＡ／ｃｍ^２未満の、さらに詳細には１５ｍＡ／ｃｍ^２未満の）比較的低い電流密度及び比較的低い堆積速度を使用するボトムアップ充填プロセスによってキャビティ３２内にめっきすることができる。いくつかの実施形態では、キャビティ３２を完全に第１の導電材料３６で満たすことができる。通常は、キャビティ３２を過度に満たし、ＣＭＰプロセスを採用して非導電材料３４上から過度な導電材料を除去し、その後に過度な導電材料を除去又は平坦化して図４Ｂに示す構造を形成する。いくつかの実施形態では、第２の導電材料３８の堆積前に第１の導電材料３６の結晶粒を成長させて安定化させるために、第１の導電材料３６をアニール処理することができる。

【００３５】

図４Ｃにおいて、第１の導電材料３６の少なくとも一部を除去して開口部６４を定めることができる。いくつかの実施形態では、エッチング（例えば、ウェットエッチング）によって第１の導電材料３６を選択的に除去して、図２Ｃに示す第１の導電性フィーチャ３６に凹部又は開口部６４を形成することができる。いくつかの実施形態では、キャビティ３２の表面上に少なくとも部分的にバリア層（図示せず）を設けることができる。バリア層の形成後に第１の導電材料３６を提供して、キャビティ３２の表面と第１の導電材料３６との間にバリア層を介在させることができる。いくつかの実施形態では、バリア層を除去せずに第１の導電材料３６の一部を選択的に除去することができる。非導電材料３４のキャビティ３２内に配置された第１の導電材料３６の一部を除去することにより、凹部又は開口部６４を形成することができる。凹部を有する第１の導電材料３６は、結晶粒を拡大又は安定化させるためにアニール処理することができる。

【００３６】

図４Ｄにおいて、第２の堆積プロセスを使用して、キャビティ３２内の第１の導電材料３６上に第２の導電材料３８を提供することができる。第２の導電材料３８は銅を含むことができる。いくつかの実施形態では、第２の導電材料３８を、低い添加剤濃度を使用して第１の堆積プロセスよりも高い堆積速度（高い電流密度）でめっきすることによって提供することができる。例えば、約２ＡＳＤ以上などの比較的高い電流密度を採用して比較的微細な結晶粒を形成することができる。しかしながら、非常に高い電流密度での堆積は材料を粗く又は多孔質にする恐れがあるため、７ＡＳＤ又は１０ＡＳＤを上回るような非常に高い電流密度は好ましくない場合がある。いくつかの実施形態では、第１の堆積プロセスがめっきを含み、第２の堆積プロセスが化学蒸着（ＣＶＤ）又は物理蒸着（ＰＶＤ）などの蒸着を含む。異なるめっきプロセス又は蒸着プロセスのどちらによって形成されるかにかかわらず、第２の導電材料３８の粒径は平均的に第１の導電材料３６の粒径よりも観察可能なほど小さく、また第２の導電材料３８では、結晶粒制御のためのめっき添加剤から存在するような不純物が第１の導電材料３６と比べて観察可能なほど少ない。

【００３７】

非導電性構造３４の少なくとも一部及び第２の導電材料３８の少なくとも一部を含む表面を研磨し、処理して（例えば、活性化及び終端化して）素子（例えば、第１の素子６０Ａ）の結合面を定めることができる。いくつかの実施形態では、第２の導電材料３８の表

面が、非導電性構造 34 の表面と同一平面又は概ね同一平面であることができる。他のいくつかの実施形態では、上述したように、第 2 の導電材料 38 の表面を非導電性構造 34 の表面に対して凹ませることができる。

【0038】

いくつかの実施形態では、この予備結合用の凹部が、非導電性結合面の下方 75 nm 未満の、50 nm 未満の、好ましくは 20 nm 未満の深さを有することができる。第 2 の導電材料 38 の厚みは、導電性フィーチャ 62（第 1 の導電材料 36 と第 2 の導電材料 38 との組み合わせ）の厚みの 70 % 未満、50 % 未満、30 % 未満、又は 20 % 未満であることができる。いくつかの実施形態では、第 2 の導電材料 38 の厚みが 30 nm ~ 600 nm であることができ、第 1 の導電材料 36 の厚みが 400 nm ~ 5000 nm であること

10

【0039】

図 2 E において、図 2 D で形成された素子（第 1 の素子 60 a）を別の素子（第 2 の素子 60 b）に接触させることができる。第 1 の導電材料 36 は、第 2 の導電材料 38 の形成前にアニール処理することができるが、第 2 の導電材料 38 は、結合前にアニール処理せず、或いは上述したように第 2 の導電材料 38 の結晶粒が小さいままであるように、第 1 の導電材料のアニール処理と比べて低温及び／又は低時間でアニール処理することができる。第 2 の素子 60 b は、第 1 の素子 60 a と同一又は概ね同様の構造を有することができる。第 1 の素子 60 a を室温で第 2 の素子 60 b に接触させると、第 1 の素子 60 a の非導電性構造 34 及び第 2 の素子 60 b の非導電性構造 44 が結合界面 47 に沿って互いに結合することができる。いくつかの実施形態では、第 1 の素子 60 a を室温で第 2 の素子 60 b に接触させると、第 1 の素子 60 a の第 2 の導電材料 38 及び第 2 の素子 60 b の（第 3 の導電材料 46 及び第 4 の導電材料 48 を含むことができる）導電性フィーチャ 72 が結合界面 47 に沿って互いに結合することができる。図 2 F において、非導電性フィーチャ 34、44 の最初の室温での結合後に、接触した第 1 及び第 2 の素子 60 a、60 b をアニール処理することができ、このような結合後のアニール処理によって導電性フィーチャ 62、72 が互いに膨張してハイブリッドボンディングが完了し、結合構造 60 を形成することができる。結合構造 60 では、第 2 の導電材料 38 の粒径が、第 1 の導電材料 36 の粒径よりも平均的に小さいままであることができる。

20

30

【0040】

図 3 A ~ 図 3 E 及び図 4 A ~ 図 4 F のコンポーネントは、例えば図 1 A 及び図 1 B のコンポーネントなどの本明細書に開示する同様のコンポーネントと同一又は概ね同様であることができる。例えば、非導電性フィーチャ 42、52 は、非導電性結合層 108 a、108 b と同一又は概ね同様であることができ、デバイス部分 35、45 は、デバイス部分 110 a、110 b と同一又は概ね同様であることができる。

【0041】

図 3 A ~ 図 3 E に示す実施形態及び図 4 A ~ 図 4 F に示す実施形態では、いずれも第 2 の導電材料 38 が小型の又は微細な結晶粒を含むことができる。第 2 の導電材料 38 の（垂直断面における横寸法で測定される）結合前の最大粒径は、導電性フィーチャ 62 の接触面の最大横寸法の 20 % 未満、10 % 未満、5 % 未満、又は 2 % 未満であることができる。結合界面における占有面積に関して言えば、結合前の結晶粒は、2000 nm² 未満、1000 nm² 未満、500 nm² 未満、300 nm² 未満、又は 180 nm² 未満であることができる。横寸法において直線的に測定される第 2 の導電材料 38 の結合前の最大粒径は、500 nm 未満、200 nm 未満、100 nm 未満、50 nm 未満、25 nm 未満、20 nm 未満、又は 15 nm 未満であることができる。例えば、第 2 の導電材料 38 における結晶粒の最大幅は、10 nm ~ 500 nm、10 nm ~ 300 nm、15 nm ~ 500 nm、15 nm ~ 300 nm、15 nm ~ 100 nm、15 nm ~ 50 nm、50 nm ~ 500 nm、50 nm ~ 300 nm、又は 100 nm ~ 300 nm の範囲内であることができる。

40

50

【0042】

対照的に、下側の第1の導電材料36は、より大型の結晶粒を有することができる。例えば、側面積に関して言えば、第1の導電材料の結合前の結晶粒は、 2000 nm^2 超、 4000 nm^2 超、 7000 nm^2 超、又は 10000 nm^2 超であることができる。横寸法において直線的に測定される第1の導電材料の結合前の最大粒径は、 50 nm 超、 100 nm 超、 300 nm 超、又は 500 nm 超であることができる。結合前の第1の導電材料の平均サイズは、第2の導電材料の平均サイズよりも大きい。いくつかの実施形態では、第1の導電材料の平均サイズが、結合前及び結合後の両方において第2の導電材料の平均サイズよりも $10\% \sim 200\%$ 大きいことができる。

【0043】

上述したように、最初の結合後にアニール処理を行うことで、対向する素子30a、30b、60a、60bの導電性フィーチャ42、52、62、72を互いにさらに成長させてハイブリッドボンディングを完了することができる。このアニール処理は、第2の導電材料38の粒径も増大させるが、第2の導電材料38の第2の導電材料平均粒径は、下にある第1の導電材料36の平均導電材料粒径よりも小さいままである。第1及び第2の導電材料36、38は、いずれも大部分が同じ金属又は金属合金（例えば、銅）を含むことができるが、これらは、観察可能なほど異なる平均及び最大粒径によって、またいくつかの実施形態では、第1の導電材料36における添加剤不純物が第2の導電材料38と比べて著しく多いことによって区別することができる。第2の導電材料38の粒径の結合前の最大横寸法は、 200 nm 未満、 150 nm 未満、 100 nm 未満、 50 nm 未満、又は 20 nm 未満であることができる。第2の導電材料38の結合前の最大側断面積は、 2000 nm^2 未満、 1000 nm^2 未満、 500 nm^2 未満、 300 nm^2 未満、又は 180 nm^2 未満であることができる。第2の導電材料38の粒径の結合後の最大横寸法は、アニール処理中の結晶粒成長に起因して $2\text{ }\mu\text{m}$ 未満、 $1\text{ }\mu\text{m}$ 未満、 500 nm 未満、又は 300 nm 未満であることができる。第2の導電材料38の結合後の最大側断面積は、 $4\text{ }\mu\text{m}^2$ 未満、 $1\text{ }\mu\text{m}^2$ 未満、 $250,000\text{ nm}^2$ 未満であることができる。

【0044】

結晶粒はアニール処理中に成長するが、第2の導電材料38の結晶粒は導電性フィーチャ42、62に対して相対的に小さいままである。横寸法で直線的に測定される第2の導電材料38の最大粒径は、結合後の導電性フィーチャ42、62の幅の 30% 未満、 20% 未満、又は 15% 未満であることができ、ここでの粒径及びフィーチャサイズはいずれも横寸法で直線的に測定したものである。第2の導電材料38の小型の結晶粒は、結合界面47からの上位1～20の結晶粒層、さらに詳細には上位2～5の結晶粒層を表すことができるのに対し、結合界面47からさらに離れた結晶粒はより大型であり、より高い不純物濃度を含むことができる。結合後には、結合後の高温アニール処理の、例えば 200°C 以下の温度及び60分の結合時間という温度プロファイルに少なくとも部分的に依存して、第1の導電材料36の平均サイズが第2の導電材料38の平均サイズよりも大きいままであることができる。いくつかの実施形態では、結合後の第1の導電材料36の平均サイズが、第2の導電材料38の平均サイズよりも2～4倍大きいことができる。

【0045】

図5は、第1の導電材料36及び第2の導電材料38を含む導電性フィーチャ42がどのように見えるかを示すために生成した画像である。図6は、第1の導電材料36及び第2の導電材料38を含む導電性フィーチャ62がどのように見えるかを示すために生成した画像である。図5及び図6は、第1及び第2の導電材料36、38の粒径が目に見えて異なることを示す。当業者であれば、導電性フィーチャ42、62は、それぞれ大型の結晶粒を含む部分（例えば、第1の導電材料36）と、小型の結晶粒を含む目に見えて顕著な部分（例えば、第2の導電材料38）とを含むことが分かるであろう。

【0046】

1つの態様では、素子の形成方法を開示する。方法は、非導電性構造を準備することと、非導電性構造にキャビティを形成することと、を含むことができる。キャビティは、非

10

20

30

40

50

導電性構造の表面から非導電性構造の厚みを少なくとも部分的に貫通する。方法は、第1の導電材料と、第1の導電材料上の第2の導電材料とをキャビティ内に含む導電性フィーチャを提供することを含むことができる。第2の導電材料は素子の結合面に配置される。第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さい。方法は、素子の結合面をダイレクトボンディングのために調製することを含むことができる。

【0047】

1つの実施形態では、第2の導電材料の結晶粒界に20パーセント（ppm）未満の不純物が存在する。

【0048】

1つの実施形態では、第2の導電材料の平均粒径が第1の導電材料の平均粒径よりも小さい。

【0049】

1つの実施形態では、導電性のフィーチャを提供することが、第1の導電材料及び第2の導電材料を別々に提供することを含む。第1の導電材料を提供することは、キャビティを部分的に満たすことを含むことができる。第1の導電材料を提供することは、キャビティを第1の導電材料で満たし、第1の導電材料の一部を除去することを含むことができる。方法は、第2の導電材料を提供する前に第1の導電材料をアニール処理することをさらに含むことができる。導電材料を提供することは、第2の導電材料をプラズマ蒸着（PVD）によって第1の導電材料上に提供することを含むことができる。第2の導電材料は、第1の導電材料を提供する第1の堆積プロセスよりも高い電流密度でのめっきによって提供することができる。結合面を調製することは、非導電材料及び第2の導電材料の表面を研磨することを含むことができる。

【0050】

1つの実施形態では、第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の10%よりも小さい。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の5%よりも小さいことができる。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の2%よりも小さいことができる。

【0051】

1つの実施形態では、結合面における導電性フィーチャの面積が $7\mu\text{m}^2$ よりも小さい。

【0052】

1つの実施形態では、結合面における第2の導電材料の断面図での最大結晶粒側面積が 2000nm^2 よりも小さい。

【0053】

1つの実施形態では、結合面における第2の導電材料の最大直線横方向粒径が 200nm よりも小さい。

【0054】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0055】

1つの実施形態では、方法が、第1の導電材料と第2の導電材料との間に介在層を設けることをさらに含む。

【0056】

1つの実施形態では、第2の導電材料の厚みが導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満であることができる。

【0057】

1つの態様では、結合構造の形成方法を開示する。方法は、非導電性結合面を有する第1の非導電性構造と、非導電性結合面から非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、キャビティ内に配置された第1の導電材料及び第1の導電材料上の第

10

20

30

40

50

2の導電材料を有する第1の導電性フィーチャとを含む第1の素子を準備することを含むことができる。第2の導電材料は、素子の結合面において少なくとも部分的に露出する。第2の導電材料の平均粒径は、第1の導電材料の平均粒径よりも小さい。方法は、第2の非導電性構造と第2の導電性フィーチャとを含む第2の素子を準備することを含むことができる。方法は、第2の導電材料にアニールプロセスを行うことなく、第1の素子の結合面と第2の素子の結合面とを接触させることと、接触後に第1の素子と第2の素子とを直接結合することと、を含むことができる。

【0058】

1つの実施形態では、第2の導電材料の結晶粒界に20パーセントパーミリオン（ppm）未満の不純物が存在する。

【0059】

1つの実施形態では、第1の素子と第2の素子とを直接結合することが、介在接着剤を使用せずに第1の非導電性構造と第2の非導電性構造とを直接結合し、介在接着剤を使用せずに第1の導電性フィーチャと第2の導電性フィーチャとを直接結合することを含む。

【0060】

1つの実施形態では、第1の素子を準備することが、第1の非導電性構造を準備することと、第1の非導電性構造にキャビティを形成することと、第1の導電材料を提供することと、第1の導電材料を提供した後に第2の導電材料を提供することと、を含む。方法は、第2の導電材料を提供する前に第1の導電材料をアニール処理することをさらに含むことができる。

【0061】

1つの実施形態では、方法が、結合された第1及び第2の素子をアニール処理することをさらに含む。

【0062】

1つの実施形態では、方法が、素子の結合面をダイレクトボンディングのために調製することをさらに含む。結合面を調製することは、非導電材料及び第2の導電材料の表面を研磨することを含むことができる。

【0063】

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の第2の導電材料の直線横寸法での最大粒径が、導電性フィーチャの直線横寸法の20%よりも小さい。第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の10%よりも小さいことができる。第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の5%よりも小さいことができる。

【0064】

1つの実施形態では、導電性フィーチャの露出した面積全体が $7\mu\text{m}^2$ よりも小さい。

【0065】

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大結晶粒側面積が 2000nm^2 よりも小さい。

【0066】

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大線横方向粒径が 200nm よりも小さい。

【0067】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の直線横寸法での最大粒径が、導電性フィーチャの直線横寸法の30%よりも小さい。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さいことができる。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の15%よりも小さいことができる。

【0068】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の結合面における第2の導電材料の最大結晶粒側面積が 71000 nm^2 よりも小さい。

【0069】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の結合面における第2の導電材料の最大直線横方向粒径が $2\text{ }\mu\text{m}$ よりも小さい。

【0070】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0071】

1つの実施形態では、方法が、第1の導電材料と第2の導電材料との間に介在層を設けることをさらに含む。

【0072】

1つの態様では、素子を開示する。素子は、非導電性構造と、非導電性構造内のキャビティとを含むことができる。キャビティは、非導電性構造の表面から非導電性構造の厚みを少なくとも部分的に貫通する。素子は、第1の導電材料と、第1の導電材料上の第2の導電材料とを含む導電性フィーチャをキャビティ内に含むことができる。第2の導電材料は素子の結合面に配置される。第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さい。

【0073】

1つの実施形態では、第2の導電材料の結晶粒界に20パーセントパーミリオン（ppm）未満の不純物が存在する。

【0074】

1つの実施形態では、第2の導電材料の直線横寸法での平均粒径は、第1の導電材料の直線横寸法での平均粒径よりも小さい。

【0075】

1つの実施形態では、第2の導電材料の厚みが導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満であることができる。

【0076】

1つの実施形態では、素子の結合面がダイレクトボンディングのために調製される。結合面は、 2 nm 未満の二乗平均平方根（rms）表面粗さを有することができる。

【0077】

1つの実施形態では、第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の10%よりも小さい。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の5%よりも小さいことができる。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の2%よりも小さいことができる。

【0078】

1つの実施形態では、結合面における導電性フィーチャの直線横寸法が $7\text{ }\mu\text{m}^2$ よりも小さい。

【0079】

1つの実施形態では、結合面における第2の導電材料の最大結晶粒側面積が 2000 nm^2 よりも小さい。

【0080】

1つの実施形態では、結合面における第2の導電材料の最大粒径が 200 nm よりも小さい。

【0081】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0082】

1つの実施形態では、素子が、第1の導電材料と第2の導電材料との間に介在層をさらに含む。

【0083】

10

20

30

40

50

1つの態様では、結合構造を開示する。結合構造は、非導電性結合面を有する第1の非導電性構造と、非導電性結合面から非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、キャビティ内に配置された第1の導電材料及び第1の導電材料上の第2の導電材料を有する第1の導電性フィーチャとを含む第1の素子を含むことができる。第2の導電材料の平均粒径は、第1の導電材料の平均粒径よりも小さい。第2の導電材料の結晶粒界に20パーセント未満の不純物が存在する。結合構造は、第2の非導電性構造と第2の導電性フィーチャとを含む第2の素子を含むことができる。第1の素子及び第2の素子は、第1の非導電性構造と第2の非導電性構造とが介在接着剤を使用せずに直接結合されるように互いに結合される。第2の導電材料及び第2の導電性フィーチャは、介在接着剤を使用せずに互いに直接結合される。

10

【0084】

1つの実施形態では、第2の導電材料の厚みが導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満である。

【0085】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0086】

1つの実施形態では、結合構造が、第1の導電材料と第2の導電材料との間に介在層をさらに含む。

【0087】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の直線横寸法での最大粒径が、導電性フィーチャの直線横寸法の30%よりも小さい。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さいことができる。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の15%よりも小さいことができる。

20

【0088】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の結合面における第2の導電材料の最大結晶粒側面積が 71000 nm^2 よりも小さい。

【0089】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大直線横方向粒径が $2\text{ }\mu\text{m}$ よりも小さい。

30

【0090】

1つの態様では、素子の形成方法を開示する。方法は、非導電性構造を提供することと、非導電性構造にキャビティを形成することと、第1の導電材料及び第1の導電材料上の第2の導電材料をキャビティ内に含む導電性フィーチャを、第2の導電材料が素子の結合面において少なくとも部分的に露出するように提供することと、を含むことができる。第2の導電材料の結晶粒界には20パーセント未満の不純物が存在し、第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さい。

【0091】

1つの実施形態では、導電性フィーチャを提供することが、第1の導電材料及び第2の導電材料を別々に提供することを含む。第1の導電材料を提供することは、キャビティを部分的に満たすことを含むことができる。第1の導電材料を提供することは、キャビティを第1の導電材料で満たし、第1の導電材料の一部を除去することを含むことができる。方法は、第2の導電材料を提供する前に第1の導電材料をアニール処理することをさらに含むことができる。導電材料を提供することは、蒸着によって第1の導電材料上に第2の導電材料を提供することを含むことができる。蒸着は、物理蒸着又は化学蒸着であることができる。第2の導電材料は、第1の導電材料を提供する第1の堆積プロセスよりも高い電流密度でのめっきによって提供することができる。

40

【0092】

50

1つの実施形態では、方法が、素子の結合面をダイレクトボンディングのために調製することをさらに含む。結合面を調製することは、非導電材料及び第2の導電材料の表面を研磨することを含むことができる。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の5%よりも小さいことができる。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の2%よりも小さいことができる。

【0093】

1つの実施形態では、導電性フィーチャの露出した面積全体が $7\mu\text{m}^2$ よりも小さい。

【0094】

1つの実施形態では、結合面における第2の導電材料の最大結晶粒側面積が 2000nm^2 よりも小さい。

【0095】

1つの実施形態では、第2の導電材料の最大粒径が 200nm よりも小さい。

【0096】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0097】

1つの実施形態では、方法が、第1の導電材料と第2の導電材料との間に介在層を設けることをさらに含む。

【0098】

1つの実施形態では、第2の導電材料の厚みが、導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満である。

【0099】

1つの態様では、結合構造の形成方法を開示する。方法は、非導電性結合面を有する第1の非導電性構造と、非導電性構造内のキャビティと、キャビティ内に配置された第1の導電材料及び第1の導電材料上の第2の導電材料を有する第1の導電性フィーチャとを含む第1の素子を準備することを含むことができる。第2の導電材料は、素子の結合面において少なくとも部分的に露出する。第2の導電材料の結晶粒界には20パーセント未満の不純物が存在する。第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さい。方法は、第2の非導電性構造と第2の導電性フィーチャとを含む第2の素子を準備することを含むことができる。方法は、第2の導電材料にアニールプロセスを行うことなく第1の素子の結合面と第2の素子の結合面とを接触させ、接触後に第1の素子と第2の素子とを直接結合することを含むことができる。

【0100】

1つの実施形態では、第1の素子と第2の素子とを直接結合することが、介在接着剤を使用せずに第1の非導電性構造と第2の非導電性構造とを直接結合し、介在接着剤を使用せずに第1の導電性フィーチャと第2の導電性フィーチャとを直接結合することを含む。

【0101】

1つの実施形態では、第1の素子を準備することが、第1の非導電性構造を準備することと、第1の非導電性構造にキャビティを形成することと、第1の導電材料を提供することと、第1の導電材料を提供した後に第2の導電材料を提供することと、を含む。方法は、第2の導電材料を提供する前に第1の導電材料をアニール処理することをさらに含むことができる。

【0102】

1つの実施形態では、方法が、結合された第1及び第2の素子をアニール処理することをさらに含む。

【0103】

1つの実施形態では、方法は、素子の結合面をダイレクトボンディングのために調製することをさらに含む。結合面を調製することは、非導電材料及び第2の導電材料の表面を研磨することを含むことができる。

【0104】

10

20

30

40

50

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の5%よりも小さい。第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の2%よりも小さいことができる。

【0105】

1つの実施形態では、導電性フィーチャの露出した面積全体が $7\mu\text{m}^2$ よりも小さい。

【0106】

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の結合面における第2の導電材料の最大結晶粒側面積が 2000nm^2 よりも小さい。

【0107】

1つの実施形態では、第1の素子と第2の素子とを直接結合する前の第2の導電材料の最大粒径が 200nm よりも小さい。

【0108】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の30%よりも小さい。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さいことができる。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の15%よりも小さいことができる。

【0109】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の結合面における第2の導電材料の最大結晶粒側面積が 71000nm^2 よりも小さい。

【0110】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径が $2\mu\text{m}$ よりも小さい。

【0111】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0112】

1つの実施形態では、方法が、第1の導電材料と第2の導電材料との間に介在層を設けることをさらに含む。

【0113】

1つの態様では、素子を開示する。素子は、非導電性構造と、非導電性構造内のキャビティとを含むことができる。キャビティは、非導電性構造の表面から非導電性構造の厚みを少なくとも部分的に貫通する。素子は、第1の導電材料と、第1の導電材料上の第2の導電材料とをキャビティ内に含む導電性フィーチャを含むことができる。第2の導電材料は、素子の結合面に配置される。第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の20%よりも小さい。第2の導電材料の結晶粒界には20パーセント（ppm）未満の不純物が存在する。

【0114】

1つの実施形態では、第2の導電材料の厚みが、導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満であることができる。

【0115】

1つの実施形態では、素子の結合面がダイレクトボンディングのために調製される。結合面は、 2nm 未満の二乗平均平方根（rms）表面粗さを有することができる。

【0116】

1つの実施形態では、第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の5%よりも小さい。第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の2%よりも小さいことができる。

【0117】

10

20

30

40

50

1つの実施形態では、結合面における導電性フィーチャの面積が $7\mu\text{m}^2$ よりも小さい。

【0118】

1つの実施形態では、結合面における第2の導電材料の最大結晶粒側面積が 2000nm^2 よりも小さい。

【0119】

1つの実施形態では、第2の導電材料の最大粒径が 200nm よりも小さい。

【0120】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0121】

1つの実施形態では、素子が、第1の導電材料と第2の導電材料との間に介在層をさらに含む。

【0122】

1つの態様では、結合構造を開示する。結合構造は、非導電性結合面を有する第1の非導電性構造と、非導電性結合面から非導電性構造の厚みを少なくとも部分的に貫通するキャビティと、キャビティ内に配置された第1の導電材料及び第1の導電材料上の第2の導電材料を有する第1の導電性フィーチャとを含む第1の素子を含むことができる。結合構造は、第2の非導電性構造と第2の導電性フィーチャとを含む第2の素子を含むことができる。第1の素子及び第2の素子は、第1の非導電性構造と第2の非導電性構造とが介在接着剤を使用せずに互いに直接結合され、第2の導電材料と第2の導電性フィーチャとが介在接着剤を使用せずに互いに直接結合されるように互いに結合される。第1の素子と第2の素子とを直接結合した後の第2の導電材料の直線横寸法での最大粒径は、導電性フィーチャの直線横寸法の30%よりも小さい。

【0123】

1つの実施形態では、第2の導電材料の結晶粒界に20パーセントパーミリオン（ppm）未満の不純物が存在する。

【0124】

1つの実施形態では、第2の導電材料の厚みが、導電性フィーチャの厚みの50%未満である。第2の導電材料の厚みは、導電性フィーチャの厚みの30%未満である。

【0125】

1つの実施形態では、第1の導電材料及び第2の導電材料が銅を含む。

【0126】

1つの実施形態では、結合構造が、第1の導電材料と第2の導電材料との間に介在層をさらに含む。

【0127】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径が、導電性フィーチャの直線横寸法の20%よりも小さい。第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径は、導電性フィーチャの直線横寸法の15%よりも小さいことができる。

【0128】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の結合面における第2の導電材料の最大結晶粒側面積が 71000nm^2 よりも小さい。

【0129】

1つの実施形態では、第1の素子と第2の素子とを直接結合した後の第2の導電材料の最大粒径が $2\mu\text{m}$ よりも小さい。

【0130】

1つの実施形態では、導電性フィーチャの露出した面積全体が $7\mu\text{m}^2$ よりも小さい。

【0131】

1つの態様では、ダイレクトハイブリッドボンディングのための導電性フィーチャを基板内に形成する方法を開示する。方法は、第1の平均粒径を形成するための条件下で、め

10

20

30

40

50

つきを含む第1の堆積プロセスによって第1の導電材料を堆積させることを含むことができる。方法は、第1の堆積プロセスとは異なる第2の堆積プロセスによって、第1の堆積プロセスに対して不純物レベルを高めることなく第2の導電材料を堆積させることを含むことができる。第2の堆積プロセスは、第1の堆積プロセスよりも小さな第2の平均粒径を形成する。方法は、第2の導電材料及び非導電性表面を含む結合面をダイレクトハイブリッドボンディングのために調製することを含むことができる。

【0132】

1つの実施形態では、第1の導電材料の不純物レベルが、第2の導電材料以上である。

【0133】

1つの実施形態では、第2の堆積プロセスが、第2の導電材料の結晶粒界に20パーセントパーミリオン (ppm) 未満の不純物を導入することなく結晶粒成長を抑制するプロセスである。

【0134】

1つの実施形態では、第1の堆積プロセスがめっきプロセスを含み、第2の堆積プロセスが蒸着プロセスを含む。めっきプロセスは、 $2 \text{ amp} / \text{dm}^2$ を上回る電流密度を使用することができる。

【0135】

1つの実施形態では、第1の堆積プロセスが、第1の電流密度を用いためっきを含み、第2の堆積プロセスが、第1の電流密度よりも高い第2の電流密度を用いためっきを含む。

【0136】

1つの実施形態では、第1の堆積プロセスがめっきを含み、第2の堆積プロセスが蒸着を含む。

【0137】

1つの実施形態では、第1の導電材料及び第2の導電材料が主に銅を含む。

【0138】

文脈において別途明確に必要としない限り、本明細書及び特許請求の範囲全体を通じて、「含む、備える (comprise、comprising、include、including)」などの単語は、排他的又は網羅的な意味ではなく包含的な意味で、すなわち「含むけれどもそれに限定されない (including, but not limited to)」という意味で解釈すべきである。本明細書で一般的に使用される「結合された (coupled)」という単語は、直接、或いは1又は2以上の中間要素を介して接続できる2又は3以上の要素を意味する。同様に、本明細書で一般的に使用される「接続された (connected)」という単語も、直接、或いは1又は2以上の中間要素を介して接続できる2又は3以上の要素を意味する。また、本出願において、「本明細書で (herein)」 「上記で (above)」 「下記で (below)」 及び同様の趣旨の単語を使用している場合、これらの単語は本出願全体を示すものであり、本出願のいずれか特定の部分を示すものではない。さらに、本明細書において、第1の要素を第2の要素「上に (on)」又は第2の要素を「覆って (over)」存在するものとして説明する場合、第1の要素は、第1及び第2の要素が直接接触するように第2の要素上に又は第2の要素を覆って直接存在することも、或いは第1及び第2の要素間に1又は2以上の要素が介在するように第2の要素上に又は第2の要素を覆って間接的に存在することもできる。上記の詳細な説明における単数又は複数を用いた単語は、文脈上可能な場合にはそれぞれ複数又は単数を含むこともできる。2又は3以上の項目のリストを参照する際の「又は (or)」という単語は、リスト内の項目のいずれか、リスト内の項目全て、及びリスト内の項目のいずれかの組み合わせ、といった単語の解釈を全て網羅する。

【0139】

さらに、本明細書で使用する、とりわけ「～できる (can、could、might、may)」、及び「例えば (e.g.、for example、such as)」などの条件語は、別途明確に言及していない限り、又は使用する文脈内で別様に理解され

10

20

30

40

50

ない限り、一般に特定の特徴、要素及び／又は状態を含む実施形態もあれば、それらを含まない実施形態もあることを伝えるように意図される。従って、このような条件語は、一般に特徴、要素及び／又は状態が 1 又は 2 以上の実施形態に何としても必要であることを意味するように意図するものではない。

【0140】

いくつかの実施形態を説明したが、これらの実施形態は一例として提示したものにすぎず、本開示の範囲を限定するように意図するものではない。実際に、本明細書で説明した新規の装置、方法及びシステムは他の様々な形態で具現化することもでき、さらに、本開示の趣旨から逸脱することなく、本明細書で説明した方法及びシステムの形態の様々な省略、置換及び変更を行うこともできる。例えば、ブロックについては所与の配置で示しているが、別の実施形態は、異なるコンポーネント及び／又は回路トポロジーを使用して同様の機能を実行することもでき、いくつかのブロックを削除、移動、追加、細分化、結合及び／又は変更することもできる。これらのブロックの各々は、様々な異なる方法で実装することができる。上述した様々な実施形態の要素及び行為のいずれかの好適な組み合わせを組み合わせるさらなる実施形態を提供することもできる。添付の特許請求の範囲及びその同等物は、本開示の範囲及び趣旨に含まれるような形態又は修正も対象とするように意図される。

【図面】

【図 1 A】

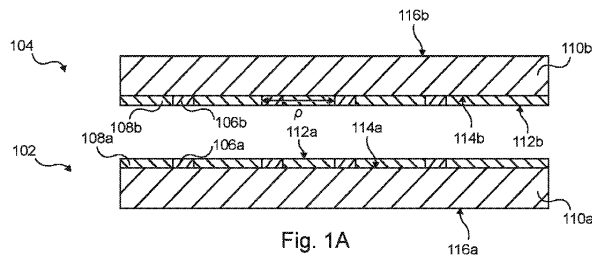


Fig. 1A

【図 1 B】

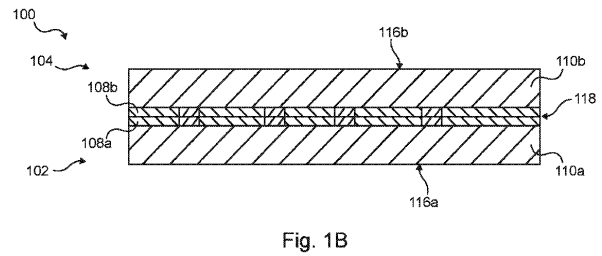


Fig. 1B

10

20

30

40

50

【図 2 A】

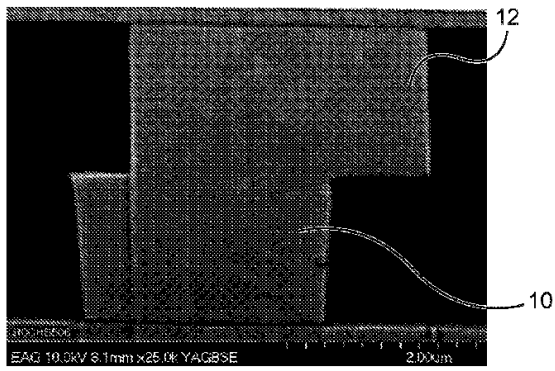


Fig. 2A

【図 2 B】

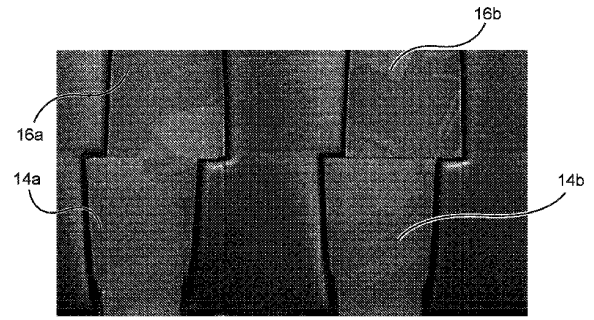


Fig. 2B

【図 2 C】

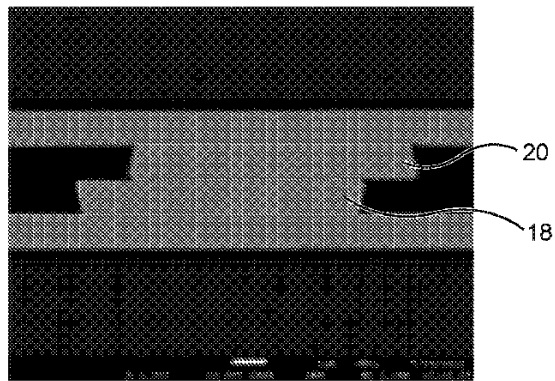


Fig. 2C

【図 3 A】

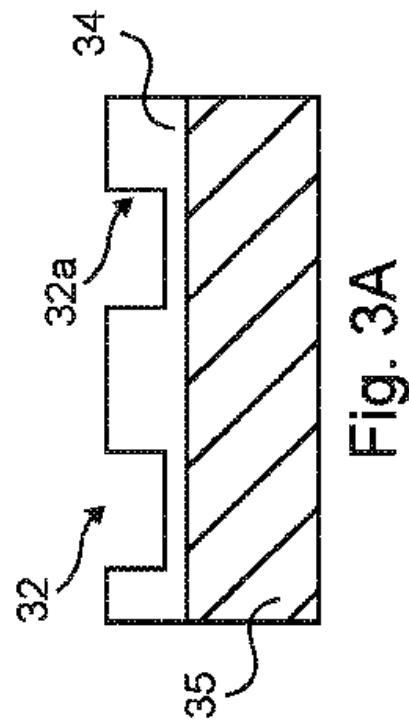
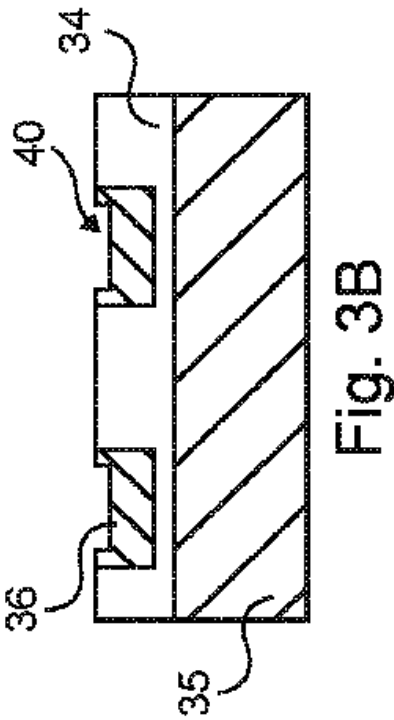
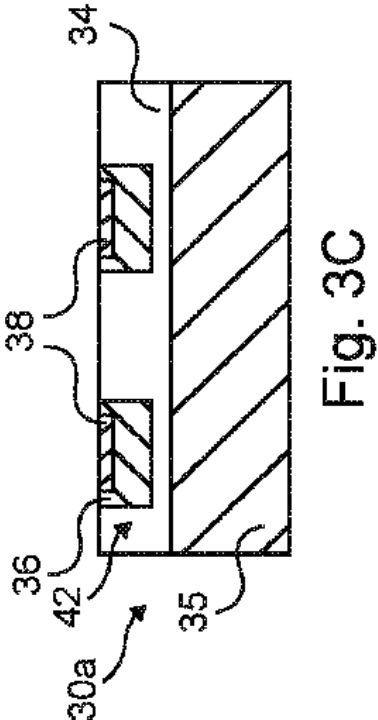


Fig. 3A

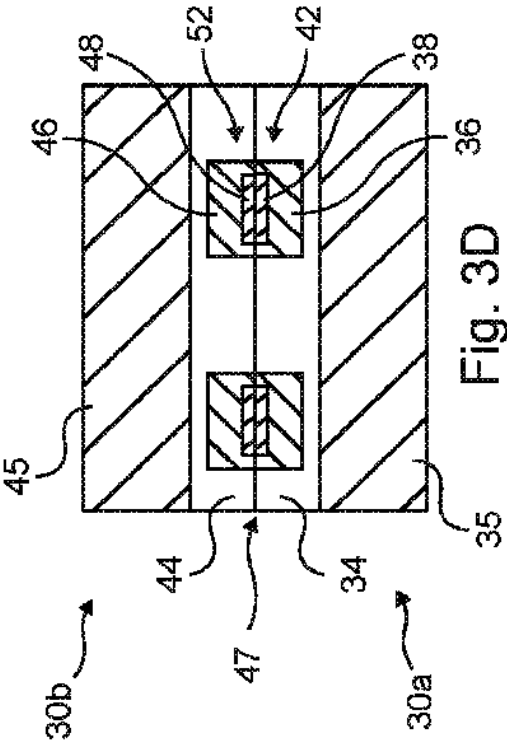
【図 3 B】



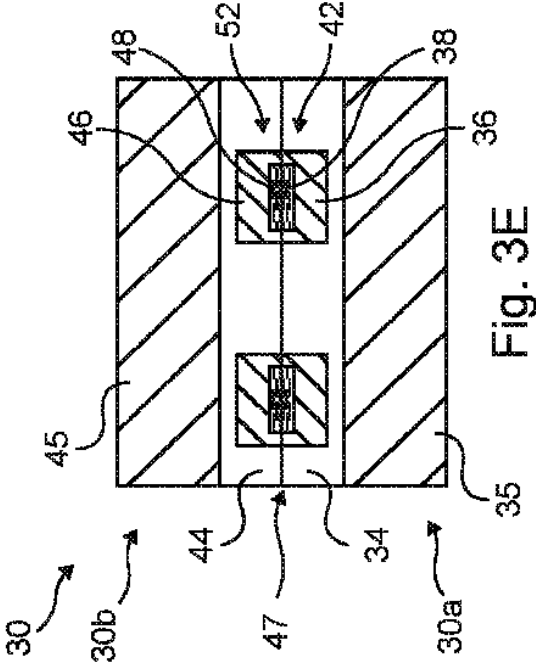
【図 3 C】



【図 3 D】



【図 3 E】



10

20

30

40

50

【 図 4 A 】

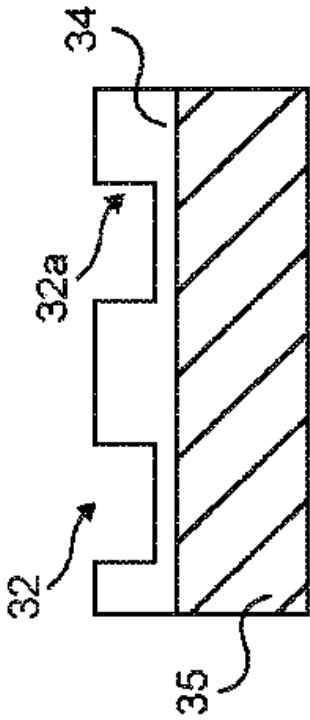


Fig. 4A

【 図 4 B 】

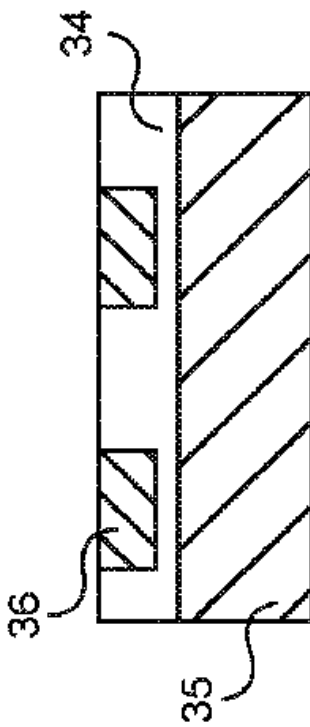


Fig. 4B

【 図 4 C 】

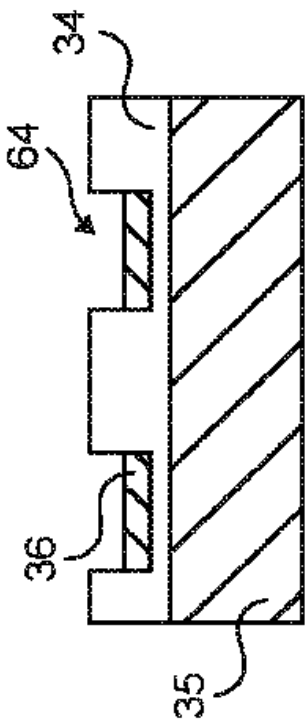


Fig. 4C

【 図 4 D 】

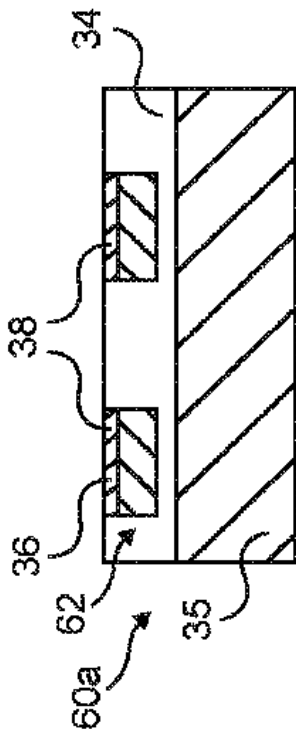


Fig. 4D

10

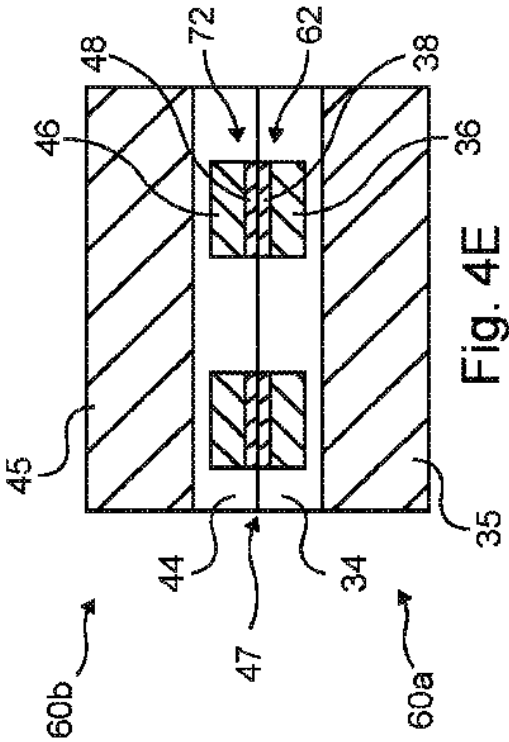
20

30

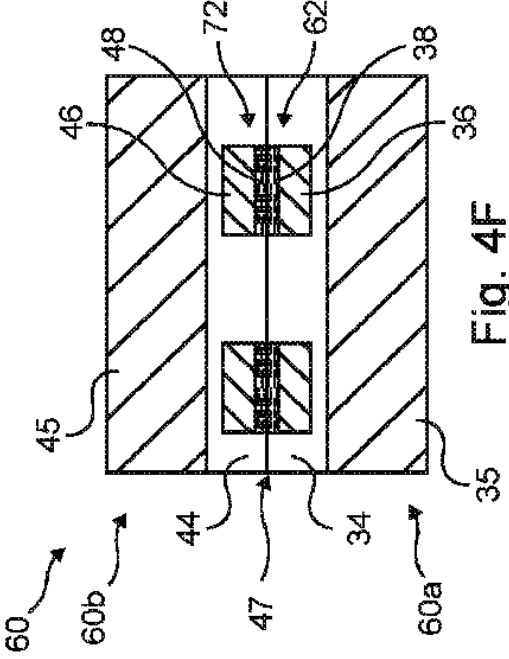
40

50

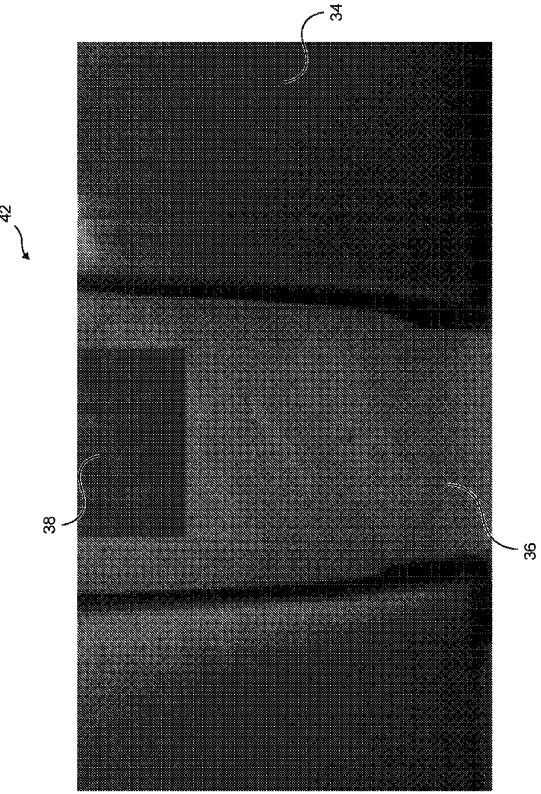
【図 4 E】



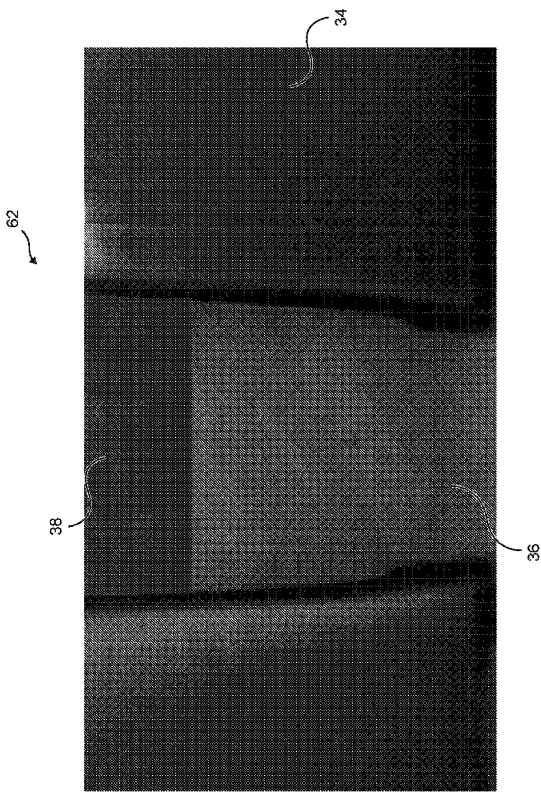
【図 4 F】



【図 5】



【図 6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/081601
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/00(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/00(2006.01); H01L 23/522(2006.01); H01L 23/528(2006.01); H01L 25/00(2006.01); H01L 25/065(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: directly bonding, grain, conductive feature, cavity, impurity		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2019-0319007 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 17 October 2019 (2019-10-17) See paragraphs [0028]-[0057], [0078]-[0079] and figures 1, 3.	1-70
Y	US 2018-0151523 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LTD.) 31 May 2018 (2018-05-31) See paragraphs [0046]-[0050] and figures 2A, 3.	1-70
A	US 2017-0025381 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 26 January 2017 (2017-01-26) See paragraphs [0020]-[0028] and figures 1B-3B.	1-70
A	US 2020-0075534 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 05 March 2020 (2020-03-05) See paragraphs [0026]-[0035], claim 1 and figures 1, 8.	1-70
A	US 2020-0194396 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 18 June 2020 (2020-06-18) See paragraphs [0026]-[0034] and figure 1.	1-70
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 May 2023		Date of mailing of the international search report 18 May 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer JUNG, Jong Han Telephone No. +82-42-481-5642

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US2022/081601

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☒ Claims Nos.: **71-135**
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

Regarding claims 71-135, see Form ISA/224 mailed on 06 April 2023. PCT Article 6 states that the claims shall be clear and concise. Claims 71-135 do not meet this requirement, even assuming for the sake of argument that the individual claims are clear and concise in themselves, because the lack of clarity of the claims as a whole arises from the lack of conciseness.
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

10

20

30

40

50

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/081601

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2019-0319007	A1	17 October 2019	CN	111801793	A	20 October 2020
				TW	201944500	A	16 November 2019
				US	10790262	B2	29 September 2020
				US	11244916	B2	08 February 2022
				US	11515279	B2	29 November 2022
				US	2020-0051937	A1	13 February 2020
				US	2020-0381389	A1	03 December 2020
				WO	2019-199445	A1	17 October 2019
US	2018-0151523	A1	31 May 2018	TW	201508850	A	01 March 2015
				TW	1560787	B	01 December 2016
				US	11121104	B2	14 September 2021
				US	2015-0061115	A1	05 March 2015
				US	2016-0211234	A1	21 July 2016
				US	9331038	B2	03 May 2016
				US	9881888	B2	30 January 2018
US	2017-0025381	A1	26 January 2017	CN	106373940	A	01 February 2017
				TW	201717315	A	16 May 2017
				TW	1624006	B	11 May 2018
				US	9728521	B2	08 August 2017
US	2020-0075534	A1	05 March 2020	CN	112956011	A	11 June 2021
				CN	112956011	B	26 July 2022
				CN	115332207	A	11 November 2022
				EP	3821461	A1	19 May 2021
				TW	202025393	A	01 July 2020
				US	11011494	B2	18 May 2021
				US	2022-0005784	A1	06 January 2022
				WO	2020-046677	A1	05 March 2020
US	2020-0194396	A1	18 June 2020	US	11244920	B2	08 February 2022
				US	2022-0130787	A1	28 April 2022

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 鈴木 博子

(74)代理人 100168871

弁理士 岩上 健

(72)発明者 ファウンテン ガイウス ギルマン ジュニア

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ハドソン ジョージ カールトン

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ムロジェク パウエル

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ウゾー シプリアン エメカ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 タイル ジェレミー アルフレッド

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ガオ ギリアン

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5