



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월30일
(11) 등록번호 10-2172305
(24) 등록일자 2020년10월26일

(51) 국제특허분류(Int. Cl.)
H01L 21/306 (2006.01) H01L 21/02 (2006.01)
H01L 21/3213 (2006.01) H01L 21/67 (2006.01)
(52) CPC특허분류
H01L 21/30604 (2013.01)
H01L 21/02129 (2013.01)
(21) 출원번호 10-2018-7031146
(22) 출원일자(국제) 2017년03월24일
심사청구일자 2020년03월18일
(85) 번역문제출일자 2018년10월26일
(65) 공개번호 10-2018-0121795
(43) 공개일자 2018년11월08일
(86) 국제출원번호 PCT/US2017/024128
(87) 국제공개번호 WO 2017/172533
국제공개일자 2017년10월05일
(30) 우선권주장
62/315,559 2016년03월30일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
KR101316054 B1
(뒷면에 계속)
전체 청구항 수 : 총 20 항

(73) 특허권자
도쿄엘렉트론가부시키키가이사
일본 도쿄도 미나토쿠 아카사카 5초메 3반 1고
(72) 발명자
바셋 데렉
미국 텍사스주 78613 시더 파크 화이트 엘름 코브 1403
프린츠 윌리스 피.
미국 텍사스주 78749 오스틴 란나 블러프 루프 8933
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

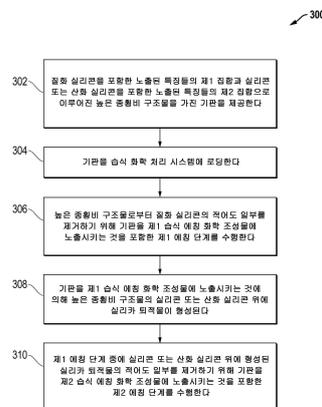
심사관 : 손희수

(54) 발명의 명칭 실리카 퇴적 없이 질화물 구조물을 처리하는 방법 및 장치

(57) 요약

질화 실리콘 에칭 단계 중에 높은 중형비 구조물의 표면 위의 콜로이드 실리카 퇴적물의 성장을 제거하는 기술들이 제공된다. 퇴적된 콜로이드 실리카를 제거하기 위해 고 선택성 오버에칭 단계가 사용된다. 개시되는 기술은 가수분해 반응을 통하여 좁은 갭 또는 트렌치의 표면에서 콜로이드 실리카 퇴적물의 형성이 발생하는 높은 중형비를 가진 좁은 갭 또는 트렌치 구조물 내에 질화 실리콘이 형성된 구조물로부터 질화 실리콘을 제거하기 위해 인산을 사용하는 것을 포함한다. 제2 에칭 단계가 사용되고, 이때 콜로이드 실리카 퇴적물을 형성한 가수분해 반응은 가역적이고, 질화 실리콘의 고갈에 따른 부근 인산에서의 현재 더 낮은 실리카 농도에 의해 평형이 역방향으로의 반응을 일으켜서 상기 퇴적된 실리카를 다시 용액으로 용해한다.

대표도 - 도3



- (52) CPC특허분류
H01L 21/32134 (2013.01)
H01L 21/67075 (2013.01)
- (72) 발명자
로튼다로 안토니오 엘.피.
 미국 텍사스주 78732 오스틴 텍사스 세이지 코트 12828
미나미 데루오미
 일본 후쿠오카켄 830-0046 구루메시 하라코가마치 27-9-903
후루카와 다카히로
 일본 후쿠오카켄 구루메시 우메미즈마치 845-11
- (56) 선행기술조사문헌
 US20150024989 A1
 KR1020140130623 A
 US20120289056 A1
 Dongwan Seo, et al., "Selective wet etching of Si₃N₄/SiO₂ in phosphoric acid with the addition of fluoride and silicic compounds", *Microelectronic Engineering*, 2014, Vol. 118, pp. 66071
- (30) 우선권주장
 62/315,632 2016년03월30일 미국(US)
 15/467,939 2017년03월23일 미국(US)
 15/467,973 2017년03월23일 미국(US)
-

명세서

청구범위

청구항 1

기판 상에 형성된 피쳐들(features)을 에칭하는 방법에 있어서,

실리콘 질화물을 포함하는 노출된 피쳐들의 제1 집합과 실리콘 또는 실리콘 산화물을 포함한 노출된 피쳐들의 제2 집합을 포함하는 높은 종횡비(high aspect ratio) 구조물을 갖는 기판을 제공하는 단계;

상기 기판을 습식 화학 처리 시스템에 로딩하는 단계;

상기 높은 종횡비 구조물로부터 상기 실리콘 질화물의 적어도 일부를 선택적으로 제거하기 위해 상기 기판을 인산의 습식 에칭 용액에 노출시키는 것을 포함한 제1 에칭 단계를 수행하는 단계로서, 가수분해 반응이 상기 실리콘 질화물로부터 제1 습식 에칭 용액 내의 실리카 반응 생성물을 생성하고, 상기 실리카 반응 생성물의 적어도 일부가 상기 높은 종횡비 구조물의 상기 실리콘 또는 실리콘 산화물 상에 퇴적하는 것인, 상기 제1 에칭 단계를 수행하는 단계; 및

상기 퇴적된 실리카 반응 생성물을 다시 상기 인산의 습식 에칭 용액으로 용해시킴으로써 상기 실리콘 또는 실리콘 산화물로부터 상기 퇴적된 실리카 반응 생성물의 적어도 일부를 제거하기 위해 상기 기판을 상기 인산의 습식 에칭 용액에 더 노출시키는 것을 포함한 제2 에칭 단계를 수행하는 단계를 포함하고,

상기 제1 에칭 단계는, 상기 가수분해 반응에 이용가능한 상기 실리콘 질화물의 고갈로 인해 상기 인산의 습식 에칭 용액 내의 실리카 반응 생성물의 농도가 감소할 때까지 수행되고, 상기 제2 에칭 단계는, 상기 기판을 상기 인산의 습식 에칭 용액에 연속적으로 노출시킴으로써 상기 제1 에칭 단계를 수행한 후에 연속적으로 수행되며, 상기 습식 에칭 용액 내의 실리카 반응 생성물의 감소된 농도를 이용하여 상기 가수분해 반응을 역전시키고(reverse) 상기 퇴적된 실리카 반응 생성물을 다시 상기 인산의 습식 에칭 용액으로 용해시키는 것인, 기판 상에 형성된 피쳐들을 에칭하는 방법.

청구항 2

제1항에 있어서, 상기 제2 에칭 단계는 실리콘 질화물 오버에칭 단계인 것인, 기판 상에 형성된 피쳐들을 에칭하는 방법.

청구항 3

제2항에 있어서, 상기 제2 에칭 단계는 5% 내지 40% 범위의 오버에칭 단계인 것인, 기판 상에 형성된 피쳐들을 에칭하는 방법.

청구항 4

제3항에 있어서, 상기 제2 에칭 단계는 15% 내지 30% 범위의 오버에칭 단계인 것인, 기판 상에 형성된 피쳐들을 에칭하는 방법.

청구항 5

제1항에 있어서,

상기 습식 화학 처리 시스템에 포함된 화학 모니터링 시스템을 이용하여 상기 제1 에칭 단계 동안 상기 습식 에칭 용액의 적어도 하나의 화학 구성성분의 농도를 모니터링하는 단계를 더 포함하는, 기판 상에 형성된 피쳐들을 에칭하는 방법.

청구항 6

제1항에 있어서,

상기 습식 화학 처리 시스템에 포함된 화학 모니터링 시스템을 이용하여 상기 제2 에칭 단계 동안 상기 습식 에

칭 용액의 적어도 하나의 화학 구성성분의 농도를 모니터링하는 단계를 더 포함하는, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 7

제1항에 있어서, 상기 제1 에칭 단계 또는 상기 제2 에칭 단계의 적어도 하나의 파라미터는, 상기 제1 에칭 단계 동안 실리콘 또는 실리콘 이산화물을 포함하는, 노출된 피쳐들 상에 형성된 실질적으로 모든 퇴적된 실리콘 반응 생성물이 상기 제2 에칭 단계 동안 제거되도록 선택되는 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 8

제7항에 있어서, 상기 적어도 하나의 파라미터는, 상기 제1 에칭 단계의 지속기간, 상기 제2 에칭 단계의 지속기간, 상기 제1 에칭 단계 동안 상기 습식 에칭 용액의 적어도 하나의 화학 구성성분의 농도, 상기 제2 에칭 단계 동안 상기 습식 에칭 용액의 적어도 하나의 화학 구성성분의 농도, 상기 제1 에칭 단계 동안 상기 습식 에칭 용액의 온도, 상기 제2 에칭 단계 동안 상기 습식 에칭 용액의 온도, 상기 제1 에칭 단계 동안 상기 습식 에칭 용액의 유량, 및 상기 제2 에칭 단계 동안 상기 습식 에칭 용액의 유량으로 구성된 그룹으로부터 선택되는 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 9

제1항에 있어서, 상기 습식 화학 처리 시스템은 단일 기관 처리 시스템인 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 10

제1항에 있어서, 상기 습식 화학 처리 시스템은 복수의 기관을 동시에 처리하도록 구성된 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 11

제1항에 있어서, 상기 제1 에칭 단계 동안 최대의 실리콘 질화물 대 실리콘 산화물 에칭 선택도는, 상기 제2 에칭 단계의 적어도 일부 동안 실리콘 질화물 대 실리콘 산화물 에칭 선택도보다 더 높은 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 12

제1항에 있어서,
상기 습식 화학 처리 시스템에 포함된 화학 모니터링 시스템을 이용하여 상기 제1 및 제2 에칭 단계 동안 상기 습식 에칭 용액 내의 실리콘, 실리콘 또는 실리콘 함유 화합물의 농도를 모니터링하는 단계를 더 포함하는, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 13

제1항에 있어서, 상기 인산의 습식 에칭 용액은, 상기 제1 및 제2 습식 에칭 단계가 수행될 때 140 °C 내지 170 °C의 온도에 있는 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 14

제1항에 있어서, 상기 인산의 습식 에칭 용액은 70 wt% 내지 95 wt% 인산인 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 15

제1항에 있어서, 상기 인산의 습식 에칭 용액은, 상기 제1 및 제2 습식 에칭 단계가 수행될 때 140 °C 내지 170 °C의 온도에 있고, 상기 인산의 습식 에칭 용액은 70 wt% 내지 95 wt% 인산인 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 16

기관 상에 형성된 피쳐들을 에칭하는 방법에 있어서,

실리콘 질화물을 포함하는 노출된 피쳐들의 제1 집합과 실리콘 또는 실리콘 산화물을 포함한 노출된 피쳐들의 제2 집합을 포함하는, 적어도 4:1의 종횡비를 갖는 높은 종횡비 구조물을 갖는 기관을 제공하는 단계;

상기 기관을 습식 화학 처리 시스템에 로딩하는 단계;

상기 높은 종횡비 구조물로부터 상기 실리콘 질화물의 적어도 일부를 선택적으로 제거하기 위해 제1 기간 동안 화학 에칭 반응을 생성하도록 상기 기관을 인산의 습식 에칭 용액에 노출시키는 단계로서, 상기 제1 기간 동안, 처음에는 상기 화학 에칭 반응으로부터 상기 습식 에칭 용액 내의 실리카의 농도가 증가하며, 상기 높은 종횡비 구조물의 실리콘 또는 실리콘 산화물 상에 퇴적하는 콜로이드 실리카 반응 생성물을 형성하는 가수분해 반응이 일어나고, 상기 제1 기간은, 상기 화학 에칭 반응에 이용가능한 실리콘 질화물의 고갈로 인해 상기 습식 에칭 용액 내의 실리카의 농도가 감소할 때에 끝나는 것인, 상기 노출시키는 단계;

상기 제1 기간 후에, 상기 실리콘 또는 실리콘 산화물을 에칭하지 않고서 상기 실리콘 또는 실리콘 산화물로부터 실질적으로 모든 퇴적된 콜로이드 실리카 반응 생성물을 우선적으로 제거하기 위해 상기 가수분해 반응을 역전시킴으로써 상기 퇴적된 실리카 반응 생성물을 다시 상기 인산의 습식 에칭 용액으로 용해시키도록, 제2 기간 동안 상기 기관을 상기 인산의 습식 에칭 용액에 노출시키는 것을 지속하는 단계; 및

상기 제1 및 제2 기간의 완료를 결정하기 위해 상기 습식 화학 처리 시스템에 포함된 화학 모니터링 시스템을 이용하여 상기 습식 에칭 용액 내의 실리카, 실리콘 또는 실리콘 함유 화합물의 농도를 모니터링하는 단계를 포함하는, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 17

제16항에 있어서, 상기 제1 기간 동안 최대의 실리콘 질화물 대 실리콘 산화물 에칭 선택도는, 상기 제2 기간 동안 실리콘 질화물 대 실리콘 산화물 에칭 선택도보다 더 높은 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 18

제16항에 있어서, 상기 인산의 습식 에칭 용액은, 상기 제1 및 제2 기간 동안 140 °C 내지 170 °C의 온도에 있는 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 19

제16항에 있어서, 상기 인산의 습식 에칭 용액은 70 wt% 내지 95 wt% 인산인 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 20

제16항에 있어서, 상기 인산의 습식 에칭 용액은, 상기 제1 및 제2 기간 동안 140 °C 내지 170 °C의 온도에 있고, 상기 인산의 습식 에칭 용액은 70 wt% 내지 95 wt% 인산인 것인, 기관 상에 형성된 피쳐들을 에칭하는 방법.

청구항 21

삭제

청구항 22

삭제

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 이 출원은 2016년 3월 30일자 출원된 미국 가특허 출원 제62/315,559호에 대한 우선권을 주장하며, 그 전체 내

용은 여기에서의 인용에 의해 본원에 통합된다. 이 출원은 2016년 3월 30일자 출원된 미국 가특허 출원 제 62/315,632호에 대한 우선권을 또한 주장하며, 그 전체 내용은 여기에서의 인용에 의해 본원에 통합된다. 이 출원은 로튼다로 등이 "콜로이달 실리카 성장 억제제와 관련 방법 및 시스템"의 명칭으로 동일자 출원한 미국 특허 출원 제15/467939호를 여기에서 인용함으로써 그 전체 내용을 또한 통합한다.

[0003] 기술 분야

[0004] 본 발명은 실리콘 웨이퍼를 인산 용액으로 처리하는 것에 관한 것이다. 특히 본 발명은 인산 처리 중에 웨이퍼 표면에 콜로이달 실리카 퇴적물이 성장하는 것을 방지하는 신규 방법을 제공한다.

배경 기술

[0005] 반도체 산업에서 이산화 실리콘과 순수 실리콘에 대하여 높은 선택성으로 질화 실리콘 막을 제거하기 위해 인산이 사용되어 왔다. 1967년에 겔더(Gelder)와 호서(Hauser)는 비등(boiling) 인산을 이용하여 질화 실리콘 막을 제거하는 것을 제안하는 논문을 발표하였다. 이들은 처리 탱크에서의 산 온도 및 그 농도를 제어하기 위해 소정 회석으로 산의 비등점을 이용하였다. 이 처리는 반도체 산업에서 널리 채용되어 왔고, 오늘날의 생산에도 사용된다.

[0006] 반도체 산업에서 비등 인산 처리의 전형적인 응용은 질화 실리콘 막의 제거이다. 그러한 응용에서, 질화 실리콘 막은 전형적으로 이산화 실리콘 막 위에 형성되고, 퇴적된 이산화 실리콘에 의해 포위된다. 질화 실리콘 막을 제거하는 처리는 희석된 불산(HF) 처리에 의해 질화 실리콘 막의 상부에 있는 임의의 잔류 이산화 실리콘을 조심스럽게 제거함으로써 시작한다. HF의 희석은 질화 실리콘 영역들 사이에 있는 퇴적된 이산화 실리콘을 크게 제거하지 않고 질화 실리콘의 표면으로부터 임의의 잔류 이산화 실리콘을 제거하도록 조절된다. HF에서의 질화 실리콘 디글레이즈(deglaze) 단계 후에, 비등 인산에서 고 선택성 에칭을 수행하여 질화 실리콘 막들 사이에 있는 퇴적된 이산화 실리콘 막을 제거하지 않고 질화 실리콘 막을 제거하고, 이 에칭은 질화 실리콘 막 아래에 있는 이산화 실리콘 막 위에서 정지한다.

[0007] 소정의 반도체 구조물의 처리 중에, 노출된 이산화 실리콘 영역에서 콜로이달 실리카 퇴적물의 역성장은 질화 실리콘의 제거 및/또는 다른 후속 처리 단계를 방해할 수 있는 것으로 밝혀졌다. 인산으로의 표면 처리 중에 콜로이달 실리카 퇴적물을 제거하는 방법이 필요하다.

발명의 내용

해결하려는 과제

[0008] 인산으로 처리되는 표면 위의 콜로이달 실리카 퇴적물의 성장을 제거하는 혁신적인 방법이 여기에서 설명된다. 개시되는 기술은 퇴적된 콜로이달 실리카를 제거하기 위해 인산 처리에서 고 선택성 오버에칭 단계의 사용을 포함한다.

과제의 해결 수단

[0009] 일 실시형태에서, 개시되는 기술은 질화 실리콘이 높은 중형비를 가진 좁은 갭 또는 트렌치 구조물 내에 형성된 구조물로부터 질화 실리콘을 제거하기 위해 인산을 사용하는 것을 포함한다. 그러한 구조물의 배치는 가수분해 반응을 통하여 좁은 갭 또는 트렌치의 표면에서 유해한 양의 콜로이달 실리카 퇴적물의 형성을 특히 유도한다. 질화 실리콘 에칭이 완료된 때, 인산 용액으로부터 구조물을 제거하는 대신에, 구조물이 현재 추가의 화학 반응이 일어나는 용액 내에 남겨진다. 콜로이달 실리카 퇴적물을 형성한 가수분해 반응은 가역적이고, 질화 실리콘의 고갈에 따른 부근 인산에서의 현재 더 낮은 실리카 농도에 의해 평형(equilibrium)이 역방향으로의 반응을 일으켜서 퇴적된 실리카를 다시 용액으로 용해한다.

[0010] 다른 실시형태에서, 기판에 형성된 피처들(features)을 에칭하는 방법이 제공된다. 이 방법은 질화 실리콘을 포함한 노출된 피처들의 제1 집합과 실리콘 또는 산화 실리콘을 포함한 노출된 피처들의 제2 집합으로 이루어진 높은 중형비 구조물을 가진 기판을 제공하는 단계를 포함할 수 있다. 상기 방법은 상기 기판을 습식 화학 처리 시스템에 로딩하는 단계를 또한 포함한다. 상기 방법은 2개의 에칭 단계, 즉 높은 중형비 구조물로부터 질화 실리콘의 적어도 일부를 제거하기 위해 상기 기판을 제1 습식 에칭 화학 조성물에 노출시키는 것- 상기 기판을 제1 습식 에칭 화학 조성물에 노출시킴으로써 높은 중형비 구조물의 실리콘 또는 산화 실리콘 위에 실리콘 함유 퇴적물이 형성됨 -을 포함한 제1 에칭 단계를 수행하는 단계와; 상기 제1 에칭 단계 중에 실리콘 또는 산화 실

리콘 위에 형성된 상기 실리콘 함유 퇴적물의 적어도 일부를 제거하기 위해 상기 기판을 제2 습식 에칭 화학 조성물에 노출시키는 것을 포함한 제2 에칭 단계를 수행하는 단계를 또한 포함한다.

[0011] 또 다른 실시형태에서, 습식 화학 처리 시스템이 제공된다. 습식 화학 처리 시스템은 기판을 수용하고 상기 기판을 습식 에칭 화학 조성물에 노출시키도록 구성된 챔버와, 상기 챔버에 결합되고 상기 습식 에칭 화학 조성물을 상기 챔버에 공급하는 화학물질 공급 시스템과, 여기에서 설명하는 기술들을 실행하기 위해 상기 습식 화학 처리 시스템의 구성요소들을 제어하도록 구성된 제어를 포함할 수 있다.

도면의 간단한 설명

[0012] 본 발명 및 그 장점들은 동일한 참조 번호가 동일한 특징을 표시하는 첨부 도면과 함께 이하의 상세한 설명을 참조함으로써 더 완전하게 이해할 수 있다. 그러나 첨부 도면은 발명 개념의 예시적인 실시형태를 나타낼 뿐이고, 따라서 발명 개념의 범위를 제한하는 것으로 고려되지 않으며, 발명 개념은 동일하게 효과적인 다른 실시형태들을 용인할 수 있다.

도 1a-1e는 제거 대상의 질화 실리콘을 가진 예시적인 반도체 구조물의 단면도 및 상기 반도체 구조물 위의 실리카 퇴적물의 형성 및 제거를 보인 도이다.

도 2는 질화 실리콘 에칭의 시구간 및 실리카 퇴적물 제거의 시구간 중에 변화하는 Si 농도를 나타내는 예시적인 시간 대 Si 농도 곡선을 보인 도이다.

도 3은 여기에서 설명하는 실리카 퇴적물 제거 기술들의 일 실시형태에 대한 예시적인 처리 흐름도이다.

도 4는 여기에서 설명하는 기술들을 수행하기 위해 사용될 수 있는 습식 화학 처리 시스템을 보인 도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 소정 반도체 구조물의 질화 실리콘의 인산 에칭 중에, 노출된 이산화 실리콘 영역에서 퇴적하는 콜로이달 실리카의 역성장이 처리 중에 질화 실리콘 제거를 방해할 수 있는 것으로 밝혀졌다. 더 구체적으로, 좁은 갭, 좁은 트렌치 및/또는 높은 종횡비를 가진 구조물에 형성된 질화 실리콘이 특히 문제로 된다. 그러한 구조물은 논리 소자, 상호접속 구조, 핀(fin) 전계 효과 트랜지스터(FinFET), 3D 반도체 구조, NAND(Not AND) 논리형 메모리 소자와 같은 플래시 메모리 소자 등과 같은 매우 다양한 반도체 구조물에서 발견할 수 있다.

[0014] 여기에서 설명하는 바와 같이, 인산으로 처리되는 표면에 퇴적된 콜로이달 실리카와 같은 실리콘 함유 퇴적물의 제거가 제공된다. 개시되는 기술들은 퇴적된 콜로이달 실리카를 제거하기 위해 인산 처리에서 고 선택성 오버에칭 단계의 사용을 포함한다. 일 실시형태에서, 개시되는 기술들은 질화 실리콘이 높은 종횡비를 가진 좁은 갭 또는 트렌치 구조물 내에 형성된 구조물로부터 질화 실리콘을 제거하기 위해 인산을 사용하는 것을 포함한다. 전술한 바와 같이, 그러한 구조물의 배치는 가수분해 반응을 통하여 좁은 갭 또는 트렌치의 표면에서 유해한 양의 콜로이달 실리카 퇴적물의 형성을 특히 유도한다. 질화 실리콘 에칭이 완료된 때, 인산 용액으로부터 구조물을 제거하는 대신에, 구조물이 현재 추가의 화학 반응이 일어나는 용액 내에 남겨진다. 콜로이달 실리카 퇴적물을 형성한 가수분해 반응은 가역적이고, 질화 실리콘의 고갈에 따른 부근 인산에서의 현재 더 낮은 실리카 농도에 의해 평형이 역방향으로의 반응을 일으켜서 퇴적된 실리카를 다시 용액으로 용해한다.

[0015] 인산 질화 실리콘 에칭에 있어서, 질화 실리콘 에칭률과 이산화 실리콘 에칭률 간의 고 선택성은 적어도 부분적으로 인산 용액 내의 실리콘 함량에 의해 조절된다. 실리콘 함량이 높으면 높을수록 이산화 실리콘 에칭률은 낮아진다. 질화 실리콘이 실리콘 함량에 의해 거의 영향을 받지 않기 때문에, 질화 실리콘 에칭과 이산화 실리콘 에칭 간의 선택성은 용액의 실리콘 함량이 증가함에 따라 증가한다. 그러나 용액의 실리콘 함량의 증가는 처리 중에 노출된 이산화 실리콘 영역에서 콜로이달 실리카 퇴적물의 성장을 야기한다. 콜로이달 실리카 퇴적물의 성장은 콜로이달 실리카 퇴적물이 높은 종횡비 트렌치로의 용액 흐름을 방해하여 질화물 에칭 처리를 크게 느리게 할 수 있기 때문에 복합 구조물의 에칭에 부정적인 영향을 준다. 또한, 콜로이달 실리카 퇴적물의 성장은 후속 처리 단계에서 역효과를 줄 수 있다.

[0016] 일 실시형태에서, 오버에칭 처리는 다음과 같이 행하여진다: 이산화 실리콘과 질화 실리콘을 포함한 구조물이 일반적으로 70wt% 내지 95wt% 인산(나머지는 물), 더 바람직하게는 85wt% 인산을 포함하고 140°C 내지 170°C, 더 바람직하게는 160°C의 온도인 인산 용액조에 침수된다. 인산에서 질화 실리콘은 하기의 화학 반응에 따라 에칭으로 제거된다.

- [0017] $SiN(s) + H_3PO_4 + H_2O \rightarrow Si(OH)_4 + NH_4H_2PO_4$
- [0018] 이 반응은 산 용액에서 실리카($Si(OH)_4$)를 생성하지만, 높은 실리카 농도 및 낮은 pH 때문에, 실리카는 가수 분해 반응에서 자체적으로 반응하여 콜로이드 실리카를 중합 및 형성할 수 있다.
- [0019] $-Si-OH + HO-Si- \rightarrow -Si-O-Si- + H_2O$
- [0020] 이 콜로이드 실리카는 산 용액에서 또는 이산화 실리콘 표면에서 직접 콜로이드 입자를 형성할 수 있다. 용액 내에서 형성하는 콜로이드 입자들은 또한 이산화 실리콘 표면에서 모일 수 있다. 이로써 이산화 실리콘 표면을 덮는 실리카 겔을 형성하고 질화 실리콘의 부근 에칭에 기인하여 국부적인 고농도의 실리카가 있는 한 성장을 계속한다.
- [0021] 질화 실리콘이 에칭으로 완전히 제거된 때, 인산 용액으로부터 구조물을 제거하는 대신에, 구조물이 현재 추가의 화학 반응이 일어나는 용액 내에 남겨진다. 앞에서 나타난 가수분해 반응은 가역적이고, 질화 실리콘의 고갈에 따른 부근 인산에서의 현재 더 낮은 실리카 농도에 의해 평형이 역방향으로의 반응을 일으켜서 퇴적된 실리카를 다시 용액으로 용해한다.
- [0022] 비록 퇴적되는 실리카가 이 실리카가 형성되는 원래의 이산화 실리콘 구조물과 동일한 이산화 실리콘(SiO_2)이지만, 산화물에서의 차이가 있을 수 있다. 주요 차이는 원래의 이산화 실리콘이 고농도의 결정질 이산화 실리콘이고 퇴적된 실리카가 저농도이면서 비정질이며, 퇴적된 실리카가 매우 다른 에칭률을 갖게 한다는 점이다. 이산화 실리콘 에칭률에 대한 질화 실리콘 에칭률의 선택성은 퇴적된 실리카 막이 에칭될 수 있지만 원래의 이산화 실리콘 자체의 현저한 에칭은 없도록 주의깊게 제어될 수 있다.
- [0023] 퇴적된 실리카 막이 산 용액으로 다시 용해된 때, 상기 구조물은 후속 처리 단계를 위해 산 용액조로부터 제거될 수 있다. 따라서 제어형의 오버에칭 단계의 추가는 인산으로 처리된 표면으로부터 상기 퇴적된 콜로이드 실리카를 제거하기 위해 제공된다. 다른 화학 처리를 이용하여 원치않은 실리카 막을 제거하는 대신에, 구조물은 제1 장소에서 퇴적을 야기한 화학 반응의 역반응에 기인하여 동일한 용액조에서 퇴적물을 제거하기 위해 동일한 산 용액조에 유지된다. 그러한 접근법에서는 높은 중형비 구조물로부터 질화 실리콘의 적어도 일부를 제거하기 위해 제1 습식 에칭 화학 조성물에 기판을 노출시키는 것을 포함한 제1 에칭 단계가 사용된다. 제1 습식 에칭 화학 조성물에 기판을 노출시킴으로써 높은 중형비 구조물의 실리콘 또는 산화 실리콘 위에 실리카 퇴적물이 형성된다. 그 다음에, 상기 제1 에칭 단계에서 실리콘 또는 산화 실리콘 위에 형성된 실리카 퇴적물의 적어도 일부를 제거하기 위해 제2 습식 에칭 화학 조성물에 기판을 노출시키는 제2 에칭 단계가 수행된다. 상기 제1 습식 에칭 화학 조성물과 상기 제2 습식 에칭 화학 조성물은 둘 다 인산을 포함할 수 있고, 사실상 동일한 인산 용액조로 된다. 그러나 다른 기술들은 상기 제1 습식 에칭 화학 조성물과 제2 습식 에칭 화학 조성물이 다른, 여기에서 설명하는 개념들을 활용할 수 있다.
- [0024] 전술한 바와 같이, 여기에서 개시하는 기술들은 논리 소자, 상호접속 구조, FinFET, 3D 반도체 구조, NAND 플래시 메모리 소자 등과 같은 매우 다양한 반도체 구조물에 적용할 수 있다. 예시적인 구조물이 도 1a에 도시되어 있다. 그러한 구조물은 3D NAND 소자 또는 임의의 많은 다른 반도체 소자에 존재할 수 있다. 도 1a의 좁은 갭 및 높은 중형비 구조물은 단지 예를 든 것이고, 당업자라면 여기에서 설명하는 기술이 콜로이드 실리카 퇴적물의 역형성이 발생하는 많은 다른 구조물의 처리에 유용할 수 있다는 것을 이해할 것이다. 따라서 도 1a에 도시된 좁은 갭 및 높은 중형비 구조물은 임의의 매우 다양한 좁은 구조물 및/또는 높은 중형비 구조물의 단지 예를 든 것이다. 예를 들면, 여기에서 설명하는 기술들은 높은 중형비 트렌치 구조물과 관련된다.
- [0025] 도 1a에 도시된 것처럼, 예컨대 3D NAND 구조물의 일부일 수 있는 예시적인 반도체 구조물(100)은 질화 실리콘이 좁은 고 중형비의 갭 내에 형성되는 것으로 도시되어 있다. 도시된 것처럼 좁은 고 중형비의 갭은 이산화 실리콘(SiO_2) 층(102)들 사이에 형성된다. SiO_2 층(102)은 대안적으로 Si 층 또는 다른 산화물 층일 수 있다. 질화 실리콘(SiN) 층(104)들은 SiO_2 층들 간의 갭 내에 형성된다. 그 다음에, SiN 층의 에칭이 반도체 구조물(100)을 예를 들면 고온 인산 용액조에 침수시키거나 상기 구조물을 고온 인산의 스프레이에 노출시키는 것과 같이 고온 인산 용액에 노출시킴으로써 발생할 수 있다. SiN 의 에칭에 기인해서, 도 1b에 도시된 것처럼, 고농도의 콜로이드 실리카($Si(OH)_4$)(110)가 SiO_2 의 표면 부근에서 인산 용액에 분산된다. 도 1b에 도시된 것처럼, SiN 에칭이 발생함에 따라, $Si(OH)_4$ 농도가 증가하고 콜로이드 실리카(110)가 퇴적하여 도 1b에 도시된 것처럼 SiO_2 표면에 실리카 퇴적물(112)을 형성한다. 도 1c는 SiN 층(104)이 완전히 제거된 때의 구조물(100)을 보인 것이다. 도면에서 알 수 있는 바와 같이, 실리카 퇴적물(112)이 SiO_2 층(102) 위에 제공된다. 도 1c에서는 비교적 균일한 실리카 퇴적물이 제공되어 있다는 점에 주목한다. 그러나 실제로는 퇴적물이 좁은 갭 또는 트렌치의

입구에서 시간에 따라 구축될 수 있다. 따라서, 도 1d에 도시된 것처럼, 퇴적물은 갭 또는 트렌치를 사실상 "핀치오프"(pinch off)시켜서 잔류 질화 실리콘을 에칭하는 인산의 능력 효율에 크게 충격을 줄 수 있다. 따라서, 도 1d에 도시된 것처럼, 실리카 퇴적물(116)이 SiO₂ 층(102)들 간에 형성된 갭 영역(118)을 완전히 폐색시켜서 SiN 층(104)의 완전한 에칭을 막을 수 있다.

[0026] 제1 에칭 단계에서 SiN의 에칭이 종료한 때, 용액 내에서 콜로이드 Si(OH)₄(실리카)의 농도 증가는 감소하고 실리카 퇴적이 종료한다. 여기에서 설명하는 것처럼, 반도체 구조물(100)은 제2 에칭 단계로 진행하기 위해 인산에 계속하여 노출된다. 제2 에칭 단계에서, 상기 퇴적된 실리카가 인산에 의해 에칭된다. 전술한 바와 같이, 실리카 퇴적물의 특성에 기인해서, 상기 퇴적된 실리카는 SiO₂ 층(102)까지 우선적으로 에칭된다. 따라서, 전술한 바와 같이, 퇴적된 실리카는 가수분해 반응으로 반응하여 산 용액으로 다시 용해하는 콜로이드 실리카를 중합 및 형성할 수 있다. 따라서, 도 1e에 도시된 것처럼, 퇴적된 실리카를 인산 용액에 계속하여 노출시키면 퇴적된 SiO₂를 해리 및 용해하여 상기 퇴적된 실리카(112, 116)가 제거된다. 상기 퇴적된 실리카가 산 용액으로 다시 용해된 때 반도체 구조물은 후속 처리 단계를 위해 산 용액으로부터 제거될 수 있다.

[0027] 전술한 처리는 도 2의 예시적인 시간 대 Si 농도 차트에 도시되어 있다. 도 2에 도시된 것처럼, Si 농도는 일반적으로 85wt%의 인산(나머지는 물)을 포함하고 160°C인 인산 용액조에 침수된 도 1a에 도시된 바와 같은 구조물의 질화 실리콘 에칭 처리를 위해 제공된다. 도 2에 도시된 것처럼, 벌크 실리콘 농도(ppm) 곡선(205)은 일반적으로 시간에 따라 증가한다. 이것은 일반적으로 인산 용액 내의 벌크 실리콘 농도를 반영한다. 더 구체적으로, 실리콘 농도는 일반적으로 SiN이 에칭되는 기간에 대응하는 시구간(210) 동안 증가한다. 시구간(215)은 SiN 에칭이 더 이상 발생하지 않는 기간에 대응한다. 시구간(215) 중에, 실리카 퇴적물은 도 1e에 도시된 것처럼 반도체 구조물로부터 제거된다. 실리콘 농도 곡선(207)은 높은 종횡비 구조물 부근에서의 국부적 실리콘 농도를 나타낸다(일반적으로 곡선(205)에 의해 나타낸 용액 내의 벌크 농도와 대조적임). 도시된 것처럼, 높은 종횡비 구조물 내측에서 국부적으로, 실리콘 농도는 질화 실리콘 에칭으로부터의 국부적인 실리카 플럭스에 기인해서 더 빠르게 상승한다. 도시된 것처럼, 국부적 실리카 농도는 궁극적으로 인산 용액 내의 벌크 실리콘 농도보다 더 높은 값에 도달할 것이다. 그러나 질화 실리콘 에칭이 마무리된 때, 곡선(207)으로 도시된 높은 종횡비 구조물 영역에서의 국부적 실리콘 농도는 감소하기 시작하고, 종국적으로는 도면에 도시된 것처럼 시간 경과에 따라 벌크 실리콘 농도 값에 도달할 것이다.

[0028] 전술한 바와 같이, 실리콘 함량이 높으면 높을수록 일반적으로 발생하는 이산화 실리콘 에칭률은 낮아진다. 또한, 질화 실리콘 에칭률은 실리콘 함량에 의해 거의 영향을 받지 않는다. 따라서 도 2에 도시된 실리콘 함량 변화는 질화 실리콘 에칭과 이산화 실리콘 에칭 간의 에칭 선택성에 대하여 시간에 따른 선택성 변화를 야기할 것이다. 따라서 도 2에 곡선(207)으로 나타낸 바와 같이, 국부적 에칭 선택성은 시간 범위(210)의 대략 끝에서 용액의 실리콘 함량이 최대까지 증가하기 때문에 증가하고, 그 점에서 최대의 질화 실리콘 대 산화 실리콘 에칭 선택성이 획득될 것이다. 국부적 농도가 시간 범위(215)에서 하강함에 따라, 질화 실리콘과 산화 실리콘 간의 국부적 선택성은 그에 대응하여 최대 선택성으로부터 하강할 것이다. 따라서 제1 및 제2 에칭 단계가 제공되는 기술이 제공된다. 제1 에칭 단계는 시간 범위(210)에 대응하고 제2 에칭 단계는 시간 범위(215)에 대응할 수 있다. 제1 에칭 단계는 제2 에칭 단계의 적어도 일부 동안의 질화 실리콘 대 산화 실리콘 에칭보다 더 큰 최대의 질화 실리콘 대 산화 실리콘 에칭 선택성을 갖는다. 일 실시형태에서, 제1 에칭 단계 중에 질화 실리콘 대 이산화 실리콘 에칭률의 국부화 에칭 선택성은 100:1 이상일 수 있고, 일부 경우에는 300:1 이상 및 일부 경우에는 500:1 이상일 수 있다. 제2 에칭 단계 중에 질화 실리콘 대 이산화 실리콘 에칭률의 국부화 에칭 선택성은 제1 에칭 단계와 같거나 그보다 낮을 것이고, 일부 실시형태에서는 상기 제1 에칭 단계 최대 선택성보다 10% 더 낮게, 일부 실시형태에서는 상기 제1 에칭 단계 최대 선택성보다 30% 더 낮게, 및 일부 실시형태에서는 상기 제1 에칭 단계 최대 선택성보다 심지어 50% 더 낮게 시간에 따라 감소한다.

[0029] 전술한 반응식의 진행을 모니터링하기 위해 상기 산 용액 내의 각종 화학 구성성분을 모니터링할 수 있다. 따라서 습식 화학물질 처리 시스템에 포함된 화학물질 모니터링 시스템을 이용하여 제1 습식 에칭 화학 조성물(질화 실리콘이 에칭되는 동안의 조성물)의 적어도 하나의 화학 구성성분의 농도 모니터링이 수행될 수 있다. 또한, 습식 화학물질 처리 시스템에 포함된 화학물질 모니터링 시스템을 이용하여 제2 습식 에칭 화학 조성물(실리카 퇴적물이 제거되는 동안의 조성물)의 적어도 하나의 화학 구성성분의 농도 모니터링이 수행될 수 있다. 예를 들면, 제1 및 제2 에칭 단계의 모니터링은 도 2에 도시된 실리콘 농도의 모니터링일 수 있다. 그러나, 언급한 것처럼, 다른 화학 구성성분의 모니터링을 수행할 수도 있다.

[0030] SiN의 제거 후에 반도체 구조물이 인산 용액에 노출되는 추가 시간량은 많은 처리 변수, 에칭되는 구조물, 노출된 질화 실리콘이 제거되는 양, 실리카 퇴적물의 양 및 각종의 에칭 처리 변수(산 농도, 실리콘 농도, 온도

등)에 따라 달라진다는 것을 이해할 것이다. 따라서 도 2에 도시된 시간은 단지 예를 든 것임을 이해할 것이다. 일 실시형태에서, 실리카 퇴적물을 제거하기 위한 추가 에칭 시간은 약 5%-40% 오버에칭 시간의 범위 내(질화 실리콘 에칭 시간의 함수로서), 더 바람직하게는 15%-30% 오버에칭 시간의 범위 내일 수 있다.

[0031] 도 1b-1d와 관련하여 설명한 것처럼, 여기에서 설명하는 기술은 높은 종횡비 구조물에 특히 유용하다. 따라서 도 1b-1d에 도시한 것과 같은 높은 종횡비를 가진 적층형 구조물, 높은 종횡비의 트렌치 구조물, 높은 종횡비의 상호접속 구조물 등은 이 기술로부터 이익을 얻을 것이다. 그러한 높은 종횡비 구조물은 콜로이달 실리카가 산 용액의 벌크 내로 신속히 확산하지 않기 때문에 구조물의 표면 부근에서 더 높은 콜로이달 실리카 농도를 발생할 것이다. 따라서 퇴적된 실리카의 구축에 의해 바람직한 갭 공간을 실질적으로 좁힐 수 있는, 도 1d에 도시된 것과 같은 메카니즘이 발생할 수 있다. 여기에서 설명하는 것처럼 높은 종횡비는 적어도 4:1 이상의 종횡비로 생각된다.

[0032] 본 발명은 습식 화학 처리 시스템에서 질화 실리콘 에칭을 수행하는 기술을 제공한다. 도 3은 그러한 기술의 예시적인 처리 흐름(300)을 제공한다. 여기에서 설명하는 기술들은 다른 처리 흐름에서 유리하게 활용될 수 있다는 점을 이해할 것이다. 도 3에 도시된 바와 같이, 단계 302는 질화 실리콘을 포함한 노출된 피처들의 제1 집합과 실리콘 또는 산화 실리콘을 포함한 노출된 피처들의 제2 집합으로 이루어진 높은 종횡비 구조물을 가진 기판을 제공하는 단계를 포함한다. 단계 304는 상기 기판을 습식 화학 처리 시스템에 로딩하는 단계를 포함한다. 단계 306은 높은 종횡비 구조물로부터 질화 실리콘의 적어도 일부를 제거하기 위해 기판을 제1 습식 에칭 화학 조성물에 노출시키는 것을 포함한 제1 에칭 단계를 수행하는 단계를 포함한다. 단계 308은 상기 기판을 제1 습식 에칭 화학 조성물에 노출시키는 것에 의해 높은 종횡비 구조물의 실리콘 또는 산화 실리콘 위에 실리카 퇴적물이 형성되는 것을 설명한다. 단계 310은 상기 제1 에칭 단계 중에 실리콘 또는 산화 실리콘 위에 형성된 상기 실리카 퇴적물의 적어도 일부를 제거하기 위해 상기 기판을 제2 습식 에칭 화학 조성물에 노출시키는 것을 포함한 제2 에칭 단계를 수행하는 단계를 포함한다.

[0033] 전술한 바와 같이, 단계 306과 단계 310에서, 상기 제1 습식 에칭 화학 조성물 및/또는 상기 제2 습식 에칭 화학 조성물은 인산을 포함할 수 있다. 따라서 상기 제1 및 제2 습식 에칭 화학 조성물은 동일할 수도 있고 다를 수도 있다. 일 실시형태에서, 2개의 습식 에칭 화학 조성물은 동일하고, 상기 제2 습식 에칭 화학 조성물은 질화 실리콘 오버에칭 단계의 일부이다.

[0034] 단독으로 또는 조합으로 각종 처리 파라미터들이 선택될 수 있고, 여기에서 상기 제1 에칭 단계 또는 제2 에칭 단계의 적어도 하나의 파라미터는 상기 제1 에칭 단계 중에 실리콘 또는 이산화 실리콘을 포함한 노출된 피처 위에 형성된 실질적으로 모든 실리콘 함유 퇴적물이 상기 제2 에칭 단계 중에 제거되도록 선택된다. 상기 적어도 하나의 파라미터는 제1 에칭 단계의 지속기간, 제2 에칭 단계의 지속기간, 제1 습식 에칭 화학 조성물의 적어도 하나의 화학 구성성분의 농도, 제2 습식 에칭 화학 조성물의 적어도 하나의 화학 구성성분의 농도, 제1 습식 에칭 화학 조성물의 온도, 제2 습식 에칭 화학 조성물의 온도, 제1 습식 에칭 화학 조성물의 유량, 및 제2 습식 에칭 화학 조성물의 유량으로부터 선택될 수 있다. 이 방식으로, 처리 조건 및 변수들은 실리콘 함유 퇴적물을 모두 제거하는 바람직한 효과를 제공하도록 선택될 수 있다.

[0035] 전술한 바와 같이, 여기에서 설명하는 기술들은 임의의 광범위한 질화 실리콘 에칭 장비 및 화학에서 활용될 수 있다. 따라서 여기에서 설명하는 기술들은 다중 웨이퍼 묶음 질화 실리콘 에칭 시스템 또는 단일 웨이퍼 질화 실리콘 에칭 시스템에서 활용될 수 있다. 예를 들면, 로톤다로(Rotondaro) 등에 의해 "콜로이달 실리카 성장 억제제와 관련 방법 및 시스템"의 명칭으로 동일자 출원된 미국 특허 출원 제15/467939호(그 전체 내용은 인용에 의해 본원에 통합됨)에 더 자세히 설명되는 있는 시스템을 활용할 수 있다. 그러나 다른 시스템들도 여기에서 제공된 기술들을 유리하게 또한 활용할 수 있다는 점을 이해할 것이다. 또한, 여기에서 설명하는 기술들은 인산 화학으로 제한되지 않고, 다른 에칭 화학에도 적용할 수 있다. 게다가, 인산 화학을 사용하는 경우에도 그 기술들은 물 화학 및 여기에서 설명하는 처리 변수들을 가진 인산으로 제한되지 않는다. 예를 들면, 첨가제, 억제제 및/또는 황산의 사용을 또한 포함하고 광범위한 온도, 농도 및 다른 처리 변수들을 포함할 수 있는 인산 용액이 로톤다로 등에 의해 "콜로이달 실리카 성장 억제제와 관련 방법 및 시스템"의 명칭으로 동일자 출원된 미국 특허 출원 제15/467939호(그 전체 내용은 인용에 의해 본원에 통합됨)에 자세히 설명되는 있는 바와 같이 활용될 수 있다. 또한, 여기에서는 질화 실리콘 에칭 단계와 퇴적된 실리카 제거 단계가 동일한 인산 용액으로 수행되는 시스템으로 설명하였지만, 상기 2개의 단계는 다른 습식 에칭 조성물로 달성될 수 있다는 점을 이해할 것이다. 따라서 질화 실리콘 에칭 조성물과 실리카 제거 에칭 조성물은 동일한 습식 에칭 조성물일 수도 있고 다른 습식 에칭 조성물일 수도 있다. 그러므로 질화 실리콘 에칭 시스템에서 퇴적 실리카 제거를 위해 여기에서 설명

한 기술들은 광범위한 에칭 시스템 및 에칭 화학에 적용할 수 있다는 점을 이해할 것이다.

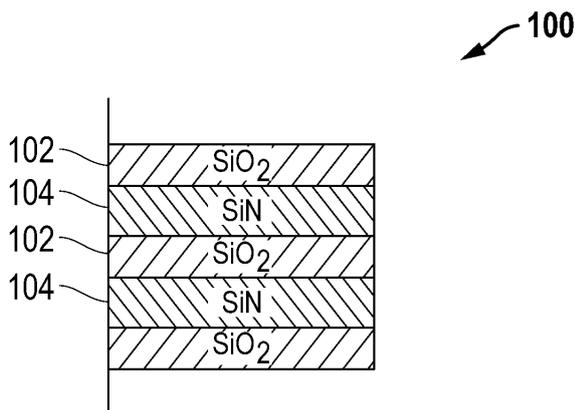
[0036] 일 실시형태에서, 여기에서 설명한 방법들은 습식 화학 처리 시스템으로 달성될 수 있다. 습식 화학 처리 시스템은 기판을 수용하고 상기 기판을 습식 에칭 화학 조성물에 노출시키도록 구성된 챔버와, 상기 챔버에 결합되고 상기 습식 에칭 화학 조성물을 상기 챔버에 공급하는 화학물질 공급 시스템을 포함할 수 있다. 습식 화학 처리 시스템은 여기에서 설명하는 방법들을 실행하기 위해 상기 습식 화학 처리 시스템의 구성요소들을 제어하도록 구성된 제어기를 또한 포함할 수 있다. 습식 화학 처리 시스템은 습식 에칭 화학 조성물의 적어도 하나의 화학 구성성분의 농도를 모니터링하는 화학물질 모니터링 시스템을 또한 포함할 수 있다. 일 실시형태에서, 모니터링되는 화학 구성성분은 실리콘, 실리카 및 Si 함유 화합물로 이루어진 그룹으로부터 선택될 수 있다. 습식 화학 처리 시스템은 단일 기판 처리 시스템일 수 있고, 또는 복수의 기판을 동시에 처리하도록 구성될 수 있다.

[0037] 도 4는 하나의 예시적인 습식 화학 처리 시스템(400)을 보인 것이다. 여기에서 설명하는 기술은 매우 다양한 다른 습식 화학 처리 시스템과 함께 사용될 수 있다는 점을 이해할 것이다. 챔버(402)가 제공된다. 챔버는 기판을 수용하고 기판을 습식 에칭 화학 조성물에 노출시키도록 구성된다. 챔버는 단일 웨이퍼 챔버일 수 있고, 또는 일괄 습식 에칭 탱크와 같이 복수의 웨이퍼를 처리하기 위한 챔버일 수 있다. 화학물질 공급 시스템(403)은 습식 화학물질 소스(404) 및 습식 화학물질을 챔버로/로부터 제공하는 재순환 선로(406, 408)를 포함할 수 있다. 제어기(410)는 상기 챔버 및 상기 화학물질 공급 시스템에 결합되어 습식 화학물질 처리 시스템(400)의 각종 컴포넌트로부터 신호 선로(412, 414)를 통해 피드백을 제어 및/또는 수신한다. 예시적인 일 실시형태에서, 제어기(410)는 메모리, I/O 포트 등과 같은 다른 회로와 협력하는 프로세서, 마이크로컨트롤러 또는 프로그래머블 논리 소자일 수 있다. 일 실시형태에서, 프로세서, 마이크로컨트롤러 또는 프로그래머블 논리 소자는 여기에서 설명하는 기능들을 수행하는 명령어 또는 구성 파일을 실행하도록 구성될 수 있다.

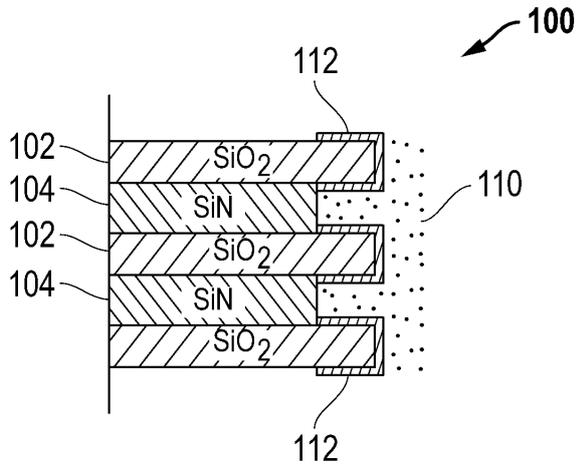
[0038] 발명의 추가의 수정 및 대안적인 실시형태가 전술한 설명을 고려하여 당업자에게 명백할 것이다. 따라서 이 설명은 단지 예를 든 것으로 해석해야 하고, 당업자에게 본 발명을 실시하는 방식을 교시하기 위한 것이다. 여기에서 도시 및 설명한 발명의 형태 및 방법은 현재의 양호한 실시형태로서 취해진 것임을 이해하여야 한다. 등가적인 기술이 여기에서 예시하고 설명한 실시형태를 대체할 수 있고, 발명의 소정 특징들은 다른 특징들의 사용과 무관하게 사용될 수 있으며, 이러한 점들은 발명에 대한 상기 설명을 읽음으로써 당업자에게 명백하게 될 것이다.

도면

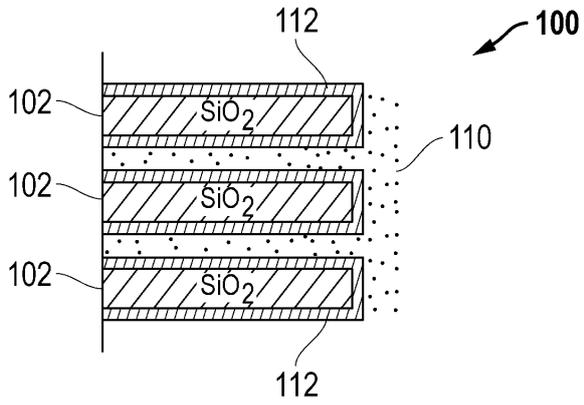
도면1a



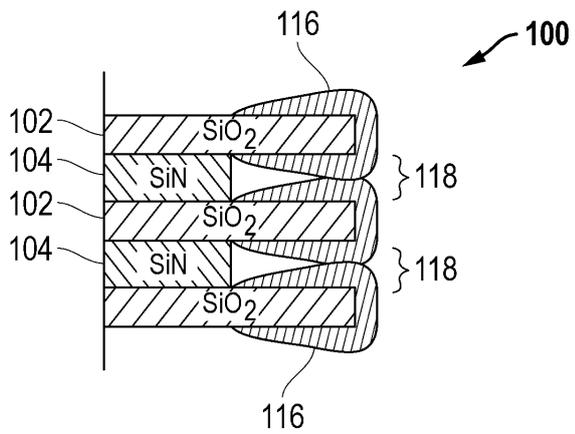
도면1b



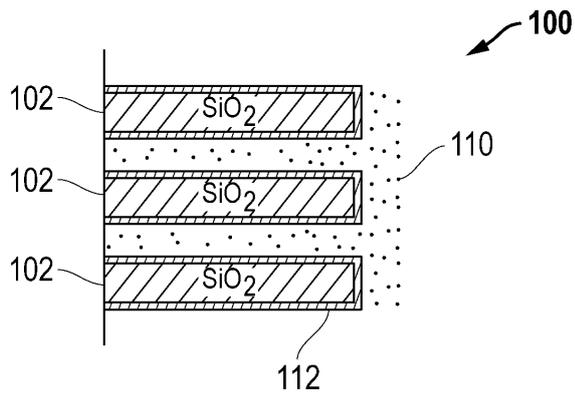
도면1c



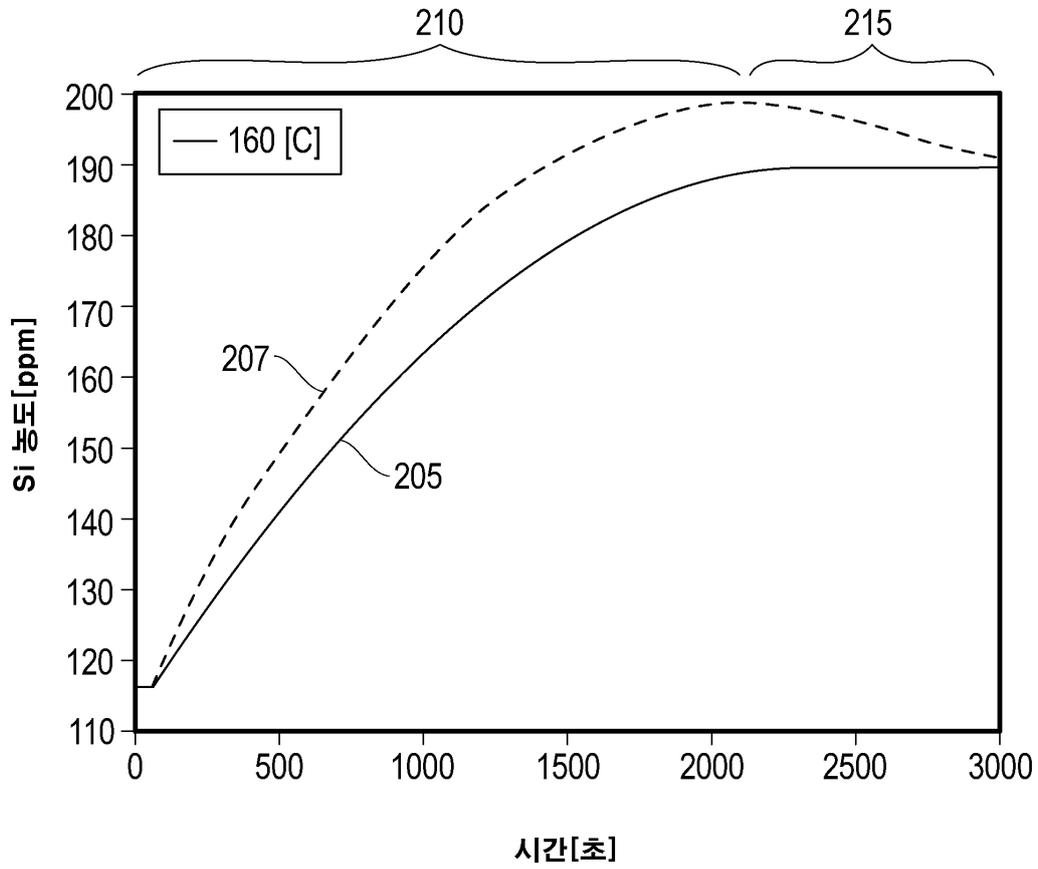
도면1d



도면1e

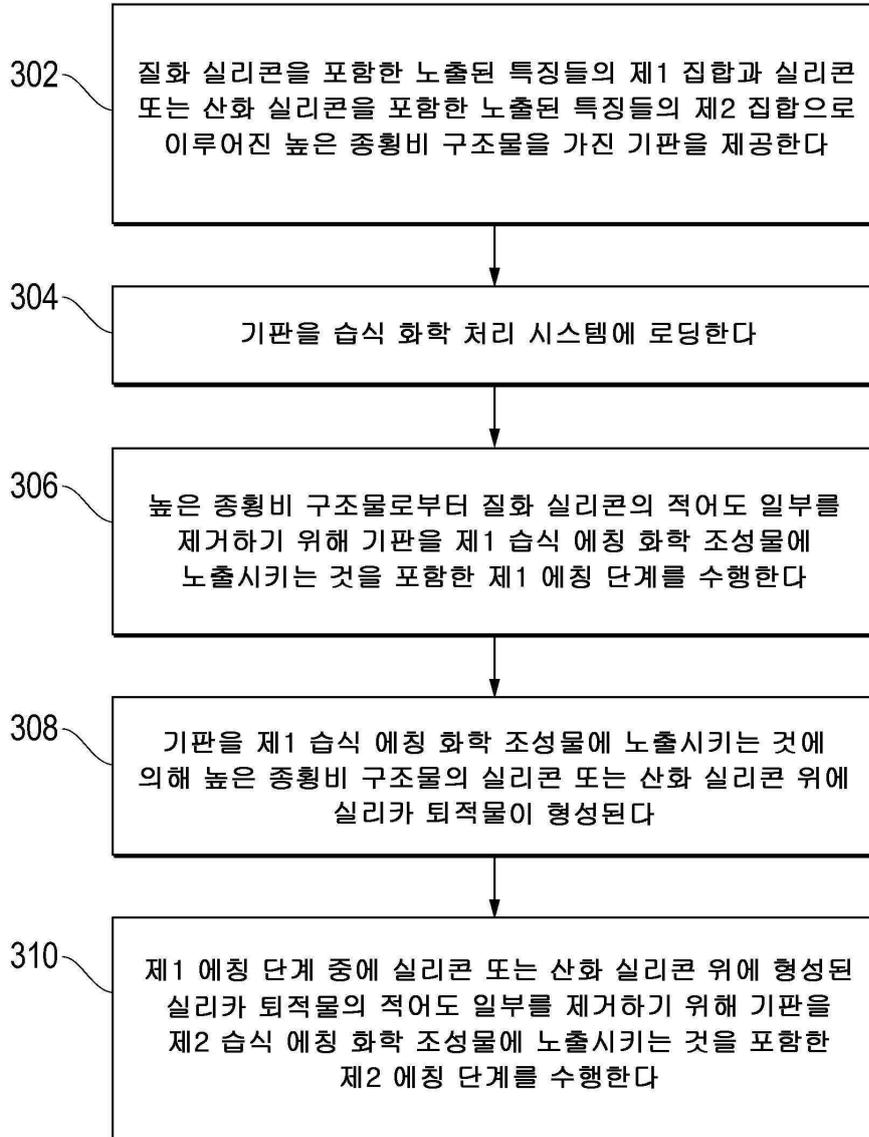


도면2



도면3

300



도면4

