

發明專利說明書

公告本

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97141662

※申請日期：97年10月29日

※IPC分類：H01L 29/286 (2006.01)
G02F 1/1368 (2006.01)

一、發明名稱：

(中) 薄膜電晶體以及具有該薄膜電晶體之顯示裝置

(英) Thin film transistor, and display device having the thin film transistor

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎 舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 山崎 舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 神保 安弘

(英) JINBO, YASUHIRO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/11/01 ; 2007-284717 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：薄膜電晶體以及具有該薄膜電晶體之顯示裝置

薄膜電晶體包括：形成在閘極電極之上的閘極絕緣膜；形成在閘極絕緣膜之上的微晶半導體膜，其含有用作為施體的雜質元素；形成在含有用作為施體的雜質元素的微晶半導體膜之上的一對緩衝層；形成在一對緩衝層之上的一對半導體膜，其添加有賦予一種導電性類型的雜質元素；形成在添加有賦予一種導電性類型的雜質元素的一對半導體膜之上的佈線，微晶半導體膜中的用作為施體的雜質元素的濃度從閘極絕緣膜側朝向緩衝層而降低，且緩衝層不包含其濃度高於 SIMS 的偵測限度之該用作為施體的雜質元素。

六、英文發明摘要

發明之名稱：Thin film transistor, and display device having the thin film transistor

The thin film transistor includes a gate insulating film formed over a gate electrode; a microcrystalline semiconductor film including an impurity element which serves as a donor, formed over the gate insulating film; a pair of buffer layers formed over the microcrystalline semiconductor film; a pair of semiconductor films to which an impurity element imparting one conductivity type is added, formed over the pair of buffer layers; and wirings formed over the pair of semiconductor films to which an impurity element imparting one conductivity type is added. The concentration of the impurity element which serves as a donor in the microcrystalline semiconductor film is decreased from the gate insulating film side toward the buffer layers, and the buffer layers do not include the impurity element which serves as a donor at a higher concentration than the detection limit of SIMS.

七、指定代表圖：

(一) 本案指定代表圖為：第(2A)圖

(二) 本代表圖之元件符號簡單說明：

50：基板

51：閘極電極

52a：閘極絕緣膜

52b：閘極絕緣膜

58：微晶半導體膜

61：微晶半導體膜

71a：佈線

71b：佈線

71c：佈線

72：半導體膜

73：緩衝層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

九、發明說明

【發明所屬之技術領域】

本發明關於一種微晶半導體膜、薄膜電晶體、以及至少在像素部包含該薄膜電晶體的顯示裝置。

【先前技術】

近年來，藉由使用形成在具有絕緣表面的基板之上的半導體薄膜（具有厚度大約為幾十 nm 至幾百 nm）以形成薄膜電晶體的技術引人注目。薄膜電晶體被廣泛地應用於電子裝置（諸如 IC）或電光裝置，尤其是即將被使用作為顯示裝置中的切換元件之薄膜電晶體正在積極地進行研究開發。

現在，採用包含非晶半導體膜的薄膜電晶體、或包含多晶半導體膜的薄膜電晶體等作為顯示裝置中的切換元件。作為多晶半導體膜的形成方法，已知藉由使用光學系統，將脈衝式準分子雷射光束加工成為線形並藉由使用線形光束而對非晶矽膜進行掃描及照射以實現其結晶化的技術。

另外，採用包含微晶半導體膜的薄膜電晶體作為顯示裝置中的切換元件（參照專利文獻 1 及 2）。

[專利文獻 1]日本專利申請公告 H4-242724 號公報

[專利文獻 2]日本專利申請公告 2005-49832 號公報

【發明內容】

包含多晶半導體膜的薄膜電晶體具有如下優點：與包含非晶半導體膜的薄膜電晶體相比，其場效遷移率高兩位數以上；及可以在一個基板之上形成顯示裝置的像素部和週邊驅動電路。然而，與包含非晶半導體膜的薄膜電晶體相比，包含多晶半導體膜的薄膜電晶體由於半導體膜的結晶化而需要更複雜的程序。因而，會有諸如成品率的降低及成本的上升之問題。

另外，包含微晶半導體膜的反交錯型薄膜電晶體具有如下問題：閘極絕緣膜及微晶半導體膜之間的介面區域的結晶性低，且薄膜電晶體的電特性不良好。

鑒於上述問題，本發明的目的在於提供電特性優良的薄膜電晶體、以及具有該薄膜電晶體的顯示裝置、及薄膜電晶體和顯示裝置的製造方法。

本發明的一個樣態為微晶半導體膜，該微晶半導體膜係形成在絕緣膜之上，且含有用做為施體的雜質元素，並且用做為施體的雜質元素的濃度從絕緣膜側朝向微晶半導體膜的表面而減少。

本發明的另一個樣態為微晶半導體膜，該微晶半導體膜係形成在絕緣膜之上，且含有用做為施體的雜質元素，並且用做為施體的雜質元素的濃度係以 5 nm/dec 至 120 nm/dec 的斜率從絕緣膜側朝向微晶半導體膜的表面而減少。

本發明的另一個樣態為薄膜電晶體，其包括：形成在閘極電極之上的閘極絕緣膜；形成在閘極絕緣膜之上的微

晶半導體膜，其含有用作為施體的雜質元素；形成在含有用作為施體的雜質元素的微晶半導體膜之上的一對緩衝層；形成在一對緩衝層上的一對半導體膜，其添加有賦予一種導電性類型的雜質元素；以及形成在添加有賦予一種導電性類型的雜質元素的一對半導體膜之上的佈線，其中在微晶半導體膜中的用作為施體的雜質元素的濃度從閘極絕緣膜側朝向該對緩衝層而減少，並且該對緩衝層不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的用作為施體的雜質元素。

本發明的另一個樣態為薄膜電晶體，其包括：形成在閘極電極之上的閘極絕緣膜；形成在閘極絕緣膜之上的微晶半導體膜，其含有用作為施體的雜質元素；形成在含有用作為施體的雜質元素的微晶半導體膜之上的一對緩衝層；形成在一對緩衝層之上的一對半導體膜，其添加有賦予一種導電性類型的雜質元素；以及形成在添加有賦予一種導電性類型的雜質元素的一對半導體膜上的佈線，其中在微晶半導體膜中的所述用作為施體的雜質元素的濃度係以 5 nm/dec 至 120 nm/dec，較佳從 10 nm/dec 至 50 nm/dec，更佳從 15 nm/dec 至 30 nm/dec 的斜率，從閘極絕緣膜側朝向該對緩衝層而減少，其中該對緩衝層不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素。

注意，在閘極絕緣膜以及微晶半導體膜之間的介面處或其附近，也可以具有用作為施體的雜質元素的峰值濃度。

另外，該閘極絕緣膜也可以包含用做為施體的雜質元素。

另外，在含有用做為施體的雜質元素的微晶半導體膜與一對緩衝層之間，可以具有不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜。

注意，在此，閘極絕緣膜或微晶半導體膜中所含有的用做為施體的雜質元素的濃度為從 6×10^{15} atoms/cm³ 到 3×10^{18} atoms/cm³，較佳為從 1×10^{16} atoms/cm³ 到 3×10^{18} atoms/cm³，更佳為從 3×10^{16} atoms/cm³ 到 3×10^{17} atoms/cm³。此外，用做為施體的雜質元素的濃度係藉以二次離子質譜分析法的濃度分佈（濃度輪廓）的濃度來予以決定。

另外，用做為施體的雜質元素為磷、砷、或銻。

本發明的另一個樣態為微晶半導體膜的形成方法，其步驟如下：在電漿 CVD 設備的反應室內，引入含有用做為半導體的施體的雜質元素的氣體之後，引入含有氧或氮的非沉積氣體和含有矽的沉積氣體，並施加高頻電力，藉此，在基板之上形成含有用做為施體的雜質元素的絕緣膜，且在絕緣膜之上藉由使用含有矽或鎢的沉積氣體、以及氮以形成含有用做為施體的雜質元素的微晶半導體膜。

本發明的另一個樣態為微晶半導體膜的形成方法，其步驟如下：在電漿 CVD 設備的反應室內，引入含有氧或氮的非沉積氣體和含有矽的沉積氣體，並施加高頻電力，藉以在基板知上形成絕緣膜，及在絕緣膜之上引入含有用做為半導體的施體的雜質元素的氣體之後，在絕緣膜之上

藉由使用含有矽或鍺的沉積氣體以及氫以形成含有用做為施體的雜質元素的微晶半導體膜。

本發明的另一個樣態為微晶半導體膜的形成方法，其步驟如下：引入含有氧或氮的非沉積氣體和含有矽的沉積氣體並施加高頻電力，藉以在基板之上形成第一絕緣膜，在電漿 CVD 設備的反應室內，在引入含有用做為半導體的施體的雜質元素的氣體之後，引入含有氧或氮的非沉積氣體和含有矽的沉積氣體並施加高頻電力，藉以在第一絕緣膜之上形成含有用做為施體的雜質元素的第二絕緣膜，且在第二絕緣膜之上藉由使用含有矽或鍺的沉積氣體、以及氫以形成含有用做為施體的雜質元素的微晶半導體膜。

本發明的另一個樣態為微晶半導體膜的形成方法，其步驟如下：引入含有氧或氮的非沉積氣體和含有矽的沉積氣體並施加高頻電力，藉以在基板之上形成第一絕緣膜，引入含有氧或氮的非沉積氣體和含有矽的沉積氣體並施加高頻電力，藉以在第一絕緣膜之上形成第二絕緣膜之後，在電漿 CVD 設備的反應室內，引入含有用做為半導體的施體的雜質元素的氣體之後，引入含有氧或氮的非沉積氣體和含有矽的沉積氣體並施加高頻電力，藉以在第二絕緣膜之上形成含有用做為施體的雜質元素的第三絕緣膜，在第三絕緣膜之上藉由使用含有矽或鍺的沉積氣體、以及氫以形成含有用做為施體的雜質元素的微晶半導體膜。

本發明的另一個樣態為微晶半導體膜的形成方法，其步驟如下：在電漿 CVD 設備的反應室內，藉由使用含有

用做為施體的雜質元素的氣體、含有矽或銻的沉積氣體、以及氫以形成保護膜之後，在該反應室內載入基板，在基板之上形成絕緣膜，及在絕緣膜上藉由使用含有矽或銻的沉積氣體、以及氫以形成微晶半導體膜。

此外，本發明的另一個樣態為包含該微晶半導體膜的薄膜電晶體的製造方法。

當形成微晶半導體膜之際，可以以如下步驟來提高微晶半導體膜中及/或在微晶半導體膜與閘極絕緣膜間之介面處的結晶性：在基板之上形成含有用做為施體的雜質元素的絕緣膜；在絕緣膜之上吸著用做為施體的雜質元素；將含有用做為施體的雜質元素的氣體用作為微晶半導體膜的來源氣體；及將用做為施體的雜質元素引入形成微晶半導體膜於其中的反應室內。因此，可以形成提高了與絕緣膜的介面處的結晶性的微晶半導體膜。此外，將該絕緣膜用作為閘極絕緣膜並將微晶半導體膜用作為通道形成區來可以製造薄膜電晶體。

此外，在與閘極絕緣膜相接觸的微晶半導體膜中，藉由形成含有用做為施體的雜質元素的微晶半導體膜，微晶半導體膜的結晶性提高且載子在微晶半導體膜中移動的速度上升，因而可以製造具有高場效遷移率及高導通電流的薄膜電晶體。

另外，當閘極絕緣膜或者微晶半導體膜中所含有的用做為施體的雜質元素的峰值濃度被設定為從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 3×10^{18}

atoms/cm³，更佳為從 3×10^{16} atoms/cm³ 到 3×10^{17} atoms/cm³ 時，可以製造積累型（Accumulation type）薄膜電晶體（亦即，通道形成區包含低濃度的 N 型雜質元素的薄膜電晶體）。注意，當閘極絕緣膜或微晶半導體膜中所含有的用做為施體的雜質元素的峰值濃度低於 6×10^{15} atoms/cm³ 時，用做為施體的雜質元素的含量不足夠，且因而不能期待場效遷移率、以及導通電流的上升。另外，當閘極絕緣膜或微晶半導體膜中所含有的用做為施體的雜質元素的峰值濃度大於 3×10^{18} atoms/cm³ 時，臨界電壓向負側移動，且電晶體操作不良。因此，用做為施體的雜質元素的濃度較佳為從 6×10^{15} atoms/cm³ 到 3×10^{18} atoms/cm³，更佳為從 1×10^{16} atoms/cm³ 到 3×10^{18} atoms/cm³，特佳為從 3×10^{16} atoms/cm³ 到 3×10^{17} atoms/cm³。

此外，使用本發明的微晶半導體膜來製造薄膜電晶體（TFT），且將該薄膜晶體使用於像素部、以及驅動電路以製造顯示裝置。本發明的微晶半導體膜，由於與閘極絕緣膜的介面的結晶性高，所以使用該微晶半導體膜的薄膜電晶體之各者的場效遷移率為自 $2.5 \text{ cm}^2/\text{V} \cdot \text{sec}$ 至 $10 \text{ cm}^2/\text{V} \cdot \text{sec}$ ，其為包含非晶半導體膜的薄膜電晶體之場效遷移率的 5 倍至 20 倍；因而，可以使驅動電路的一部分或者整體與像素部形成在同一基板之上，以製造系統型面板（system-on-panel）。

作為顯示裝置，包括發光裝置、液晶顯示裝置。發光裝置包括發光元件，而液晶顯示裝置包括液晶元件。由電

流或電壓控制亮度的元件係包括在發光元件的範疇內，明確地說，包括有機電致發光（EL）及無機 EL 元件。

另外，顯示裝置包括顯示元件被密封了的面板、以及在該面板上安裝有包括控制器的 IC 等的模組。再者，本發明之一樣態係關於相當於在製造上述顯示裝置的過程中完成顯示元件之前的一個方式的元件基板，該元件基板在多個像素中分別具備將電流提供給顯示元件的機構。明確地說，元件基板既可是處於只形成有顯示元件的像素電極的狀態，又可是處於在形成用作為像素電極的導電膜之後且在藉由蝕刻以形成像素電極之前的狀態，或者無論是任何狀態都可以。

在本說明書中，顯示裝置指的是影像顯示裝置、發光裝置、或光源（包括照明裝置）。另外，包含連接器（諸如可撓性印刷電路（FPC）、捲帶式自動接合（TAB）帶或捲帶式封裝（TCP））的模組、具有將印刷線路板設置在其端部上之 TAB 帶或 TCP 的模組、或具有藉由使用玻璃覆晶封裝（COG）方法而被直接安裝在顯示元件上之積體電路（IC）的模組之任何一者都包括在顯示裝置中。

根據本發明，可以形成結晶性從與絕緣膜的介面開始為高的微晶半導體膜。此外，將該微晶半導體膜使用於通道形成區，可以製造具有良好電特性的薄膜電晶體。此外，還可以製造具有該薄膜電晶體的顯示裝置。根據本發明，形成結晶性高的微晶半導體膜，將該微晶半導體膜使用於通道形成區，可以製造具有良好電特性的薄膜電晶體。

還可以製造具有該薄膜電晶體的顯示裝置。

【實施方式】

下面，參照附圖說明本發明的實施例模式。注意，本發明並不局限於以下說明，所述技術領域的普通技術人員可以很容易地理解一個事實就是，在此所揭示之模式和詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施例模式所記載的內容中。在以下說明的本發明的結構中，在不同的附圖中共同使用表示相同部分的附圖標記。

（實施例模式 1）

現在，對於在微晶半導體膜與閘極絕緣膜之間的介面處以及整體微晶半導體膜的結晶性高，並且與通道形成區具有一般的微晶半導體膜的薄膜電晶體相比，具有高場效遷移率以及導通電流的薄膜電晶體的結構，參照圖 1A 至 1C 進行說明。

在圖 1A 所示的薄膜電晶體中，包括：在基板 50 之上形成的閘極電極 51；在閘極電極之上形成的閘極絕緣膜 52a、52b；在閘極絕緣膜 52a、52b 之上形成的含有用作為施體的雜質元素的微晶半導體膜 61；在微晶半導體膜 61 之上形成的一對緩衝層 73；在一對緩衝層 73 之上形成的添加有賦予一種導電性類型的雜質元素的一對半導

體膜 72；在添加有賦予一種導電性類型的雜質元素的一對半導體膜 72 之上形成的佈線 71a 至 71c。

在含有用做為施體的雜質元素的微晶半導體膜 61 中，含有從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為從 $3 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{17} \text{ atoms/cm}^3$ 的用做為施體的雜質元素。明確而言，如圖 1B 的曲線 27 或圖 1C 的曲線 28 所示，微晶半導體膜 61 中含有一定的濃度的用做為施體的雜質元素。再者，用做為施體的雜質元素的濃度從閘極絕緣膜 52b 側朝向該對緩衝層 73 相對地降低。也就是說，此模式之特徵為在閘極絕緣膜 52b 側的高濃度處含有用做為施體的雜質元素。但是，在 SIMS 的偵測限度中，在理論上輪廓應該是平坦的，然而在實際上因為係待測物體之離子的在低濃度區域中的訊號/雜訊 (S/N) 比不好，所以輪廓不可能為平坦的。因此，將為待測物體之離子的在低濃度區域中的平均值設定為偵測限度。再者，如圖 1C 所示，在閘極絕緣膜 52b 以及微晶半導體膜 61 之間的介面處可以具有用做為施體的雜質元素的峰值濃度。此外，一對緩衝層 73 不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素。圖 1B 以及圖 1C 是表示閘極絕緣膜 52b、微晶半導體膜 61、以及緩衝層 73 中的用做為施體的雜質元素的濃度的示意圖，橫軸表示膜厚度，縱軸表示用做為施體的雜質元素的濃度。

微晶半導體膜的例子有微晶矽膜、含有銻的微晶矽膜

等。此外，用做為施體的雜質元素之例子有磷、砷、銻等。

藉由將微晶半導體膜中的用做為施體的雜質元素的濃度設定為上述範圍內，可以提高閘極絕緣膜 52b 以及微晶半導體膜 61 之間的介面處的結晶性，並可以減小在介面處的微晶半導體膜 61 的電阻，所以可以製造具有高場效遷移率、高導通電流的薄膜電晶體。注意，當微晶半導體膜中所含有的用做為施體的雜質元素的峰值濃度低於 $6 \times 10^{15} \text{ atoms/cm}^3$ 時，用做為施體的雜質元素的含量不足夠而不能提高結晶性，其結果，不能夠期待場效遷移率、以及導通電流的上升。此外，當微晶半導體膜中所含有的用做為施體的雜質元素的峰值濃度大於 $3 \times 10^{18} \text{ atoms/cm}^3$ 時，臨界電壓向閘極電壓的負側移動，電晶體的操作不良，所以用做為施體的雜質元素的峰值濃度為從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為從 $3 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{17} \text{ atoms/cm}^3$ 。

在本發明中的微晶半導體膜是指包含具有非晶和結晶結構（包括單晶、多晶）之間的中間結構的半導體的膜。該半導體是具有在自由能方面上穩定的第三狀態的半導體，並是短程有序且晶格畸變的結晶半導體，其中粒徑為 0.5 至 20 nm 的柱狀或針狀結晶沿相對於基板表面的法線方向生長。另外，多個微晶半導體之間存在有非晶半導體。作為微晶半導體的典型例子的微晶矽的拉曼光譜偏移到

比單晶矽的 520 cm^{-1} 低的波數側。也就是說，微晶矽的拉曼光譜的峰值位於單晶矽的 520 cm^{-1} 和表示非晶矽的 480 cm^{-1} 之間。另外，包含至少 1 原子 % 的氫或鹵素，以終止懸空鍵（dangling bond）。再者，藉由包含氫、氫、氫、氬等的稀有氣體來進一步促進晶格畸變，可以獲得穩定性提高的優良微晶半導體膜。上述微晶半導體膜的記載例如在美國專利 4,409,134 號中公開。

將含有用作為施體的雜質元素的微晶半導體膜的厚度形成為從 5 nm 到 200 nm，較佳為從 5 nm 到 100 nm，更佳為從 5 nm 到 50 nm，特佳為從 10 nm 到 25 nm。藉由將含有用作為施體的雜質元素的微晶半導體膜 61 的厚度形成為從 5 nm 到 50 nm，可以製造完全空乏型的薄膜電晶體。

另外，含有用作為施體的雜質元素的微晶半導體膜 61 的氧濃度、以及氮濃度比用作為施體的雜質元素的濃度低 10 倍，典型為低於 $3 \times 10^{19}\text{ atoms/cm}^3$ ，更佳為低於 $3 \times 10^{18}\text{ atoms/cm}^3$ ，且碳的濃度為低於或等於 $3 \times 10^{18}\text{ atoms/cm}^3$ 。藉由降低微晶半導體膜中混入的氧、氮、以及碳的濃度，可以抑制微晶半導體膜的缺陷的產生。再者，微晶半導體膜中的氧及氮阻礙結晶化。因此，當微晶半導體膜中包含相當低濃度的氧及氮並包含用作為施體的雜質元素時，可以提高微晶半導體膜的結晶性。

此外，本實施例模式之含有用作為施體的雜質元素的微晶半導體膜含有用作為施體的雜質元素；因此，藉由在

與形成微晶半導體膜的同時或在形成微晶半導體膜之後對用作為薄膜電晶體的通道形成區的微晶半導體膜添加用做為受體的雜質元素，可以控制臨界電壓。作為用做為受體的雜質元素，典型的有硼，將 B_2H_6 、 BF_3 等的雜質氣體以從 1 ppm 至 1000 ppm，較佳以從 1 ppm 至 100 ppm 的比率混入到氫化矽。此外，硼的濃度為用做為施體的雜質元素的約十分之一，例如從 1×10^{14} atoms/cm³ 至 6×10^{16} atoms/cm³。

另外，作為一對緩衝層 73，使用非晶半導體膜。或者，使用含有氮或鹵素如氟、或氯等的非晶半導體膜。一對緩衝層 73 的厚度各自為從 50 nm 至 200 nm。作為非晶半導體膜，有非晶矽膜或者含有銻的非晶矽膜等。

該對緩衝層 73，其係由非晶半導體膜所形成，其能隙與微晶半導體膜 61 相比更大且電阻率更高，且具有低遷移率，即為微晶半導體膜 61 之遷移率的 1/5 至 1/10。因此，在之後所形成的薄膜電晶體中，該對緩衝層 73 用作為高電阻區，因而可以降低在用作為源極區以及汲極區的半導體膜 72 與微晶半導體膜 61 之間所產生的漏洩電流。此外，藉由緩衝層，可以降低截止電流。

基板 50 可以使用藉由利用熔融 (fusion) 法或浮 (float) 法而製造的非鹼玻璃基板，諸如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等、或陶瓷基板，還可以使用能夠承受本製造過程中的處理溫度的耐熱塑膠基板、等等。此外，還可以使用例如不鏽鋼合金之金屬基板，其

表面上係設置有絕緣膜。當基板 50 為母玻璃時，基板的尺寸可以採用第一代（320 mm×400 mm）、第二代（400 mm×500 mm）、第三代（550 mm×650 mm）、第四代（680 mm×880 mm、或 730 mm×920 mm）、第五代（1000 mm×1200 mm、或 1100 mm×1250 mm）、第六代（1500 mm×1800 mm）、第七代（1900 mm×2200 mm）、第八代（2160 mm×2460 mm）、第九代（2400 mm×2800 mm、或 2450 mm×3050 mm）、第十代（2950 mm×3400 mm）、等等。

閘極電極 51 係由金屬材料所形成。作為金屬材料，可以使用鋁、鉻、鈦、鉭、鉬、銅等。作為閘極電極 51 的較佳的例子，以鋁或鋁和阻擋金屬的疊層結構體來予以形成。作為阻擋金屬，可以使用如鈦、鉬、鉻等的高熔點金屬。較佳設置阻擋金屬以防止鋁的小丘以及氧化。

閘極電極 51 係以從 50 nm 到 300 nm 的厚度來予以形成。藉由將閘極電極 51 的厚度設定為從 50 nm 到 100 nm，可以防止之後所形成的半導體膜或佈線的斷裂。另外，藉由將閘極電極 51 的厚度設定為從 150 nm 到 300 nm，可以降低閘極電極 51 的電阻。

由於在閘極電極 51 之上形成半導體膜或佈線，所以較佳將其端部加工為錐形以防止斷裂。雖然未圖示出，但是在此步驟中還可以同時形成與閘極電極連接的佈線及電容器佈線。

閘極絕緣膜 52a 及 52b 可以分別藉由使用厚度為從

50 nm 至 150 nm 的氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜而形成。此模式顯示出形成氮化矽膜或氮氧化矽膜作為閘極絕緣膜 52a 並形成氧化矽膜或氧氮化矽膜作為閘極絕緣膜 52b 來層疊它們的例子。注意，閘極絕緣膜可以由氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜的單層所構成，而不採用兩層結構。

藉由使用氮化矽膜或氮氧化矽膜來形成閘極絕緣膜 52a，可以提高基板 50 和閘極絕緣膜 52a 之間的黏著力，在使用玻璃基板作為基板 50 的情況下，可以防止來自基板 50 的雜質擴散到含有用作為施體的雜質元素的微晶半導體膜，並可以防止閘極電極 51 的氧化。也就是說，可以防止膜剝離且同時可以提高之後所形成的薄膜電晶體的電特性。另外，閘極絕緣膜 52a 及 52b 的厚度較佳的分別為大於或等於 50 nm，這是因為可以緩和由於因為閘極電極 51 的凹凸不平所導致的覆蓋率降低的緣故。

注意，氧氮化矽膜指的是在其組成上氧含量多於氮含量的膜，且包含氧、氮、Si 及氫，其組成的範圍如下：55 原子% (at.%) 至 65 原子%的氧；1 原子%至 20 原子%的氮；25 原子%至 35 原子%的 Si；以及 0.1 原子%至 10 原子%的氫。另一方面，氮氧化矽膜指的是在其組成上氮含量多於氧含量的膜，且包含氧、氮、Si 及氫，其組成的範圍如下：15 原子%至 30 原子%的氧；20 原子%至 35 原子%的氮；25 原子%至 35 原子%的 Si；以及 15 原子%至 25 原子%的氫。

作為含有賦予一種導電性類型的雜質元素的半導體膜 72，當形成 n 通道薄膜電晶體時，作為典型的雜質元素，添加磷並在將氫化矽中含有 PH_3 等的雜質元素的氣體添加到來源氣體中即可。另外，當形成 p 通道薄膜電晶體時，作為典型的雜質元素，添加硼並在氫化矽中添加 B_2H_6 等的雜質氣體即可。藉由使磷或硼的濃度為從 $1 \times 10^{19} \text{ atoms/cm}^3$ 至 $1 \times 10^{21} \text{ atoms/cm}^3$ ，可以與佈線 71a 至 71c 歐姆接觸以用作為源極及汲極區。含有賦予一種導電性類型的雜質元素的半導體膜 72 可以由微晶半導體膜或非晶半導體來予以形成。將含有賦予一種導電性類型的雜質元素的半導體膜 72 形成為從 2 nm 到 50 nm 的厚度。藉由將含有賦予一種導電性類型的雜質元素的半導體膜的膜厚度形成得較薄可以提高生產率 (throughput)。

佈線 71a 至 71c 較佳係由鋁、銅或添加有矽、鈦、鉍、銦、鉬等的耐熱性提高元素或小丘防止元素的鋁合金的單層或疊層所構成。還可以採用如下疊層結構：藉由使用鈦、鉭、鉬、鎢或這些元素的氮化物形成與添加有賦予一導電性類型的雜質元素的半導體膜相接觸的膜，並在其上形成鋁或鋁合金。再者，也可以採用如下疊層結構：鋁或鋁合金的上表面及下表面可以各自被鈦、鉭、鉬、鎢或這些元素的氮化物所覆蓋。此實施例模式顯示出具有佈線 71a 至 71c 這三個層重疊的導電膜，以及一疊層結構，其中，佈線 71a 及 71c 係使用鉬膜來予以構成，且佈線 71b 係使用鋁膜來予以構成；或者一疊層結構，其中，佈線

71a 及 71c 係使用鈦膜來予以構成，且佈線 71b 係使用鋁膜來予以構成。

在此，對閘極電極 51 施加正電壓，源極電極被接地而具有接地電位，並且對汲極電極施加正電壓。此時，汲極電流流經汲極電極、汲極區、緩衝層、閘極絕緣膜 52b 與微晶半導體膜 61 之間的介面附近、緩衝層、源極區、及源極電極。也就是說，行進於汲極電極與源極電極間之載子的路徑行經源極電極、源極區、緩衝層、閘極絕緣膜 52b 與微晶半導體膜 61 之間的介面附近、緩衝層、汲極區、和汲極電極。緩衝層是由厚度為約 $0.1\ \mu\text{m}$ 至 $0.3\ \mu\text{m}$ 的非晶矽膜所形成。另一方面，汲極電極與源極電極之間的長度典型為約 $3\ \mu\text{m}$ 至 $6\ \mu\text{m}$ 。因此，在通道中的載子的行進距離比在緩衝層中的行進距離更長。藉由使微晶半導體膜的電阻率減小到極小於緩衝層的電阻率，可以實現薄膜電晶體的導通電流的上升以及場效遷移率的增加。為此，藉由對微晶半導體膜添加用做為施體的雜質元素，即典型的有磷、砷、或銻，以提高載子的濃度，從而可以提高微晶半導體膜的導電率。

如本實施例模式所述，當對閘極電極施加正電壓時，藉由將導電性高的微晶半導體膜用作為載子的行進區域，可以形成導通電流以及場效遷移率都高的薄膜電晶體。

圖 2A 和 2B 示出圖 1A 所示的薄膜電晶體以外的薄膜電晶體的結構。

在圖 2A 所示的薄膜電晶體中，在基板 50 之上形成

閘極電極 51，在閘極電極 51 之上形成閘極絕緣膜 52a、52b，在閘極絕緣膜 52a、52b 之上形成含有用做為施體的雜質元素的微晶半導體膜 61，在含有用做為施體的雜質元素的微晶半導體膜 61 之上形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58，在不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 之上形成一對緩衝層 73，在一對緩衝層 73 之上形成添加有賦予一種導電性類型的雜質元素的一對半導體膜 72，在添加有賦予一種導電性類型的雜質元素的一對半導體膜 72 之上形成佈線 71a 至 71c。

接著，在圖 2B 中，藉由曲線 42 示意性地示出：在閘極絕緣膜 52a、52b、含有用做為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58、以及緩衝層 73 的疊層部分中的由 SIMS 表示的用做為施體的雜質元素的濃度分佈。

如圖 2B 的曲線 42 所示的用做為施體的雜質元素的濃度分佈，用做為施體的雜質元素的濃度分佈的峰值係位於閘極絕緣膜 52b 與含有用做為施體的雜質元素的微晶半導體膜 61 之間的介面附近，並且濃度係朝向微晶半導體膜 58 而降低。

藉由在含有用做為施體的雜質元素的微晶半導體膜 61 之上形成不含有其濃度高於 SIMS 的偵測限度的用做為

施體的雜質元素的微晶半導體膜 58，可以防止含有用做為施體的雜質元素的微晶半導體膜 61 所含有的用做為施體的雜質元素擴散到該對緩衝層 73 中。若用做為施體的雜質元素擴散到作為高電阻區的該對緩衝層 73 中，該對緩衝層 73 的電阻下降，且含有用做為施體的雜質元素的微晶半導體膜 61 和用作為源極區及汲極區的半導體膜 72 之間產生漏洩電流，因而切換特性下降。因此，在含有用做為施體的雜質元素的微晶半導體膜 61 與該對緩衝層 73 之間較佳形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58。含有用做為施體的雜質元素的微晶半導體膜 61 以及不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 的疊層結構的厚度被設定為從 5 nm 至 50 nm，較佳被設定為從 5 nm 至 25 nm，且提高用做為施體的雜質元素的活化率，藉此，該區域用作為通道形成區，且可以降低電阻，並可以提高薄膜電晶體的導通電流以及場效遷移率。

參照圖 3 示出上述薄膜電晶體中的閘極絕緣膜的層結構相異的薄膜電晶體。

也可以如圖 3 所示地形成三層的閘極絕緣膜 52a、52b、52c 以代替圖 1A 所示的薄膜電晶體的閘極絕緣膜 52a、52b。作為第三層的閘極絕緣膜 52c，可以形成厚度為約從 1 nm 至 5 nm 的氮化矽膜或者氮氧化矽膜。

當具有約從 1 nm 至 5 nm 之厚度的氮化矽膜或者氮氧

化矽膜被形成作為係第三層之閘極絕緣膜時，可以使用電漿 CVD 法。此外，藉由對閘極絕緣膜 52b 進行利用高密度電漿的氮化處理，可以在閘極絕緣膜 52b 的表面上形成氮化矽層。藉由進行高密度電漿氮化，也可以獲得含有更高濃度的氮的氮化矽層。高密度電漿藉由利用高頻率的微波，例如使用 2.45 GHz 的微波來產生。因為其特徵在於低電子溫度的高密度電漿的活性種（active species）的動能低，所以可以形成與習知的電漿處理相比電漿損傷少且缺陷少的層。此外，因為可以抑制閘極絕緣膜 52b 的表面粗糙度，所以可以增高載子的遷移率。

此外，在微晶半導體膜中，非晶半導體及結晶半導體相混。因此，當非晶半導體與氧化矽或氧氮化矽接觸時，包括在非晶半導體中的氫容易與氧化矽或氧氮化矽起反應，而使微晶半導體膜中的氫濃度降低，同時閘極絕緣膜及微晶半導體膜之間的介面劣化。因此，具有厚度薄之形成作為微晶半導體膜的基底膜的氮化矽膜或者氮氧化矽膜可以用作為用來防止氫擴散的阻擋膜，使得可以降低閘極絕緣膜及微晶半導體膜之間的介面的劣化。

接下來，參照圖 4A 和 4B 來說明與上述相異的模式。

在圖 4A 所示的薄膜電晶體中，在基板 50 之上形成閘極電極 51，在閘極電極 51 之上形成含有用作為施體的雜質元素的閘極絕緣膜 59a、59b，在含有用作為施體的雜質元素的閘極絕緣膜 59a、59b 之上形成含有用作為施

體的雜質元素的微晶半導體膜 61，在含有用做為施體的雜質元素的微晶半導體膜 61 之上形成一對緩衝層 73，在該對緩衝層 73 之上形成添加有賦予一種導電性類型的雜質元素的一對半導體膜 72，在添加有賦予一種導電性類型的雜質元素的該對半導體膜 72 之上形成佈線 71a 至 71c。

在含有用做為施體的雜質元素的閘極絕緣膜 59a、59b 以及微晶半導體膜 61 中，較佳用做為施體的雜質元素的濃度為從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為從 $3 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{17} \text{ atoms/cm}^3$ 。再者，用做為施體的雜質元素的濃度從閘極絕緣膜側朝向該對緩衝層 73 相對地降低。也就是說，在閘極絕緣膜 59b 側含有較高濃度的雜質元素。

接著，圖 4B 利用曲線 46 示意性地示出：在含有用做為施體的雜質元素的閘極絕緣膜 59a、59b、含有用做為施體的雜質元素的微晶半導體膜 61、緩衝層 73 的疊層部分中的由 SIMS 表示的用做為施體的雜質元素的濃度分佈。

如圖 4B 所示，圖 4A 所示的薄膜電晶體的用做為施體的雜質元素的濃度，在閘極絕緣膜 59a、59b 以及微晶半導體膜 61 中達到上述濃度且具有峰值。此外，峰值位置在閘極電極 51 與閘極絕緣膜 59a 之間的介面處或其附近。注意，表示用做為施體的雜質元素的濃度分佈的曲線

的形狀並不局限於該形狀，峰值既可以分別位於含有用做為施體的雜質元素的閘極絕緣膜 59a、59b 的中央內或其附近，又可以位於閘極絕緣膜 59a 與 59b 之間的介面處或其附近。此外，峰值還可以位於含有用做為施體的雜質元素的閘極絕緣膜 59b 以及含有用做為施體的雜質元素的微晶半導體膜 61 的介面附近。

接著，參照圖 5A 和 5B 來說明與上述相異的模式。

在圖 5A 所示的薄膜電晶體中，在基板 50 之上形成閘極電極 51，在閘極電極 51 之上形成含有用做為施體的雜質元素的閘極絕緣膜 59a、59b，在含有用做為施體的雜質元素的閘極絕緣膜 59a、59b 之上形成含有用做為施體的雜質元素的微晶半導體膜 61，在含有用做為施體的雜質元素的微晶半導體膜 61 之上形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58，在微晶半導體膜 58 之上形成一對緩衝層 73，在該對緩衝層 73 之上形成添加有賦予一種導電性類型的雜質元素的一對半導體膜 72，在添加有賦予一種導電性類型的雜質元素的該對半導體膜 72 之上形成佈線 71a 至 71c。

接著，圖 5B 利用曲線 33 示意性地示出：在閘極絕緣膜 59a 和 59b、含有用做為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58、緩衝層 73 的疊層部分中的由 SIMS 表示的用做為施體的雜質元素的濃度分佈。

如圖 5B 所示，圖 5A 所示的薄膜電晶體的用做為施體的雜質元素的濃度，在含有用做為施體的雜質元素的閘極絕緣膜 59a 中具有峰值。再者，用做為施體的雜質元素的濃度從閘極絕緣膜側朝向該對緩衝層 73 而相對地降低。也就是說，閘極絕緣膜 59a 側含有較高濃度的用做為施體的雜質元素。注意，表示用做為施體的雜質元素的濃度分佈的曲線 33 的形狀並不局限於該形狀，峰值既可以分別位於含有用做為施體的雜質元素的閘極絕緣膜 59a、59b 的中央內或其附近，又可以位於閘極絕緣膜 59a 與 59b 之間的介面處或其附近。此外，峰值還可以位於含有用做為施體的雜質元素的閘極絕緣膜 59b 與含有用做為施體的雜質元素的微晶半導體膜 61 之間的介面處或其附近。

藉由在含有用做為施體的雜質元素的微晶半導體膜 61 之上形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58，可以防止含有用做為施體的雜質元素的微晶半導體膜 61 中所含有的用做為施體的雜質元素擴散到該對緩衝層 73 中。當用做為施體的雜質元素擴散到高電阻區的該對緩衝層 73 時，該對緩衝層 73 的電阻降低，並且在含有用做為施體的雜質元素的微晶半導體膜 61 和用作為源極區及汲極區的半導體膜 72 之間產生漏洩電流，因而切換特性降低。因此，較佳在含有用做為施體的雜質元素的微晶半導體膜 61 及該對緩衝層 73 之間形成不含有其濃度高於 SIMS 的偵測限度

的用做為施體的雜質元素的微晶半導體膜 58。

可以如圖 6A 所示地採用閘極絕緣膜 52a、以及含有用做為施體的雜質元素的閘極絕緣膜 59b 的疊層結構以代替圖 4A 所示的薄膜電晶體的含有用做為施體的雜質元素的閘極絕緣膜 59a、59b。明確而言，可以製造一種薄膜電晶體，其中：在閘極絕緣膜 52a 之上形成含有用做為施體的雜質元素的絕緣膜 59b，在該絕緣膜 59b 之上形成含有用做為施體的雜質元素的微晶半導體膜 61，在該微晶半導體膜 61 之上形成一對緩衝層 73。

接著，圖 6B 利用曲線 35 示意性地示出：在閘極絕緣膜 52a、含有用做為施體的雜質元素的閘極絕緣膜 59b、含有用做為施體的雜質元素的微晶半導體膜 61、緩衝層 73 的疊層部分中的由 SIMS 表示的用做為施體的雜質元素的濃度分佈。

如圖 6B 所示，圖 6A 所示的薄膜電晶體的用做為施體的雜質元素的濃度在含有用做為施體的雜質元素的絕緣膜 59b 中具有峰值。此外，峰值位置係在閘極絕緣膜 52a 及含有做為施體的雜質元素的閘極絕緣膜 59b 之間的介面處或其附近。注意，表示用做為施體的雜質元素的濃度分佈的曲線的形狀並不局限於該形狀，也可以在含有用做為施體的雜質元素的閘極絕緣膜 59b 的中央內或其附近、或含有用做為施體的雜質元素的絕緣膜 59b 以及含有用做為施體的雜質元素的微晶半導體膜 61 之間的介面處或其附近具有峰值。

再者，可以如圖 7A 所示地採用具有三層的閘極絕緣膜的薄膜電晶體來代替圖 4A 所示的薄膜電晶體的上述兩層的閘極絕緣膜。明確而言，在基板 50 以及閘極電極 51 之上形成閘極絕緣膜 52a、52b、以及含有用做為施體的雜質元素的閘極絕緣膜 59c。此外，在含有用做為施體的雜質元素的閘極絕緣膜 59c 之上形成含有用做為施體的雜質元素的微晶半導體膜 61。

為第一層及第二層的閘極絕緣膜 52a 及 52b 可以與實施例模式 1 所示地藉由電漿 CVD 法或濺射法且利用氮化矽膜、氮氧化矽膜、氧化矽膜、氧氮化矽膜來予以形成。為第三層的含有用做為施體的雜質元素的閘極絕緣膜 59c 可以藉由利用厚度為約從 1 nm 至 5 nm 的具有磷、砷、或者銻的氮化矽膜、或者氮氧化矽膜來予以形成。

接著，圖 7B 利用曲線 37 示意性地示出：在閘極絕緣膜 52b、含有用做為施體的雜質元素的閘極絕緣膜 59c、含有用做為施體的雜質元素的微晶半導體膜 61、緩衝層 73 的疊層部分中的由 SIMS 表示的用做為施體的雜質元素的濃度分佈。

如圖 7B 所示，圖 7A 所示的薄膜電晶體的用做為施體的雜質元素的濃度在含有用做為施體的雜質元素的絕緣膜 59c 中具有峰值。此外，峰值位置係在閘極絕緣膜 52b 及含有用做為施體的雜質元素的閘極絕緣膜 59c 之間的介面處或其附近。再者，用做為施體的雜質元素的濃度從閘極絕緣膜側朝向該對緩衝層 73 而相對地降低。也就是說

，閘極絕緣膜 59c 側含有較高濃度的用做為施體的雜質元素。注意，表示用做為施體的雜質元素的濃度分佈的曲線的形狀並不局限於該形狀，峰值既可以位於含有用做為施體的雜質元素的閘極絕緣膜 59c 的中央內或其附近，又可以位於含有用做為施體的雜質元素的閘極絕緣膜 59c 與含有用做為施體的雜質元素的微晶半導體膜 61 之間的介面處或其附近。

藉由在含有用做為施體的雜質元素的閘極絕緣膜 59c 之上形成含有用做為施體的雜質元素的微晶半導體膜 61，可以提高微晶半導體膜 61 開始沉積時的結晶性，且除此之外，由於在用作為通道的微晶半導體膜 61 中也含有用做為施體的雜質元素，所以可以進一步降低微晶半導體膜的電阻率。因此，可以製造導通電流以及場效遷移率都高的薄膜電晶體。

如上所述，藉由形成其中閘極絕緣膜及/或微晶半導體膜含有用做為施體的雜質元素的積累型（Accumulation type）薄膜電晶體，可以提高在閘極絕緣膜與微晶半導體膜 61 之間的介面處的結晶性，以及整個微晶半導體膜中的結晶性，並且可以降低通道形成區的電阻率，因此可以製造場效遷移率高且導通電流高的薄膜電晶體。

此外，藉由使用微晶半導體膜來構成通道形成區，臨界電壓的變動得到抑制，場效遷移率提高，次臨界擺幅（S 值）也變小，所以可以實現薄膜電晶體的高性能化。因此，可以提高顯示裝置的驅動頻率，並可以充分對應面板

尺寸的大面積化以及像素的高密度化。此外，在大面積基板中也可以製造該薄膜電晶體。

(實施例模式 2)

在本實施例模式中，將敘述在其整個膜中及與絕緣膜之間的介面處之結晶性高的微晶半導體膜的形成方法。此外，將敘述上述實施例模式 1 中所述薄膜電晶體的製造程序，其中，整個微晶半導體膜和在微晶半導體膜與閘極絕緣膜之間的介面處之結晶性高，且其場效遷移率以及導通電流比比包含習知的微晶半導體膜之通道形成區的薄膜電晶體之場效遷移率以及導通電流更高。

具有微晶半導體膜的 n 型薄膜電晶體，比 p 型薄膜電晶體更適合使用於驅動電路，因為 n 型薄膜電晶體具有較高的場效遷移率。較佳地，在同一基板之上所形成的所有薄膜電晶體具有相同的極性，以便減少製造步驟的數目。這裏，使用 n 通道型薄膜電晶體來進行說明。

首先，如下敘述圖 2A 所示的薄膜電晶體的製造程序。

如圖 9A 所示，在基板 50 之上形成閘極電極 51，在閘極電極 51 之上形成閘極絕緣膜 52a、52b。

閘極電極 51 係利用濺射法、CVD 法、電鍍法、印刷法、液滴噴出法等，使用實施例模式 1 中所述的金屬材料之任何一者來予以形成。在此實施例模式中，在基板 50 之上藉由濺射法而形成鉬膜作為導電膜，利用使用第一光

罩所形成的抗蝕劑掩罩來對形成在基板 50 之上的導電膜進行蝕刻而形成閘極電極 51。

閘極絕緣膜 52a 及 52b 可以分別藉由 CVD 法或濺射法等且利用氧化矽膜、氮化矽膜、氧氮化矽膜、或氮氧化矽膜來予以形成。

接著，藉由在閘極絕緣膜 52b 上吸著用做為施體的雜質元素之後，使用含有矽或鍺的沉積氣體及氫且利用電漿 CVD 法以沉積微晶半導體膜，來形成含有用做為施體的雜質元素的微晶半導體膜 57。

以下，作為閘極絕緣膜 52a、52b，以及含有用做為施體的雜質元素的微晶半導體膜 57 的形成方法的典型例子，參照圖 8 而按時間順序地說明形成氮化矽膜、氧氮化矽膜、以及含有磷的微晶矽膜的製程。

圖 8 是說明閘極絕緣膜 52a、52b 以及含有用做為施體的雜質元素的微晶半導體膜 57 的形成製程的時序圖，它表示代表性的一例。圖 8 的說明從對在大氣壓下的電漿 CVD 裝置的反應室進行真空排氣的階段開始，並且按時間順序地示出之後進行的預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理 (1) 443、真空排氣處理 444、形成閘極絕緣膜 52b 的膜形成處理 (2) 445、真空排氣處理 446、沖洗處理 447、形成含有用做為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448、基板載出 449 的各處理。

首先，進行使反應室內達到預定的真空度的真空排氣

440。在進行高真空排氣的情況下，進行使用渦輪分子泵等的排氣，並且進行真空排氣到成為低於 10^{-1} Pa 的壓力的真空度。另外，也可以藉由利用低溫泵的排氣，將反應室的壓力成為低於 10^{-5} Pa 的壓力的超高真空。此外，較佳對反應室進行熱處理以進行內壁的脫氣處理。另外，也藉由加熱基板的加熱器操作來使溫度穩定化。基板的加熱溫度為從 100°C 至 300°C 、較佳為從 120°C 至 220°C 。

在預塗處理 441 中，將具有與閘極絕緣膜相同或者相似之組成的膜預塗在電漿 CVD 設備的反應室之內壁。其結果，可以防止構成反應室的一部分之金屬作為雜質而進入閘極絕緣膜中。亦即，藉由利用具有與閘極絕緣膜相同或者相似之組成的膜覆蓋反應室的內壁，可以防止反應室之內壁被電漿所蝕刻，並且可以降低包含在閘極絕緣膜中的來自反應室的雜質的濃度。

在基板載入 442 中，從連接到反應室的裝載閉鎖室中將基板載入於反應室內。此時的反應室中的壓力成為與裝載閉鎖室相同的壓力。

在形成閘極絕緣膜 52a 的膜形成處理 (1) 443 中，藉由引入來源氣體，在此，引入氫、矽烷和氨並混合，並施加高頻電力而產生的輝光放電電漿，以形成氮化矽膜。注意，除了上述來源氣體之外，還可以將氮引入於反應室內。在形成閘極絕緣膜 52a 後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 444 中，對反應室內進行真空排氣到

預定的真空度。

在形成閘極絕緣膜 52b 的膜形成處理 (2) 445 中，藉由引入來源氣體，在此，引入氫、矽烷和一氧化二氮並混合，並施加高頻電力而產生的輝光放電電漿，以形成氧化矽膜。在形成閘極絕緣膜 52b 後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 446 中，對反應室內進行真空排氣到成為預定的真空度。

在沖洗處理 447 中，將含有用作為施體的雜質元素的氣體引入於反應室內，以將用作為施體的雜質元素吸附到閘極絕緣膜 52b 的表面以及反應室的內壁上。在此，將 0.001% 至 1% 的磷化氫（氫稀釋或矽烷稀釋）引入於反應室內。注意，磷化氫也可以不受到氫稀釋或矽烷稀釋。除了含有用作為施體的雜質元素的氣體之外，如虛線 461 所示，還可以將含有矽或銻的沉積氣體引入於反應室內，或者如虛線 462 所示，還可以將氫引入於反應室內。藉由將含有矽或銻的沉積氣體引入於反應室內，可以將反應室內的氧、氮、氟等雜質排出到反應室外，而可以防止對於要被形成的膜的污染。

在形成含有用作為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448 中，藉由對反應室內引入含有矽或銻的沉積氣體，在此，引入矽烷、氫及 / 或稀有氣體並混合，且施加高頻電力而產生的輝光放電電漿，以形成微晶矽膜。矽烷由氫及 / 或稀有氣體稀釋為 10 倍至 2000

倍。因此，需要大量的氫及/或稀有氣體。基板的加熱溫度為從 100°C 至 300°C ，較佳為從 120°C 至 220°C 。為了以氫使微晶矽膜的生長表面惰性化並促進微晶矽的生長，較佳以從 120°C 至 220°C 的溫度進行膜形成。此時，因為以吸附到閘極絕緣膜 52b 的表面上用做為施體的雜質元素，在此，以磷為結晶核而進行微晶矽的生長，所以在半導體膜沉積的初期階段中不形成非晶半導體，在相對於閘極絕緣膜 52b 的法線方向上生長結晶，可以形成其中柱狀微晶半導體排列且結晶性高的微晶半導體膜。此外，因為在微晶半導體膜中含有吸附到閘極絕緣膜 52b 的表面上用做為施體的雜質元素，可以形成高導電性的含有用做為施體的雜質元素的微晶半導體膜。

作為含有矽或鍺的沉積氣體，例如可以適當地使用 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 、 GeH_4 、 Ge_2H_6 、 GeH_2Cl_2 、 GeHCl_3 、 GeCl_4 、 GeF_4 等。另外，也可以藉由在矽烷等氣體中混合 GeH_4 、 GeF_4 等的氫化鍺、氟化鍺，而將能帶寬度調整為 0.9 eV 至 1.1 eV 。藉由對矽添加鍺，可以改變薄膜電晶體的溫度特性。

在基板載出 449 中，將基板從反應室載出於連接到反應室的裝載閉鎖室。此時的反應室的壓力成為與裝載閉鎖室相同的壓力。

注意，雖然在此在進行沖洗處理 447 之後，再進行形成含有用做為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448，但是也可以使用以下方法來代替這些製

程：不進行沖洗處理 447，而如虛線 465 所示地藉由與含有矽或鍺的沉積氣體、氫及 / 或稀有氣體一起，混合含有用作為施體的雜質元素的氣體，且利用輝光放電電漿，以形成含有用作為施體的雜質元素的微晶半導體膜 57。

在現有的微晶半導體膜的形成方法中，由於雜質、晶格不匹配等的要因，而在沉積初期階段中形成非晶半導體層。因為在反交錯型薄膜電晶體中，載子流動於閘極絕緣膜附近的微晶半導體膜中，所以當在介面形成非晶半導體層時，遷移率降低，同時電流量減少，而薄膜電晶體的電特性降低。

但是，當利用電漿 CVD 法來形成含有用作為施體的雜質元素的微晶半導體膜時，若反應室內存在用作為施體的雜質元素，則在電漿中矽和用作為施體的雜質元素可能會互相發生反應而形成晶核。當該晶核係沉積在閘極絕緣膜之上時，由於從該晶核發生晶體生長，可抑制在與閘極絕緣膜的介面處的非晶半導體膜的形成。此外，藉由邊吸收殘留在反應室中的用作為施體的雜質元素，邊沉積微晶半導體膜，可以促進微晶化。

再者，當使用電漿 CVD 法來形成含有用作為施體的雜質元素的微晶半導體膜時，當將較易選擇性地蝕刻非晶半導體膜的氣體，典型的有氫、矽、鍺等的氟化物或者氟用作來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在與閘極絕緣膜的介面處的結晶性。作為

具有蝕刻作用的氣體的典型例的氫、矽、鍺等的氟化物，有 HF 、 SiF_4 、 SiHF_3 、 SiH_2F_2 、 SiH_3F 、 Si_2F_6 、 GeF_4 、 GeHF_3 、 GeH_2F_2 、 GeH_3F 、 Ge_2F_6 等。

其結果，如本實施例模式所示，藉由在閘極絕緣膜之上形成含有用做為施體的雜質元素的微晶半導體膜，可以提高在膜的厚度方向上的結晶性，同時可以提高閘極絕緣膜及微晶半導體膜之間的介面處的結晶性。

接著，如圖 9A 所示，在含有用做為施體的雜質元素的微晶半導體膜 57 上形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53。作為不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53，藉由在反應室中混合含有矽或鍺的沉積氣體，在此，混合矽烷、氫及 / 或稀有氣體且利用輝光放電電漿，以形成微晶半導體膜。矽烷由氫及 / 或稀有氣體而被稀釋為 10 倍至 2000 倍。因此，需要大量的氫及 / 或稀有氣體。基板的加熱溫度為從 100°C 至 300°C ，較佳為從 120°C 至 220°C 。為了以氫而使微晶矽膜的生長表面惰性化並促進微晶矽的生長，較佳在從 120°C 至 220°C 的溫度下進行膜形成。注意，藉由在與形成含有用做為施體的雜質元素的微晶半導體膜 57 的反應室不同的反應室中形成微晶半導體膜 53，可以形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53。此外，藉由不進行圖 8 所示的基板載出 449 而繼續形成微晶半導體膜，可以形成不含有其濃度高於

SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53。在此情況下，較佳在沖洗處理 447 中降低吸附到閘極絕緣膜 52b 及反應室之內壁上的用做為施體的雜質元素的濃度。

接著，如圖 9B 所示，在不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53 之上形成緩衝層 54 以及添加有賦予一種導電性類型的雜質元素的半導體膜 55。接著，在添加有賦予一種導電性類型的雜質元素的半導體膜 55 之上形成抗蝕劑掩罩 56。

作為緩衝層 54，可以藉由利用含有矽或鉻的沉積氣體的電漿 CVD 法並使用非晶半導體膜來予以形成。或者，可以藉由利用選自氫、氬、氦、氖中的一種或多種稀有氣體來稀釋含有矽或鉻的沉積氣體形成的非晶半導體膜而被形成。或者，可以藉由利用含有矽或鉻的沉積氣體的流量的 1 倍到 5 倍高的流量的氫，以形成含有氫的非晶半導體膜來予以形成。此外，也可以將氮、或鹵素如氟或氯等添加到上述氫化半導體膜中。

此外，緩衝層 54 可以藉由利用如下非晶半導體膜來予以形成，該非晶半導體膜是藉由將矽、鉻等半導體用作靶子且利用氫或稀有氣體來進行濺射而被形成的。

緩衝層 54 較佳係由不包含晶粒的非晶半導體膜所形成。因此，在利用頻率為幾十 MHz 至幾百 MHz 的高頻電漿 CVD 法、或微波電漿 CVD 法來形成緩衝層 54 的情況下，較佳控制膜形成條件，以獲得不包含晶粒的非晶半導

體膜。

較佳將緩衝層 54 的厚度形成為從 30 nm 到 500 nm，更佳為從 50 nm 到 200 nm。

此外，緩衝層 54 係由非晶半導體膜、或含有氫、氮、或鹵素的非晶半導體膜所形成，所以能隙比微晶半導體膜 53 大，電阻率高，並且遷移率低，亦即為微晶半導體膜 53 之遷移率的 1/5 至 1/10。因此，在之後形成的薄膜電晶體中，將在源極區及汲極區和微晶半導體膜 61 之間形成的一對緩衝層用作為高電阻區，微晶半導體膜 61 用作為通道形成區。因此，可以降低薄膜電晶體的截止電流。另外，在將該薄膜晶體用作為顯示裝置的切換元件的情況下，可以提高顯示裝置的對比度。

另外，還可以在形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53 之後，藉由電漿 CVD 法在 300℃ 至 400℃ 的溫度下形成緩衝層 54。藉由該處理，將氫提供給微晶半導體膜 53，可以獲得與使不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53 氫化相同的效果。也就是說，藉由在微晶半導體膜 53 之上沉積緩衝層 54，可以將氫擴散到微晶半導體膜 53 中，以終結懸空鍵。

注意，藉由在形成含有用做為施體的雜質元素的微晶半導體膜 57 之後，並不形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53，而形成緩衝層 54，可以製造如圖 1A 所示的薄膜電晶體。

作為添加有賦予一種導電性類型的雜質元素的半導體膜 55，在形成 n 通道薄膜電晶體的情況下，添加磷作為典型的雜質元素，以將 PH_3 等的雜質氣體添加到氫化矽中即可。另外，在形成 p 通道薄膜電晶體的情況下，可以添加硼作為典型的雜質元素，將 B_2H_6 等的雜質氣體添加到氫化矽中即可。添加有賦予一種導電性類型的雜質元素的半導體膜 55 可以由微晶半導體膜或非晶半導體來予以形成。添加有賦予一種導電性類型的雜質元素的半導體膜 55 係形成有從 2 nm 到 50 nm 的厚度。藉由減小添加有賦予一種導電性類型的雜質元素的半導體膜的厚度，可以提高生產率。

接著，在添加有賦予一種導電性類型的雜質元素的半導體膜 55 之上形成抗蝕劑掩罩 56。

抗蝕劑掩罩 56 係藉由利用微影技術來予以形成。這裏，藉由使用第二光罩，對塗敷在添加有賦予一種導電性類型的雜質元素的半導體膜 55 上的抗蝕劑進行曝光及顯影，以形成抗蝕劑掩罩 56。

接著，藉由利用抗蝕劑掩罩 56 對含有用做為施體的雜質元素的微晶半導體膜 57、不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 53、緩衝層 54、以及添加有賦予一種導電性類型的雜質元素的半導體膜 55 進行蝕刻並使其分離，如圖 9C 所示地形成含有用做為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的

微晶半導體膜 58、緩衝層 62、以及添加有賦予一種導電性類型的雜質元素的半導體膜 63。然後，去除抗蝕劑掩罩 56。注意，圖 9C（抗蝕劑掩罩 56 除外）相當於圖 12A 的 A-B 的剖面圖。

由於含有用作為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜 58、緩衝層 62 的端部側面傾斜，而微晶半導體膜 61 和形成在緩衝層 62 之上的源極區及汲極區之間具有距離，因此可以防止上述源極區及汲極區和微晶半導體膜 61 之間產生漏洩電流。還可以防止在之後形成的佈線和微晶半導體膜 61 之間產生漏洩電流。微晶半導體膜 61、微晶半導體膜 58 以及緩衝層 62 的端部側面的傾斜角度為自 30° 至 90° 、較佳為自 45° 至 80° 。藉由採用上述角度，可以防止階梯形狀所導致的佈線的斷裂。

接著，如圖 10A 所示，在添加有賦予一種導電性類型的雜質元素的半導體膜 63 及閘極絕緣膜 52b 之上形成導電膜 65a 至 65c，並在導電膜 65a 至 65c 之上形成抗蝕劑掩罩 66。導電膜 65a 至 65c 係藉由利用濺射法、CVD 法、印刷法、液滴噴射法、蒸鍍法等來予以形成。在此，作為導電膜，示出具有導電膜 65a 至 65c 疊層之三層結構的導電膜，且鉬膜可以被使用於導電膜 65a 及 65c 之各者，且鋁膜可以被使用於導電膜 65b；或者鈦膜可以被使用於導電膜 65a 及 65c 之各者，且鋁膜可以被使用於導電膜 65b。導電膜 65a 至 65c 係藉由濺射法或真空蒸鍍法來予

以形成。

抗蝕劑掩罩 66 可以用與抗蝕劑掩罩 56 類似的方式來予以形成。

接著，如圖 10B 所示，局部蝕刻導電膜 65a 至 65c，以形成一對佈線 71a 至 71c（用作為源極電極及汲極電極）。這裏，使用抗蝕劑掩罩 66 而對導電膜 65a 至 65c 進行濕式蝕刻，從而選擇性地蝕刻導電膜 65a 至 65c 的端部，該抗蝕劑掩罩 66 藉由使用第三光罩的微影程序而被形成。其結果，由於導電膜被各向同性地蝕刻，所以可以形成其面積比抗蝕劑掩罩 66 小的佈線 71a 至 71c。

接著，使用抗蝕劑掩罩 66 對添加有賦予一種導電性類型的雜質元素的半導體膜 63 進行蝕刻和分離。其結果，可以如圖 10C 所示那樣形成用作為一對源極區及汲極區的半導體膜 72。注意，在該蝕刻製程中，藉由也對緩衝層 62 進行蝕刻形成一對緩衝層 73。此時，為形成該對緩衝層 73，略微對不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 的過蝕刻也無妨。此種情況下，在不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 中形成凹部。在此之後，去除抗蝕劑掩罩 66。

接著，也可以在露出了的緩衝層以及不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 不受損傷且對於該緩衝層的蝕刻速度低的條件下，進行乾式蝕刻。藉由該製程，可以去除源極區及汲極區

之間的緩衝層上的蝕刻殘留物、抗蝕劑掩罩的殘留物、以及用以去除抗蝕劑掩罩的設備內的污染源，而可以使源極區及汲極區之間可靠地絕緣。其結果，可以降低薄膜電晶體的漏洩電流，而可以製造截止電流小且耐壓性高的薄膜電晶體。注意，例如可以使用含有氯的氣體、含有氟的氣體等作為蝕刻氣體。

注意，圖 10C（抗蝕劑掩罩 66 除外）相當於圖 12B 的 A-B 的剖面圖。如圖 12B 所示，用作為源極區及汲極區的半導體膜 72 的端部係位於佈線 71c 的端部的外側。另外，緩衝層 73 的端部係位於佈線 71c、以及用作為源極區及汲極區的半導體膜 72 的端部的的外側。另外，該對佈線 71a 至 71c 的其中一者具有包圍該對佈線 71a 至 71c 中的另一者的形狀（明確地說，前者為呈 U 字型或 C 字型）。因此，可以增加載子行進的區域的面積，從而可以增大電流量，並可以縮小薄膜電晶體的面積。另外，由於在閘極電極之上重疊有微晶半導體膜、佈線，所以由於閘極電極的凹凸不平的影響少，而可以抑制覆蓋率的降低以及漏洩電流的發生。

藉由上述製程，可以形成通道蝕刻型薄膜電晶體 74。

接著，如圖 11A 所示，在佈線 71a 至 71c、用作為源極區及汲極區的半導體膜 72、緩衝層 73、不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58、微晶半導體膜 61、以及閘極絕緣膜 52b 之上

形成保護絕緣膜 76。保護絕緣膜 76 可以用與閘極絕緣膜 52a、52b 類似的方式來予以形成。注意，保護絕緣膜 76 防止在空氣中所含的有機物、金屬、水蒸氣等污染雜質的侵入，因此較佳採用緻密的膜。另外，藉由將氮化矽膜用做為保護絕緣膜 76，可以將該對緩衝層 73 以及不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 中的氧濃度設定為低於或等於 5×10^{19} atoms/cm³，較佳為低於或等於 1×10^{19} atoms/cm³，使得可以防止緩衝層 87 的氧化。

接著，如圖 11B 所示藉由使用利用第四光罩所形成的抗蝕劑掩罩來局部蝕刻保護絕緣膜 76，以形成接觸孔，並在該接觸孔中形成與佈線 71c 相接觸的像素電極 77。注意，圖 11B 顯示沿著圖 12C 的線 A-B 所取出的剖面圖。

像素電極 77 可以是由包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等的透光導電材料所形成。

另外，可以使用包含導電高分子化合物（也被稱為導電聚合物）的導電組成物來形成像素電極 77。較佳的是，藉由使用導電組成物所形成的像素電極的薄層電阻為小於或等於 $10000 \Omega/\square$ ，且在波長 550 nm 處的透光率為大於或等於 70%。另外，包含在導電組成物中的導電高分子化合物的電阻率較佳為小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

作為導電高分子化合物，可以使用所謂的 π 電子共軛類導電高分子化合物。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或這些兩種以上的共聚物等。

這裏，作為像素電極 77，在藉由濺射法而形成 ITO 膜之後將抗蝕劑塗敷在 ITO 膜上。接著，藉由利用第五光罩而對抗蝕劑進行曝光及顯影，以形成抗蝕劑掩罩。然後，使用抗蝕劑掩罩來蝕刻 ITO 膜，以形成像素電極 77。

藉由上述製程，可以形成薄膜電晶體、以及能夠用於顯示裝置的元件基板。

接著，以下敘述圖 6A 所示的薄膜電晶體的製造程序。

與如圖 9A 所示的製程同樣，在基板 50 之上形成閘極電極 51，並且在閘極電極 51 之上形成閘極絕緣膜 52a。

接著，如圖 17 所示，在閘極絕緣膜 52a 之上形成含有用作為施體的雜質元素的閘極絕緣膜 59b，並且在該閘極絕緣膜 59 之上使用含有矽或銻的沉積氣體及氫且利用電漿 CVD 法形成含有用作為施體的雜質元素的微晶半導體膜 57。

接著，以下敘述圖 4A 所示的薄膜電晶體的製造程序。

與如圖 9A 所示的製程同樣，在基板 50 之上形成閘極電極 51。

接著，在電漿 CVD 設備的反應室之內壁上形成含有用做為施體的雜質元素的膜作為保護膜之後，將基板 50 載入於反應室內，如圖 14 所示在閘極電極 51 之上沉積含有用做為施體的雜質元素的閘極絕緣膜 59a、59b 以及含有用做為施體的雜質元素的微晶半導體膜 57。在此情況下，當將反應室內成為真空時，藉由進一步產生電漿，用做為施體的雜質元素從形成在反應室內的保護膜脫離到反應室內。此外，因為邊吸收該脫離的用做為施體的雜質元素，邊形成閘極絕緣膜及微晶半導體膜，所以可以在閘極電極之上形成含有用做為施體的雜質元素的閘極絕緣膜、以及含有用做為施體的雜質元素的微晶半導體膜。

以下，作為含有用做為施體的雜質元素的閘極絕緣膜 59a、59b，以及微晶半導體膜 57 的形成方法的典型例子，參照圖 13 而按時間順序地說明形成含有磷的氮化矽膜、含有磷的氧氮化矽膜、以及含有磷的微晶矽膜的製程。

圖 13 是說明含有用做為施體的雜質元素的閘極絕緣膜 59a、59b、含有用做為施體的雜質元素的微晶半導體膜 57 的形成製程的時序圖，它表示代表性的一例。圖 13 的說明從對在大氣壓下的反應室進行真空排氣的階段 440 開始，並且按時間順序地示出之後進行的預塗處理 452、基板載入 442、形成含有用做為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理 (1) 453、真空排氣處理 444、形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 454、真空排氣處理 446、形成含有用做為施體

雜質元素的微晶半導體膜 57 的膜形成處理 (3) 455、及基板載出 449 的各處理。

在預塗處理 452 中，在電漿 CVD 設備的反應室之內壁上預塗與含有用作為施體的雜質元素的閘極絕緣膜相同或者相似的組成的膜作為保護膜。在此，藉由對反應室內引入 0.001%至 1%的磷化氫（以氫稀釋或以矽烷稀釋）、含有矽或鎢的沉積氣體，在此，將矽烷、氫、以及氮、一氧化二氮、及氮中的任一種或多種引入到反應室並混合且利用施加高頻電力而產生的輝光放電電漿，以形成含有磷的氮化矽膜、含有磷的氧化矽膜、含有磷的氮化矽膜、或者含有磷的氮氧化矽膜。其結果，可以防止構成反應室之一部分的金屬進入閘極絕緣膜中作為雜質，同時還可以將用作為施體的雜質元素添加到之後形成的閘極絕緣膜、微晶半導體膜等中。

在基板載入 442 中，從連接到反應室的裝載閉鎖室中將基板載入於反應室。此外，在載入基板的前後，對反應室內的壓力進行真空排氣，此時從預塗在反應室之內壁上的保護膜中將用作為施體的雜質元素釋放到反應室的內部中。

在形成含有用作為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理 (1) 453 中，當藉由混合來源氣體，在此，混合氫、矽烷和氮且利用輝光放電電漿，沉積氮化矽膜時，在引入釋放到反應室內的用作為施體的雜質元素，在此，引入磷的同時沉積氮化矽膜。此外，當輝光放電電漿

擴大到反應室的內壁時，除了上述來源氣體之外，還從預塗在反應室之內壁上的保護膜用做為施體的雜質元素（在此為磷）被釋放出。因此，可以形成含有磷的氮化矽膜。注意，除了上述來源氣體以外，也可以將氮引入於反應室內。在形成含有用做為施體的雜質元素的閘極絕緣膜 59a 後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 444 中，對反應室內進行真空排氣到成為預定的真空度。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理（2）454 中，當藉由引入來源氣體，在此，引入氫、矽烷和一氧化二氮並混合且利用施加高頻電力而產生的輝光放電電漿，沉積氧氮化矽膜時，在引入釋放到反應室內的用做為施體的雜質元素，在此，引入磷的同時，沉積氧氮化矽膜。在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 446 中，對反應室內進行真空排氣到成為預定的真空度。

在形成含有用做為施體的雜質元素的微晶半導體膜 57 的膜形成處理（3）455 中，藉由對反應室內引入含有矽或鍺的沉積氣體，在此，引入矽烷、氫及/或稀有氣體並混合且利用施加高頻電力而產生的輝光放電電漿，以形成微晶矽膜。矽烷由氫及/或稀有氣體被稀釋為 10 倍至

2000 倍。因此，需要大量的氫及 / 或稀有氣體。基板的加熱溫度為從 100°C 至 300°C 、較佳為從 120°C 至 220°C 。此時，當輝光放電電漿擴展到反應室的內壁時，除了上述來源氣體之外，還從預塗在反應室之內壁上的保護膜用做為施體的雜質元素（在此為磷）被釋放出。因此，在引入釋放到反應室內的用做為施體的雜質元素的同時進行沉積，所以在此形成含有磷的微晶半導體膜。其結果，在半導體膜沉積的初期階段中並不形成非晶半導體，在相對於閘極絕緣膜 59b 的法線方向上生長結晶，可以形成其中柱狀微晶半導體排列且結晶性高的微晶半導體膜。此外，可以形成高導電性的含有用做為施體的雜質元素的微晶半導體膜。另外，此時，當將具有蝕刻作用的氫、矽、鍺等的氟化物或者氟用作來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在微晶半導體膜與閘極絕緣膜之間的介面處的結晶性。

在本實施例模式中，其特徵在於：形成含有用做為施體的雜質元素的閘極絕緣膜 59a 和 59b、含有用做為施體的雜質元素的微晶半導體膜 57。用做為施體的雜質元素的峰值濃度為從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為從 $3 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{17} \text{ atoms/cm}^3$ 。

在基板載出 449 中，將基板從反應室載出於連接到反應室的裝載閉鎖室。此時的反應室的壓力成為與裝載閉鎖

室相同的壓力。

接著，如圖 9B 所示，在含有用做為施體的雜質元素的微晶半導體膜 57 之上形成緩衝層 54、含有賦予一種導電性類型的雜質元素的半導體膜 55、以及抗蝕劑掩罩 56。接著，藉由圖 9C 至圖 10C 所示的製程，可以製造如圖 4A 所示的薄膜電晶體。此外，之後，藉由圖 11A 和 11B 所示的製程，可以形成能夠用於顯示裝置的元件基板。

注意，在含有用做為施體的雜質元素的微晶半導體膜 57 以及緩衝層 54 之間形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜，然後藉由圖 9B 至圖 10C 所示的製程，可以製造薄膜電晶體。此外，之後，藉由圖 11A 和 11B 所示的製程，可以形成能夠用於顯示裝置的元件基板。

接著，以下敘述圖 4A 所示的薄膜電晶體的其他製造方法。

圖 15 是說明含有用做為施體的雜質元素的閘極絕緣膜 59a 和 59b、含有用做為施體的雜質元素的微晶半導體膜 57 的形成製程的時序圖，它表示代表性的一例。圖 15 的說明從對在大氣壓下的電漿 CVD 設備的反應室進行真空排氣的階段 440 開始，並且按時間順序地示出之後進行的預塗處理 441、基板載入 442、沖洗處理 447、形成含有用做為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理 (1) 456、真空排氣處理 444、形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457、真空排

氣處理 446、形成含有用做為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448、及基板載出 449 的各處理。

注意，預塗處理 441、基板載入 442、真空排氣處理 444、真空排氣處理 446、形成含有用做為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448、以及基板載出 449 與圖 8 所示的製程同樣，並且在基板載入 442 和真空排氣處理 446 之間進行沖洗處理 447、形成含有用做為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理 (1) 456、真空排氣處理 444、及形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457。

在沖洗處理 447 中，將含有用做為施體的雜質元素的氣體引入於反應室內，並且將用做為施體的雜質元素吸附到基板 50、閘極電極 51 的表面以及反應室的內壁上。在此，將 0.001% 至 1% 的磷化氫（以氫稀釋或以矽烷稀釋）引入於反應室內。注意，除了含有用做為施體的雜質元素的氣體之外，如虛線 462 所示，還可以將氫引入於反應室內。或者，如虛線 461 所示，還可以將含有矽或銻的沉積氣體引入於反應室內。藉由將含有矽或銻的沉積氣體引入於反應室內，可以將反應室內的氧、氮、氟等雜質排出到反應室外，而可以防止對於要被形成的膜的污染。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理 (1) 456 中，藉由混合來源氣體，在此，混合氫、矽烷和氮並利用施加高頻電力而產生的輝光放電

電漿，以沉積氮化矽膜。注意，除了上述來源氣體之外，還可以將氮引入於反應室內。此時，在引入吸附到基板 50 或者閘極電極 51、反應室的內壁表面上的用做為施體的雜質元素，在此，引入磷的同時沉積氮化矽膜，所以可以形成含有磷的氮化矽膜。在形成含有用做為施體的雜質元素的閘極絕緣膜 59a 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 444 中，對反應室內進行真空排氣到成為預定的真空度。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457 中，藉由混合來源氣體，在此，混合氫、矽烷和一氧化二氮且利用施加高頻電力而產生的輝光放電電漿，以沉積氧氮化矽膜。此時，因為在引入分離出在含有用做為施體的雜質元素的閘極絕緣膜 59a 的表面的用做為施體的雜質元素、以及吸附在反應室的內壁的表面的用做為施體的雜質元素，在此，引入磷的同時，沉積氧氮化矽膜，所以可以形成含有磷的氧氮化矽膜作為含有用做為施體的雜質元素的閘極絕緣膜 59b。在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 446 中，對反應室內進行真空排氣到成為預定的真空度。

注意，在此，在進行沖洗處理 447 之後進行了形成含有用做為施體的雜質元素的閘極絕緣膜 59a 的膜形成處理

(1) 456，但是也可以使用以下方法來代替這些製程：不進行沖洗處理 447，而如圖 15 的虛線 463、464 所示地藉由與含有矽或銻的沉積氣體和氫一起，引入含有用作為施體的雜質元素的氣體並混合，且利用施加高頻電力而產生的輝光放電電漿，以形成含有用作為施體的雜質元素的閘極絕緣膜 59a、59b。

接著，如圖 9A 所示，形成含有用作為施體的雜質元素的微晶半導體膜 57。接著，如圖 9B 所示，在含有用作為施體的雜質元素的微晶半導體膜 57 之上形成緩衝層以及添加有賦予一種導電性類型的雜質元素的半導體膜。注意，此時，當將具有蝕刻作用的氫、矽、銻等的氟化物或者氟用作為來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在微晶半導體膜與閘極絕緣膜之間的介面處的結晶性。

在本實施例模式中，其特徵在於：形成含有用作為施體的雜質元素的閘極絕緣膜 59a 和 59b、微晶半導體膜 57。用作為施體的雜質元素的峰值濃度為從 $6 \times 10^{15} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為從 $1 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{18} \text{ atoms/cm}^3$ ，更佳為從 $3 \times 10^{16} \text{ atoms/cm}^3$ 到 $3 \times 10^{17} \text{ atoms/cm}^3$ 。

接著，經由圖 9C 至圖 10C 所示的步驟，可以製造如圖 4A 所示的薄膜電晶體。此外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板

注意，在含有用作為施體的雜質元素的微晶半導體膜 57 以及緩衝層 54 之間形成不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜，然後經由圖 9B 至圖 10C 所示的步驟，可以製造薄膜電晶體。此外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

接著，以下敘述圖 6A 所示的薄膜電晶體的製造方法。

以下，作為閘極絕緣膜 52a、含有用作為施體的雜質元素的閘極絕緣膜 59b，以及含有用作為施體的雜質元素的微晶半導體膜 57 的形成方法的典型例子，參照圖 16 而按時間順序地說明形成氮化矽膜、含有磷的氧氮化矽膜、以及含有磷的微晶矽膜的步驟。

圖 16 是說明形成閘極絕緣膜 52a、含有用作為施體的雜質元素的閘極絕緣膜 59b、含有用作為施體的雜質元素的微晶半導體膜 57 的步驟的時序圖，它表示代表性的一例。圖 16 的說明從對在大氣壓下的反應室進行真空排氣 440 的階段開始，並且按時間順序地示出之後進行的預塗處理 441、基板載入 442、形成閘極絕緣膜 59b 的膜形成處理 (1) 443、真空排氣處理 444、形成含有用作為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 450、真空排氣處理 446、沖洗處理 447、形成含有用作為施體的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 451、

及基板載出 449 的各處理。

注意，預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理（1）443、真空排氣處理 444、及基板載出 449 係與圖 8 所示的製程相同，在真空排氣處理 444 以及基板載出 449 之間進行形成含有用作為施體的雜質元素的絕緣膜 59b 的膜形成處理（2）450、真空排氣處理 446、形成含有用作為施體的雜質元素的微晶半導體膜 57 的膜形成處理（3）451。

在形成含有用作為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理（2）450 中，在形成閘極絕緣膜的來源氣體中引入含有用作為施體的雜質元素的氣體。在此，藉由對反應室內引入矽烷、一氧化二氮、0.001%至 1%的磷化氫（以氫稀釋或以矽烷稀釋）並混合，且利用施加高頻電力而產生輝光放電電漿，以形成含有磷的氧氮化矽膜。在當形成含有用作為施體的雜質元素的閘極絕緣膜 59b 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在形成含有用作為施體的雜質元素的微晶半導體膜 57 的膜形成處理（3）451 中，藉由在反應室內混合含有矽或鍺的沉積氣體，在此，混合矽烷、氫及/或稀有氣體且利用輝光放電電漿，以形成微晶矽膜。矽烷係由氫及/或稀有氣體而被稀釋為 10 倍至 2000 倍。因此，需要大量的氫及/或稀有氣體。基板的加熱溫度為從 100℃至 300℃，較佳為從 120℃至 220℃。在形成微晶半導體膜 57 之後

，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 之後，藉由在反應室中還殘留有用做為施體的雜質元素的狀態下，在上述微晶半導體膜 57 的膜形成條件下形成，可以沉積含有用做為施體的雜質元素的微晶半導體膜。注意，此時，當將具有蝕刻作用的氣體，典型地將氫、矽、銻等的氟化物或者氟用作來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在微晶半導體膜與閘極絕緣膜之間的介面處的結晶性。

接著，在形成緩衝層之後，藉由圖 9C 至 10C 的製程，可以形成如圖 6A 所示那樣的薄膜電晶體，其中，在閘極電極 51 之上形成有閘極絕緣膜 52a、在該閘極絕緣膜 52a 之上形成含有用做為施體的雜質元素的閘極絕緣膜 59b，在該閘極絕緣膜 59b 之上形成含有用做為施體的雜質元素的微晶半導體膜 61，在該微晶半導體膜 61 之上形成有一對緩衝層的薄膜電晶體。此外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

注意，在含有用做為施體的雜質元素的微晶半導體膜 57 以及緩衝層 54 之間形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜，然後經由圖 9B 至圖 10C 所示的步驟，可以製造薄膜電晶體。此

外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

接著，以下敘述與上述不同薄膜電晶體的製造方法。

如圖 9A 所示，在基板 50 之上形成閘極電極 51，並且在閘極電極 51 之上形成閘極絕緣膜 52a。

接著，如圖 17 所示，在閘極絕緣膜 52a 之上形成含有用作為施體的雜質元素的閘極絕緣膜 59b，並且在閘極絕緣膜 59b 之上使用含有矽或鍺的沉積氣體及氫且利用電漿 CVD 法而形成含有用作為施體的雜質元素的微晶半導體膜 57。

以下，參照圖 18 而按時間順序地說明如下步驟：作為形成閘極絕緣膜 52a、含有用作為施體的雜質元素的閘極絕緣膜 59b、以及含有用作為施體的雜質元素的微晶半導體膜 57 的典型例子，分別形成氮化矽膜、含有磷的氮化矽膜、以及含有磷的微晶矽膜。

圖 18 是說明形成閘極絕緣膜 52a、含有用作為施體的雜質元素的閘極絕緣膜 59b、含有用作為施體的雜質元素的微晶半導體膜 57 的步驟的時序圖，它表示代表性的一例。圖 18 的說明從對在大氣壓下的反應室進行真空排氣的階段 440 開始，並且按時間順序地示出之後進行的預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理 (1) 443、真空排氣處理 444、沖洗處理 447、形成含有用作為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457、真空排氣處理 446、形成含有用作為施體

的雜質元素的微晶半導體膜 57 的膜形成處理 (3) 448、及基板載出 449 的各處理。

注意，預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理 (1) 443、真空排氣處理 444、形成含有用做為施體的雜質元素的微晶半導體膜的膜形成處理 (3) 448、及基板載出 449 係與圖 8 所示的製程相同，並且在真空排氣處理 444 和形成微晶半導體膜 57 的膜形成處理 (3) 448 之間進行沖洗處理 447、形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457、以及真空排氣處理 446。

在沖洗處理 447 中，將含有用做為施體的雜質元素的氣體引入於反應室內，並且將用做為施體的雜質元素吸附到閘極絕緣膜 52a 的表面以及反應室的內壁上。在此，將 0.001% 至 1% 的磷化氫（以氫稀釋或以矽烷稀釋）引入於反應室內。注意，除了含有用做為施體的雜質元素的氣體之外，如虛線 462 所示，還可以將氫引入於反應室內。或者，如虛線 461 所示，還可以將含有矽或銻的沉積氣體引入於反應室內。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 的膜形成處理 (2) 457 中，藉由混合來源氣體，在此，將氫、矽烷和一氧化二氮混合且利用施加高頻電力而產生的輝光放電電漿，以形成氧氮化矽膜。此時，因為在引入分離出在閘極絕緣膜 52a 的表面的用做為施體的雜質元素、以及吸附在反應室的內壁的表面上的用做為施體的雜

質元素，在此，引入磷的同時沉積氧氮化矽膜，所以可以形成含有磷的氧氮化矽膜。在形成含有用做為施體的雜質元素的閘極絕緣膜 59b 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。此外，還可以不進行圖 18 所示的沖洗處理 447，而與形成閘極絕緣膜來源氣體一起，如圖 18 所示的虛線 463 那樣使用含有用做為施體的雜質元素的氣體來形成含有用做為施體的雜質元素的閘極絕緣膜 59b。

接著，如圖 17A 所示，形成含有用做為施體的雜質元素的微晶半導體膜 57。注意，此時，當將具有蝕刻作用的氫、矽、鍺等的氟化物或者氟用作為來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在微晶半導體膜與閘極絕緣膜之間的介面處的結晶性。之後，形成緩衝層以及添加有賦予一種導電性類型的雜質元素的半導體膜。

接著，經由圖 9C 至圖 10C 所示的步驟，可以製造如圖 6A 所示那樣的薄膜電晶體。此外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

注意，在含有用做為施體的雜質元素的微晶半導體膜 57 以及緩衝層 54 之間形成不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜，然後經由圖 9B 至圖 10C 所示的步驟，可以製造薄膜電晶體。此

外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

接著，以下敘述圖 7A 所示的薄膜電晶體的製造製程。

與如圖 9A 所示的步驟相同地，在基板 50 之上形成閘極電極 51。接著，如圖 20 所示，在基板 50 以及閘極電極 51 之上形成閘極絕緣膜 52a 和 52b、以及含有用作為施體的雜質元素的閘極絕緣膜 59c。接著，在含有用作為施體的雜質元素的閘極絕緣膜 59c 之上形成含有用作為施體的雜質元素的微晶半導體膜 57。

為第一層及第二層的閘極絕緣膜 52a、52b 可以藉由電漿 CVD 法或濺射法且利用氮化矽膜、氮氧化矽膜、氧化矽膜、氧氮化矽膜來予以形成。為第三層的含有用作為施體的雜質元素的閘極絕緣膜 59c 可以藉由利用厚度為約 1 nm 至 5 nm 的具有磷、砷、或者銻的氮化矽膜、或者氮氧化矽膜來予以形成。

以下，作為閘極絕緣膜 52a、52b、含有用作為施體的雜質元素的閘極絕緣膜 59c、以及含有用作為施體的雜質元素的微晶半導體膜 57 的形成方法的典型例子，參照圖 19 而按時間順序地說明形成含有氮化矽膜、氧氮化矽膜、含有磷的氮化矽膜、以及含有磷的微晶矽膜的步驟。

圖 19 是說明形成閘極絕緣膜 52a 和 52b、含有用作為施體的雜質元素的閘極絕緣膜 59c、含有用作為施體的雜質元素的微晶半導體膜 57 的步驟的時序圖，它表示代

表性的一例。圖 19 的說明從對在大氣壓下的反應室進行真空排氣的階段 440 開始，並且按時間順序地示出之後進行的預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理（1）443、真空排氣處理 444、形成閘極絕緣膜 52b 的膜形成處理（2）445、真空排氣處理 446、沖洗處理 447、形成含有用作為施體的雜質元素的閘極絕緣膜 59c 的膜形成處理（4）458、真空排氣處理 459、形成微晶半導體膜 57 的膜形成處理（3）448、及基板載出 449 的各處理。

注意，預塗處理 441、基板載入 442、形成閘極絕緣膜 52a 的膜形成處理（1）443、真空排氣處理 444、形成閘極絕緣膜 52a 的膜形成處理（2）445、真空排氣處理 446、形成含有用作為施體的雜質元素的微晶半導體膜 57 的膜形成處理（3）448、基板載出 449 係與圖 8 所示的步驟相同，在真空排氣處理 446 和形成微晶半導體膜 57 的成膜處理（3）448 之間進行沖洗處理 447、形成含有用作為施體的雜質元素的閘極絕緣膜 59c 的膜形成處理（2）458、真空排氣處理 459。

在沖洗處理 447 中，將含有用作為施體的雜質元素的氣體引入於反應室內，並且將用作為施體的雜質元素吸附到閘極絕緣膜 59b 的表面以及反應室的內壁上。在此，將 0.001% 至 1% 的磷化氫（以氫稀釋或以矽烷稀釋）引入於反應室內。注意，除了含有用作為施體的雜質元素的氣體之外，如虛線 462 所示，還可以將氫引入於反應室內。或

者，如虛線 461 所示，還可以將含有矽或銻的沉積氣體引入於反應室內。

在形成含有用做為施體的雜質元素的閘極絕緣膜 59c 的膜形成處理 (2) 458 中，藉由將形成閘極絕緣膜的來源氣體，在此，將氫、矽烷和一氧化二氮引入並混合且利用施加高頻電力而產生的輝光放電電漿，以形成氮化矽膜。此時，因為在引入分離出在閘極絕緣膜 52b 的表面上用做為施體的雜質元素、以及吸附在反應室的內壁的表面上的用做為施體的雜質元素，在此，引入磷的同時沉積氮化矽膜，所以可以形成含有磷的氮化矽膜。在形成含有用做為施體的雜質元素的閘極絕緣膜 59c 之後，停止上述來源氣體的引入，關閉電源，而後停止電漿的產生。

在真空排氣處理 459 中，對反應室內進行真空排氣到成為預定的真空度。

之後，在含有用做為施體的雜質元素的閘極絕緣膜 52c 之上形成含有用做為施體的雜質元素的微晶半導體膜 53。

注意，作為含有用做為施體的雜質元素的閘極絕緣膜 59c 的形成方法，可以在進行沖洗處理 447 之後，對閘極絕緣膜 52b 進行利用高密度電漿的氮化處理，藉以在閘極絕緣膜 52b 的表面之上形成含有用做為施體的雜質元素的氮化矽層。高密度電漿係藉由使用高頻率的微波，例如 2.45 GHz 的微波來予以產生。因為其特徵在於低電子溫度的高密度電漿的活性種的動能低，所以可以形成與習知

的電漿處理相比電漿損傷少且缺陷少的層。此外，因為可以減小閘極絕緣膜 52b 的表面粗糙，所以可以增高載子的遷移率。

此外，也可以不進行圖 19 所示的沖洗處理 447，而與形成閘極絕緣膜的來源氣體一起，如圖 19 所示的虛線 463 所示，使用含有用作為施體的雜質元素的氣體，來形成含有用作為施體的雜質元素的閘極絕緣膜 59c。

再者，在形成含有用作為施體的雜質元素的微晶半導體膜 57 時，當將具有蝕刻作用的氫、矽、銻等的氟化物或者氟用作為來源氣體的一部分時，對在形成微晶半導體膜時所形成的非晶半導體選擇性地進行蝕刻，可以進一步提高微晶化率，可以提高在微晶半導體膜與閘極絕緣膜之間的介面處的結晶性。

在此之後，經由圖 11B 至圖 12C 的步驟，可以製造如圖 7A 所示的薄膜電晶體。

注意，在含有用作為施體的雜質元素的微晶半導體膜 57 以及緩衝層 54 之間形成不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜，然後經由圖 9B 至圖 10C 所示的步驟，可以製造薄膜電晶體。此外，之後，經由圖 11A 和 11B 所示的步驟，可以形成能夠用於顯示裝置的元件基板。

注意，在本實施例模式所示的製程中，藉由施加具有 1 MHz 至 20 MHz，典型為 13.56 MHz 的高頻電力；或者具有 20 MHz 至約 120 MHz 的 VHF 頻帶之頻率的高頻電

力，典型為 27.12 MHz 或 60 MHz，來產生輝光放電電漿。再者，或者藉由施加具有 120 MHz 至 3 GHz 的 UHF 頻帶之頻率，典型地是頻率為 1 GHz、或具有 2.45 GHz 之頻率的微波而進行。

此外，在微晶半導體膜的膜形成處理中，除了矽烷及氫之外，還可以將氮添加到反應氣體作為稀有氣體。氮具有在所有的氣體中最高之 24.5 eV 的離子化能量，並且在較低於該離子化能量的大約 20 eV 的能級中具有準穩定狀態，因此在維持放電時，離子化的能量只需要差值的大約 4 eV。因此，其放電開始電壓也示出在所有的氣體中最低的值。根據如上所述的特性，氮可以穩定地維持電漿。另外，因為可以形成均勻的電漿，所以即使沉積微晶矽膜的基板的面積增大，也可以發揮電漿密度的均勻化的效果。

在本實施例模式中所製造的薄膜電晶體中，微晶半導體膜及/或閘極絕緣膜含有用作為施體的雜質元素。因而，微晶半導體膜在與閘極絕緣膜之間的介面處的結晶性高，並且可提高微晶半導體膜的結晶性。因此，利用微晶半導體膜的薄膜電晶體，與利用非晶半導體膜的薄膜電晶體或習知的利用微晶半導體膜的薄膜電晶體相比，場效遷移率及導通電流都高。因此，藉由利用其通道形成區由微晶半導體膜所形成的薄膜電晶體用於顯示元件的切換，可以縮小通道形成區的面積，亦即可以縮小薄膜電晶體的面積。因此，單一個像素中的薄膜電晶體所占的面積縮小，因而可以提高像素的孔徑比。因此，可以製造高解析度的顯

示裝置。

此外，在本實施例模式中所製造的薄膜電晶體的通道形成區係使用微晶半導體膜來予以形成，因此與使用非晶半導體膜所製造的通道形成區相比其電阻率低。因此，在利用微晶半導體膜 57 的薄膜電晶體中，示出電流電壓特性的曲線的上升部分的傾斜變陡峭，作為切換元件的反應性優良，而且能夠進行高速操作。另外，藉由將該微晶半導體膜用於薄膜電晶體的通道形成區，可以抑制薄膜電晶體的臨界電壓的變動。因此，可以製造電特性的變動低的顯示裝置。

再者，在本實施例模式中所製造的薄膜電晶體，在用作為通道形成區的微晶半導體膜和用作為源極區及汲極區的添加有賦予一種導電性類型的雜質元素的半導體膜之間，使用電阻率高的非晶半導體膜而形成一對緩衝層。雖然截止電流藉由微晶半導體膜以及該緩衝區域，但是由於該對緩衝層為高電阻區域，所以可以抑制截止電流。

接著，敘述適合閘極絕緣膜、微晶半導體膜的膜形成的結構的一例作為應用上述反應室的電漿 CVD 設備的一例。

圖 21 顯示具備多個反應室的多室電漿 CVD 設備的一例。該設備係設有公共室 423、裝載/卸載室 422、第一反應室 400a、第二反應室 400b、第三反應室 400c、第四反應室 400d。上述設備採用單晶圓處理方式，其中，將設置於裝載/卸載室 422 的卡式盒子中的基板利用公共室 423

的載送機構 426 而從各反應室載出或者載入於各反應室中。在公共室 423 和各室之間設置有閘閥 425，以使各反應室內進行的處理互不干擾。

各反應室根據要被形成的薄膜的種類而使用於不同的目的。例如，第一反應室 400a 用來形成諸如閘極絕緣膜的絕緣膜的反應室，第二反應室 400b 用來形成構成通道的微晶半導體膜的反應室，第三反應室 400c 用來形成緩衝層的反應室，第四反應室 400d 用來形成構成源極及汲極的添加有賦予一種導電性類型的雜質元素的半導體膜的反應室。當然，反應室的數目並不局限於此，根據需要可以任意進行增減。另外，既可以在一個反應室內形成一種膜，又可以在一個反應室內形成多種膜。

各反應室係連接至渦輪分子泵 419 和乾式泵 420 作為排氣單元。排氣單元並不局限於這些真空泵的組合，也可以應用其他真空泵只要其能夠排氣到大約成為 10^{-1} Pa 至 10^{-5} Pa 的真空度。在排氣單元和各反應室之間係設置有蝶閥 417，由此可以中斷真空排氣，並且藉由利用導氣閥 418 來控制排氣速度，以調整各反應室中的壓力。

注意，用來形成微晶半導體膜的第二反應室 400b 也可以是進行真空排氣到超高真空地連接低溫泵 421。藉由利用低溫泵 421，可以將反應室的壓力設定為低於 10^{-5} Pa 的壓力的超高真空。在本實施例模式中，藉由將反應室內設定為低於 10^{-5} Pa 的壓力的超高真空，可以有效於降低微晶半導體膜中的氧濃度。其結果，可以將微晶半導體膜

中所含有的氧的濃度變為小於或等於 $1 \times 10^{16} \text{ atoms/cm}^3$ 。藉由降低微晶半導體膜中的氧濃度，可以降低膜中的缺陷，並且可以提高結晶性，所以可以提高載子的遷移率。

氣體供給單元 408 係由填充以矽烷做為代表的半導體材料氣體或稀有氣體等的用於製程的氣體的汽缸 410、停止閥 412、質量流量控制器 413 等所構成。氣體供給單元 408g 係連接到第一反應室 400a 並供給用來形成閘極絕緣膜的氣體。氣體供給單元 408i 係連接到第二反應室 400b 並供給用來形成微晶半導體膜的氣體。氣體供給單元 408b 係連接到第三反應室 400c 並供給用來形成緩衝層的氣體。氣體供給單元 408n 係連接到第四反應室 400d 並例如供給用來形成 n 型半導體膜的氣體。此外，作為含有用作為施體的雜質元素的氣體的一種的磷化氫還連接到第一反應室 400a、第二反應室 400b 而供給氣體。氣體供給單元 408a 供給氫並且氣體供給單元 408f 是供給用於反應室內的清洗的蝕刻氣體的系統。因此，氣體供給單元 408a 和 408f 係共同提供給各反應室。

各反應室係連接有用來產生電漿的高頻電力供給單元。高頻電力供給單元包括高頻電力 404 和匹配器 (matching box) 406。

各個反應室可以根據要被形成的薄膜的種類而使用於不同的目的。由於各個薄膜有各自最佳的膜形成溫度，各個薄膜係形成於不同的反應室中，可以容易地對膜形成溫度進行控制。再者，由於可以重複地形成相同種類的膜，

所以可以排除起因於之前形成的膜的殘留雜質所帶來的影響。尤其是可以避免微晶半導體膜中所含有的用做為施體的雜質元素混入到緩衝層中。其結果，可以降低緩衝層中的用做為施體的雜質元素的濃度，因而可以降低薄膜電晶體的截止電流。

注意，也可以在同一個反應室內連續形成微晶半導體膜、緩衝層、添加有賦予一種導電性類型的雜質元素的半導體膜。明確地說，將形成有閘極絕緣膜的基板載入於反應室內，並且在該反應室內連續地形成微晶半導體膜、緩衝層、以及添加有賦予一種導電性類型的雜質元素的半導體膜。之後，從反應室載出基板，然後利用氟自由基等清洗反應室內。然而，即便對反應室內進行清洗，也會有在反應室內殘留有用做為施體的雜質元素的情況。若將形成有閘極絕緣膜的基板載入該種反應室，並形成微晶半導體膜，則用做為施體的雜質元素被包含在微晶半導體膜中。從而可以形成與閘極絕緣膜之間的介面處的結晶性高且含有用做為施體的雜質元素的微晶半導體膜。注意，當形成緩衝層時，由於期望儘量地降低膜中的用做為施體的雜質元素的濃度，因此不使反應室內殘留有用做為施體的雜質元素地進行清洗。

接著，參照圖 22A 至圖 28C 說明與上述模式不同的薄膜電晶體的製造方法。這裏，示出使用與上述模式相比可以減少光罩個數的製程來製造薄膜電晶體的製程。雖然在此敘述圖 1A 所示的薄膜電晶體的製程，但是可以將以

下模式應用於圖 2、圖 3 至圖 7B 所示的薄膜電晶體的製程。

與圖 1A 類似，在基板 50 之上形成導電膜，在導電膜之上塗敷抗蝕劑，並藉由使用利用第一光罩的微影製程所形成的抗蝕劑掩罩而對導電膜進行局部蝕刻，以形成閘極電極 51。接著，如圖 22A 所示，在閘極電極 51 之上形成閘極絕緣膜 52a 及 52b。藉由與圖 9A 類似的製程，形成含有用作為施體的雜質元素的微晶半導體膜 57。接著，在該微晶半導體膜 57 之上依次形成微晶半導體膜 53、緩衝層 54、添加有賦予一種導電性類型的雜質元素的半導體膜 55、以及導電膜 65a 至 65c。接著，在導電膜 65c 上塗敷抗蝕劑 80。

抗蝕劑 80 可以使用正型抗蝕劑或負型抗蝕劑。這裏，使用正型抗蝕劑。

接著，將多色調（multi-tone）掩罩 159 用作第二光罩，對抗蝕劑 80 照射光，藉以對抗蝕劑 80 進行曝光。

這裏，參照圖 23A 至 23D 來說明使用多色調掩罩 159 的曝光。

多色調掩罩是指，能夠對曝光部分、半曝光部分、以及未曝光部分進行三個等級的曝光的掩罩，藉由一次的曝光及顯影製程，可以形成具有多個（典型為兩種）厚度區域的抗蝕劑掩罩。因此，藉由使用多色調掩罩，可以減少光罩個數。

作為多色調掩罩的典型例子，可以舉出圖 23A 所示

的灰度色調掩罩 159a、以及圖 23C 所示的半色調掩罩 159b。

如圖 23A 所示，灰度色調掩罩 159a 係由透光基板 163、提供給透光基板 163 之遮光部 164 以及繞射光閘 165 所構成。遮光部 164 的光透射率為 0%。另一方面，繞射光閘 165 具有呈槽縫形式、點形式、網目形式等的光透射部，具有其間隔為小於或等於使用於曝光的光的解析度限度；因而，可以控制光透射率。注意，繞射光閘 165 可以是呈具有規律之間隔的槽縫形式、點形式、或網目形式；或者是呈具有不規律之間隔的槽縫形式、點形式、或網目形式。

作為透光基板 163，可以使用石英等的具有透光性質的基板。遮光部 164 及繞射光閘 165 可以使用諸如鉻或氧化鉻等的吸收光的遮光材料來予以形成。

當對灰度色調掩模 159a 照射曝光光線時，如圖 23B 所示，在遮光部 164 中，光透射率 166 為 0%，而在沒有設置遮光部 164 及繞射光閘 165 的區域中，光透射率 166 為 100%。另外，在繞射光閘 165 中，可以將光透射率調整為 10%至 70%的範圍內。作為繞射光閘 165 中的光透射率的調整，可以藉由調整繞射光閘的槽縫、點、或網目的間隔及間距而進行。

如圖 23C 所示，半色調掩罩 159b 由透光基板 163、提供給透光基板 163 之半透光部 167、以及遮光部 168 構成。半透光部 167 可以使用 MoSiN、MoSi、MoSiO、

MoSiON、CrSi 等。遮光部 168 可以使用鉻、氧化鉻等的吸收光的遮光材料來予以形成。

當對灰度色調掩罩 159b 照射曝光的光時，如圖 23D 所示，在遮光部 168 中，光透射率 169 為 0%，而在沒有設置遮光部 168 及半透光部 167 的區域中，光透射率 169 為 100%。另外，在半透光部 167 中，可以將光透射率調整為 10%至 70%的範圍內。半透光部 167 中的光的透射率可以根據半透光部 167 的材料而調整。

藉由在使用多灰度掩罩進行曝光之後進行顯影，可以如圖 22B 所示那樣地形成具有不同厚度區域的抗蝕劑掩罩 81。

接著，藉由抗蝕劑掩罩 81，對含有用作為施體的雜質元素的微晶半導體膜 57、微晶半導體膜 53、緩衝層 54、添加有賦予一種導電性類型的雜質元素的半導體膜 55、以及導電膜 65a 至 65c 進行蝕刻並使其分離。其結果，如圖 24A 所示，可以形成含有用作為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜 58、緩衝層 62、添加有賦予一種導電性類型的雜質元素的半導體膜 63、以及導電膜 85a 至 85c。注意，圖 24A（抗蝕劑掩罩 81 除外）顯示沿著圖 28A 的線 A-B 所取出的剖面圖。

接著，對抗蝕劑掩罩 81 進行灰化處理。其結果，抗蝕劑的面積縮小、厚度變薄。此時，厚度薄的區域的抗蝕劑（與閘極電極 51 的一部分重疊的區域）被去除，由此

如圖 24A 所示，可以形成被分離的抗蝕劑掩罩 86。

接著，使用抗蝕劑掩罩 86，對導電膜 85a 至 85c 進行蝕刻並使其分離。其結果，可以形成如圖 24B 所示那樣的一對佈線 92a 至 92c。藉由使用抗蝕劑掩罩 86 對導電膜 85a 至 85c 進行濕式蝕刻，導電膜 85a 至 85c 的端部被選擇性地蝕刻。其結果，由於導電膜被各向同性地蝕刻，所以可以形成其面積比抗蝕劑掩罩 86 小的佈線 92a 至 92c。

接著，使用抗蝕劑掩罩 86，對添加有賦予一種導電性類型的雜質元素的半導體膜 63 進行蝕刻來形成一對源極區及汲極區 88。注意，在該蝕刻製程中，還藉由對緩衝層 62 進行蝕刻來形成一對緩衝層 87。此時，為形成一對緩衝層 87，略微對不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 的過蝕刻也無妨。之後，去除抗蝕劑掩罩 86。其結果，可以以同一製程形成一對源極區以及汲極區 88 和一對緩衝層 87。這裏，由於緩衝層 87 的一部分使用與抗蝕劑掩罩 81 相比面積縮小了的抗蝕劑掩罩 86 而蝕刻，所以不含有其濃度高於 SIMS 的偵測限度的用做為施體的雜質元素的微晶半導體膜 58 成為突出在源極區及汲極區 88 的外側的形狀。另外，佈線 92a 至 92c 的端部與源極區及汲極區 88 的端部不對齊而偏離，在佈線 92a 至 92c 的端部的外側形成源極區及汲極區 88 的端部。

接著，在露出了的微晶半導體膜不受到損傷且對該微

晶半導體膜的蝕刻速度低的條件下，可以進行乾式蝕刻。藉由該製程，可以去除源極區及汲極區之間的緩衝層上的蝕刻殘留物、抗蝕劑掩罩的殘留物、以及用以去除抗蝕劑掩罩的設備內的污染源，而可以使源極區及汲極區之間可靠地絕緣。其結果，可以降低薄膜電晶體的漏洩電流，因而可以製造截止電流小、且耐電壓性高的薄膜電晶體。注意，作為蝕刻氣體，可以使用例如含有氯的氣體、含有氟的氣體等即可。

如圖 24C 所示，藉由使佈線 92a 至 92c 的端部與源極區及汲極區 88 的端部為不對齊而偏離的形狀，佈線 92a 至 92c 的端部的距離分開，所以可以防止佈線之間的漏洩電流、短路。因此，可以製造反交錯型薄膜電晶體。

經由上述製程，可以形成通道蝕刻型薄膜電晶體 83。此外，可以使用兩個光罩來形成薄膜電晶體。

接著，如圖 25A 所示，在佈線 92a 至 92c、源極區及汲極區 88、一對緩衝層 87、微晶半導體膜 61、含有用作為施體的雜質元素的微晶半導體膜 58、以及閘極絕緣膜 52b 之上形成保護絕緣膜 76。

接著，使用利用第三光罩而形成的抗蝕劑掩罩對保護絕緣膜 76 的一部分進行蝕刻來形成接觸孔。接著，形成在該接觸孔中與佈線 92c 接觸的像素電極 77。這裏，作為像素電極 77，在藉由濺射法形成 ITO 膜之後將抗蝕劑塗敷在 ITO 膜上。接著，藉由利用第四光罩對抗蝕劑進行曝光及顯影來形成抗蝕劑掩罩。然後，使用抗蝕劑掩罩對

ITO 進行蝕刻來形成像素電極 77。注意，圖 25B 顯示沿著圖 28C 的線 A-B 所取出的剖面圖。

經由上述製程，可以形成薄膜電晶體、以及具有該薄膜電晶體且能夠使用於顯示裝置的元件基板。

接著，以下示出可以以一個光罩形成接觸孔和電容器元件的製程。在此，使用沿著圖 28A 至 28C 的線 C-D 所取出的剖面圖。

在圖 25A 所示的步驟之後，如圖 26A 所示，在保護絕緣膜 76 之上形成絕緣膜 101。在此，藉由利用感光性有機樹脂來形成絕緣膜 101。接著，在利用多色調掩罩 160 使絕緣膜 101 曝光之後，進行顯影，如圖 26B 所示，形成包括使覆蓋薄膜電晶體的佈線的保護絕緣膜 76 露出的凹部 111a、以及電容器佈線 51c 之上的凹部 111b 的絕緣膜 102。在此，可以使用如下多色調掩罩 160：在薄膜電晶體的佈線上，以 100% 的透射光對絕緣膜 101 進行曝光；在電容器佈線 51c 之上，以 10% 至 70% 的減弱了的透射光對絕緣膜 101 進行曝光。

接著，對具有凹部的絕緣膜 102 的整體進行蝕刻（回蝕刻）之後，對保護絕緣膜 76 的一部分進行蝕刻而形成保護絕緣膜 76a，如圖 27A 所示，在形成使佈線露出的接觸孔 112a 的同時在電容器佈線 51c 之上形成具有凹部 112b 的絕緣膜 103。

接著，如圖 27B 所示，藉由對絕緣膜 103 進行灰化處理，擴大接觸孔 112a 以及凹部 112b 的面積來形成包括接

觸孔 113a 以及凹部 113b 的絕緣膜 104。注意，由於保護絕緣膜 76a 不是由感光性有機樹脂形成，而是由無機絕緣膜來予以形成，因此不被灰化。據此，在佈線之上形成其上表面為雙層的環狀的接觸孔 113a。

此後，如圖 27C 所示，可以在形成像素電極 77 的同時，形成由電容器佈線 51c、閘極絕緣膜 52a 和 52b、保護絕緣膜 76a、以及像素電極 77 所構成的電容器元件 105。

經由上述製程，可以利用一個多色調掩罩形成連接像素電極及佈線的接觸孔的同時，形成電容器元件。

此外，在圖 10B 或圖 24B 中，也可以在形成佈線 71a 至 71c、佈線 92a 至 92c 之後，去除抗蝕劑掩罩 66、86，以佈線 71a 至 71c、佈線 92a 至 92c 為掩罩對添加有賦予一種導電性類型的雜質元素的半導體膜 63 進行蝕刻。其結果，可以形成佈線 71a 至 71c、佈線 92a 至 92c 和用作源極區及汲極區的半導體膜 72、以及 88 的端部為對齊的薄膜電晶體。圖 29 示出一種薄膜電晶體，其中在去除圖 10B 的抗蝕劑掩罩 66 之後，將佈線 71a 至 71c 用作掩罩對添加有賦予一種導電性類型的雜質元素的半導體膜 63 進行蝕刻，而使源極區以及汲極區 89 的端部和佈線 71a 至 71c 的端部相對齊。注意，在此，雖然示出在圖 2A 所示的薄膜電晶體中源極區以及汲極區 89 的端部和佈線 71a 至 71c 的端部相對齊的模式，但其也分別適用於圖 1A、圖 3、圖 4A、圖 5A、圖 6A 和圖 7A。

注意，雖然在本實施例模式中，敘述通道蝕刻型薄膜電晶體，但是可以將微晶半導體膜用作為通道保護型薄膜電晶體的通道形成區。

明確地說，如圖 9A 所示，在基板 50 之上形成閘極電極 51，在閘極電極 51 之上形成閘極絕緣膜 52a、52。接著，形成含有用作為施體的雜質元素的微晶半導體膜 57。也可以在其上形成不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜 53。

如圖 9B 所示，在含有用作為施體的雜質元素的微晶半導體膜 57 或者不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜 53 上且重疊於閘極電極 51 的區域上形成通道保護膜。作為通道保護膜，可以在形成氮化矽膜、氧化矽膜、氮氧化矽膜、氧氮化矽膜之後，藉由微影製程選擇性地進行蝕刻來予以形成。或者，還可以藉由噴射並焙燒包含聚醯亞胺、丙烯或矽氧烷的組合物而形成。接著，依次形成緩衝層、添加有賦予一種導電性類型的雜質的半導體膜以及導電膜。接著，使用藉由微影製程形成的抗蝕劑掩罩，對導電膜、添加有賦予一種導電性類型的雜質元素的半導體膜、緩衝層、不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元素的微晶半導體膜 53、含有用作為施體的雜質元素的微晶半導體膜 57 進行蝕刻並使其分離。其結果，如圖 30 所示，形成含有用作為施體的雜質元素的微晶半導體膜 61、不含有其濃度高於 SIMS 的偵測限度的用作為施體的雜質元

素的微晶半導體膜 58、一對緩衝層 73、用作為源極區以及汲極區的半導體膜 72、以及用作為源極電極和汲極電極的佈線 71a 至 71c。此外，形成其一部分具有凹部的通道保護膜 82。

經由以上製程，可以形成通道保護型薄膜電晶體。

注意，在此，雖然在圖 2A 所示的薄膜電晶體中敘述通道保護膜的模式，但是也可以分別適用於圖 1A、圖 3、圖 4A、圖 5A、圖 6A 和圖 7A。

根據本實施例模式，可以製造電特性優良的反交錯型薄膜電晶體、以及具有電特性優良的反交錯型薄膜電晶體的元件基板。

注意，雖然在本實施例模式中利用反交錯型薄膜電晶體作為薄膜電晶體進行說明，但不局限於此，也可以應用於正交錯型薄膜電晶體、頂部閘極型薄膜電晶體等。明確地說，當微晶半導體膜及/或用作為基底膜的絕緣膜含有用作為施體的雜質元素，並且在微晶半導體膜之上形成閘極絕緣膜以及閘極電極時，可以製造具有提高了與絕緣膜之間的介面處的結晶性的微晶半導體膜的薄膜電晶體。因此，可以形成電特性優良的薄膜電晶體。

（實施例模式 3）

在本實施例模式中，以下敘述包括實施例模式 1 以及實施例模式 2 所示的薄膜電晶體的液晶顯示裝置作為顯示裝置的一個模式。在此，參照圖 31 至圖 33 說明垂直配向

(VA) 型液晶顯示裝置。VA 型液晶顯示裝置是對液晶面板的液晶分子的排列的控制模式之一。VA 型液晶顯示裝置採用當不施加電壓時液晶分子朝向垂直於面板的方向的模式。在本實施例模式中，特別設計將像素分為幾個區域（子像素），並且將分子分別對齊於不同方向上。將其稱為多疇化、或者多域設計。在以下說明中，將說明考慮到多域設計的液晶顯示裝置。

圖 31 及圖 32 示出 VA 型液晶面板的像素結構。圖 32 是基板 600 的平面圖，而圖 31 示出沿圖 32 中的線 Y-Z 所取出的剖面結構。在以下說明中，參照這兩個附圖來進行說明。

在該像素結構中，一個像素具有多個像素電極 624、626，並且各像素電極 624、626 藉由平坦化膜 622 而被連接到薄膜電晶體 628、629。各薄膜電晶體 628、629 係以不同的閘極信號來予以驅動。也就是說，在採用多域設計的像素中，獨立控制施加到各像素電極 624、626 的信號。

像素電極 624 在接觸孔 623 中藉由佈線 618 而被連接到薄膜電晶體 628。此外，像素電極 626 在接觸孔 627 中藉由佈線 619 而被連接到薄膜電晶體 629。薄膜電晶體 628 的閘極佈線 602 和薄膜電晶體 629 的閘極佈線 603 彼此分離，以便能夠提供不同的閘極信號。另一方面，薄膜電晶體 628 和薄膜電晶體 629 共同使用用作為資料線的佈線 616。可以藉由使用實施例模式 2 所述的方法，來製造

薄膜電晶體 628 及薄膜電晶體 629。

像素電極 624 和像素電極 626 具有不同的形狀，並且藉由槽縫 625 而被分離。像素電極 626 以圍繞擴展為 V 字型的像素電極 624 的外側的形式形成。藉由根據薄膜電晶體 628 及薄膜電晶體 629 使施加到像素電極 624 和像素電極 626 的電壓時序不同，來控制液晶的配向。藉由對閘極佈線 602 和閘極佈線 603 施加不同的閘極信號，可以使薄膜電晶體 628 及薄膜電晶體 629 的操作時序互不相同。此外，在像素電極 624、626 之上形成有配向膜 648。

在對向基板 601 之上形成有遮光膜 632、著色膜 636、對向電極 640。此外，在著色膜 636 和對向電極 640 之間形成平坦化膜 637，以便防止液晶配向的錯亂。此外，在對向電極 640 之上形成配向膜 646。圖 33 示出對向基板側的結構。對向電極 640 是在不同的像素之間共同使用的電極並且其中形成有槽縫 641。藉由互相嚙合地配置該槽縫 641 和在像素電極 624 及像素電極 626 側的槽縫 625，可以有效地產生傾斜電場來控制液晶的配向。由此，可以根據地方使液晶的配向方向不同，從而擴展視角。在此，使用基板、著色膜、遮光膜、以及平坦化膜構成濾色片。注意，遮光膜和平坦化膜的其中一者或兩者可以不必形成在基板之上。

此外，著色膜具有使可見光的波長範圍中的任意波長範圍的光的成分較佳地透射的功能。通常，在很多情況下，組合使紅色波長範圍的光、藍色波長範圍的光、以及綠

色波長範圍的光分別較佳地透射的著色膜，而用於濾色片。然而，著色膜的組合不局限於這些。

藉由使像素電極 624、液晶層 650、以及對向電極 640 重疊，以形成第一液晶元件。此外，藉由使像素電極 626、液晶層 650、以及對向電極 640 重疊，以形成第二液晶元件。此外，採用在一個像素中設置有第一液晶元件和第二液晶元件的多疇結構。

注意，雖然在此敘述垂直配向（VA）型液晶顯示裝置作為液晶顯示裝置，但是也可以將使用實施例模式 1 以及實施例模式 2 所示的薄膜電晶體所形成的元件基板用於 FFS 模式液晶顯示裝置、IPS 模式液晶顯示裝置、TN 模式液晶顯示裝置、以及其他模式的液晶顯示裝置。

經由上述製程，可以製造液晶顯示裝置。因為本實施例模式的液晶顯示裝置使用截止電流少且電特性優良的反交錯型薄膜電晶體，所以可以製造對比度高且可見度高的液晶顯示裝置。

（實施例模式 4）

在本實施例模式中，以下敘述包括實施例模式 1 以及實施例模式 2 所示的薄膜電晶體的發光顯示裝置作為顯示裝置的一個模式。在此，將說明發光顯示裝置中所包括的像素的結構。圖 34A 顯示像素的頂視圖的一個模式，而圖 34B 顯示沿著圖 34A 中的線 A-B 所取出的像素的剖面結構的一個模式。

作為發光裝置，在此顯示使用包括利用電致發光的發光元件的顯示裝置。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物而被區分。一般地說，前者稱為有機 EL 元件，而後者稱為無機 EL 元件。另外，在此實施例模式中，使用依據實施例模式 2 之薄膜電晶體的製造製程。

在有機 EL 元件的情況中，藉由將電壓施加到發光元件，電子和電洞從一對電極分別注入到包括發光有機化合物的層中，並致使電流流過。並且，藉由那些載子（電子和電洞）再結合，發光有機化合物形成激發態，並且當該激發態返回基態時發光。由於這種機制，這種發光元件被稱為電流激發型發光元件。

無機 EL 元件根據其元件結構，被分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件是具有將發光材料的粒子分散在黏結劑中的發光層的，其發光機制為利用施體能級和受體能級的施體-受體再結合型發光。薄膜型無機 EL 元件具有以電介質層夾住發光層並且它被電極夾住的結構，其發光機制為利用金屬離子的內殼層電子躍遷的定域型發光。注意，在此，使用有機 EL 元件作為發光元件來進行說明。另外，雖然使用通道蝕刻型薄膜電晶體作為用來控制對於第一電極的信號的輸入的切換薄膜電晶體、以及用來控制發光元件的驅動的驅動薄膜電晶體，但是可以適當地使用通道保護型薄膜電晶體。

在圖 34A 及 34B 中，第一薄膜電晶體 74a 是用來控

制對於第一電極 79 的信號的輸入的切換薄膜電晶體，而第二薄膜電晶體 74b 相當於用來控制對於發光元件 94 的電流或電壓的供給的驅動薄膜電晶體。

第一薄膜電晶體 74a 的閘極電極連接到用作為掃描線的佈線 51a，源極及汲極的其中一者係連接到用作為信號線的佈線 71a 至 71c，並且源極及汲極中的另一者藉由佈線 71d 至 71f 而被連接到第二薄膜電晶體 74b 的閘極電極 51b。第二薄膜電晶體 74b 的源極及汲極的其中一者係連接到電源線 93a 至 93c，並且源極及汲極中的另一者藉由佈線 93d 至 93f 而被連接到顯示裝置的第一電極 79。使用第二薄膜電晶體 74b 的閘極電極、閘極絕緣膜、以及電源線 93a 構成電容器元件 96，並且第一薄膜電晶體 74a 的源極及汲極中的另一者係連接到電容器元件 96。

注意，電容器元件 96 相當於在第一薄膜電晶體 74a 被關閉時保持第二薄膜電晶體 74b 的閘極-源極間電壓或閘極-汲極間電壓（以下稱為閘極電壓）的電容器元件，並且不一定需要設置。

在本實施例模式中，可以藉由使用實施例模式 1 所示的薄膜電晶體來形成第一薄膜電晶體 74a 及第二薄膜電晶體 74b。此外，雖然在此第一薄膜電晶體 74a 及第二薄膜電晶體 74b 係由 n 通道薄膜電晶體所形成，也可以使用 n 通道薄膜電晶體形成第一薄膜電晶體 74a 且使用 p 通道型薄膜電晶體形成第二薄膜電晶體 74b。再者，還可以使用 p 通道薄膜電晶體形成第一薄膜電晶體 74a 及第二薄膜電

晶體 74b。

在第一薄膜電晶體 74a 及第二薄膜電晶體 74b 之上形成保護絕緣膜 76，在保護絕緣膜 76 之上形成平坦化膜 78，形成第一電極 79，該第一電極 79 在形成於平坦化膜 78 以及保護絕緣膜 76 中的接觸孔連接到佈線 93f。平坦化膜 78 較佳使用有機樹脂諸如丙烯酸、聚醯亞胺、聚醯胺等、或者矽氧烷聚合物來予以形成。在接觸孔中，第一電極 79 具有凹凸不平，所以設置覆蓋該區域且具有開口部的分隔壁 91。以在分隔壁 91 的開口部中與第一電極 79 接觸的方式形成 EL 層 92，以覆蓋 EL 層 92 的方式形成第二電極 93，並且以覆蓋第二電極 93 及分隔壁 91 的方式形成保護絕緣膜 95。

在此，示出頂部發射結構的發光元件 94 作為發光元件。因為頂部發射結構的發光元件 94 在第一薄膜電晶體 74a、第二薄膜電晶體 74b 上也可以發光，所以可以增大發光面積。然而，如果 EL 層 92 的基底膜具有凹凸不平，就在該凹凸不平之上膜厚度的分佈不均勻，第二電極 93 及第一電極 79 短路而導致顯示缺陷。因此，較佳設置平坦化膜 78。

由第一電極 79 及第二電極 93 夾住 EL 層 92 的區域相當於發光元件 94。在圖 34A 所示的像素的情況下，來自發光元件 94 的光如空心箭頭所示發射到第二電極 93 側。

用作陰極的第一電極 79 只要是功函數小且反射光的

導電膜，就可以使用已知的材料。例如，較佳使用 Ca、Al、CaF、MgAg、AlLi 等。EL 層 92 既可以由單層構成，又可以由多個層的疊層所構成。在由多個層構成的情況下，在第一電極 79 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。注意，不一定需要設置所有的這些層。用作為陽極的第二電極 93 使用透射光的透光導電材料而被形成，例如也可以使用透光導電膜，諸如含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等。

在此，敘述從與基板相反的一側取出發光的頂部發射結構的發光元件，但是可以適當地應用從基板側取出發光的底部發射結構的發光元件、從基板側及與基板相反的一側取出發光的雙面發射結構的發光元件。

此外，雖然在此，說明有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

注意，雖然在本實施例模式中敘述控制發光元件的驅動的薄膜電晶體（驅動薄膜電晶體）和發光元件電連接的一例，但是也可以採用在驅動薄膜電晶體和發光元件之間連接有電流控制薄膜電晶體的結構。

經由上述製程，可以製造發光顯示裝置。本實施例模式的發光裝置使用截止電流少且電特性優良的反交錯型薄膜電晶體，所以可以製造對比度高且可見度高的發光顯示裝置。

（實施例模式 5）

接著，以下將敘述為本發明的顯示裝置的一個模式的顯示面板的結構。

在圖 35A 中示出另外僅形成信號線驅動電路 6013 且與形成在基板 6011 之上的像素部 6012 連接的顯示面板的模式。像素部 6012 及掃描線驅動電路 6014 係使用在實施例模式 1 以及實施例模式 2 中所示的薄膜電晶體而被形成。藉由由其場效遷移率高於將微晶半導體膜使用於通道形成區的薄膜電晶體的電晶體形成信號線驅動電路，可以使其驅動頻率被要求高於掃描線驅動電路的驅動頻率的信號線驅動電路的操作穩定。注意，信號線驅動電路 6013 可以為將單晶半導體使用於通道形成區的電晶體、將多晶半導體使用於通道形成區的薄膜電晶體、或將 SOI 使用於通道形成區的電晶體。電源的電位、各種信號等藉由 FPC 6015 分別供給給像素部 6012、信號線驅動電路 6013、掃描線驅動電路 6014。再者，還可以在信號線驅動電路 6013 和 FPC 6015 之間、或者在信號線驅動電路 6013 和像素部 6012 之間設置保護電路。保護電路係由選自在實施例模式 1 中所示的薄膜電晶體、二極體、電阻器元件以及電容器元件等中的一種或多種元件所構成。此外，作為二極體，也可以使用對於實施例模式 1 或 2 所示的薄膜電晶體進行二極體連接而成的二極體。

注意，也可以將信號線驅動電路及掃描線驅動電路都

形成在與像素部相同的基板之上。

此外，在另外形成驅動電路的情況下，不一定需要將形成有驅動電路的基板接合到形成有像素部的基板上，也可以如接合到 FPC 上。在圖 35B 中表示另外僅形成信號線驅動電路 6023 且與形成在基板 6021 之上的像素部 6022 及掃描線驅動電路 6024 連接的顯示裝置面板的模式。像素部 6022 及掃描線驅動電路 6024 係藉由使用將微晶半導體膜使用於通道形成區的薄膜電晶體而被形成。信號線驅動電路 6023 藉由 FPC 6025 而被連接到像素部 6022。電源的電位、各種信號等藉由 FPC 6025 分別供給給像素部 6022、信號線驅動電路 6023、掃描線驅動電路 6024。再者，也可以在信號線驅動電路 6023 及 FPC 6025 之間、或者在信號線驅動電路 6023 及像素部 6022 之間設置保護電路。

另外，也可以使用將微晶半導體膜使用於通道形成區的薄膜電晶體在與像素部相同的基板之上，僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分，另外形成其他部分且使它與像素部電連接。在圖 35C 中表示將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 之上，並且將信號線驅動電路所具有的移位暫存器 6033b 另外形成在不同的基板之上，而彼此接合的顯示裝置面板的模式。像素部 6032 及掃描線驅動電路 6034 使用將微晶半導體膜使用於通道形成區的薄膜電晶體而被形成。信號線驅動電路

所具有的移位暫存器 6033b 藉由 FPC 6035 而被連接到像素部 6032。電源的電位、各種信號等藉由 FPC 6035 分別供給給像素部 6032、信號線驅動電路、掃描線驅動電路 6034。再者，也可以在信號線驅動電路及 FPC 6035 之間、或者在信號線驅動電路及像素部 6032 之間設置保護電路。

如圖 35A 至 35C 所示，可以在與像素部相同的基板之上，使用將微晶半導體膜使用於通道形成區域的薄膜電晶體而被形成在本實施例模式的顯示裝置的驅動電路的一部分或全部。

注意，對另外形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、打線接合方法、或 TAB 方法等。此外，連接的位置只要是能夠電連接，就不限於圖 35A 至 35C 所示的位置。另外，也可以分開形成及連接控制器、CPU、記憶體等。

注意，在本發明中使用的信號線驅動電路包括移位暫存器和類比開關。或者，除了移位暫存器和類比開關之外，還可以包括緩衝器、位準偏移器、源極隨耦器等其他電路。另外，不一定需要設置移位暫存器和類比開關，例如即可以使用像解碼器電路那樣的可以選擇信號線的其他電路來代替移位暫存器，又可以使用鎖存器等代替類比開關。

(實施例模式 6)

藉由本發明而得到的顯示裝置等，可以使用於主動矩陣型顯示面板。也就是說，可以在將這些都組裝到顯示部的所有的電子裝置中以實施本發明。

作為這種電子裝置，可以舉出諸如攝像機和數位照相機之照相機、頭戴式顯示器（護目鏡型顯示器）、汽車導航、投影機、汽車音響、個人電腦、可攜式資訊終端（移動式電腦、手機或電子書讀物等）等。圖 36A 至 36D 示出其一例。

圖 36A 顯示電視裝置。如圖 36A 所示，可以將顯示面板組裝在殼體中來完成電視裝置。使用顯示面板來形成主畫面 2003，作為其他附屬裝置還具有揚聲器部分 2009、操作開關等。如上所述，可以完成電視裝置。

如圖 36A 所示，在殼體 2001 中組裝有利用了顯示元件的顯示面板 2002，並且可以由接收機 2005 接收普通的電視廣播，而且藉由數據機 2004 連接到有線或無線方式的通訊網路，從而還可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間，或者在接收者之間）的資訊通訊。電視裝置的操作可以藉由組裝在殼體中的開關或另外形成的遙控裝置 2006 進行，並且該遙控裝置 2006 也可以設置有顯示輸出資訊的顯示部 2007。

另外，電視裝置還可以附加有如下結構：除了主畫面 2003 以外，使用第二顯示面板來形成子畫面 2008、以及顯示頻道或音量等。在這種結構中，也可以利用液晶顯示面板形成主畫面 2003，並且利用發光顯示面板形成子畫

面。另外，爲了優先低耗電量化，也可以採用如下結構：利用發光顯示面板形成主畫面 2003，利用發光顯示面板形成子畫面 2008，並且子畫面 2008 能夠被打開和關閉。

圖 37 是電視裝置的主要結構的方塊圖。像素部 921 係形成在顯示面板 900 上。也可以採用 COG 方式將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板 900 上。

作爲其他外部電路的結構，在視頻信號的輸入側具有視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等，其中，該視頻信號放大電路 925 放大由調諧器 924 所接收到的信號中的視頻信號，視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍各種顏色的顏色信號，該控制電路 927 將該視頻信號轉換成符合驅動器 IC 輸入規格的信號。控制電路 927 將信號分別輸出到掃描線側和信號線側。在進行數位驅動的情況下，可以採用如下結構：在信號線側設置信號分割電路 928，並將輸入數位信號劃分成 m 個而供給。

由調諧器 924 所接收到的信號中的音頻信號被發送到音頻信號放大電路 929，且其輸出經過音頻信號處理電路 930 而被供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）或音量的控制資訊，並將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不局限於電視裝置，還可以應用於各種用途如個人電腦的監視器、火車站或機場等中的資訊顯示

幕、街頭上的廣告顯示幕等大面積顯示媒體。

藉由在主畫面 2003、子畫面 2008 中應用上述實施例模式所說明的顯示裝置，可以提高電視裝置的量產性。

在圖 36B 中所示的可攜式電腦包括主體 2401、顯示部 2402 等。藉由在顯示部 2402 中應用上述實施例模式所說明的顯示裝置，可以提高可攜式電腦的量產性。

圖 36C 是用做為桌燈的照明器具，包括照明部分 2501、燈罩 2502、可調臂部 2503、支架 2504、底座 2505 和電源開關 2506。藉由對照明部分 2501 使用上述實施例模式的發光裝置來製造桌燈。注意，照明器具包括固定到天花板上的照明器具、壁掛型照明器具等。藉由應用上述實施例模式所示的顯示裝置，可以提高量產性，從而可以提供廉價的桌燈。

圖 38A 至 38C 是應用有本發明的智慧型手機（Smartphone）的一個例子，圖 38A 是平面圖，圖 38B 是後視圖，圖 38C 是滑動兩個外殼時的平面圖。智慧型手機係由外殼 1001 以及 1002 的兩個外殼所構成。智慧型手機具有手機和可攜式資訊終端兩者的功能，且內置有電腦，除了進行聲音對話外還可以處理各種各樣的資料，此即所謂的智慧型手機。

智慧型手機係由外殼 1001 以及 1002 的兩個外殼所構成。在外殼 1001 中配備有顯示部 1101、揚聲器 1102、麥克風 1103、操作鍵 1104、指向裝置 1105、正面相機鏡頭 1106、外部連接端子用插孔 1107、以及耳機端子 1108 等

，在外殼 1002 中配備有鍵盤 1201、外部儲存器插槽 1202、背面相機 1203、燈 1204 等並由其構成。此外，天線係內置在外殼 1001 內。

此外，除了上述結構之外，還可以內置有非接觸 IC 晶片、小型記憶體裝置等。

藉由滑動而相重疊的外殼 1001 和外殼 1002（如圖 38A 所示）係如圖 38C 那樣地展開。作為顯示部 1101，可以將上述實施例模式中所示的顯示裝置安裝在其中，且根據使用模式而改變顯示方向。由於在與顯示部 1101 相同的一面上配備有正面相機鏡頭 1106，所以可以被使用做為視頻電話。此外，將顯示部 1101 用作取景器，使用背面相機以及燈 1204 可以進行靜態影像以及動態影像的拍攝。

揚聲器 1102 以及麥克風 1103 不僅能夠使用於聲音通訊，還可以使用於如視頻電話、錄音、重放等的用途。操作鍵 1104 可以進行電話的撥打和接收、電子郵件等的簡單的資訊輸入、畫面的捲動、游標移動等。

如果許多資訊需要被處理，例如文件製作、使用作為可攜式資訊終端等，鍵盤 1201 的使用係方便的。再者，當相重疊的外殼 1001 和外殼 1002（圖 38A）滑動如圖 38C 那樣地展開，可以用於可攜式資訊終端時，可以使用鍵盤 1201 和指向裝置 1105 順利地進行操作。外部連接端子用插孔 1107 可以與 AC 轉接器以及諸如 USB 電纜等的各種電纜連接，而可以進行充電以及與個人電子電腦等的

資料通訊。此外，藉由對外部儲存器插槽 1202 插入記錄媒體可以進一步應對大量的資訊儲存以及移動。

外殼 1002 的背面（圖 38B）上配備有背面相機 1203 以及燈 1204，顯示部 1101 用作為取景器可以進行靜態影像以及動態影像的拍攝。

此外，除了上述功能和結構之外，還可以配備有紅外線通訊功能、USB 埠、接收行動（one-seg）電視廣播之功能、非接觸式 IC 晶片、耳機插孔等。

藉由使用在上述實施例模式所述的顯示裝置，可以提高智慧型手機的量產性。

[實施例 1]

下面，藉由利用 SIMS 測量當在玻璃基板之上形成閘極絕緣膜並利用含有用作為施體的雜質元素的氣體之一的磷化氫進行沖洗處理之後形成微晶矽膜時的磷的峰值濃度而獲得的結果。

在如下膜形成條件下，在 0.7 mm 厚的玻璃基板之上利用電漿 CVD 法形成厚度為 100 nm 的氧氮化矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，矽烷的流量和一氧化二氮的流量分別為 30 sccm、1200 sccm，並且壓力為 40 Pa。

接著，將包括磷化氫的氣體引入於反應室內，進行沖洗處理。以下示出此時的條件。

（條件 1）

0.1%PH₃ (以 Ar 稀釋) 的流量 500 sccm

(條件 2)

SiH₄ 的流量 100 sccm, 0.5%PH₃ (以 H₂ 稀釋) 的流量 170 sccm

(條件 3)

SiH₄ 的流量 100 sccm, H₂ 的流量 153 sccm, 0.5%PH₃/H₂ 的流量 17 sccm

接著, 在如下膜形成條件下, 在閘極絕緣膜之上利用電漿 CVD 法形成厚度為 50 nm 的微晶矽膜: RF 電源功率為 13.56 MHz, RF 電源的功率為 50 W, 膜形成溫度為 280 °C, 矽烷的流量和氫的流量分別為 10 sccm、1500 sccm, 並且壓力為 280 Pa。

從反應室載出基板, 利用氟自由基清洗反應室內之後, 再度將基板載入於反應室中。

接著, 在如下膜形成條件下, 在微晶矽膜之上利用電漿 CVD 法形成厚度為 100 nm 的非晶矽膜作為緩衝層: RF 電源頻率為 13.56 MHz, RF 電源的功率為 60 W, 膜形成溫度為 280 °C, 矽烷的流量和氫的流量分別為 280 sccm、300 sccm, 並且壓力為 170 Pa。圖 39 表示: 此時的在條件 1 至條件 3 下進行沖洗處理的各基板中, 從基板表面向深度方向的利用 SIMS 進行測量而獲得的結果。注意, 在這裏使用測量點的前後各三個點 (即七個點) 的平均值示意性地表示近似的曲線。

在圖 39 中, 縱軸表示磷的濃度 (atoms/cm³), 而橫

軸表示對樣品蝕刻的深度（nm）。此外，直到大約 70 nm 至 80 nm 的深度是用作為緩衝層的非晶矽膜，直到大約 80 nm 至 130 nm 的深度是微晶矽膜，直到大約 130 nm 至 220 nm 的深度是用作為閘極絕緣膜的氧氮化矽膜。

在圖 39 中，以下示出微晶矽膜中的磷的濃度。這裏，直到大約 80 nm 至 115 nm 的深度的層用作為微晶矽膜，以下示出該區域的磷的濃度。注意，當深度為大約 115 nm 至 130 nm 附近時，受到微晶矽膜及氧氮化矽膜之間的介面的影響，可以觀察到矽的二次離子強度有異常，所以不對該區域的濃度進行考慮。

- 條件 1 下的樣品 … 9.94×10^{16} atoms/cm³ 至 1.58×10^{18} atoms/cm³

- 條件 2 下的樣品 … 1.89×10^{17} atoms/cm³ 至 2.56×10^{18} atoms/cm³

- 條件 3 下的樣品 … 3.17×10^{16} atoms/cm³ 至 1.74×10^{17} atoms/cm³

另外，示出在各樣品中，在通過深度為 80 nm 附近的濃度和深度為 115 nm 附近的濃度的直線中，濃度變化（降低）一位時的膜厚度的比例（ Δ 膜厚度 / $\log(\Delta$ 濃度)）的絕對值。

- 條件下 1 的樣品 … 31 nm/dec

- 條件 2 下的樣品 … 33 nm/dec

- 條件 3 下的樣品 … 50 nm/dec

根據以上所述，在進行磷化氫沖洗處理之後，藉由形

成微晶矽膜可以形成含有磷的微晶矽膜。此外，還可知微晶矽膜中的磷的濃度從閘極絕緣膜側朝向緩衝層而減少。

[實施例 2]

以下示出藉由利用 SIMS 測量當在玻璃基板之上形成含有用作為施體的雜質元素的磷的閘極絕緣膜之後形成微晶矽膜時的磷的峰值濃度而獲得的結果。在此，在包括磷的條件下形成氧氮化矽膜作為第一閘極絕緣膜，並形成氧氮化矽膜作為第二閘極絕緣膜。

在如下膜形成條件下，在 0.7 mm 的玻璃基板之上利用電漿 CVD 法形成厚度為 10 nm 的包括磷的氧氮化矽膜作為第一閘極絕緣膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，並且壓力為 40 Pa。此外，以下示出此時的來源氣體的流量條件。

（條件 4）

SiH₄ 的流量 30 sccm，N₂O 的流量 1200 sccm，
0.5%PH₃（以 H₂ 稀釋）的流量 60 sccm

（條件 5）

SiH₄ 的流量 30 sccm，N₂O 的流量 1200 sccm，
0.5%PH₃（以 H₂ 稀釋）的流量 6 sccm

接著，在第一閘極絕緣膜之上形成第二閘極絕緣膜。此時，在如下膜形成條件下，在玻璃基板之上利用電漿 CVD 法形成厚度為 100 nm 的氧氮化矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃

，矽烷的流量和一氧化二氮的流量分別為 30 sccm、1200 sccm，並且壓力為 40 Pa。

接著，在如下微晶矽膜的膜形成條件下，在閘極絕緣膜之上利用電漿 CVD 法形成厚度為 50 nm 的微晶矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，矽烷的流量和氫的流量分別為 10 sccm、1500 sccm，並且壓力為 280 Pa。

從反應室載出基板，利用氟自由基清洗反應室內之後，再度將基板載入於反應室中。

接著，在如下膜形成條件下，在微晶矽膜之上利用電漿 CVD 法形成厚度為 100 nm 的非晶矽膜作為緩衝層：RF 電源頻率為 13.56 MHz，RF 電源的功率為 60 W，膜形成溫度為 280℃，矽烷的流量和氫的流量分別為 280 sccm、300 sccm，並且壓力為 170 Pa。圖 40 表示：此時的在條件 4 及條件 5 下形成第一閘極絕緣膜的各基板中，從基板表面向深度方向的利用 SIMS 進行測量而獲得的結果。注意，在這裏使用測量點的前後各三個點（即七個點）的平均值示意性地表示近似的曲線。

在圖 40 中，縱軸表示磷的濃度（atoms/cm³），而橫軸表示對樣品蝕刻的深度（nm）。此外，直到大約 80 nm 至 85 nm 的深度是用作為緩衝層的非晶矽膜，直到大約 80 nm 至 130 nm 的深度是微晶矽膜，且直到大約 130 nm 至 220 nm 的深度是用作為閘極絕緣膜的氧氮化矽膜。

在圖 40 中，以下示出微晶矽膜中的磷的濃度。這裏

，直到大約 85 nm 至 115 nm 的深度的層用作爲微晶矽膜，以下示出該區域的磷的濃度。注意，當深度爲大約 115 nm 至 130 nm 附近時，受到微晶矽膜及氧氮化矽膜之間的介面的影響可以觀察到矽的二次離子強度有異常，所以不對該區域的濃度進行考慮。

- 條件下 4 的樣品 $\cdots 7.17 \times 10^{16} \text{ atoms/cm}^3$ 至 $6.72 \times 10^{17} \text{ atoms/cm}^3$

- 條件 5 下的樣品 $\cdots 4.24 \times 10^{16} \text{ atoms/cm}^3$ 至 $1.82 \times 10^{17} \text{ atoms/cm}^3$

另外，示出在各樣品中，在通過深度爲 85 nm 附近的濃度和深度爲 120 nm 附近的濃度的直線中，濃度變化（降低）一位數時的膜厚度的比例（ Δ 膜厚度 / $\log$ （ Δ 濃度））的絕對值。

- 條件 4 下的樣品 $\cdots 38 \text{ nm/dec}$

- 條件 5 下的樣品 $\cdots 58 \text{ nm/dec}$

在圖 40 中，因爲利用矽標準樣品制定分量，所以不能對氧氮化矽膜中的準確的磷的濃度進行測量，但是根據峰值的形狀可以預料是否包含有磷。也在 200 nm 至 230 nm 的深度中，由於有磷濃度的大峰值，所以可知在與微晶矽膜相分離的閘極絕緣膜中包含磷。

根據以上所述可知：藉由在形成包含有磷的閘極絕緣膜之後，形成微晶矽膜，在閘極絕緣膜及微晶矽膜中也包含磷。也就是說，可以形成包含有磷的閘極絕緣膜以及微晶矽膜。此外，還可知微晶矽膜中的磷的濃度從閘極絕緣

膜側朝向緩衝層而減少。

[實施例 3]

圖 41 示出利用 SIMS，對當在電漿 CVD 設備的反應室之內壁預塗保護膜之後，將玻璃基板載入於反應室內，形成第一閘極絕緣膜、第二閘極絕緣膜、微晶矽膜、以及用作為緩衝層的非晶矽膜時的磷的峰值濃度進行測量而獲得的結果。在此，形成氮化矽膜作為第一閘極絕緣膜，而形成氧氮化矽膜作為第二閘極絕緣膜。

在反應室之內壁預塗保護膜。以下示出此時的條件。

(條件 6)

作為保護膜，形成包含磷的非晶矽膜。將此時的膜形成條件設定為如下，在反應室的內壁上形成厚度為 50 nm 的包含磷的非晶矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 60 W，並且壓力為 170 Pa。此外，以下示出此時的來源氣體的流量條件。

SiH₄ 的流量 100 sccm，0.5%PH₃（以 H₂ 稀釋）的流量 170 sccm

(條件 7)

作為保護膜，層疊氮化矽膜、氧氮化矽膜、以及非晶矽膜。將此時的膜形成條件設定為如下，在反應室的內壁上形成厚度為 110 nm 的氮化矽膜：RF 電源頻率為 13.56MHz，RF 電源的功率為 370 W，矽烷流量、氫流量、氮流量、氧流量分別為 10 sccm、500 sccm、550 sccm

、140 sccm，並且壓力為 100 Pa。此外，在如下膜形成條件下，在氮化矽膜之上利用電漿 CVD 法形成厚度為 110 nm 的氧氮化矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，矽烷的流量和一氧化二氮的流量分別為 30 sccm、1200 sccm，並且壓力為 40 Pa。此外，在如下膜形成條件下，在氧氮化矽膜之上利用電漿 CVD 法形成厚度為 200 nm 的非晶矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 120 W，膜形成溫度為 280℃，矽烷的流量為 300 sccm，並且壓力為 170 Pa。

接著，在將基板載入於反應室內之後，在如下第一閘極絕緣膜的膜形成條件下，在 0.7 mm 的玻璃基板之上利用電漿 CVD 法形成厚度為 100 nm 的氮化矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 370 W，膜形成溫度為 280℃，矽烷流量、氫流量、氮流量、氨流量分別為 10 sccm、500 sccm、550 sccm、140 sccm，並且壓力為 100 Pa。

接著，在第一閘極絕緣膜之上形成第二閘極絕緣膜。此時，在如下膜形成條件下，在玻璃基板之上利用電漿 CVD 法形成厚度為 100 nm 的氧氮化矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，矽烷的流量和一氧化二氮的流量分別為 30 sccm、1200 sccm，並且壓力為 40 Pa。

接著，在如下微晶矽膜的膜形成條件下，在閘極絕緣

膜之上利用電漿 CVD 法形成厚度為 50 nm 的微晶矽膜：RF 電源頻率為 13.56 MHz，RF 電源的功率為 50 W，膜形成溫度為 280℃，矽烷的流量和氫的流量分別為 10 sccm、1500 sccm，並且壓力為 280 Pa。

從反應室載出基板，利用氟自由基清洗反應室內之後，再度將基板載入於反應室中。

接著，在如下膜形成條件下，在微晶矽膜之上利用電漿 CVD 法形成厚度為 100 nm 的非晶矽膜作為緩衝層：RF 電源頻率為 13.56 MHz，RF 電源的功率為 60 W，膜形成溫度為 280℃，矽烷氣體的流量和氫的流量分別為 280 sccm、300 sccm，並且壓力為 170 Pa。圖 41 表示：此時的在條件 6 及條件 7 下在反應室之內壁上預塗的各基板中，從基板表面向深度方向的利用 SIMS 進行測量而獲得的結果。注意，在這裏使用測量點的前後各三個點（即七個點）的平均值示意性地表示近似的曲線。

在圖 41 中，縱軸表示磷的濃度（atoms/cm³），而橫軸表示對樣品蝕刻的深度（nm）。此外，直到大約 85 nm 的深度是用作為緩衝層的非晶矽膜，直到大約 85 nm 至 135 nm 的深度是微晶矽膜，直到大約 135 nm 至 220 nm 的深度是用作為閘極絕緣膜的氧氮化矽膜。

在圖 41 中，以下示出微晶矽膜中的磷的濃度。這裏，直到大約 85 nm 至 122 nm 的深度的層用作為微晶矽膜，以下示出該區域的磷的濃度。注意，當深度為大約 122 nm 至 135 nm 附近時，受到微晶矽膜及氧氮化矽膜之間的

介面的影響可以觀察到矽的二次離子強度有異常，所以不對該區域的濃度進行考慮。

- 條件 6 下的樣品 $\cdots 6.09 \times 10^{16} \text{ atoms/cm}^3$ 至 $1.29 \times 10^{17} \text{ atoms/cm}^3$

- 條件 7 下的樣品 $\cdots 2.30 \times 10^{16} \text{ atoms/cm}^3$ 至 $5.94 \times 10^{16} \text{ atoms/cm}^3$

另外，示出在各樣品中，在通過深度為 85 nm 附近的濃度和深度為 122 nm 附近的濃度的直線中，濃度變化（降低）一位數時的膜厚度的比例（ Δ 膜厚度 / $\log$ （ Δ 濃度））的絕對值。

- 條件 6 下的樣品 $\cdots 114 \text{ nm/dec}$

- 條件 7 下的樣品 $\cdots 90 \text{ nm/dec}$

根據以上所述可以知道：藉由在電漿 CVD 設備的反應室之內壁預塗包含磷的非晶矽膜作為保護膜之後，形成閘極絕緣膜、以及微晶矽膜，在微晶矽膜中包含磷。此外，可知藉由在電漿 CVD 設備的反應室之內壁預塗非晶矽膜作為保護膜之後，藉由形成閘極絕緣膜以及微晶矽膜，在微晶矽膜中也含有磷。可以認為這是由於在預塗非晶矽膜作為保護膜之前，在同一反應室內中流過的磷化氫的殘留物混入在保護膜中，其結果微晶矽膜中含有磷。此外，還可知微晶矽膜中的磷的濃度從閘極絕緣膜側朝向緩衝層而減少。

【圖式簡單說明】

在附圖中：

圖 1A 是說明依據本發明之一樣態的薄膜電晶體的剖面圖、以及圖 1B 和 1C 是各自示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 2A 是說明本發明之一樣態的薄膜電晶體的剖面圖、以及圖 2B 是示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 3 是說明依據本發明之一樣態的薄膜電晶體的剖面圖；

圖 4A 是說明依據本發明之一樣態的薄膜電晶體的剖面圖、以及圖 4B 是示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 5A 是說明依據本發明之一樣態的薄膜電晶體的剖面圖、以及圖 5B 是示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 6A 是說明依據本發明之一樣態的薄膜電晶體的剖面圖、以及圖 6B 是示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 7A 是說明依據本發明之一樣態的薄膜電晶體的剖面圖、以及圖 7B 示出疊層膜中的雜質元素的峰值濃度的圖形；

圖 8 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 9A 至 9C 是說明依據本發明之一樣態的顯示裝置

的製造方法的剖面圖；

圖 10A 至 10C 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 11A 和 11B 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 12A 至 12C 是說明依據本發明之一樣態的顯示裝置的製造方法的俯視圖；

圖 13 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 14 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 15 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 16 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 17 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 18 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 19 是說明形成閘極絕緣膜以及微晶半導體膜的製程的時序圖的一個例子；

圖 20 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 21 是示出可以應用於本發明的電漿 CVD 設備的結

構的圖；

圖 22A 和 22B 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 23A 至 23D 是說明可以應用於本發明的多色調掩罩的圖；

圖 24A 至 24C 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 25A 和 25B 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 26A 和 26B 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 27A 至 27C 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 28A 至 28C 是說明依據本發明之一樣態的顯示裝置的製造方法的頂視圖；

圖 29 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 30 是說明依據本發明之一樣態的顯示裝置的製造方法的剖面圖；

圖 31 是說明依據本發明之一樣態的顯示裝置的剖面圖；

圖 32 是說明依據本發明之一樣態的顯示裝置的頂視圖；

圖 33 是說明依據本發明之一樣態的顯示裝置的頂視

圖 ；

圖 34A 和 34B 分別是說明依據本發明之一樣態的顯示裝置的剖面圖和頂視圖 ；

圖 35A 至 35C 分別是說明依據本發明之一樣態的顯示面板的立體圖 ；

圖 36A 至 36C 是說明包含依據本發明之一樣態的顯示裝置的電子裝置的立體圖 ；

圖 37 是說明包含依據本發明之一樣態的顯示裝置的電子裝置的圖形 ；

圖 38A 至 38C 是說明包含依據本發明之一樣態的顯示裝置的電子裝置的圖形 ；

圖 39 是說明利用 SIMS 對依據本發明之一樣態的微晶矽膜中的磷的濃度進行測量的結果的圖表 ；

圖 40 是說明利用 SIMS 對依據本發明之一樣態的微晶矽膜中的磷的濃度進行測量的結果的圖表 ；

圖 41 是說明利用 SIMS 對依據本發明之一樣態的微晶矽膜中的磷的濃度進行測量的結果的圖表 。

【主要元件符號說明】

10：概要

27：曲線

28：曲線

33：曲線

34：曲線

- 35：曲線
- 37：曲線
- 42：曲線
- 46：曲線
- 50：基板
- 51：閘極電極
- 53：微晶半導體膜
- 4：緩衝層
- 55：半導體膜
- 56：抗蝕劑掩罩
- 57：微晶半導體膜
- 58：微晶半導體膜
- 59：閘極絕緣膜
- 61：微晶半導體膜
- 62：緩衝層
- 63：半導體膜
- 65：保護絕緣膜
- 66：抗蝕劑掩罩
- 67：微晶半導體膜
- 72：半導體膜
- 73：緩衝層
- 74：薄膜電晶體
- 76：保護絕緣膜
- 77：像素電極

- 78：平坦化膜
- 79：電極
- 80：抗蝕劑
- 81：抗蝕劑掩罩
- 82：通道保護膜
- 83：薄膜電晶體
- 86：抗蝕劑掩罩
- 87：緩衝層
- 88：源極區和汲極區
- 89：源極區和汲極區
- 90：微晶半導體膜
- 91：分隔壁
- 92：EL層
- 93：電極
- 94：發光元件
- 95：保護絕緣膜
- 96：電容器元件
- 101：絕緣膜
- 102：絕緣膜
- 103：絕緣膜
- 104：絕緣膜
- 105：電容器元件
- 159：多色調掩罩
- 160：多色調掩罩

- 163 : 基板
- 164 : 遮光部
- 165 : 繞射光閘
- 166 : 光透射率
- 167 : 半透光部
- 168 : 遮光部
- 169 : 光透射率
- 403 : 高頻電力供給單元
- 404 : 高頻電源
- 406 : 匹配器
- 408 : 氣體供給單元
- 410 : 汽缸
- 412 : 停止閥
- 413 : 質量流量控制器
- 417 : 蝶閥
- 418 : 導氣閥
- 419 : 渦輪分子泵
- 420 : 乾式泵
- 421 : 低溫泵
- 422 : 裝卸/卸載室
- 423 : 公共室
- 425 : 閘閥
- 426 : 載送機構
- 430 : 排氣單元

- 440：真空排氣
- 441：預塗處理
- 442：基板載入
- 444：真空排氣處理
- 446：真空排氣處理
- 447：沖洗處理
- 448：膜形成處理
- 449：基板載出
- 452：預塗處理
- 456：膜形成處理
- 459：真空排氣處理
- 461：虛線
- 462：虛線
- 463：虛線
- 465：虛線
- 51a：佈線
- 51b：閘極電極
- 51c：電容器佈線
- 52a：閘極絕緣膜
- 52b：閘極絕緣膜
- 52c：閘極絕緣膜
- 59a：閘極絕緣膜
- 59b：閘極絕緣膜
- 59c：閘極絕緣膜

600：基板

601：對向基板

602：閘極佈線

603：閘極佈線

616：佈線

618：佈線

619：佈線

622：平坦化膜

623：接觸孔

624：像素電極

625：槽縫

626：像素電極

627：接觸孔

628：薄膜電晶體

629：薄膜電晶體

632：遮光膜

636：濾色片

637：平坦化膜

640：對向電極

641：槽縫

646：配向膜

64c：佈線

650：液晶層

65a：導電膜

65b：導電膜

71a：佈線

71b：佈線

71c：佈線

74a：薄膜電晶體

74b：薄膜電晶體

75c：佈線

76a：保護絕緣膜

85a：導電膜

89a：導電膜

900：顯示面板

921：像素部

922：信號線驅動電路

923：掃描線驅動電路

924：調諧器

925：視頻信號放大電路

926：視頻信號處理電路

927：控制電路

928：信號分割電路

929：音頻信號放大電路

92a：佈線

930：音頻信號處理電路

931：控制電路

932：輸入部

933：揚聲器

93a：電源線

1000：智慧型手機

1001：外殼

1002：外殼

1101：顯示部

1102：揚聲器

1103：麥克風

1104：操作鍵

1105：指向裝置

1106：正面相機鏡頭

1107：外部連接端子用插孔

1108：耳機端子

111a：凹部

111b：凹部

112a：接觸孔

112b：凹部

113a：接觸孔

113b：接觸孔

1201：鍵盤

1202：外部儲存器插槽

1203：背面相機

1204：燈

159a：灰度色調掩罩

159b：半色調掩罩

2001：外殼

2002：顯示面板

2003：主畫面

2004：解調器

2005：接收機

2006：遙控裝置

2007：顯示部

2008：子畫面

2009：揚聲部

2401：主體

2402：顯示部

2501：照明部分

2502：燈罩

2503：可調式臂部

2504：支架

2505：底座

2506：電源

400a：反應室

400b：反應室

400c：反應室

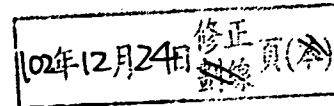
400d：反應室

408a：氣體供給單元

408b：氣體供給單元

408f：氣體供給單元
408g：氣體供給單元
408i：氣體供給單元
408n：氣體供給單元
6011：基板
6012：像素部
6013：信號線驅動電路
6014：掃描線驅動電路
6015：FPC
6021：基板
6022：像素部
6023：信號線驅動電路
6024：掃描線驅動電路
6025：FPC
6031：基板
6032：像素部
6033：信號線驅動電路
6034：掃描線驅動電路
6035：FPC
6033a：類比開關
6033b：移位暫存器

本說明書根據 2007 年 11 月 01 日在日本專利局受理的
日本專利申請編號 2007-284717 而製作，所述申請內容
係結合於本說明書中做為參考。



十、申請專利範圍

1. 一種薄膜電晶體，包括：

形成在閘極電極之上的閘極絕緣膜；

形成在該閘極絕緣膜之上的微晶半導體膜，其含有有用做為施體的雜質元素；

形成在該含有有用做為施體的雜質元素的微晶半導體膜之上的一對緩衝層；

形成在該一對緩衝層之上的一對半導體膜，其含有賦予一個導電性類型的雜質元素；以及

形成在該含有賦予一個導電性類型的雜質元素的一對半導體膜之上的佈線，

其中，在該微晶半導體膜中的該用做為施體的雜質元素的濃度從該閘極絕緣膜側朝向該一對緩衝層而降低，及

其中該用做為施體的雜質元素的濃度的峰值係位於該閘極絕緣膜和該微晶半導體膜之間的介面處或其附近。

2. 如申請專利範圍第 1 項所述的薄膜電晶體，在該含有有用做為施體的雜質元素的微晶半導體膜和該一對緩衝層之間還包括不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素的微晶半導體膜。

3. 如申請專利範圍第 1 項所述的薄膜電晶體，其中形成含有該用做為施體的雜質元素的閘極絕緣膜以代替該閘極絕緣膜。

4. 如申請專利範圍第 1 項所述的薄膜電晶體，其中藉



由二次離子質譜分析法（SIMS）所獲得到的該微晶半導體膜中的該用做為施體的雜質元素的峰值濃度為大於或等於 $6 \times 10^{15} \text{ atoms/cm}^3$ 且小於或等於 $3 \times 10^{18} \text{ atoms/cm}^3$ 。

5.如申請專利範圍第 1 項所述的薄膜電晶體，其中該用做為施體的雜質元素為磷、砷、或銻。

6.如申請專利範圍第 1 項所述的薄膜電晶體，其中該一對緩衝層不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素。

7.一種薄膜電晶體，包括：

形成在閘極電極之上的閘極絕緣膜；

形成在該閘極絕緣膜之上的微晶半導體膜，其含有用做為施體的雜質元素；

形成在該含有用做為施體的雜質元素的微晶半導體膜之上的一對緩衝層；

形成在該一對緩衝層之上的一對半導體膜，其含有賦予一個導電性類型的雜質元素；以及

形成在該含有賦予一個導電性類型的雜質元素的一對半導體膜之上的佈線，

其中，在該微晶半導體膜中的該用做為施體的雜質元素的濃度係以 5 nm/dec 至 120 nm/dec 的斜率從該閘極絕緣膜側朝向該一對緩衝層而降低。

8.如申請專利範圍第 7 項所述的薄膜電晶體，其中該用做為施體的雜質元素的濃度的峰值係位於該閘極絕緣膜和該微晶半導體膜之間的介面處或其附近。

102年12月24日修正
劃線頁(本)

9.如申請專利範圍第 7 項所述的薄膜電晶體，在該含有用做為施體的雜質元素的微晶半導體膜和該一對緩衝層之間還包括不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素的微晶半導體膜。

10.如申請專利範圍第 7 項所述的薄膜電晶體，其中形成含有該用做為施體的雜質元素的閘極絕緣膜以代替該閘極絕緣膜。

11.如申請專利範圍第 7 項所述的薄膜電晶體，其中藉由二次離子質譜分析法（SIMS）所獲得到的該微晶半導體膜中的該用作為施體的雜質元素的峰值濃度為大於或等於 $6 \times 10^{15} \text{ atoms/cm}^3$ 且小於或等於 $3 \times 10^{18} \text{ atoms/cm}^3$ 。

12.如申請專利範圍第 7 項所述的薄膜電晶體，其中該用做為施體的雜質元素為磷、砷、或銻。

13.如申請專利範圍第 7 項所述的薄膜電晶體，其中該一對緩衝層不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素。

14.一種主動矩陣型顯示裝置，包括：

薄膜電晶體；以及

電連接到該薄膜電晶體的像素電極，

該薄膜電晶體包括：

形成在閘極電極之上的閘極絕緣膜；

形成在該閘極絕緣膜之上的微晶半導體膜，其含有用做為施體的雜質元素；

102年12月24日	修正 劃線	頁(本)
------------	----------	------

形成在該含有用做為施體的雜質元素的微晶半導體膜之上的一對緩衝層；

形成在該一對緩衝層之上的一對半導體膜，其含有賦予一個導電性類型的雜質元素；以及

形成在該含有賦予一個導電性類型的雜質元素的一對半導體膜之上的佈線，

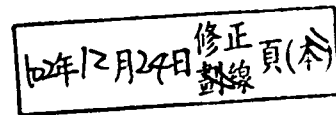
其中在該微晶半導體膜中的該用做為施體的雜質元素的濃度係以 5 nm/dec 至 120 nm/dec 的斜率從該閘極絕緣膜側朝向該一對緩衝層而降低。

15.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，其中該用做為施體的雜質元素的濃度的峰值係位於該閘極絕緣膜和該微晶半導體膜之間的介面處或其附近。

16.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，在該含有用做為施體的雜質元素的微晶半導體膜和該一對緩衝層之間還包括不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素的微晶半導體膜。

17.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，其中形成含有該用做為施體的雜質元素的閘極絕緣膜以代替該閘極絕緣膜。

18.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，其中藉由二次離子質譜分析法（SIMS）所獲得到的該微晶半導體膜中的該用做為施體的雜質元素的峰值濃度為大於或等於 6×10^{15} atoms/cm³ 且小於或等於 3×10^{18}



atoms/cm³。

19.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，其中該用做為施體的雜質元素為磷、砷、或銻。

20.如申請專利範圍第 14 項所述的主動矩陣型顯示裝置，其中該一對緩衝層不含有其濃度高於二次離子質譜分析法（SIMS）的偵測限度的該用做為施體的雜質元素。

圖 1A

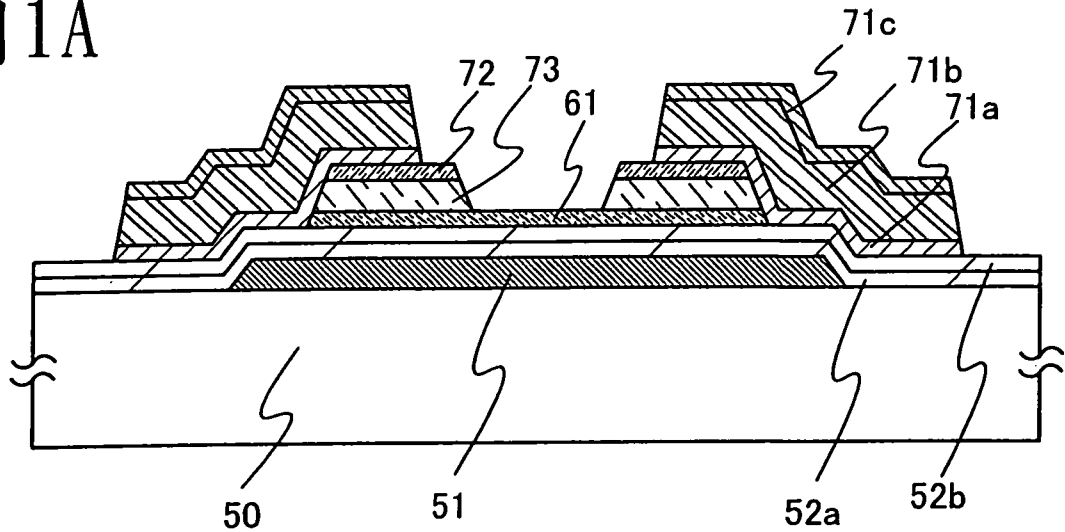


圖 1B

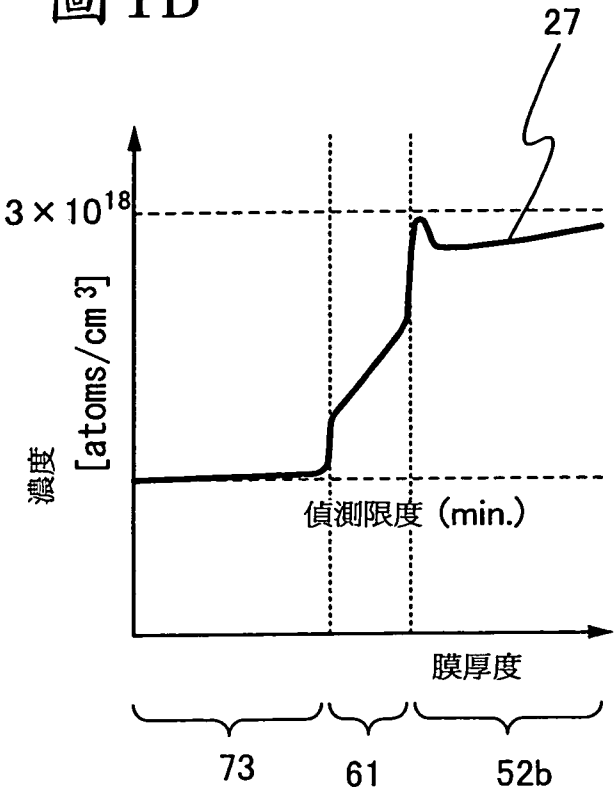


圖 1C

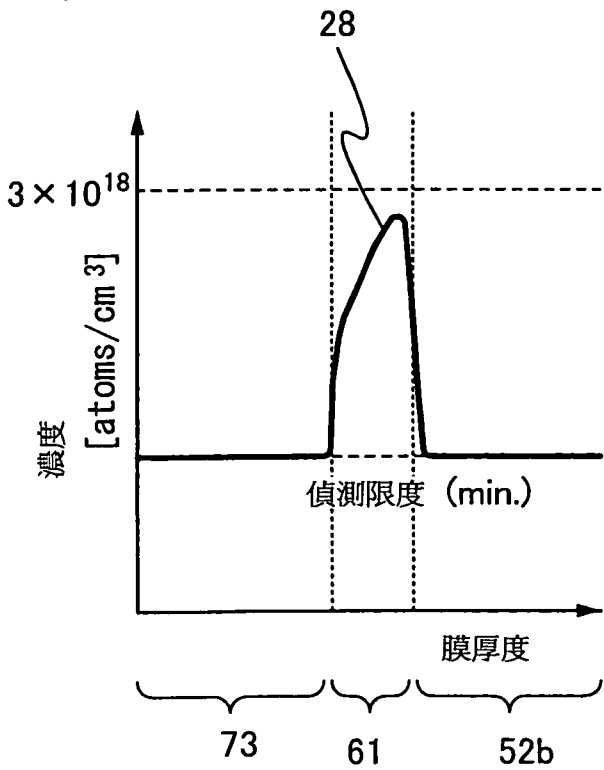


圖 2A

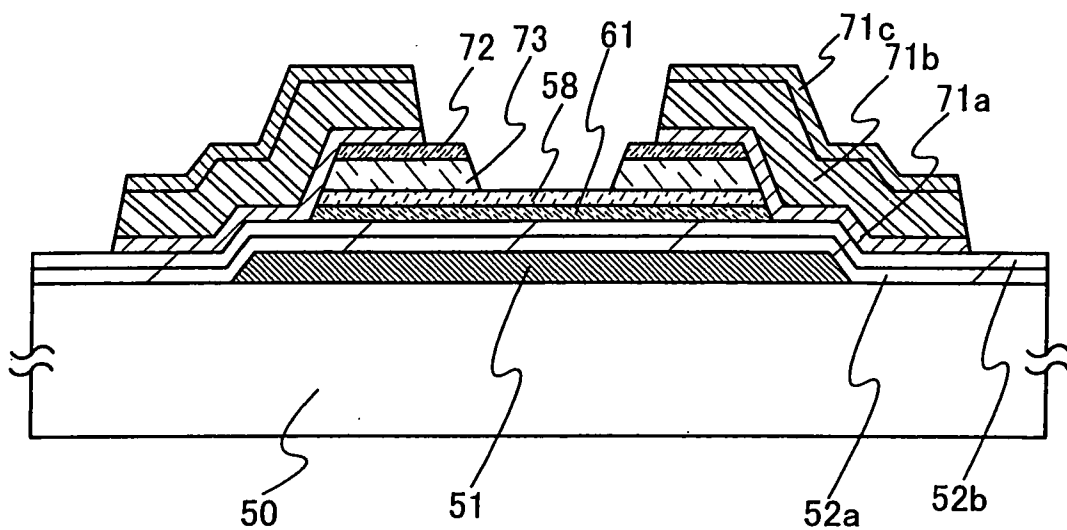


圖 2B

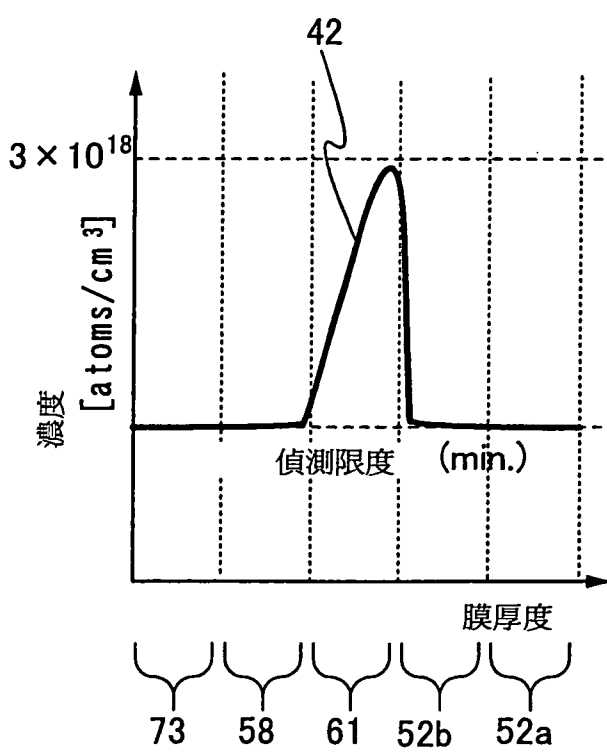


圖 3

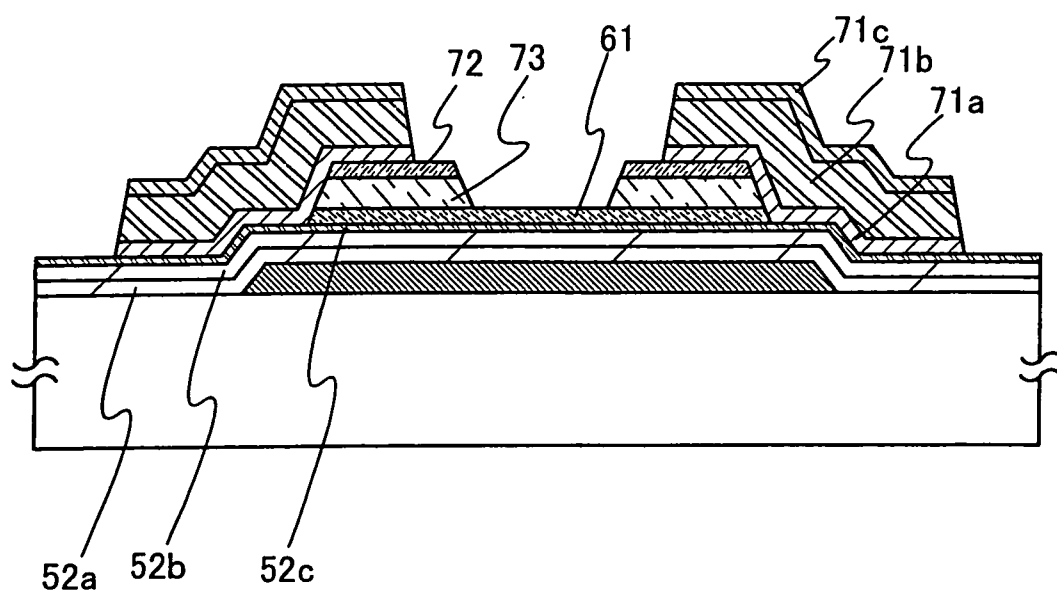


圖 4A

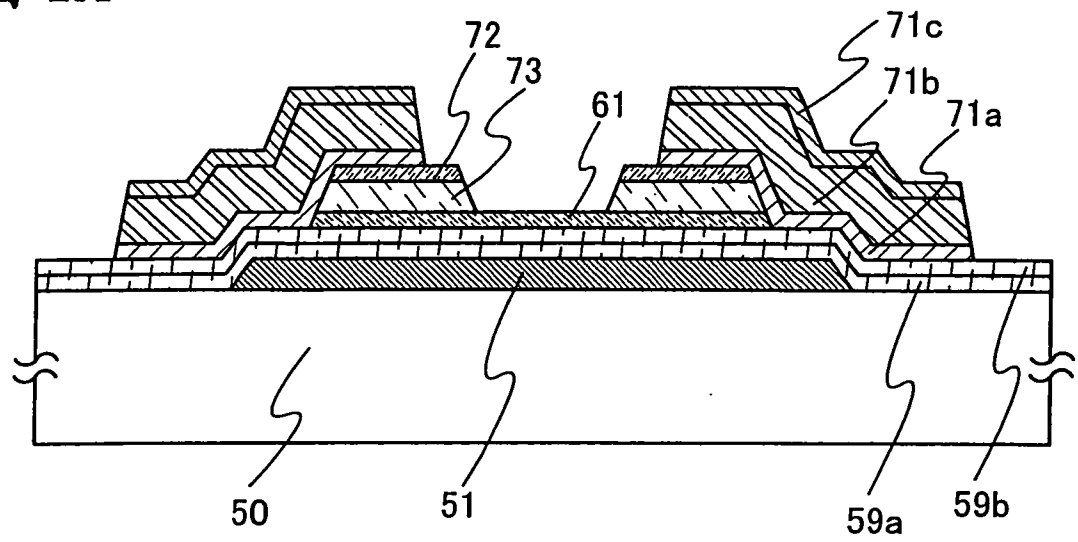


圖 4B

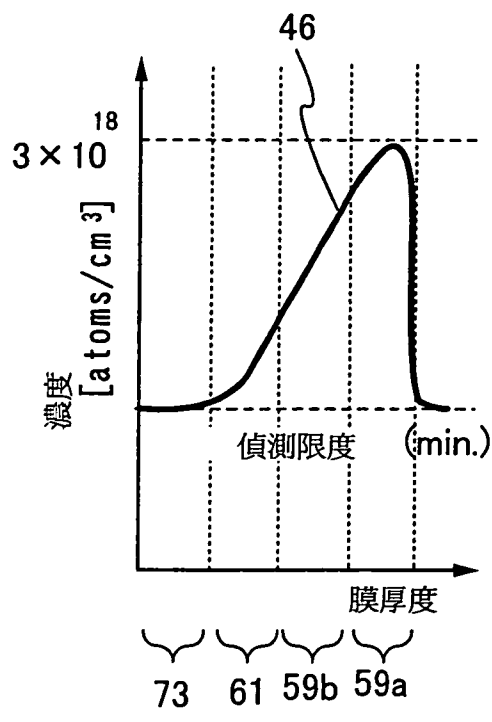


圖5A

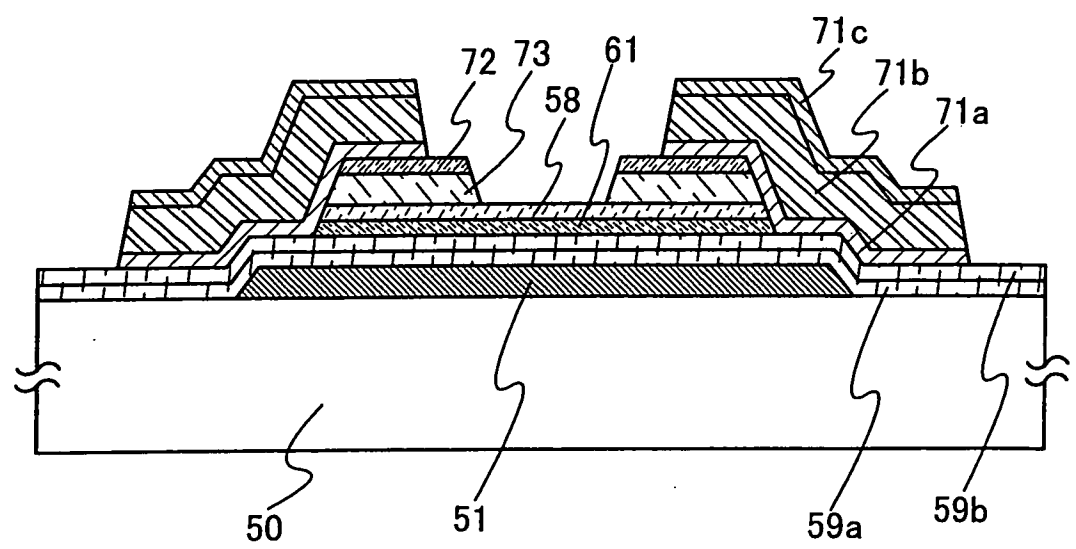
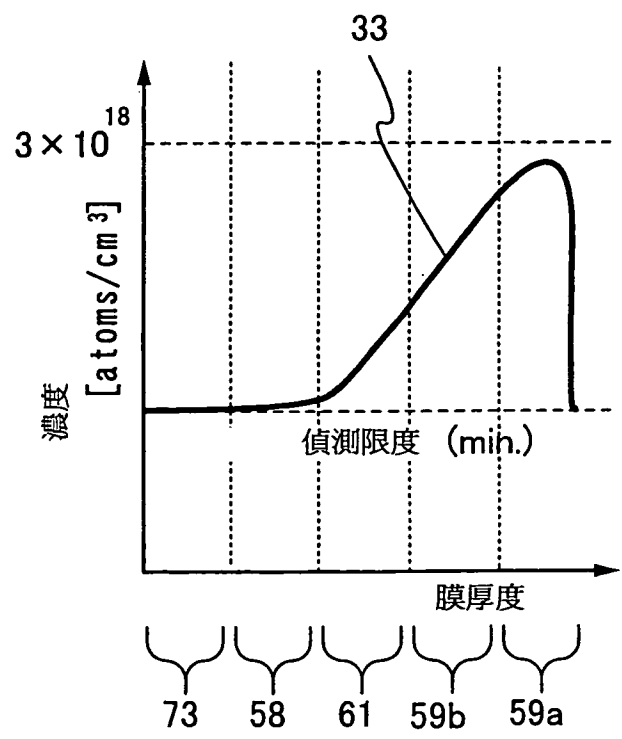


圖5B



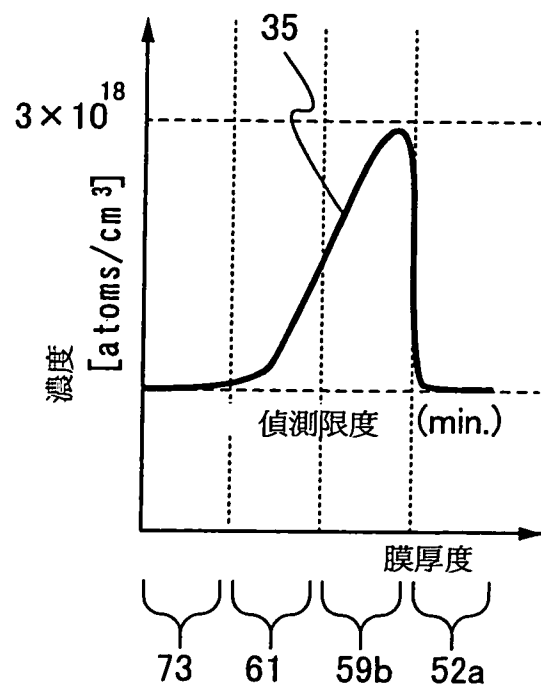


圖 7A

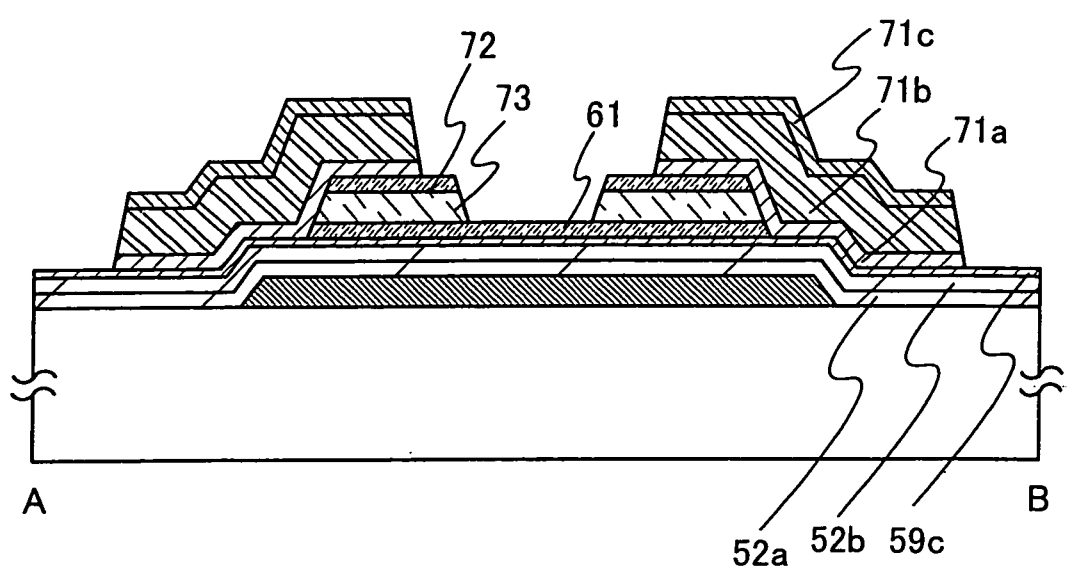


圖 7B

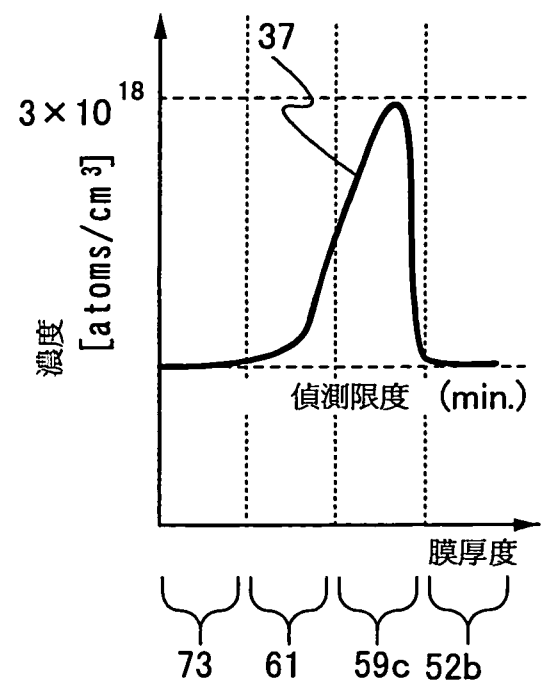


圖8

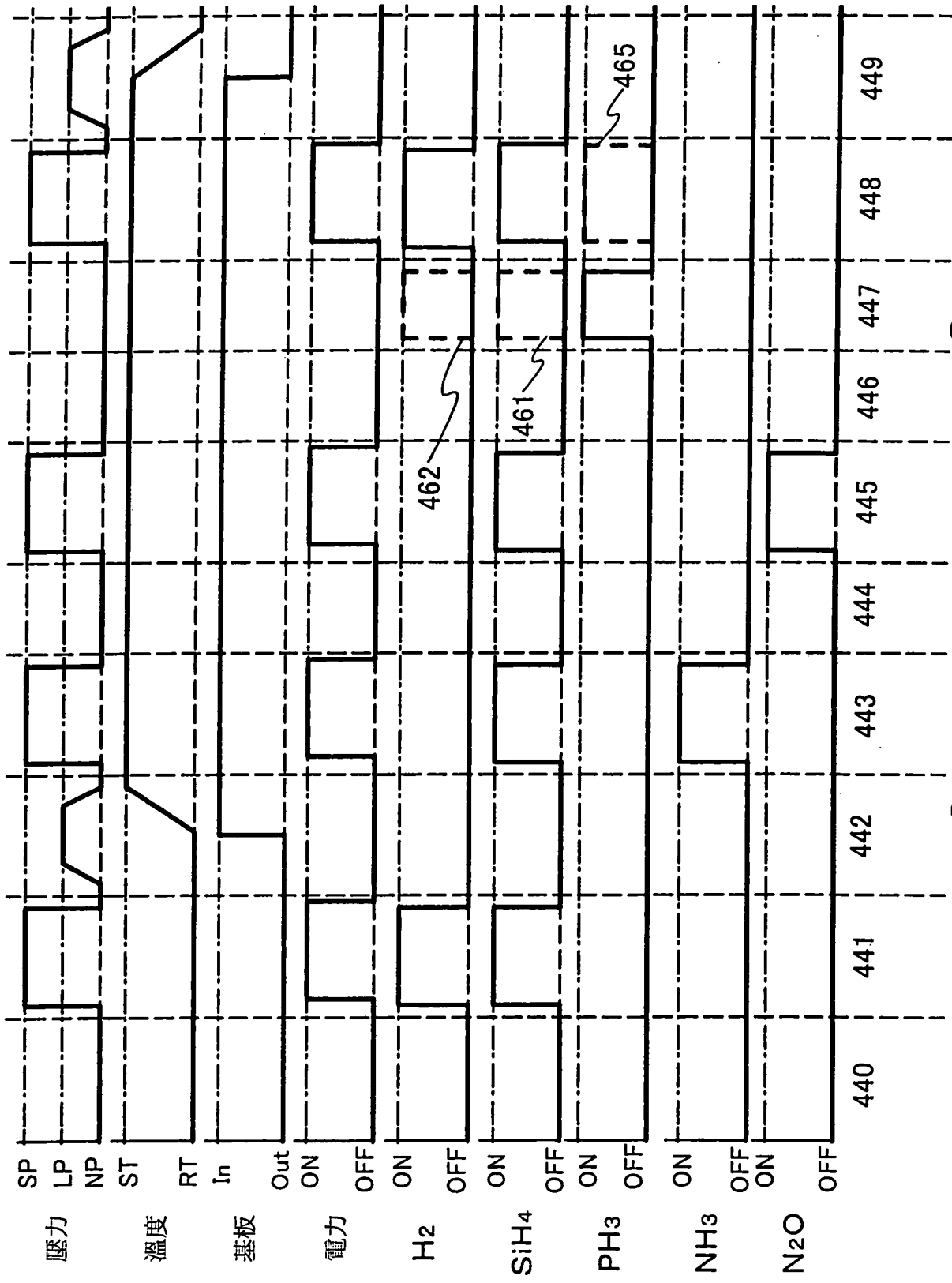


圖 9A

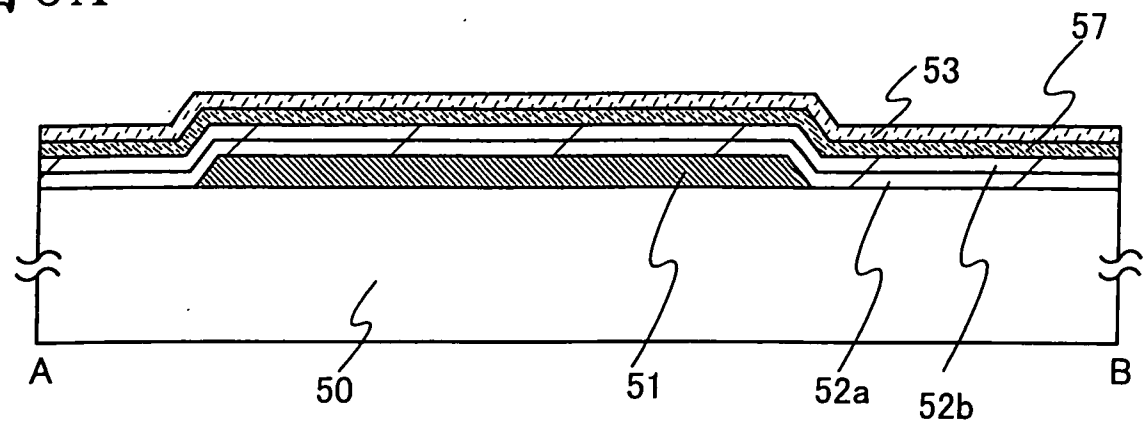


圖 9B

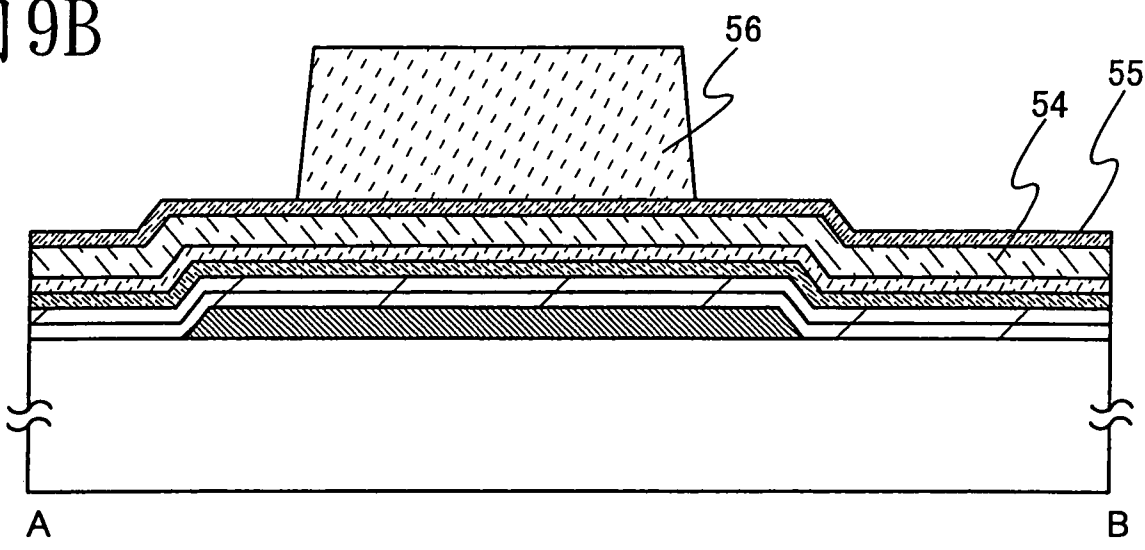


圖 9C

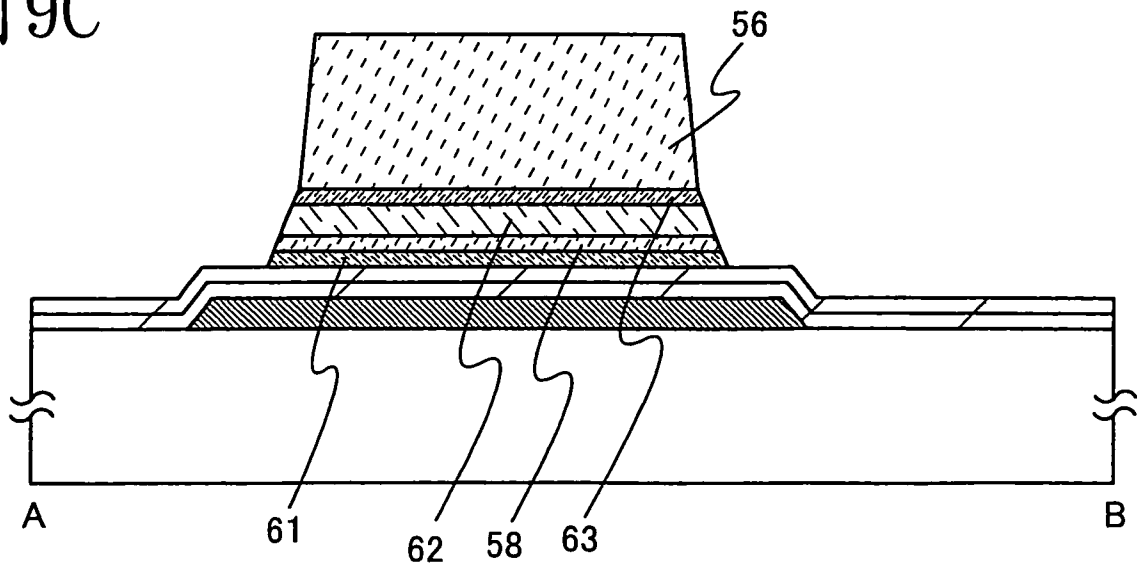


圖 10A

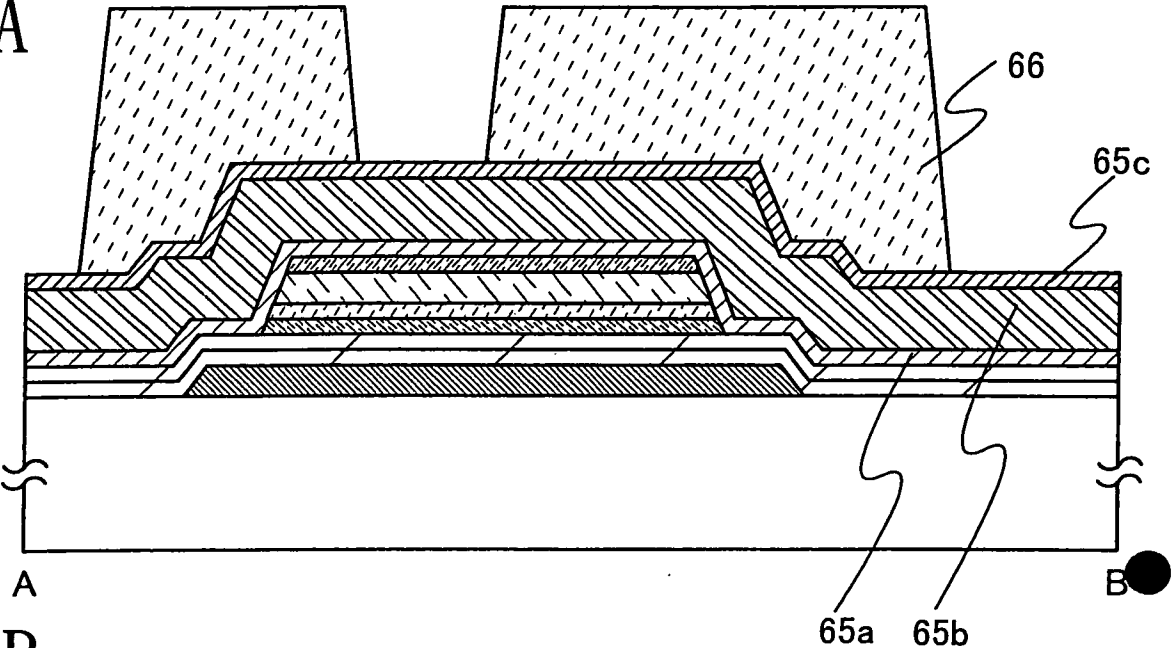


圖 10B

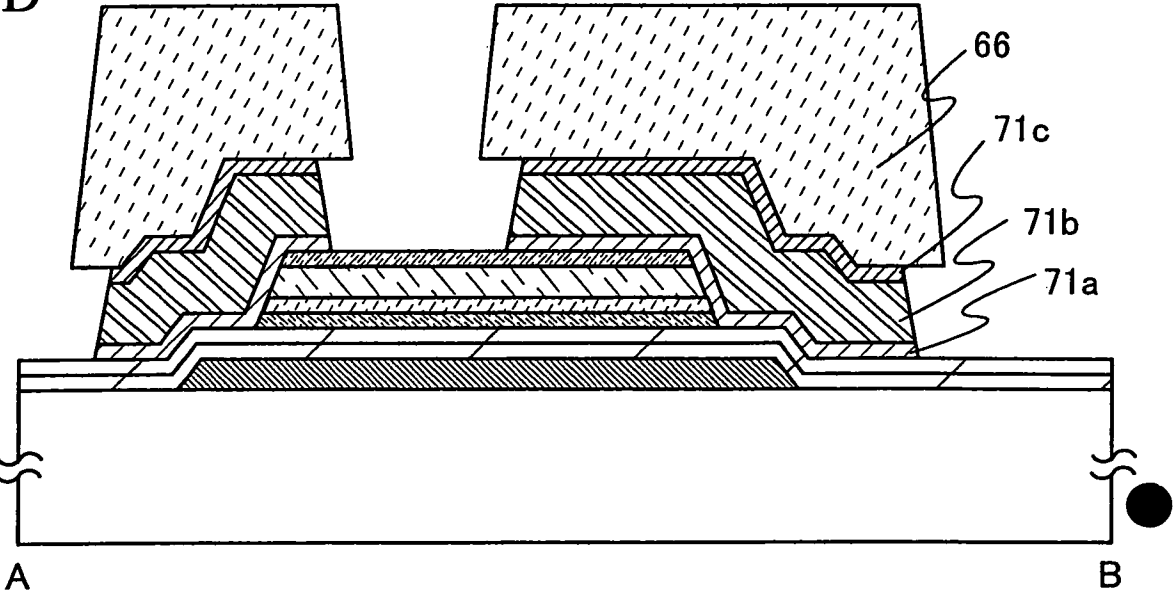


圖 10C

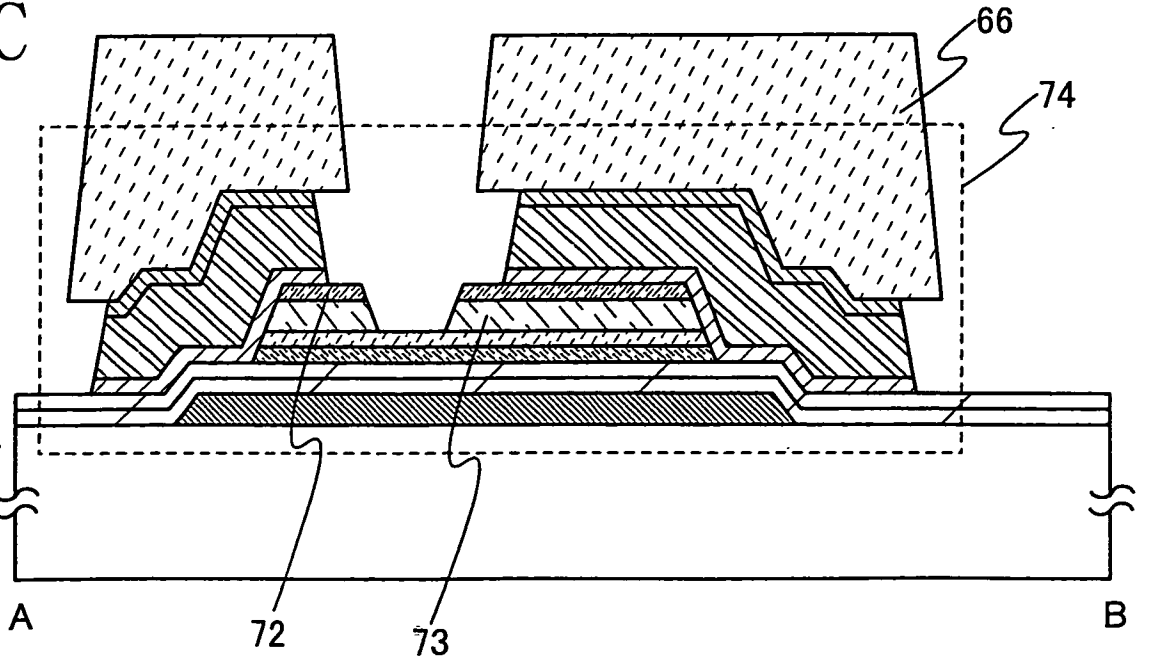


圖11A

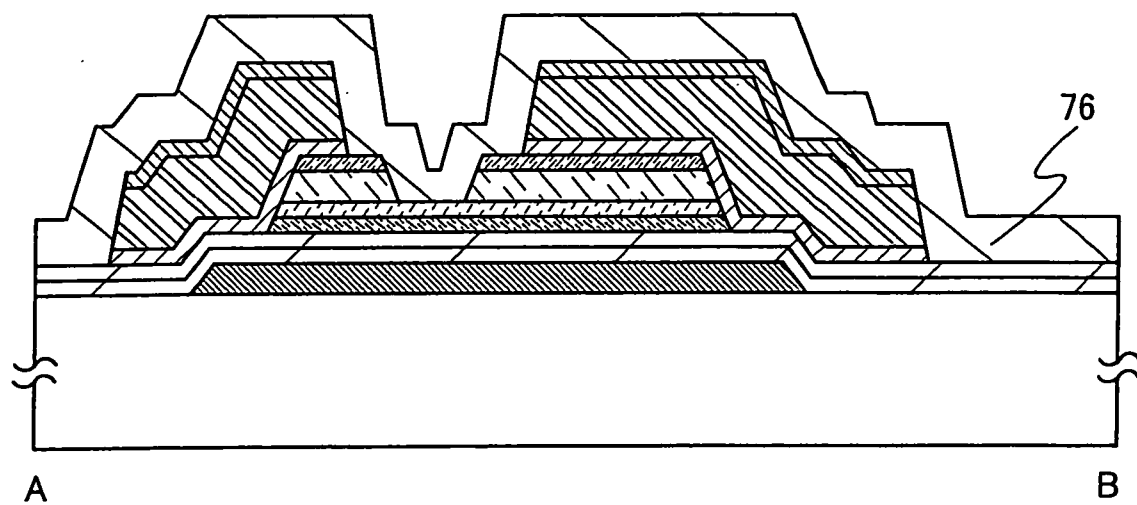


圖11B

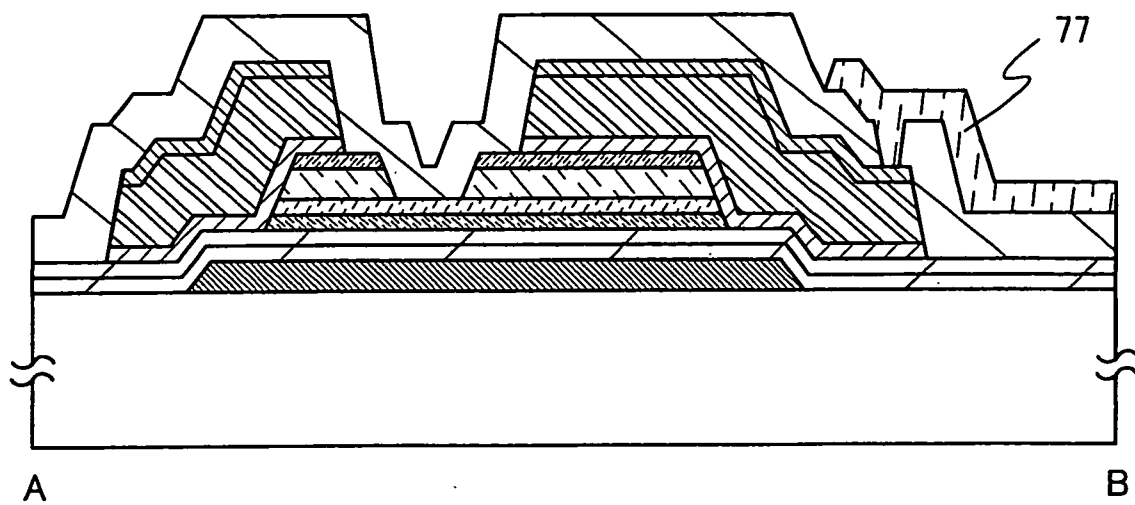


圖 12A

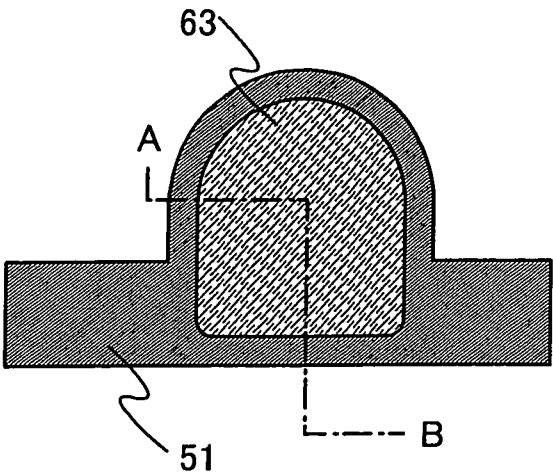


圖 12B

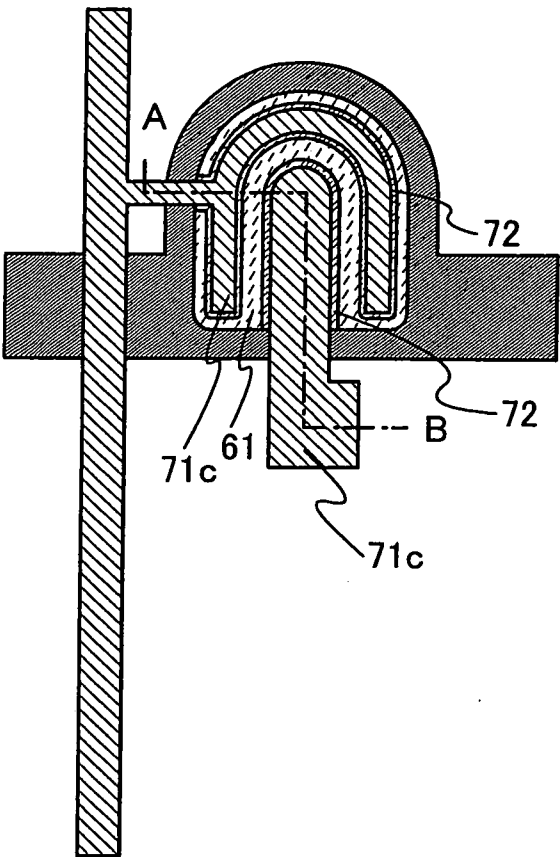
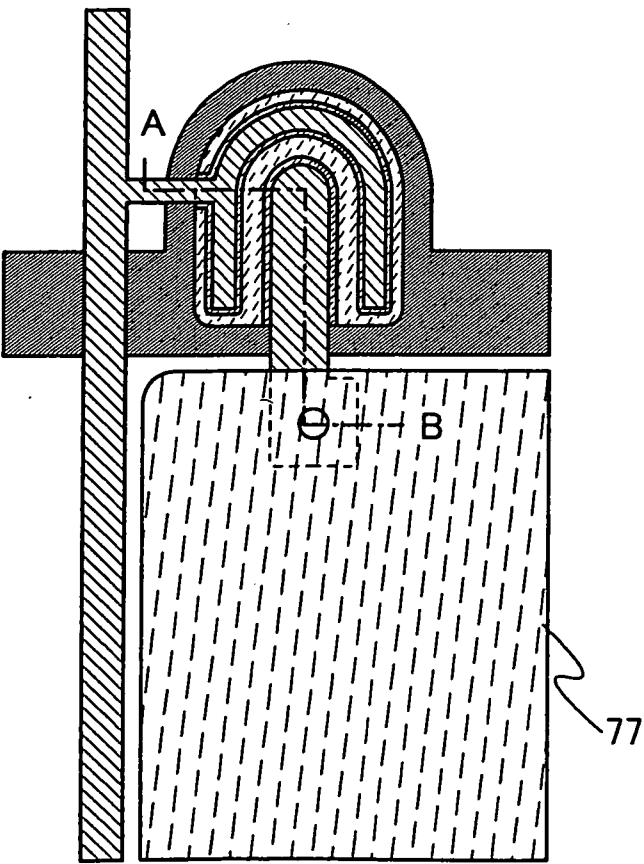


圖 12C



•

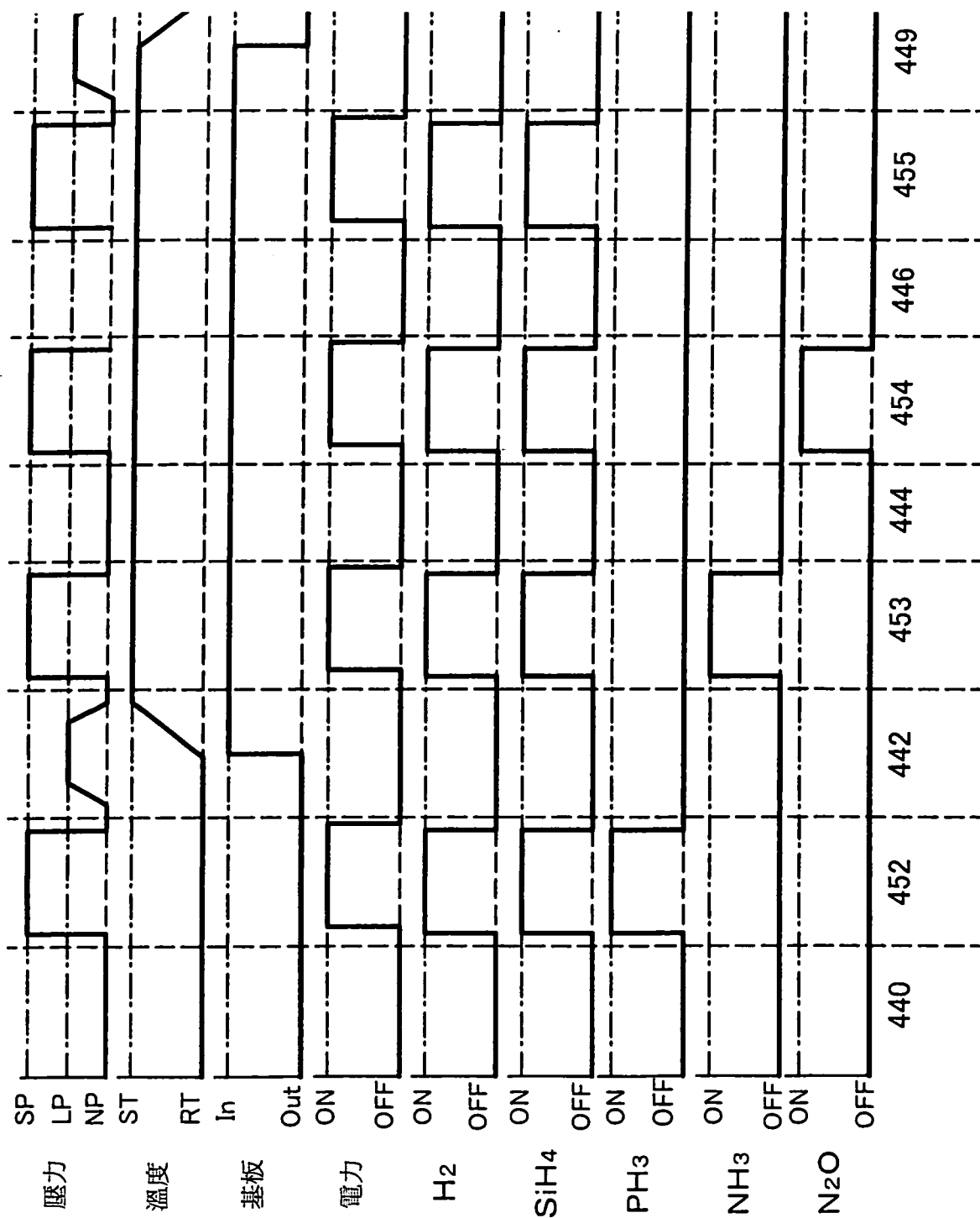


圖14

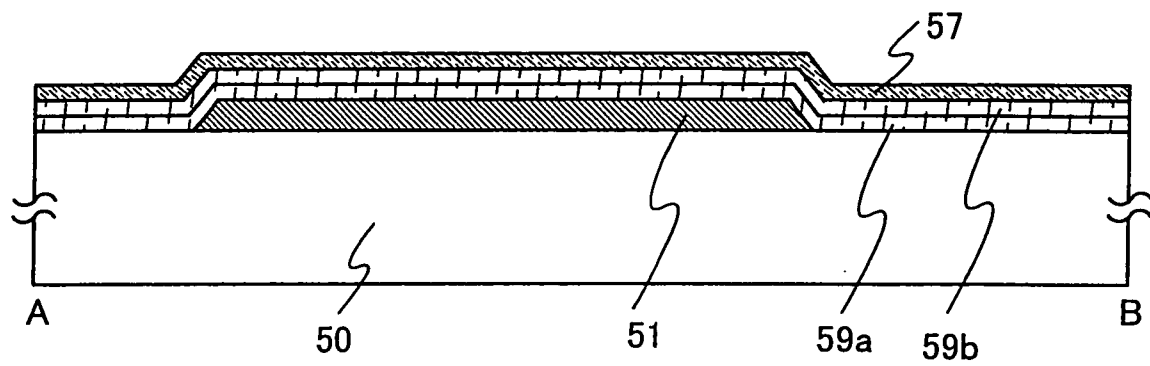
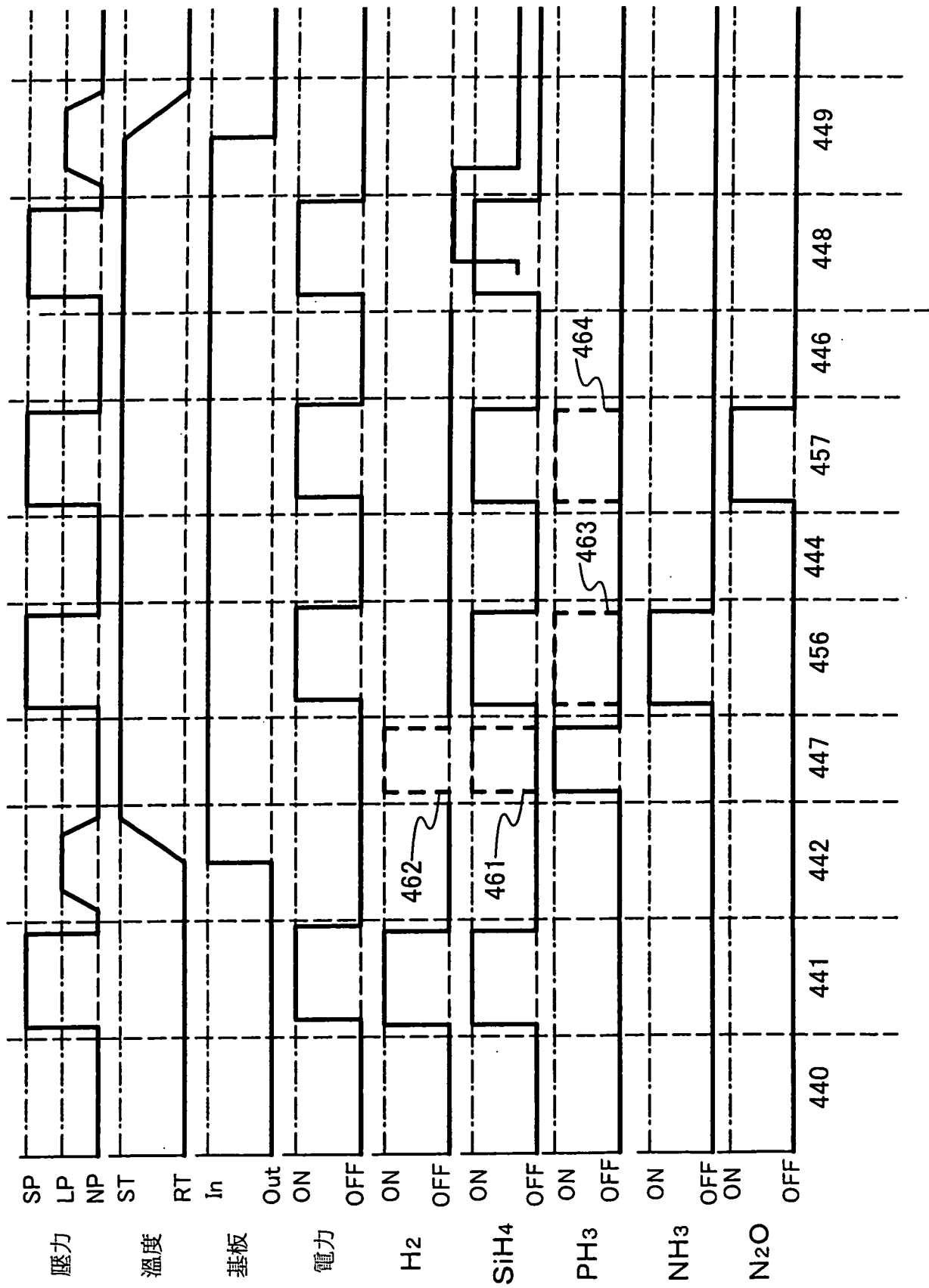


圖15



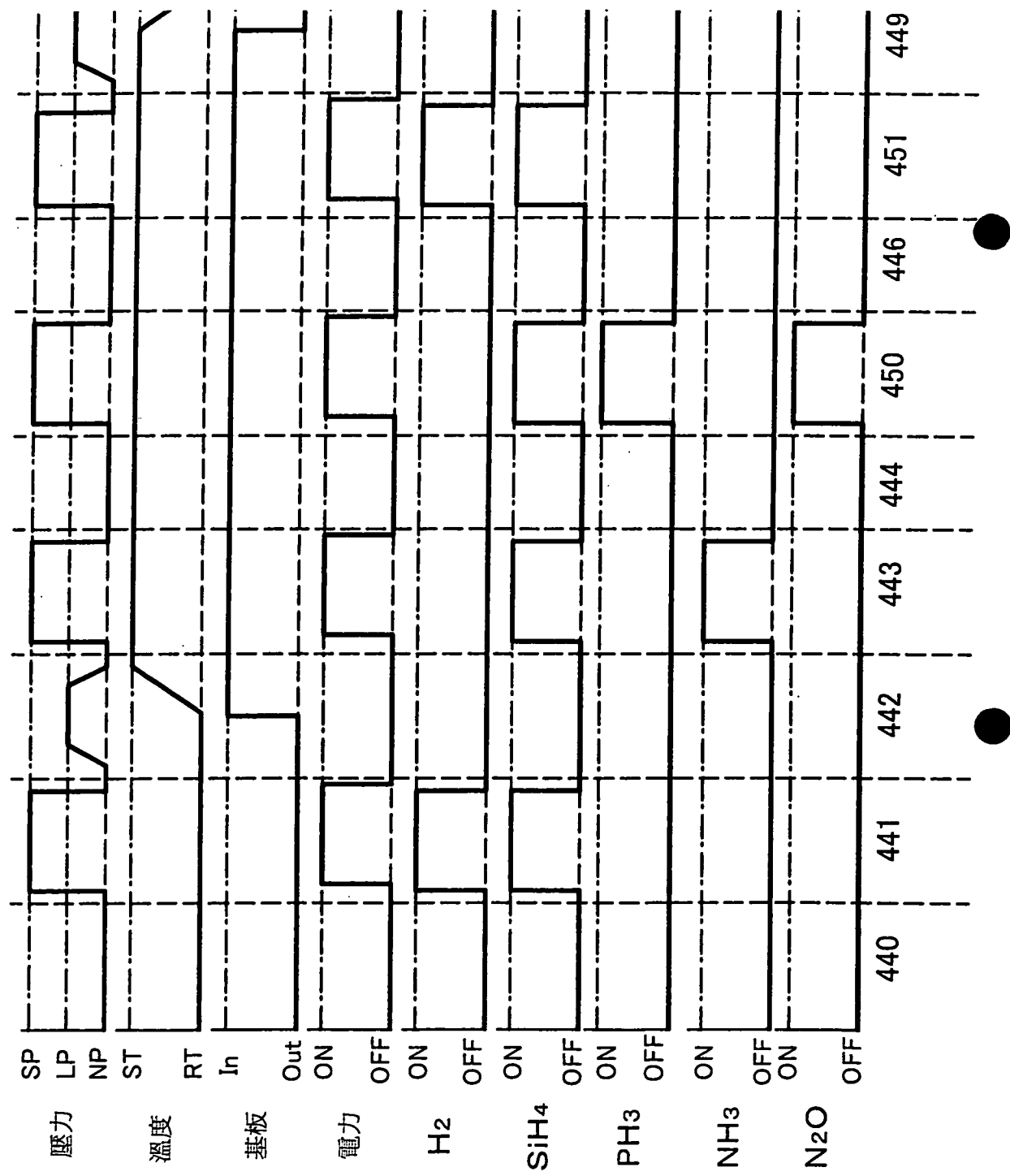


圖 17

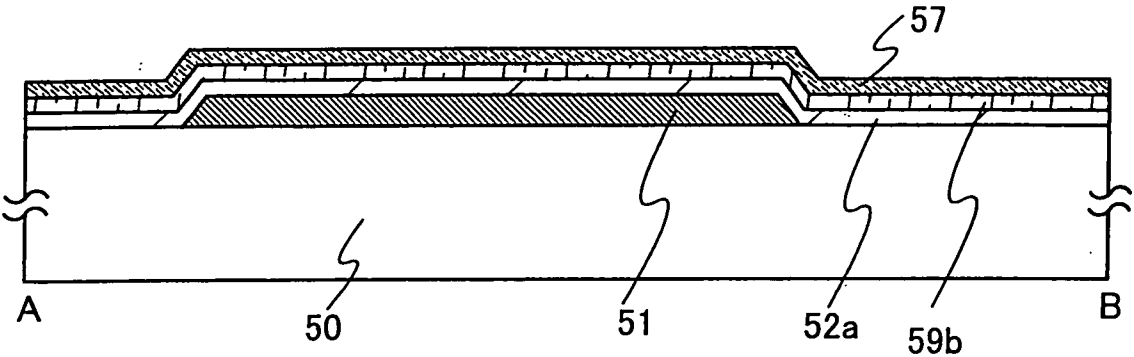
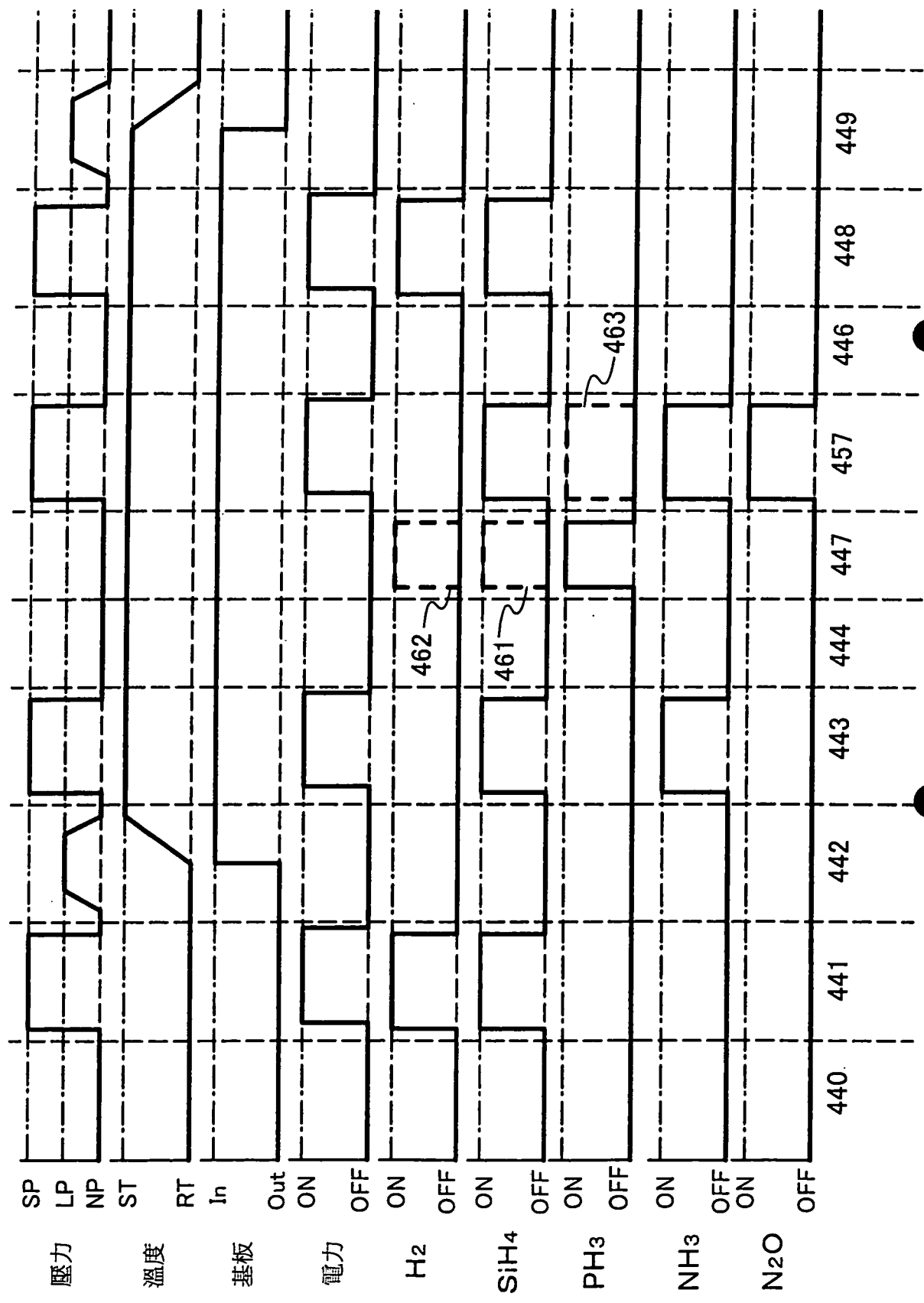


圖18



四六

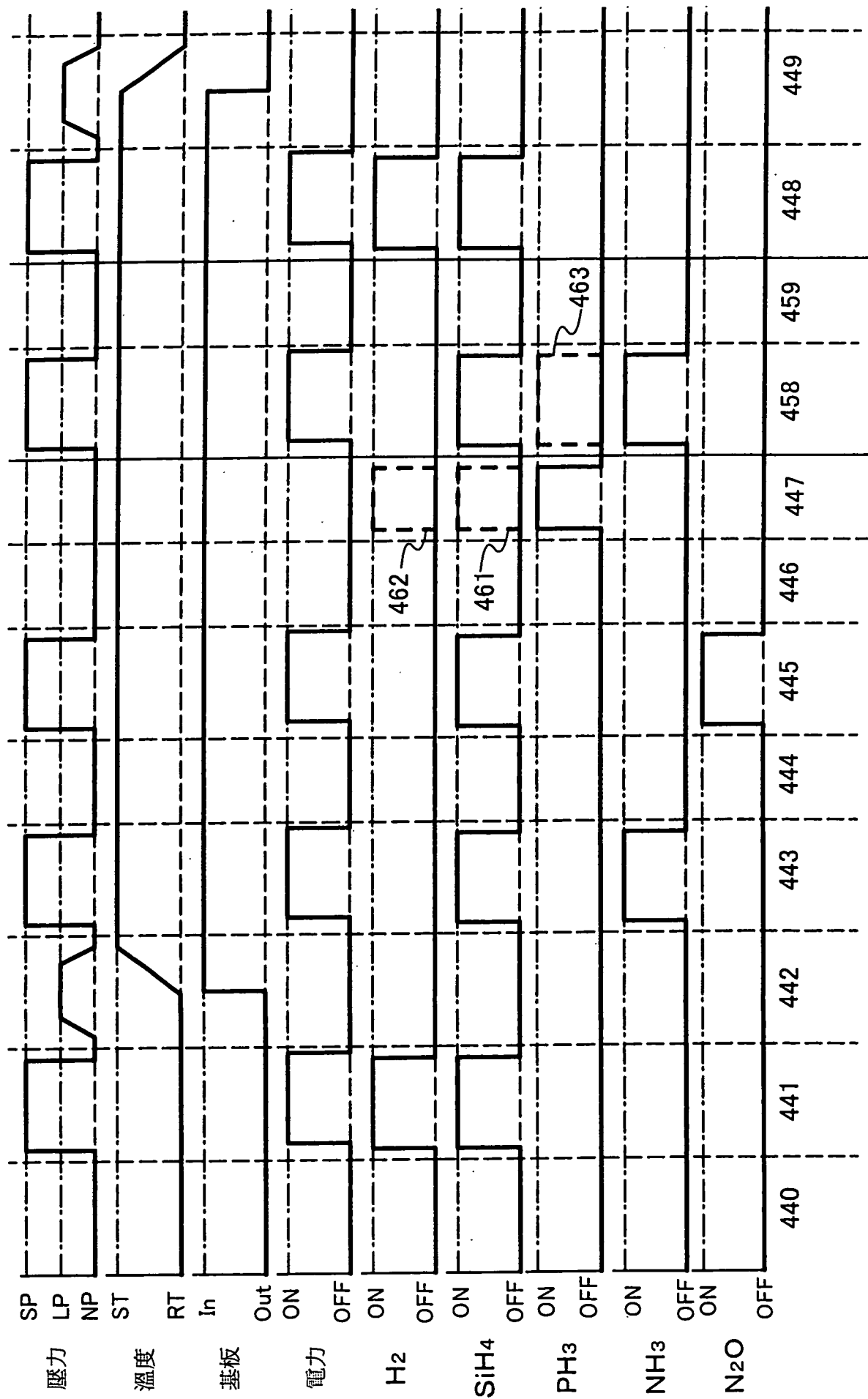


圖 20

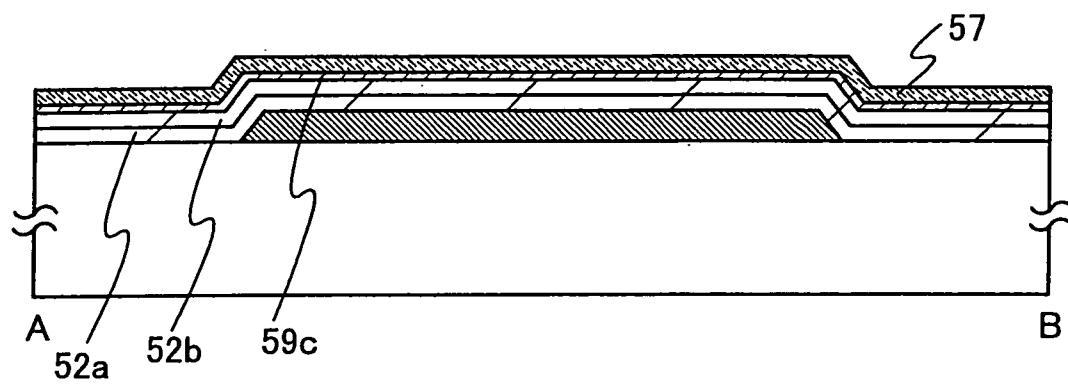


圖 21

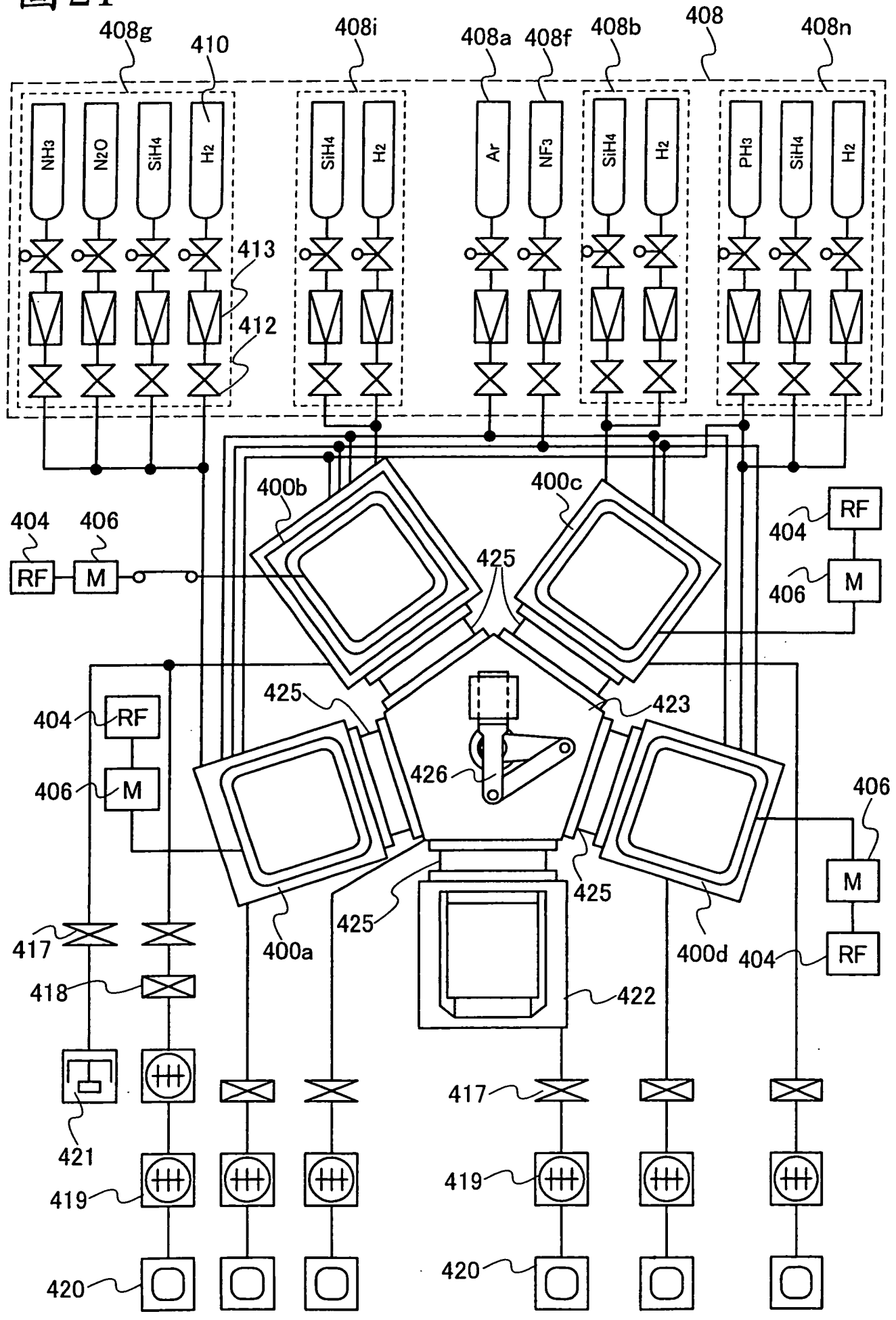


圖 22A

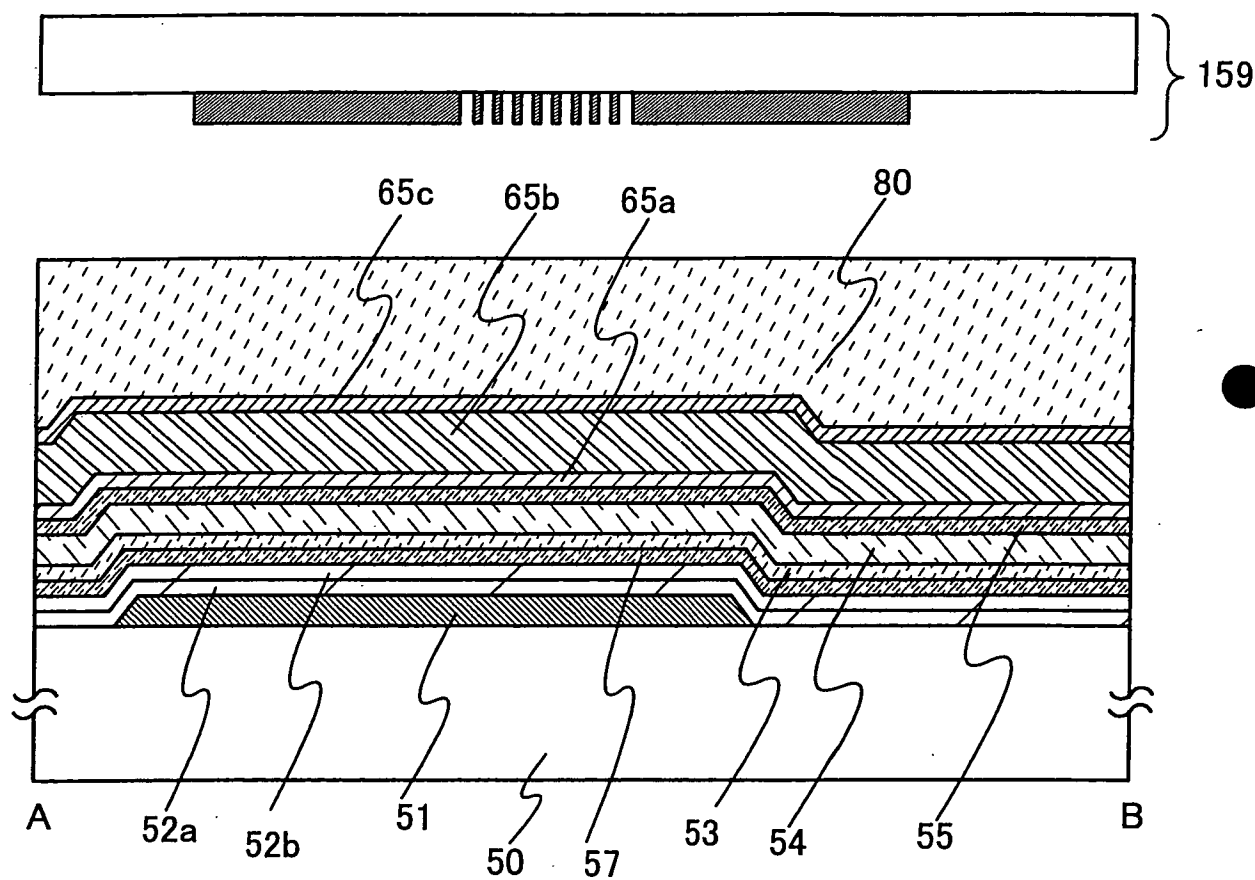


圖 22B

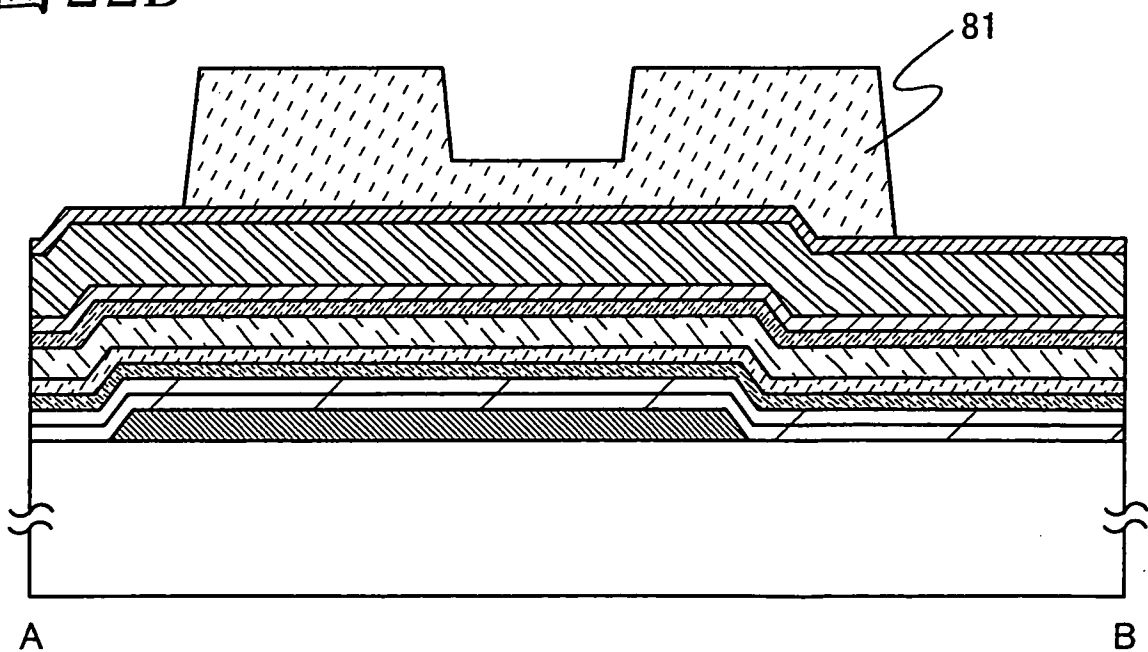


圖 23A

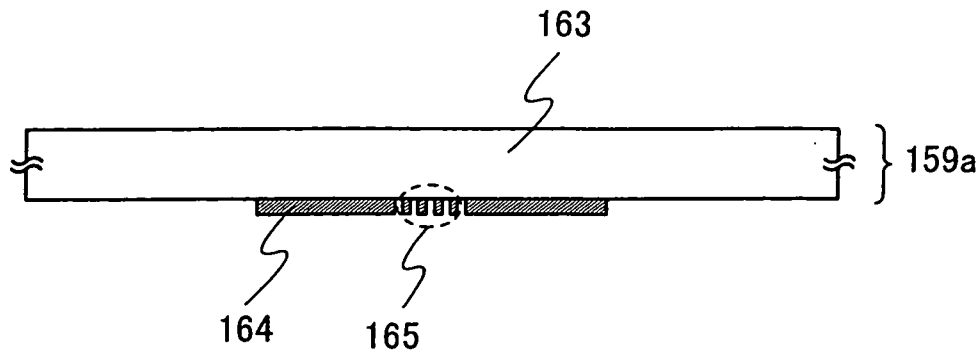


圖 23B

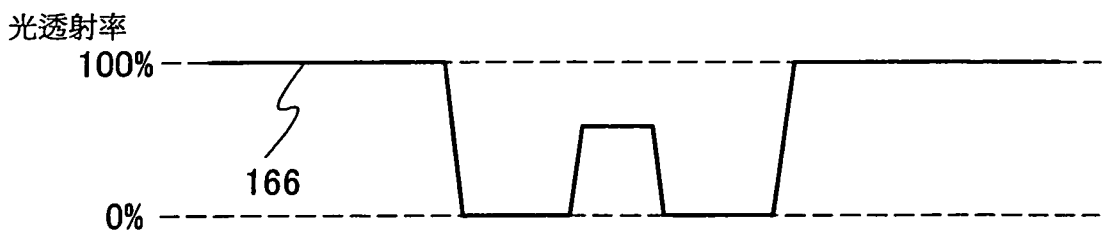


圖 23C

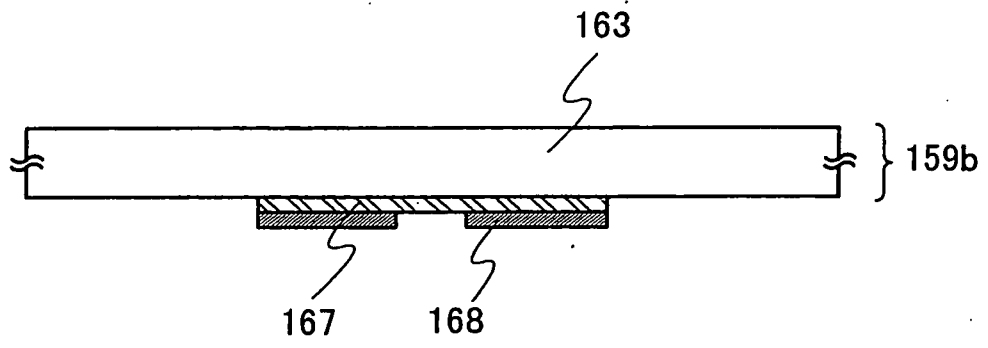


圖 23D

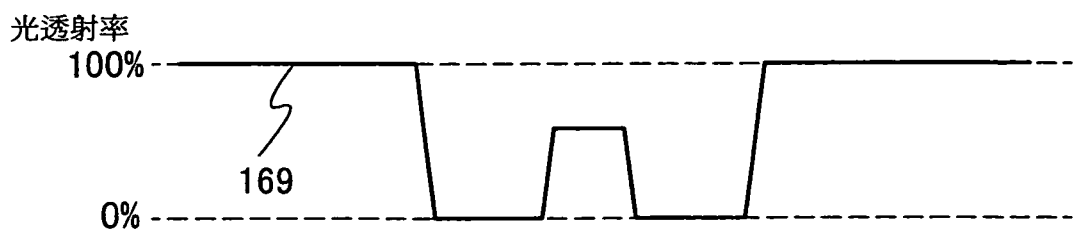


圖 24A

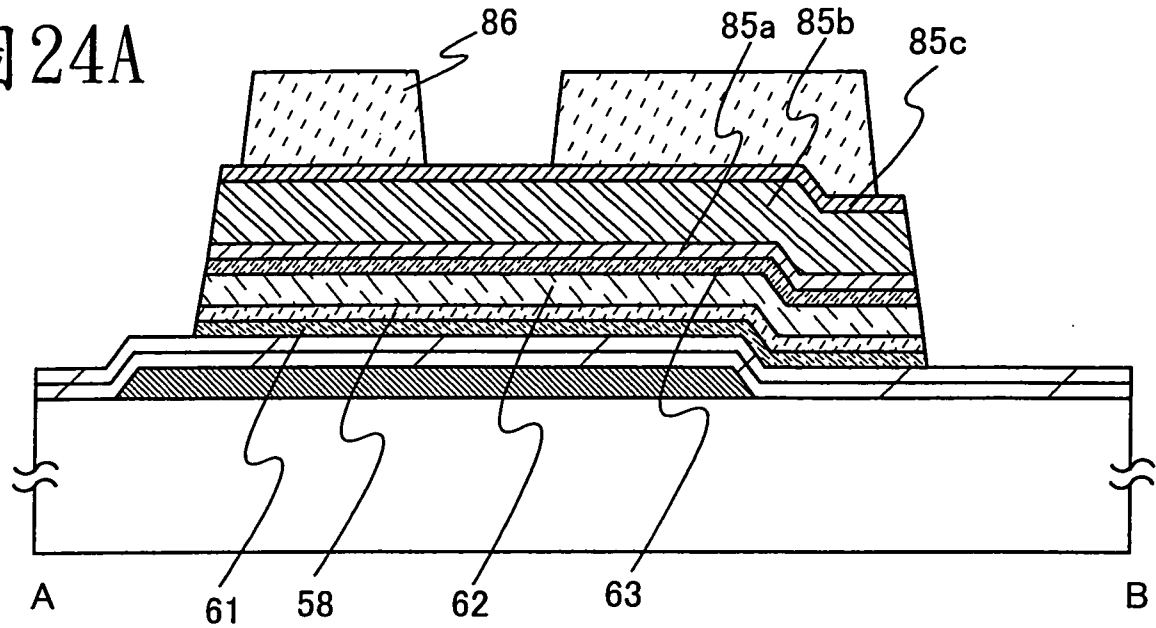


圖 24B

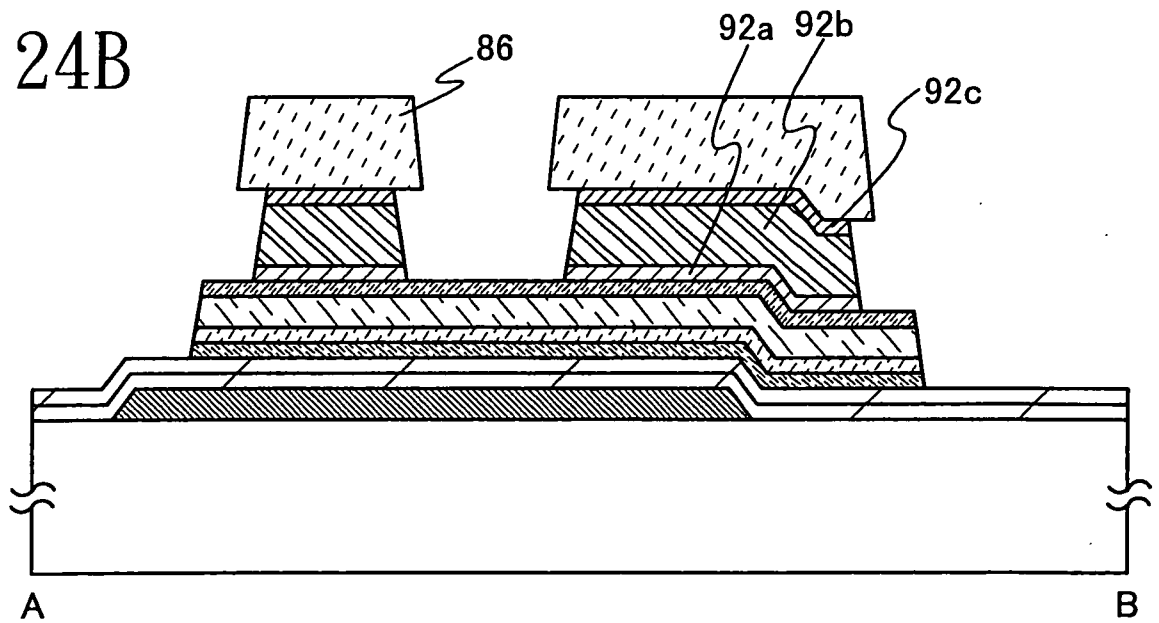


圖 24C

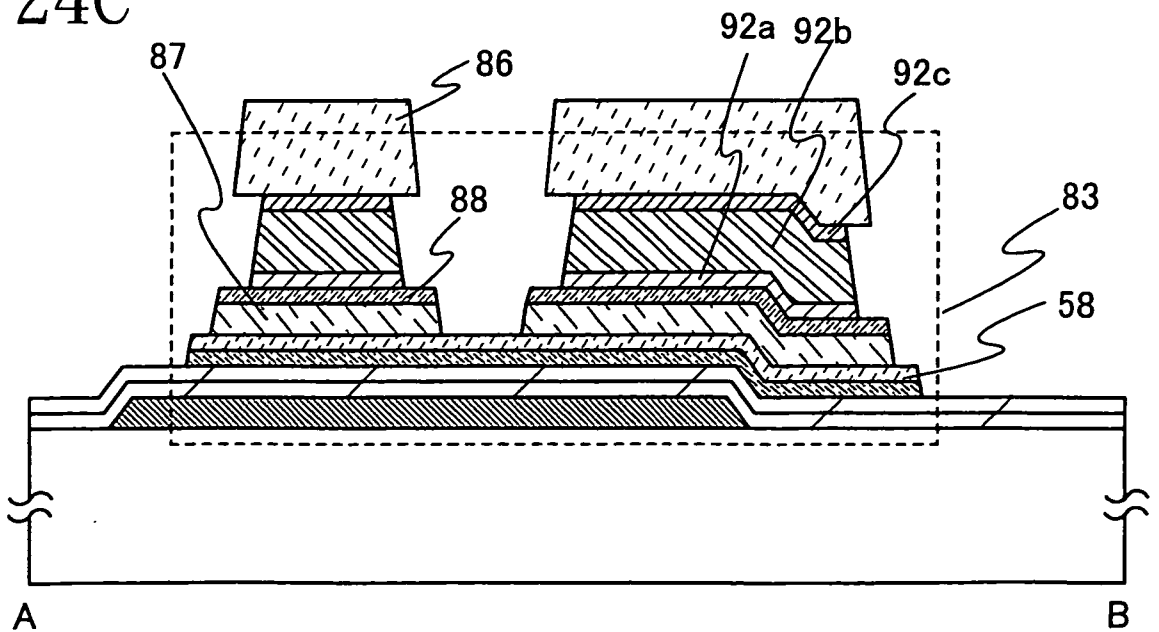


圖 25A

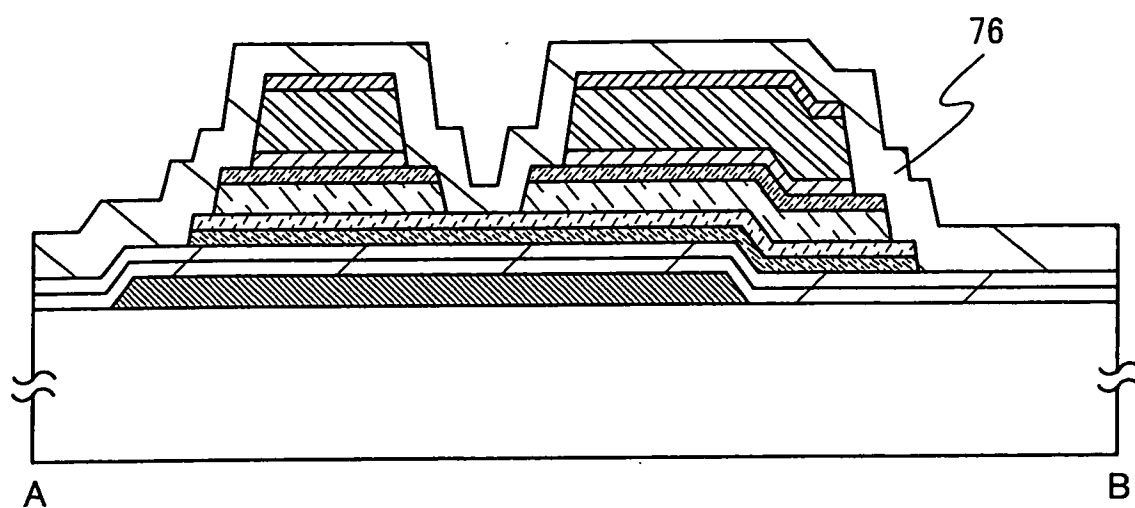


圖 25B

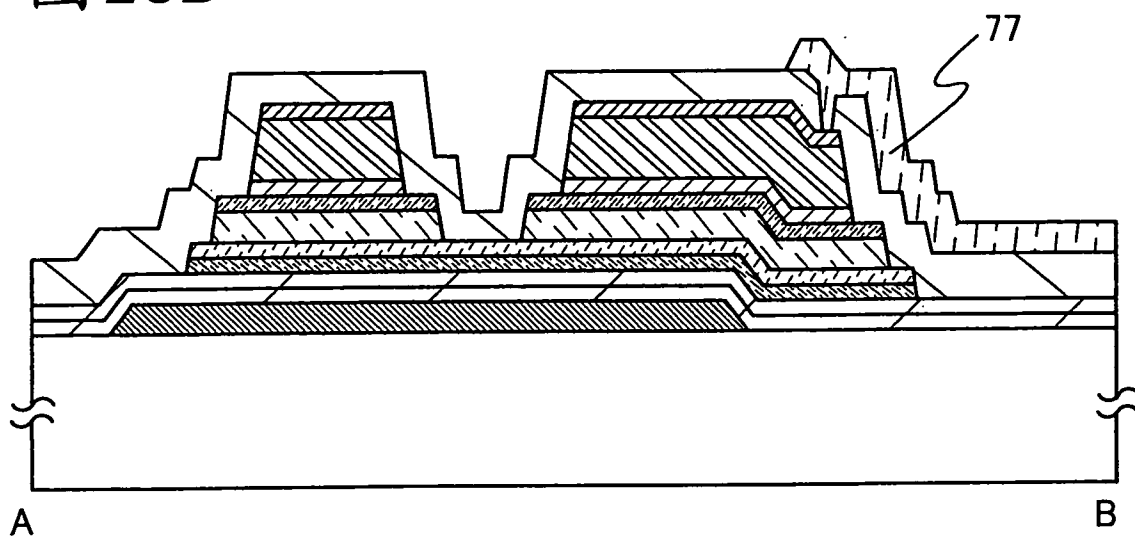


圖 26A

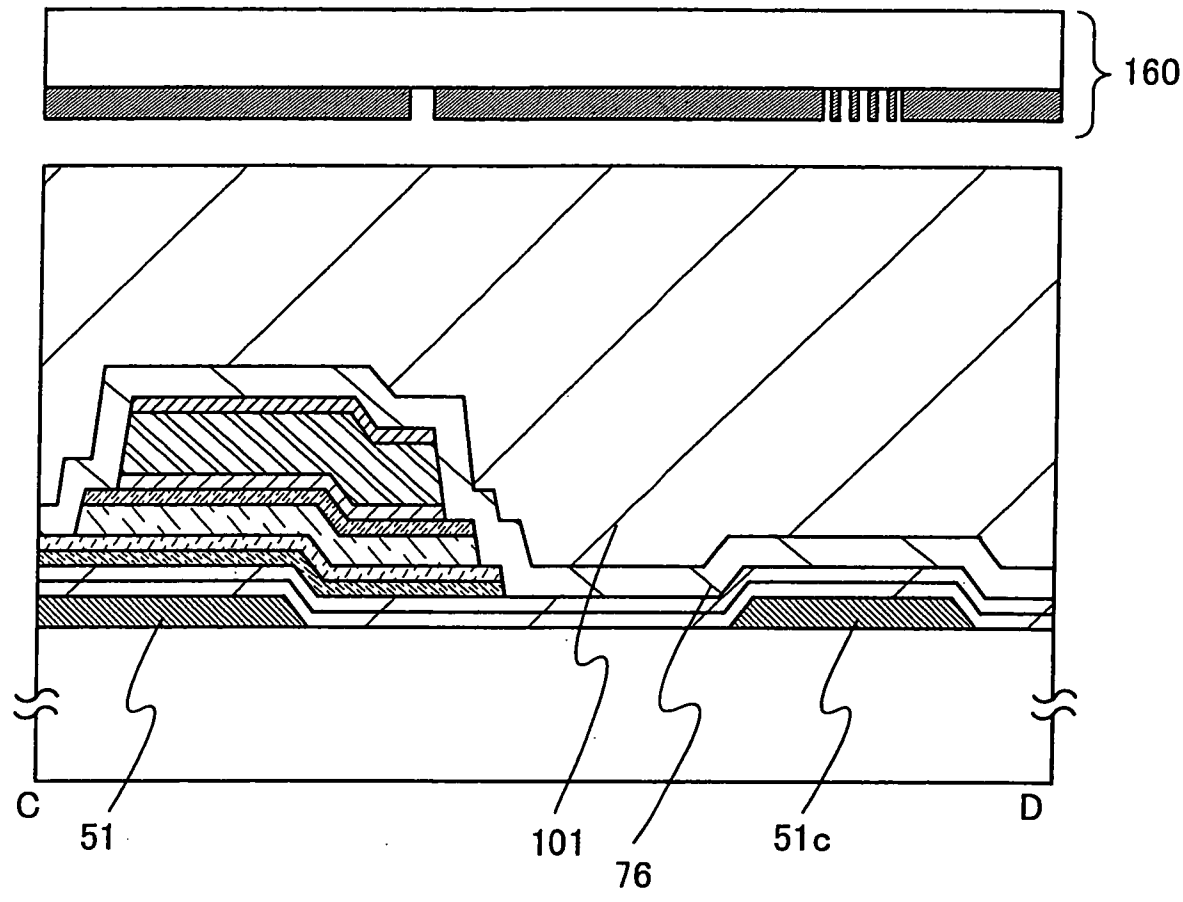


圖 26B

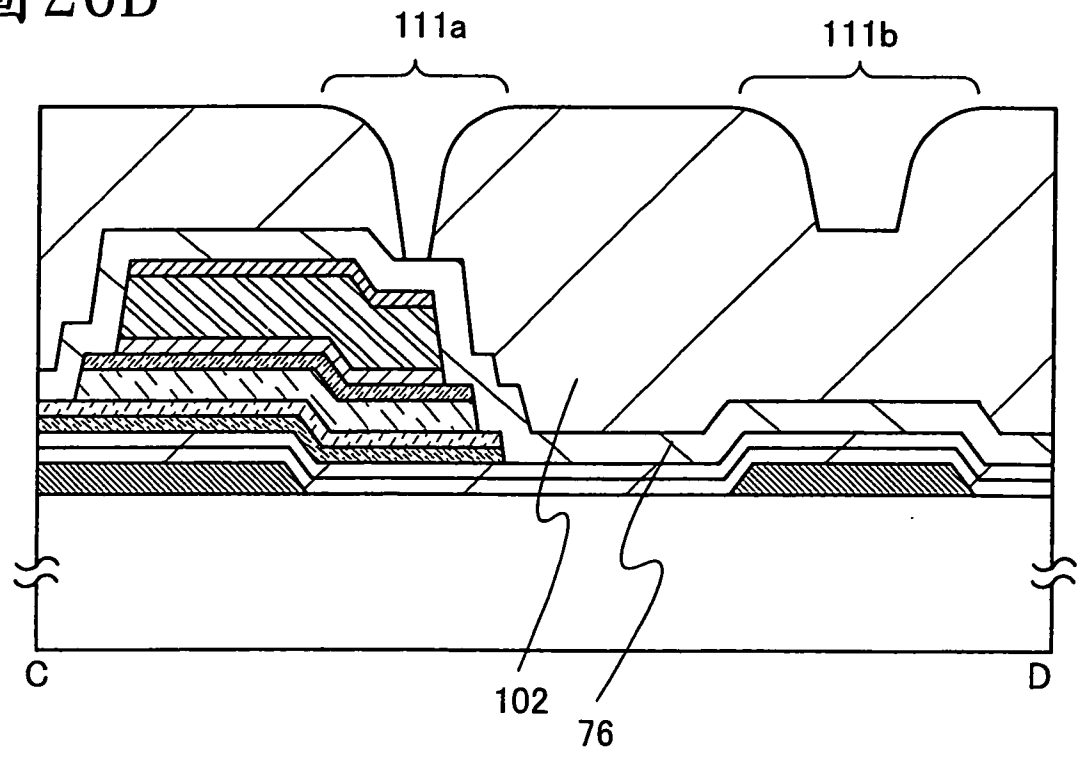


圖 27A

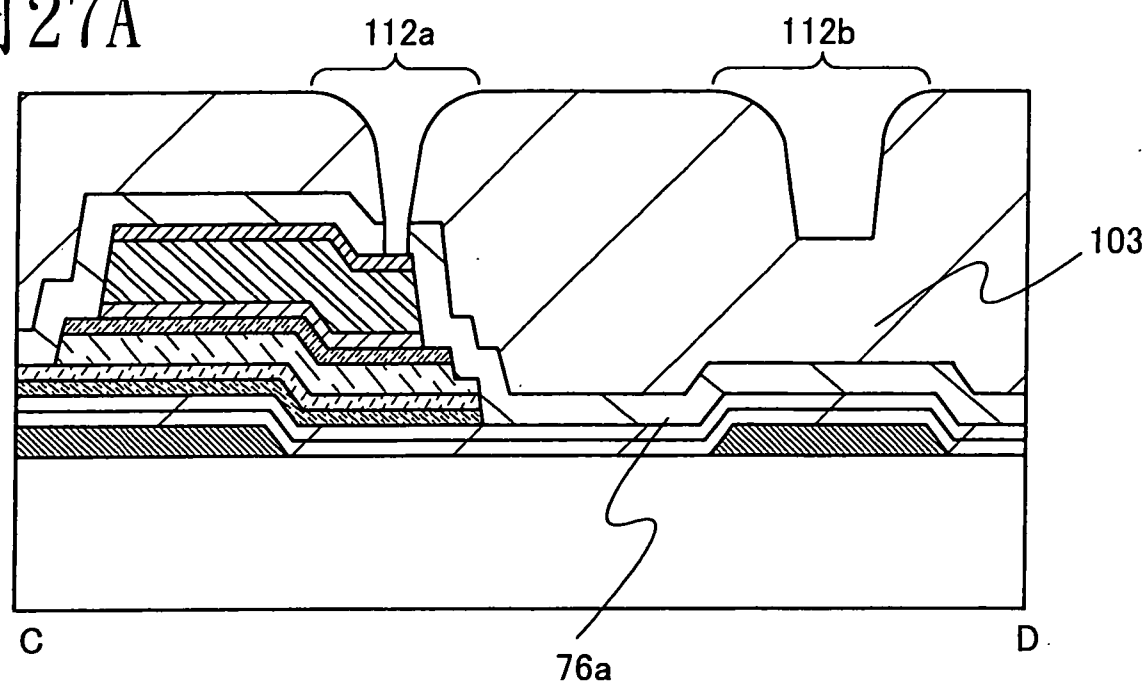


圖 27B

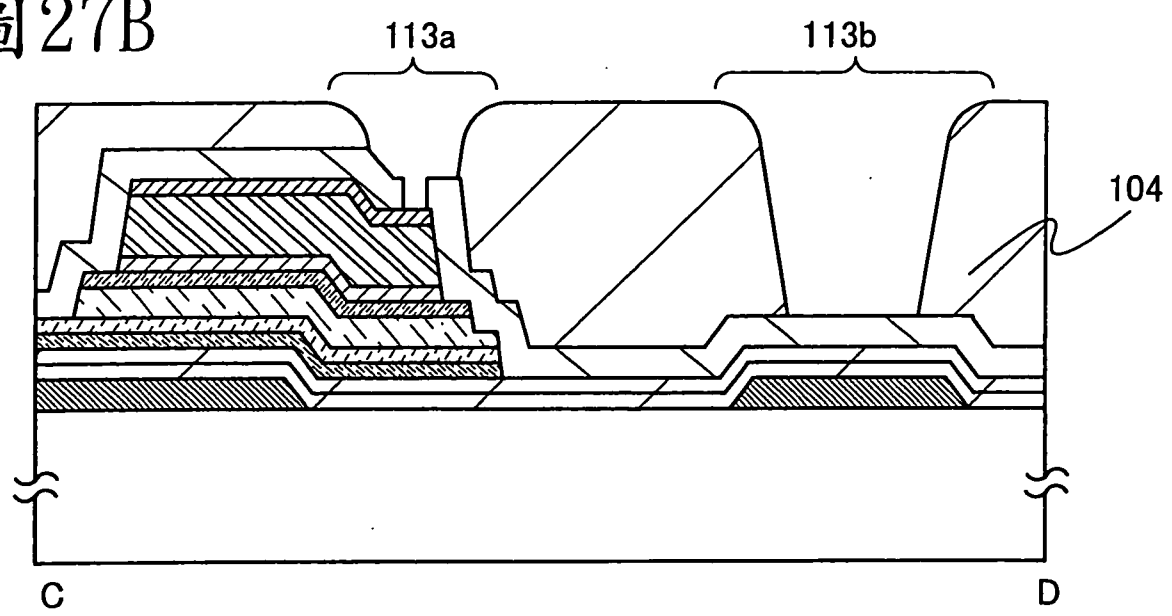


圖 27C

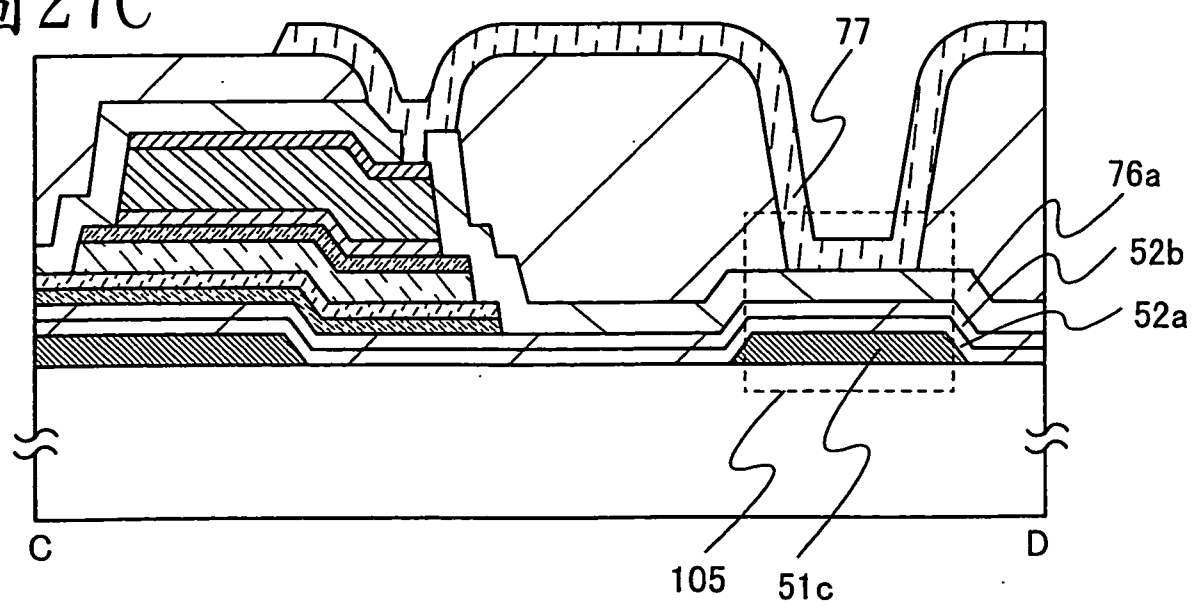


圖 28A

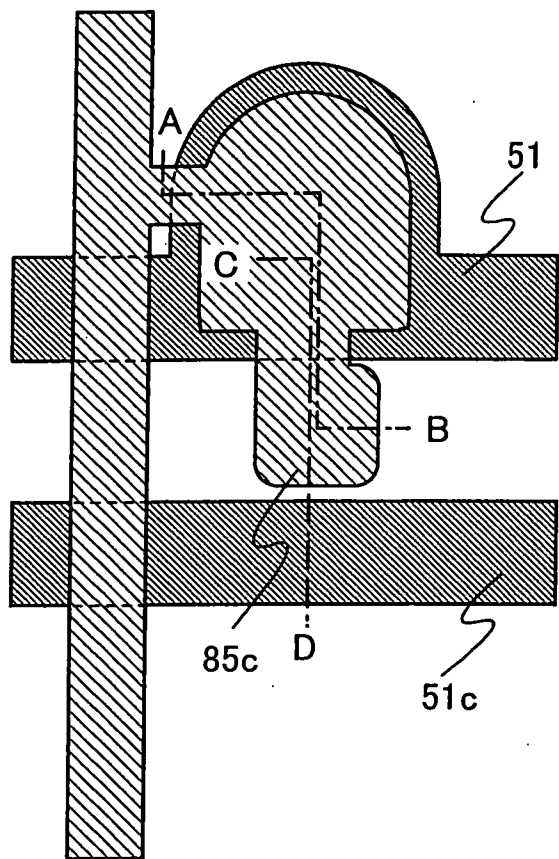


圖 28B

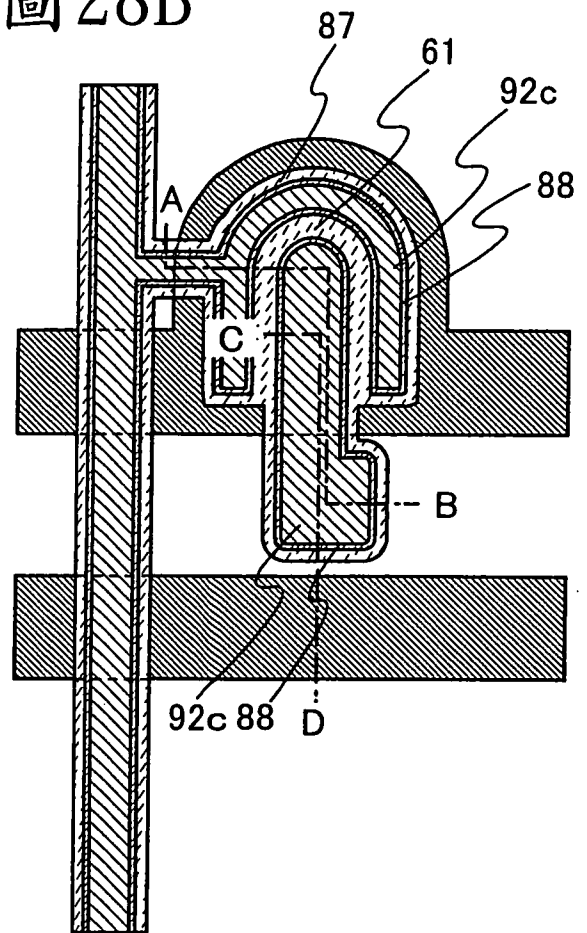


圖 28C

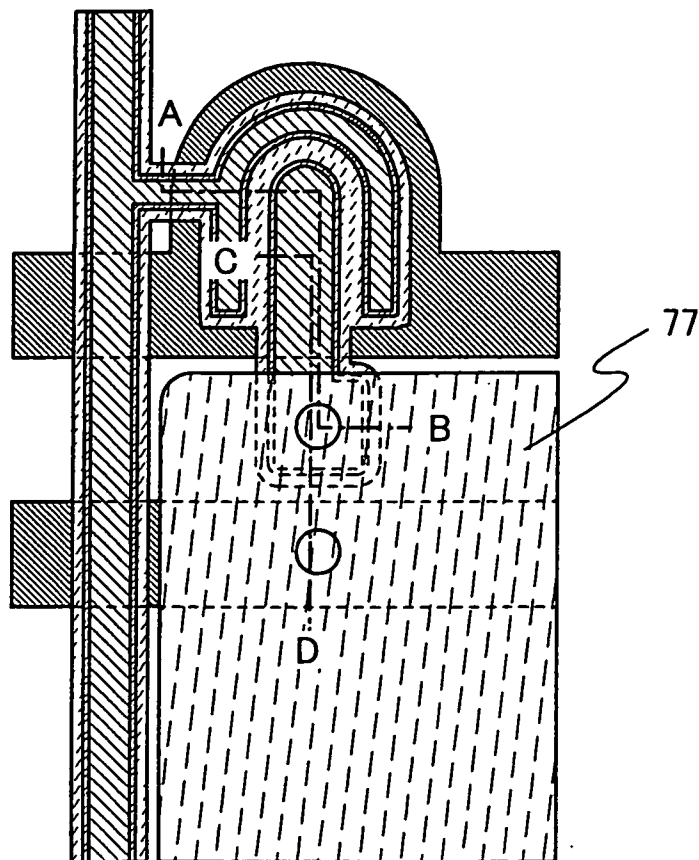


圖 29

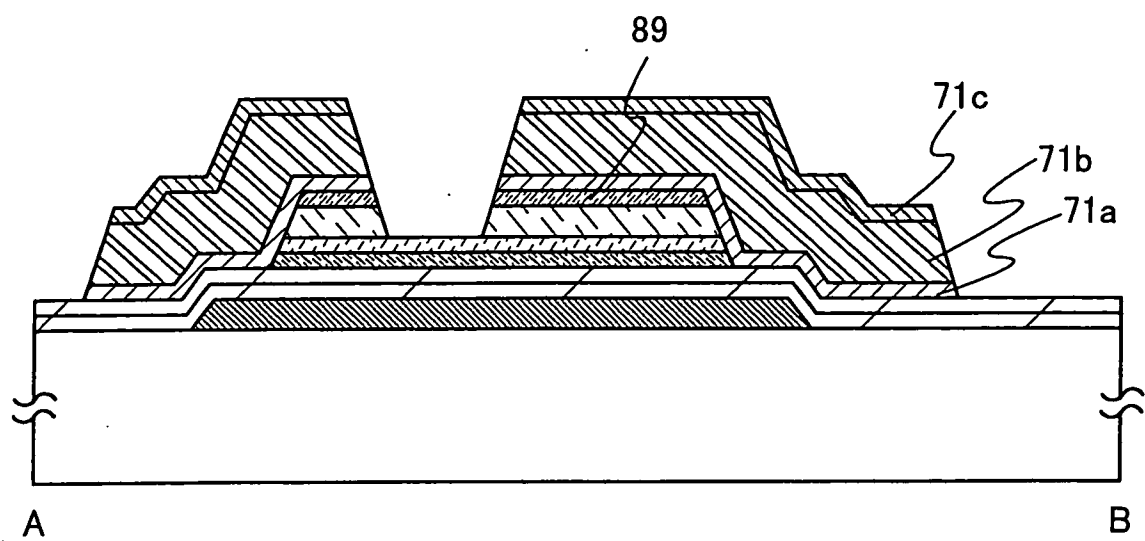
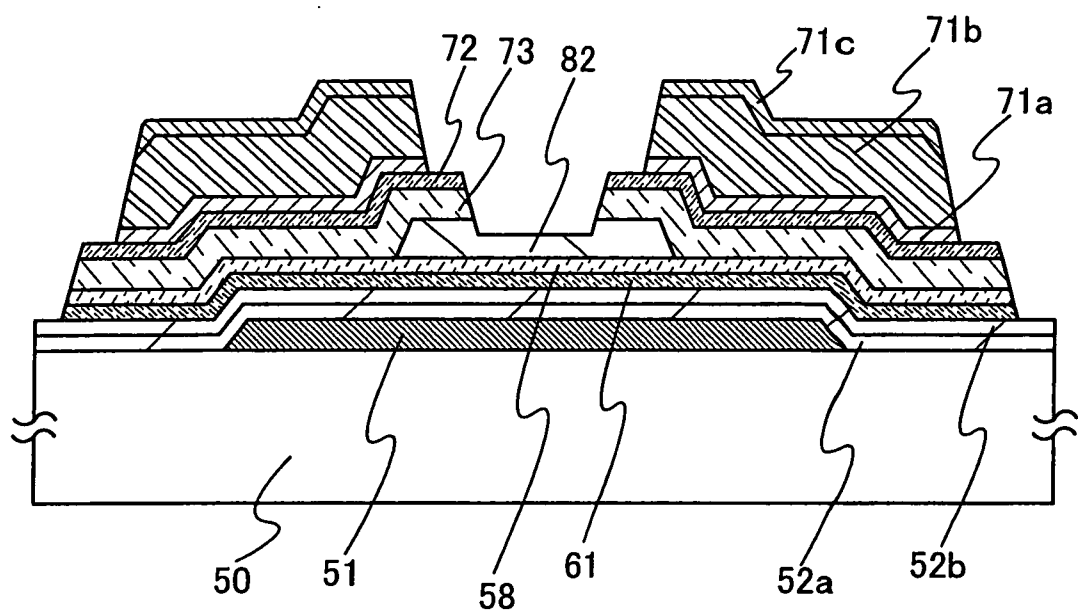


圖 30



31

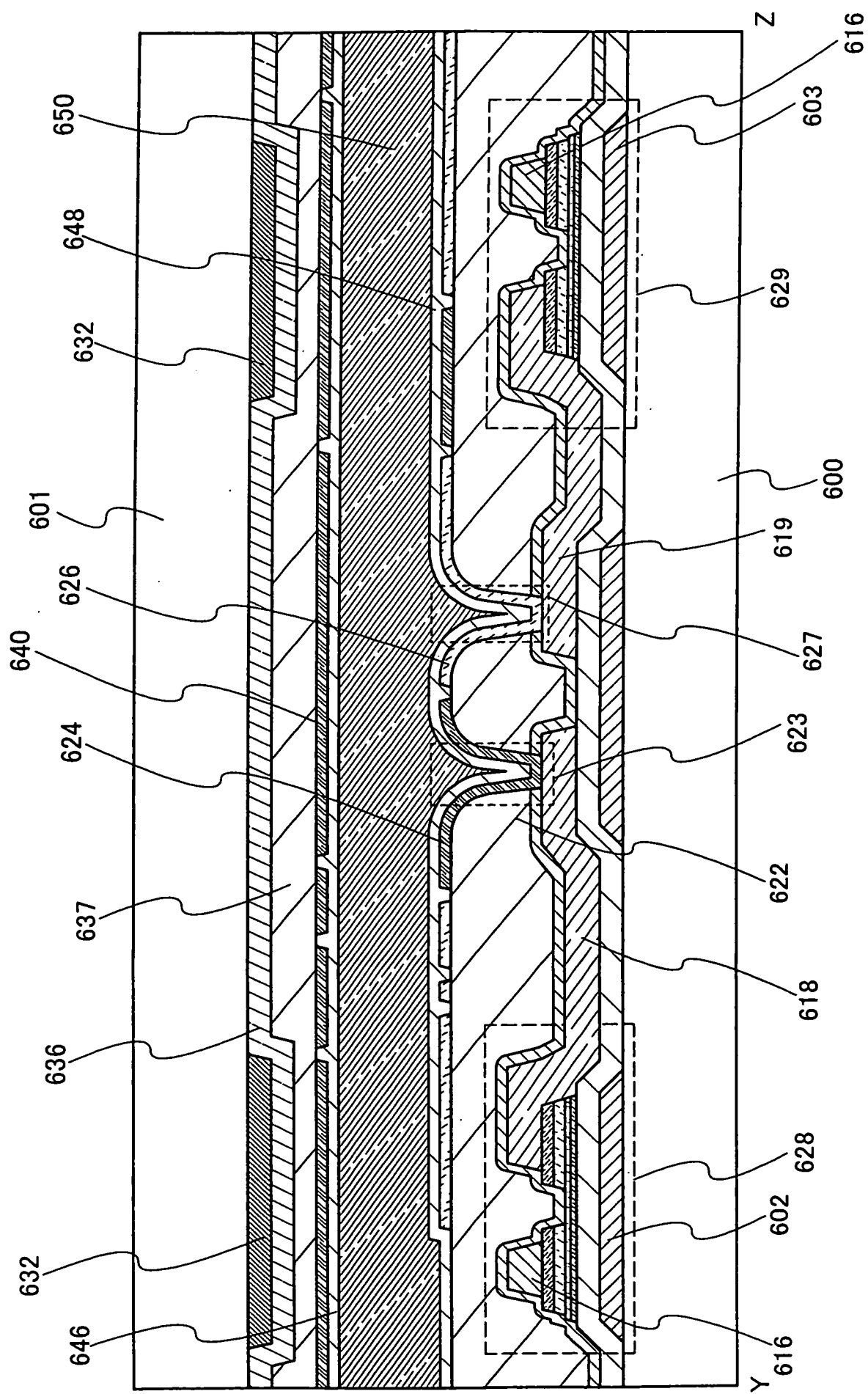


圖 32

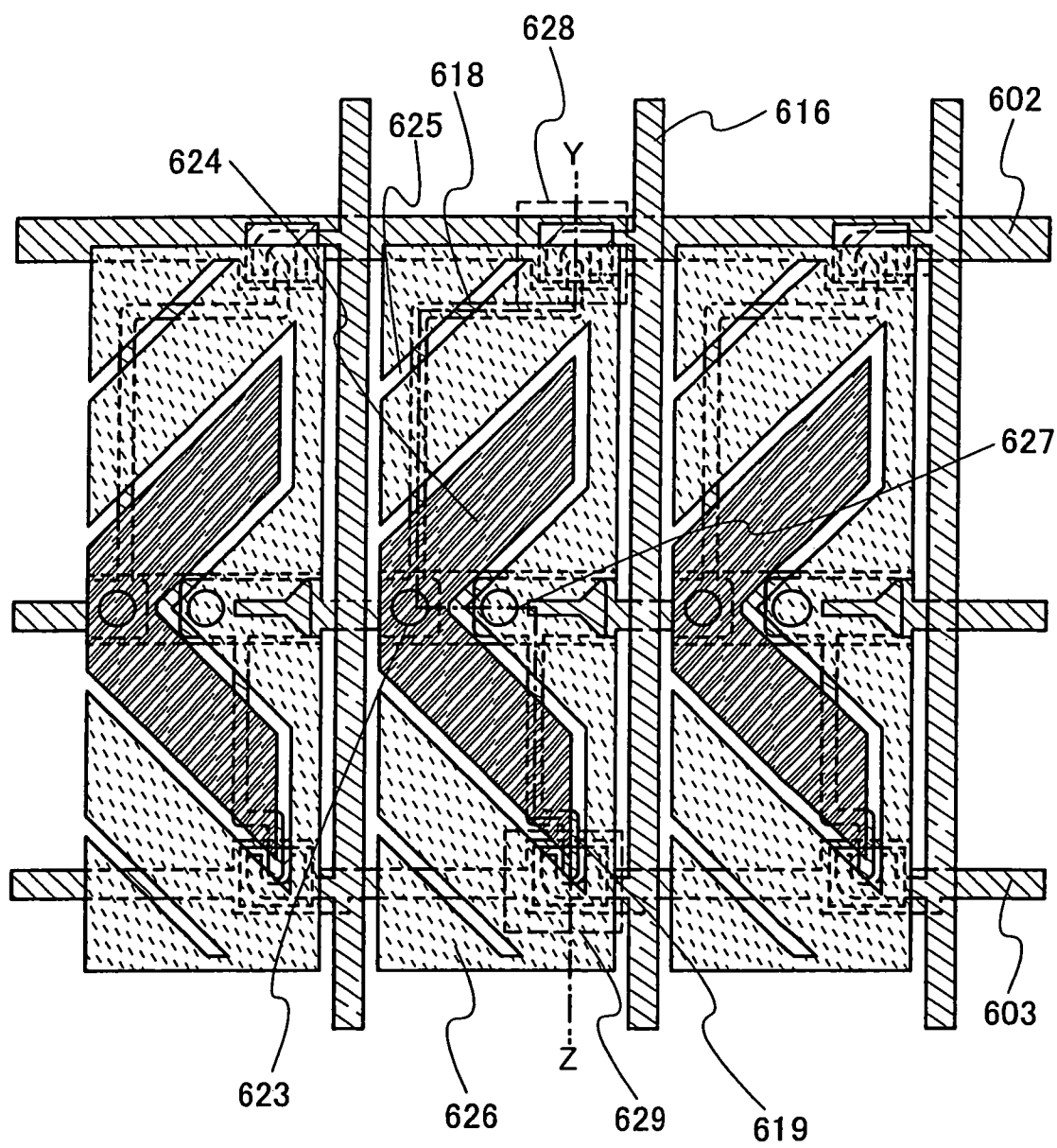


圖 33

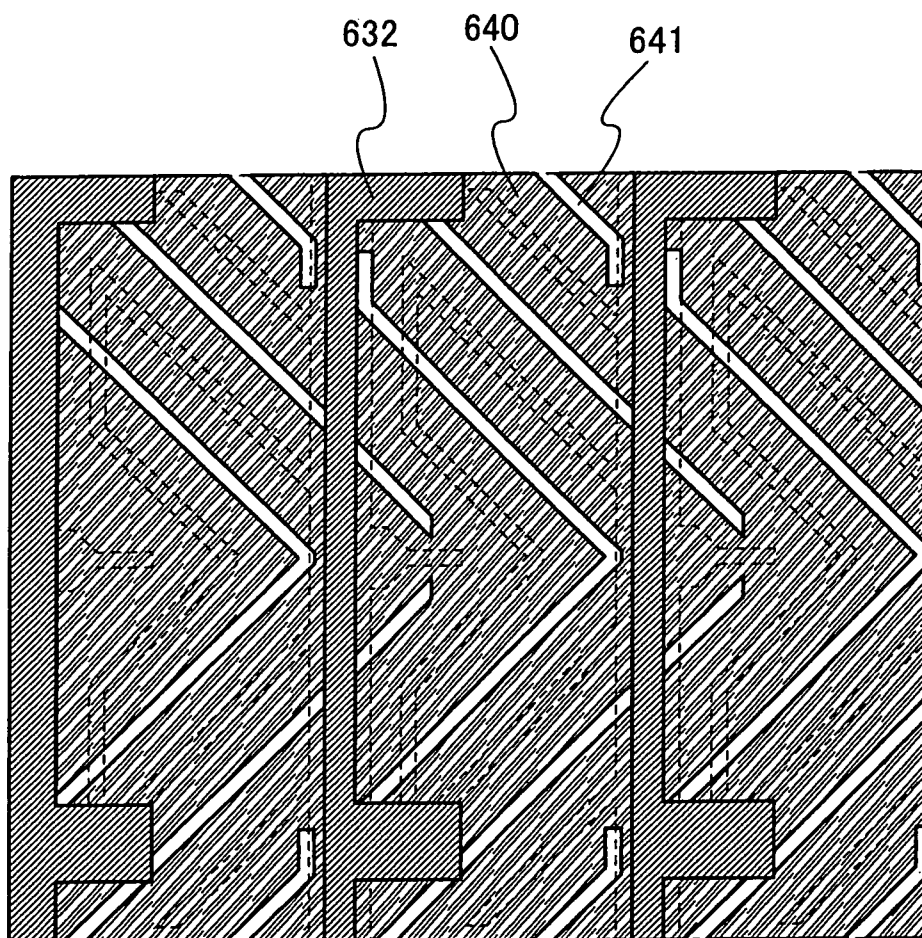


圖 34A

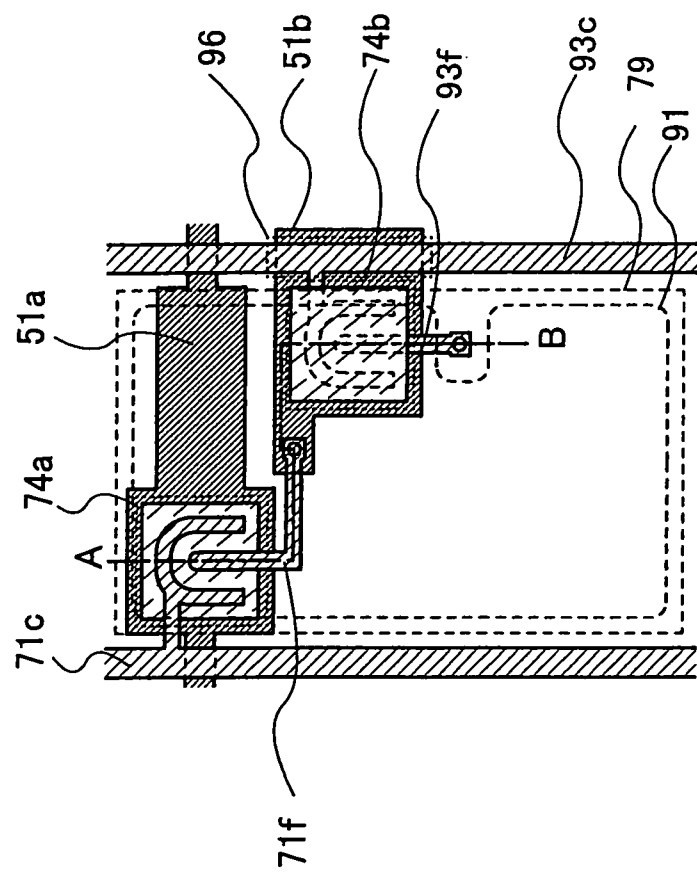


圖 34B

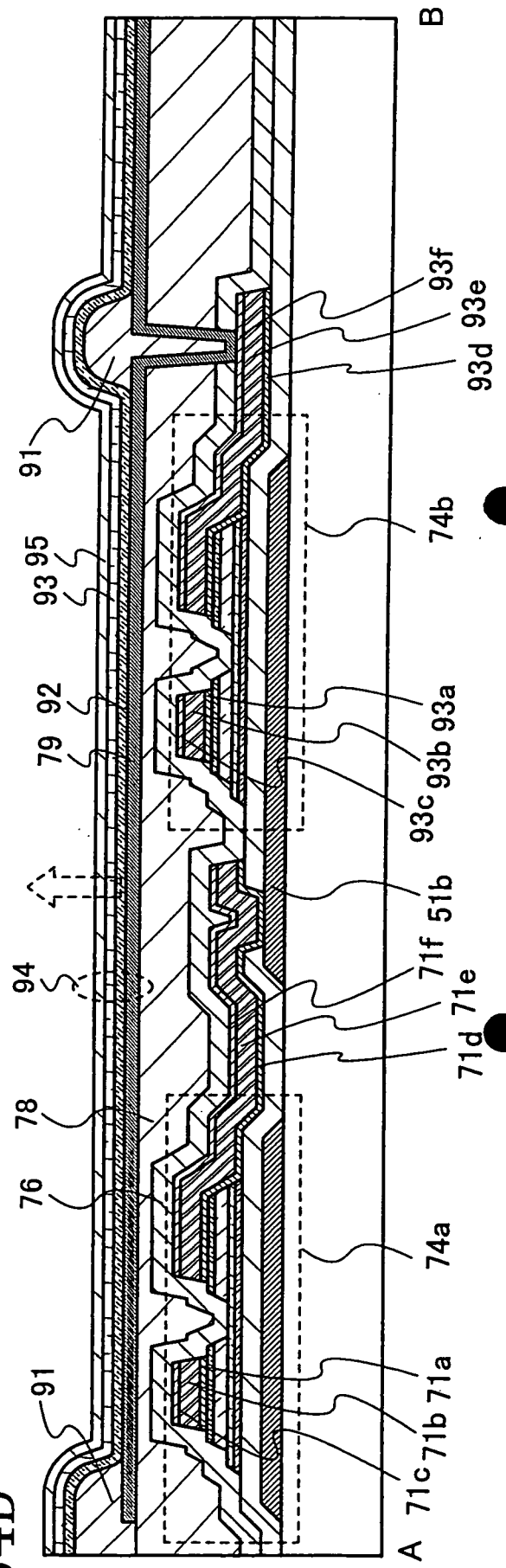


圖 35A

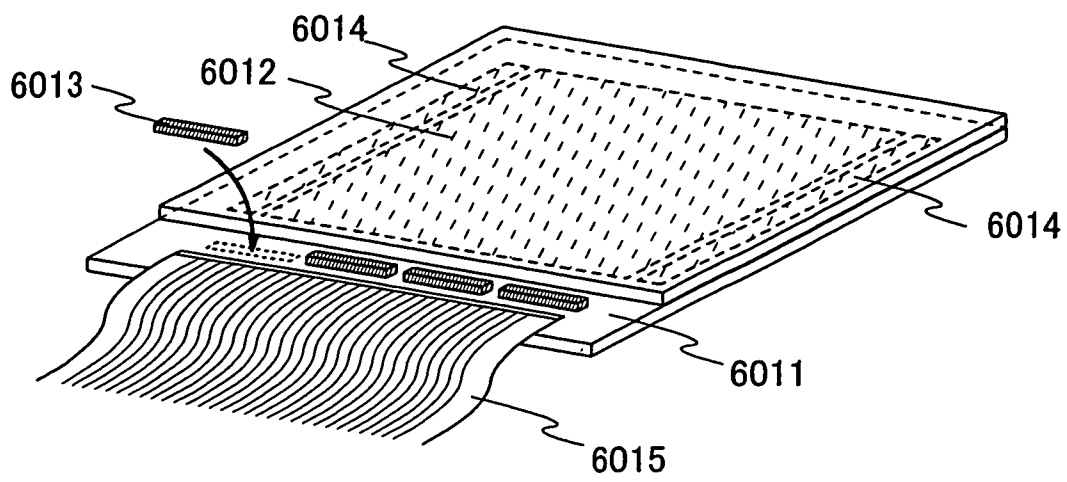


圖 35B

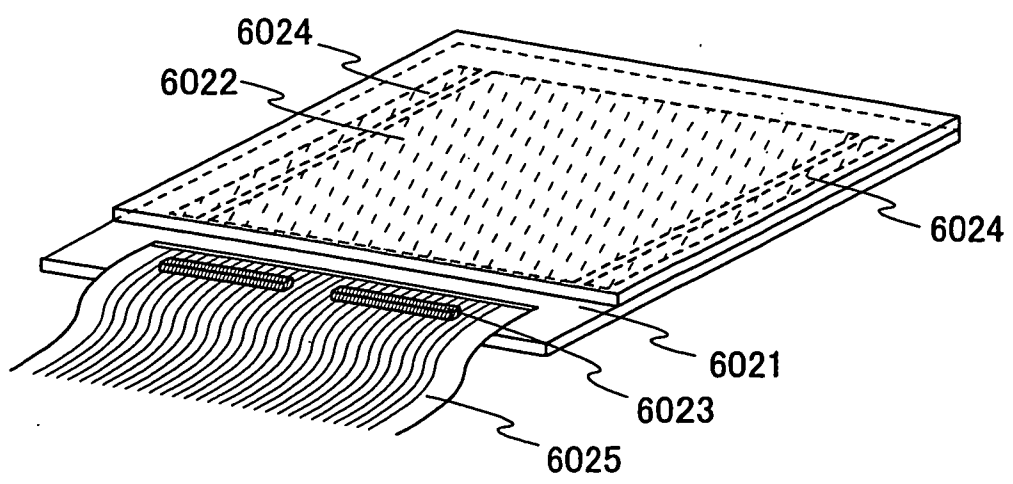


圖 35C

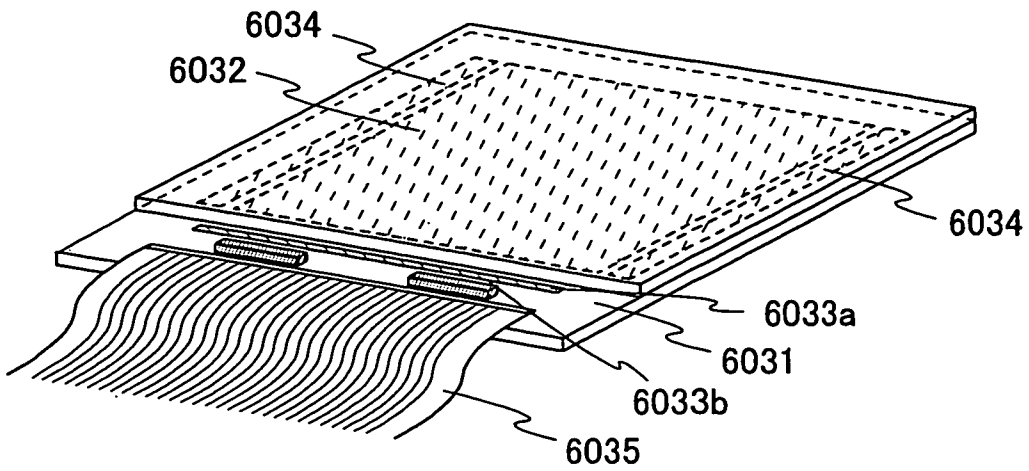


圖 36A

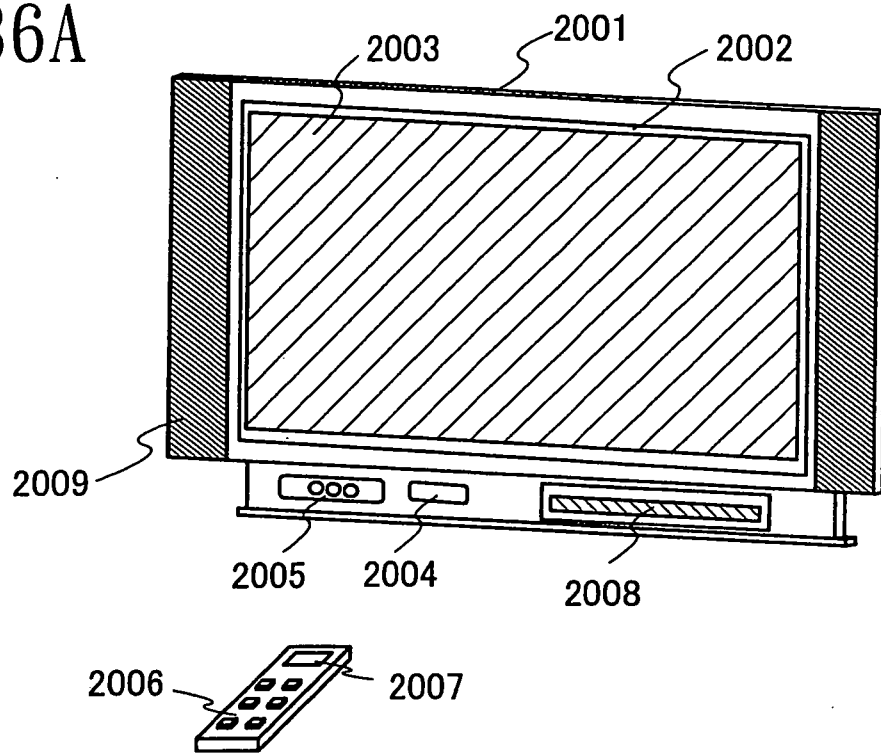


圖 36B

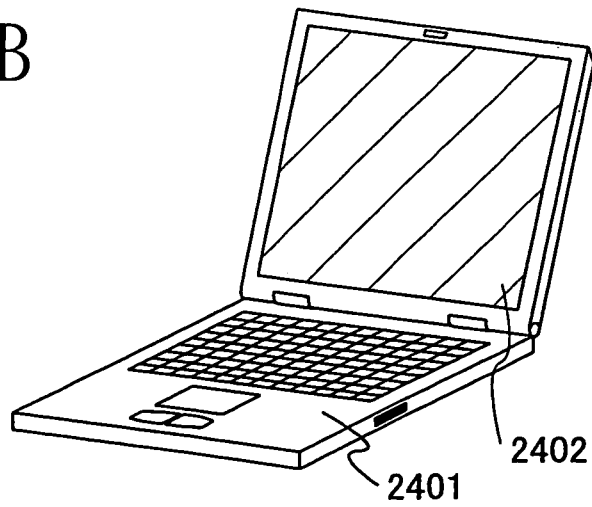


圖 36C

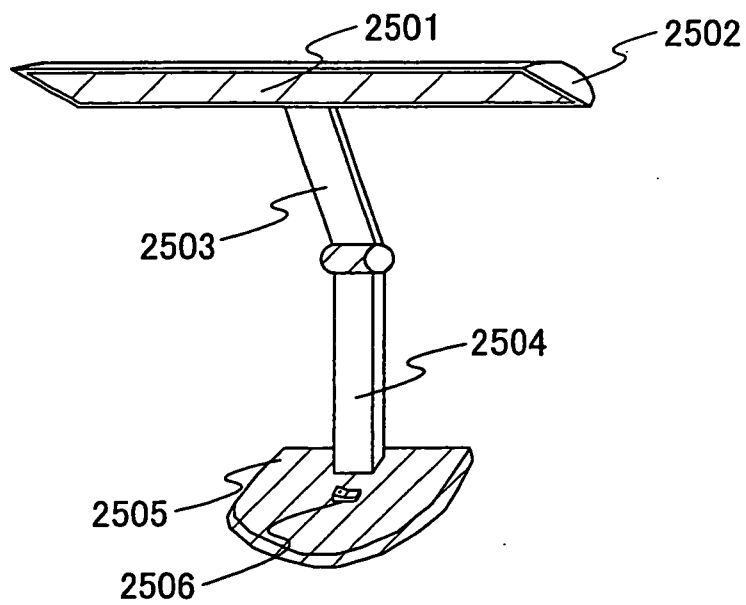


圖 37

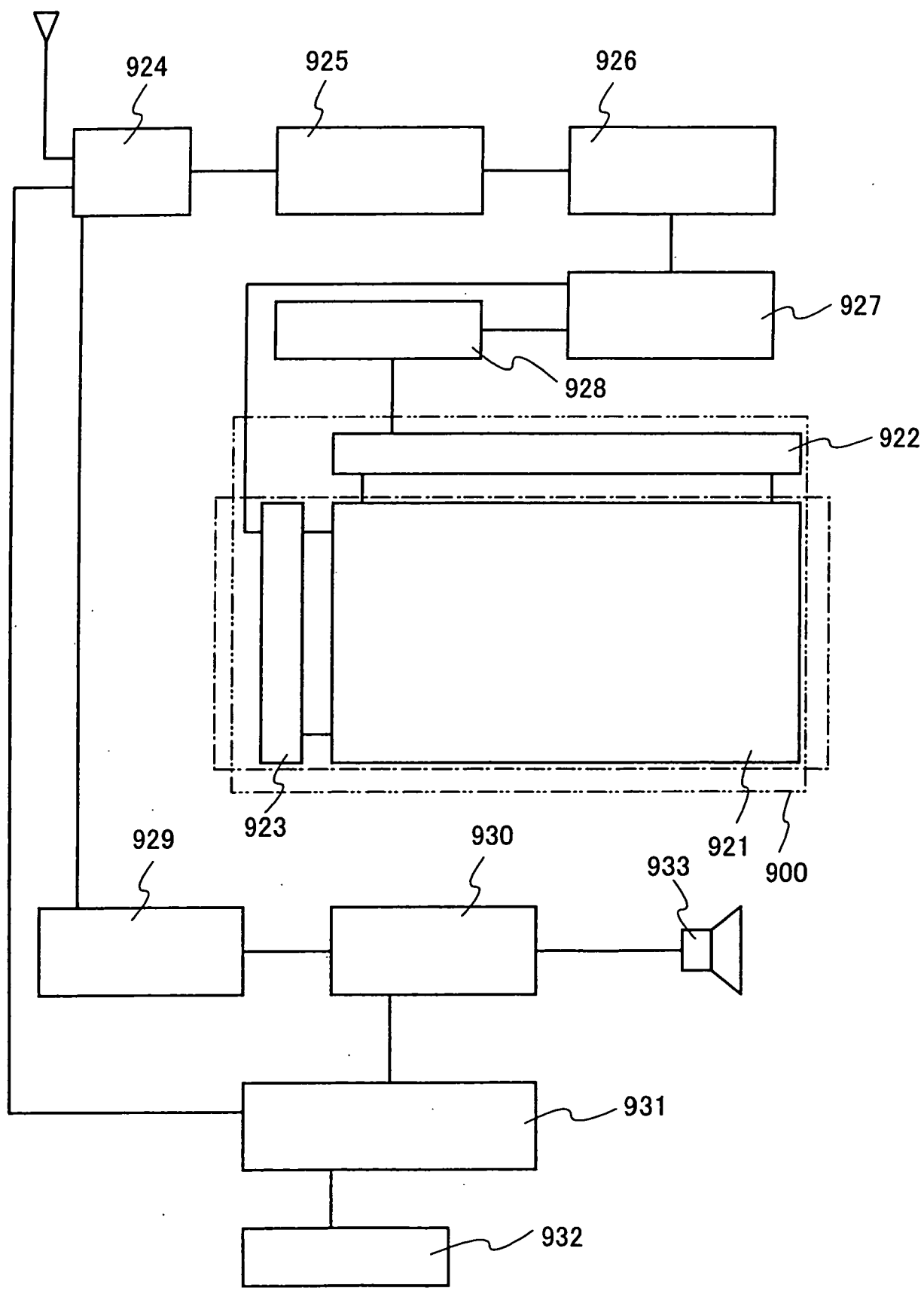


圖 38A

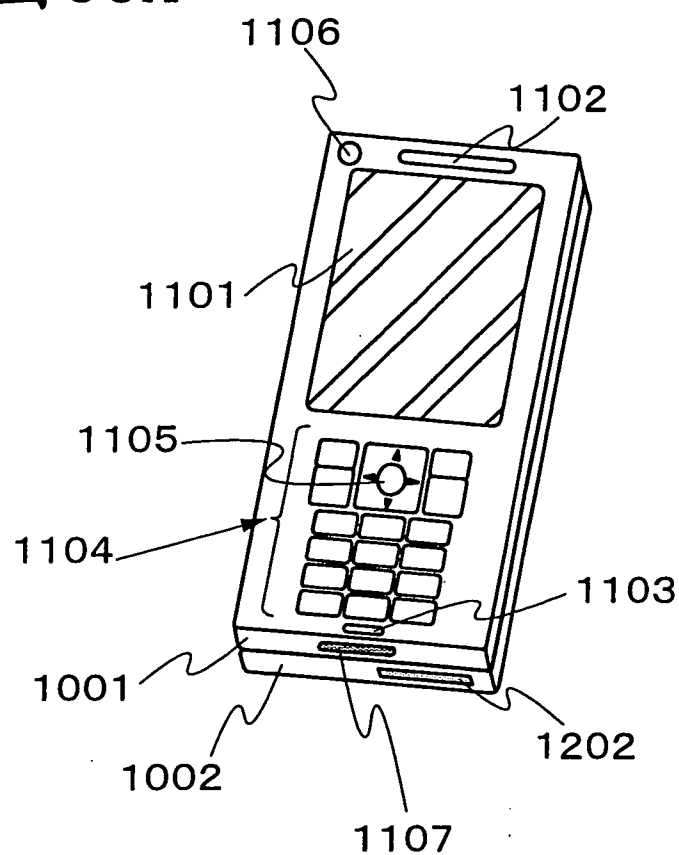


圖 38B

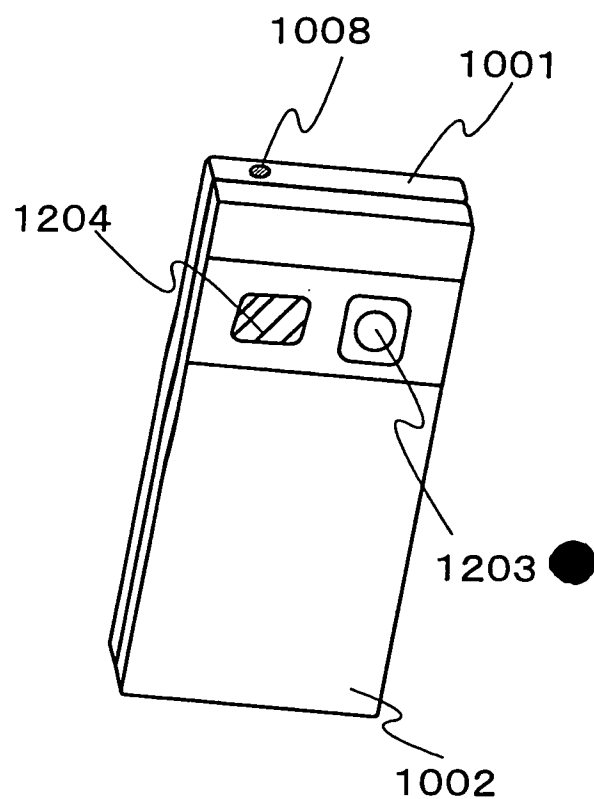
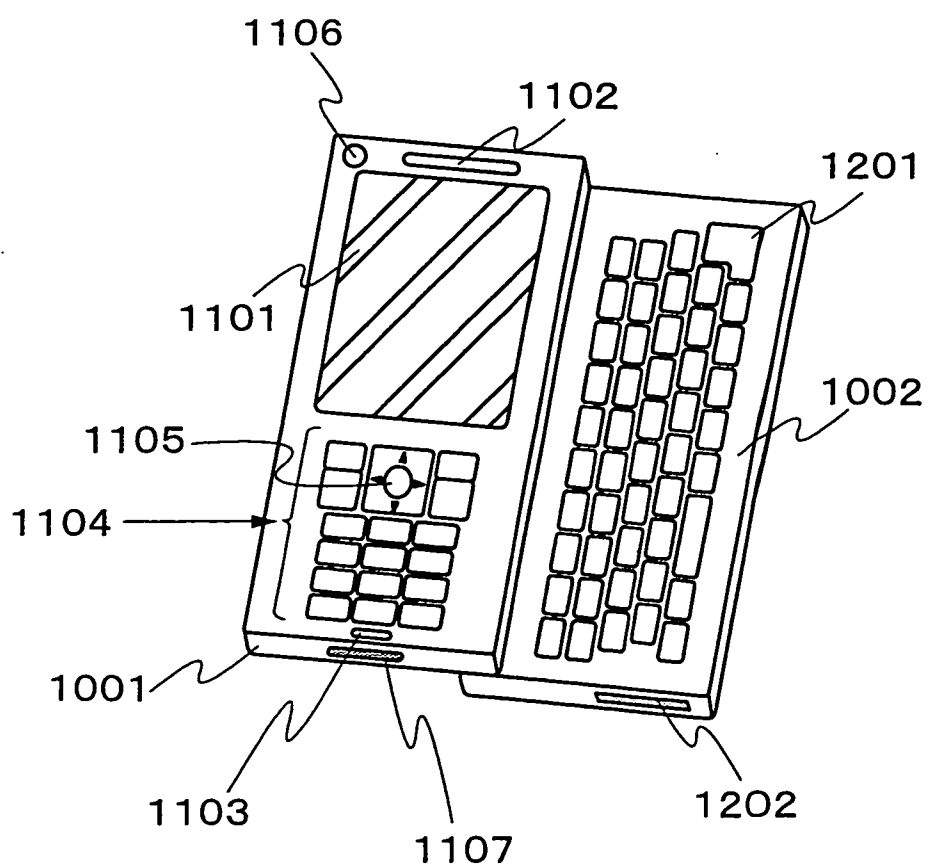


圖 38C



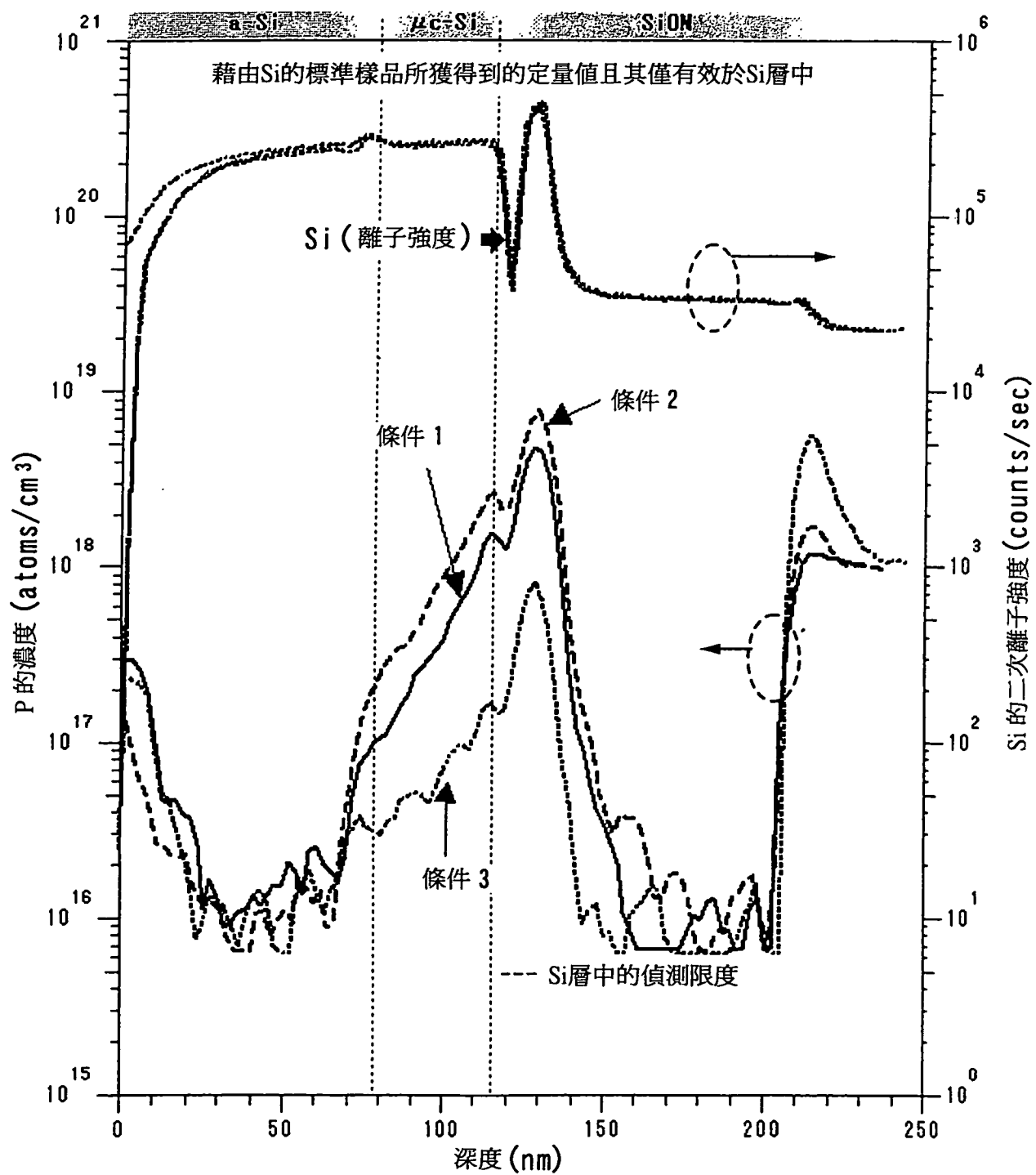


圖 40

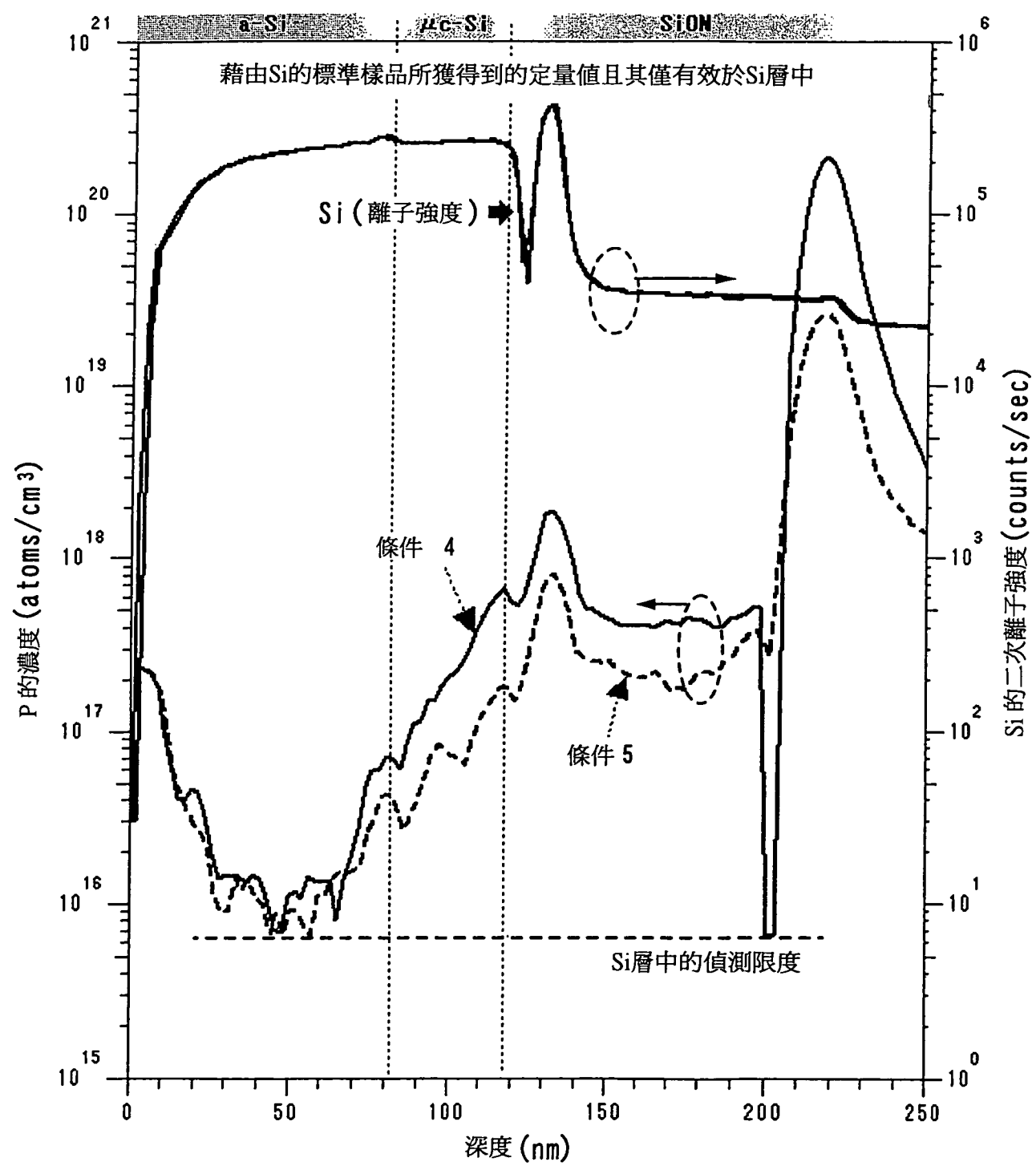


圖41

