



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I656799 B

(45)公告日：中華民國 108 (2019) 年 04 月 11 日

(21)申請案號：104132301

(22)申請日：中華民國 104 (2015) 年 09 月 30 日

(51)Int. Cl. : **H04N9/64 (2006.01)****G06K9/46 (2006.01)**

(30)優先權：2014/09/30 美國

62/058,009

2014/09/30 美國

62/058,010

2015/09/25 美國

14/866,739

(71)申請人：美商高通公司(美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：高維爾 艾洛克 GOVIL, ALOK (IN)；藍根 文卡特 RANGAN, VENKAT (US)；

雷斯昆哈 尼爾森 RASQUINHA, NELSON (IN)；徐海鍾 SEO, HAE-JONG (KR)

(74)代理人：陳長文

(56)參考文獻：

TW 200931964A

TW 201427419A

CN 101310387A

US 6459509B1

US 2002/0100862A1

審查人員：林建儒

申請專利範圍項數：39 項 圖式數：13 共 81 頁

(54)名稱

用於影像中低功率物件偵測之硬體內掃描窗口

SCANNING WINDOW IN HARDWARE FOR LOW-POWER OBJECT-DETECTION IN IMAGES

(57)摘要

本發明係關於一種裝置，該裝置包括一硬體感測器陣列，該硬體感測器陣列包括沿該陣列之至少一第一維度及一第二維度配置之複數個像素，該等像素中之每一者能夠產生一感測器讀數。一硬體掃描窗口陣列包括複數個沿該硬體掃描窗口陣列之至少一第一維度及一第二維度配置之儲存元件，該等儲存元件中之每一者能夠基於一或多個感測器讀數儲存一像素值。周邊電路將基於感測器讀數的像素值系統地傳送至該硬體掃描窗口陣列中，以使得不同窗口之像素值在不同時間被儲存於該硬體掃描窗口陣列中。耦接至該硬體感測器陣列、該硬體掃描窗口陣列以及該周邊電路之控制邏輯將控制信號提供至該周邊電路以控制像素值之該傳送。

An apparatus includes a hardware sensor array including a plurality of pixels arranged along at least a first dimension and a second dimension of the array, each of the pixels capable of generating a sensor reading. A hardware scanning window array includes a plurality of storage elements arranged along at least a first dimension and a second dimension of the hardware scanning window array, each of the storage elements capable of storing a pixel value based on one or more sensor readings. Peripheral circuitry for systematically transfers pixel values, based on sensor readings, into the hardware scanning window array, to cause different windows of pixel values to be stored in the hardware scanning window array at different times. Control logic coupled to the hardware sensor array, the hardware scanning window array, and the peripheral circuitry, provides control signals to the peripheral circuitry to control the transfer of pixel values.

指定代表圖：

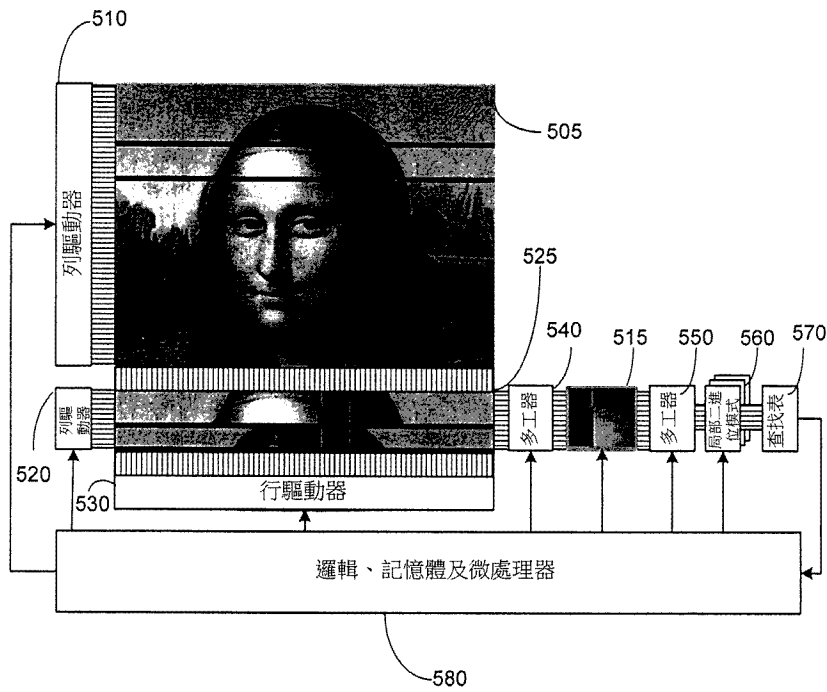


圖5A

符號簡單說明：

- 505 . . . 像素陣列
- 510 . . . 第二列驅動器
- 515 . . . 掃描窗口陣列
- 520 . . . 第一列驅動器
- 525 . . . 線緩衝器
- 530 . . . 行驅動器
- 540 . . . 第一多工器
- 550 . . . 第二多工器
- 560 . . . 電腦視覺特徵計算區塊
- 570 . . . 查找表
- 580 . . . 邏輯、記憶體及微處理器區塊

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】

用於影像中低功率物件偵測之硬體內掃描窗口

SCANNING WINDOW IN HARDWARE FOR LOW-POWER  
OBJECT-DETECTION IN IMAGES

## 【技術領域】

本發明之態樣係關於電腦視覺。

## 【先前技術】

用於在面部偵測及其他類型之基於影像之任務中採用許多現有電腦視覺演算法(例如，Viola-Jones演算法)。然而，藉由操縱大量影像資料以便根據處理器指令執行所需電腦視覺演算法，許多此等演算法就處理能力、記憶體使用情況以及資料傳送頻寬而言可為資源密集的。

另外，許多現有電腦視覺演算法利用用於分類影像內之物件的特徵。此等電腦視覺演算法可用於(例如)面部偵測及其他類型之基於影像之任務。此等基於特徵之演算法之實例包括局部二進位模式(local binary patterns; LBP)以及類哈爾(Haar)特徵。然而，常常需要使用與影像相關之不同位置、大小、比例、解析度、旋轉及/或其他資料參數多次(例如，成千上萬次)執行基於特徵之演算法。該處理程序可能花費長時間且就處理能力、記憶體需求、資料傳送頻寬等而言為相當資源密集的。

因此，存在對更具資源效率且允許高效存取影像資料之電腦視覺計算技術的需要。

## 【發明內容】

本發明大體上係關於實現電腦視覺，且更具體而言，改良使用電腦視覺偵測特徵之效率。

在一些實施中，用於隔離硬體中之像素值之裝置包括硬體感測器陣列，該硬體感測器陣列包含沿硬體感測器陣列之至少第一維度及第二維度配置之複數個像素，該等像素中之每一者能夠基於環境狀況產生感測器讀數。裝置亦包括硬體掃描窗口陣列，該硬體掃描窗口陣列包含沿硬體掃描窗口陣列之至少第一維度及第二維度配置之複數個儲存元件，該等儲存元件中之每一者能夠儲存基於來自硬體感測器陣列之一或多個感測器讀數的像素值。裝置進一步包括周邊電路，該周邊電路用於將基於來自硬體感測器陣列之感測器讀數的像素值系統地傳送至硬體掃描窗口陣列中，以使像素值之不同窗口在不同時間被儲存於硬體掃描窗口陣列中。裝置另外包括耦接至硬體感測器陣列、硬體掃描窗口陣列以及周邊電路之控制邏輯，控制邏輯可操作以將控制信號提供至周邊電路以控制像素值至硬體掃描窗口陣列中之傳送。

在一些實施中，硬體感測器陣列包括耦接至複數個像素之可組態組合電路，可組態組合電路可操作以根據至少一個組合模式在硬體中組合來自複數個像素之多個感測器讀數以產生像素值。可組態組合電路包括：可操作以沿硬體感測器陣列之第一維度連接相鄰像素之第一複數個可控制連接件，可操作以沿硬體感測器陣列之第二維度連接相鄰像素之第二複數個可控制連接件，其中連接相鄰像素在正連接之鄰接像素中之每一者處產生平均像素值。

在一些實施中，感測器讀數為感測器讀數，其中感測器讀數為類比感測器讀數，其中像素值為類比像素值，且其中可組態組合電路為可組態類比組合電路。

在一些實施中，周邊電路包括線緩衝器，該線緩衝器包含沿該緩衝器之至少第一維度及第二維度配置之複數個儲存元件，線緩衝器

之第一維度小於硬體感測器陣列之第一維度，線緩衝器之第二維度等於硬體感測器陣列之第二維度。線緩衝器能夠儲存來自硬體感測器陣列之選定列之像素值。

在一些實施中，控制邏輯能夠藉由替換線緩衝器中之最舊列之像素值來將來自硬體感測器陣列之下一列之像素值儲存至線緩衝器中，藉此在由儲存於線緩衝器中之像素值表示之影像中沿列方向引入不連續性。

在一些實施中，周邊電路進一步包含定位於線緩衝器與硬體掃描窗口陣列之間的多工器電路，多工器電路能夠交換列排序同時自線緩衝器傳送像素值至硬體掃描窗口陣列，藉此在由儲存於線緩衝器中之像素值表示之影像中沿列方向移除不連續性。

在一些實施中，周邊電路進一步包含定位於硬體掃描窗口陣列與硬體電腦視覺特徵計算區塊之間的多工器電路，多工器電路能夠交換行排序同時將像素值自硬體掃描窗口陣列傳送至硬體電腦視覺特徵計算區塊，藉此在由儲存於硬體掃描窗口陣列中之像素值表示之影像中沿行方向移除不連續性。

在一些實施中，控制邏輯能夠藉由替換硬體掃描窗口陣列中之最舊行之像素值來將來自線緩衝器之下一行之像素值儲存至硬體掃描窗口陣列中，藉此在由儲存於硬體掃描窗口陣列中之像素值表示之影像中沿行方向引入不連續性。

在一些實施中，周邊電路進一步包含硬體電腦視覺特徵計算區塊，該硬體電腦視覺特徵計算區塊可操作以在硬體中基於儲存於硬體掃描窗口陣列中之值執行電腦視覺計算。

在一些實施中，裝置進一步包括耦接至硬體掃描窗口之複數個儲存元件之可組態組合電路，其中可組態組合電路能夠執行根據第一組合模式在硬體中組合某一多重像素值以產生組合像素值之第一集

合，同時維持多重像素值以用於根據第二組合模式後續組合另一多重像素值以產生組合像素值之第二集合，且其中組合像素值之第一集合及組合像素值之第二集合由硬體電腦視覺特徵計算區塊使用以計算多區塊局部二進位模式電腦視覺特徵。

在一些實施中，周邊電路進一步包含整合區塊，該整合區塊能夠基於來自硬體感測器陣列之感測器讀數計算積分影像且將經計算積分影像儲存於掃描窗口陣列中，且其中自儲存於掃描窗口陣列中之積分影像產生之組合像素值由硬體電腦視覺特徵計算區塊使用以計算多區塊局部二進位模式電腦視覺特徵。

在一些實施中，可組態組合電路包含可操作以沿硬體掃描窗口陣列之第一維度連接相鄰電路元件之第一複數個可控制連接件，以及可操作以沿硬體掃描窗口陣列之第二維度連接相鄰像素之第二複數個可控制連接件，其中連接相鄰像素在正連接之相鄰像素中之每一者處產生平均像素值。

在一些實施中，第一組合模式及第二組合模式中之不同者允許選擇在硬體掃描窗口陣列內之不同位置及維度處的複數個儲存元件。

在一些實施中，硬體電腦視覺特徵計算區塊包含可操作以執行角隅偵測之電路。

在一些實施中，第二硬體掃描窗口陣列耦接至控制邏輯，控制邏輯可操作以提供控制信號以基於在由儲存於硬體掃描窗口陣列中之像素值表示之影像中之由該硬體電腦視覺特徵計算區塊進行之角隅偵測控制像素值自硬體掃描窗口陣列至第二硬體掃描窗口陣列之傳送，周邊電路進一步包含定位於硬體掃描窗口陣列與第二硬體掃描窗口陣列之間的多工器電路，多工器電路能夠交換行排序同時將像素值自硬體掃描窗口陣列傳送至第二硬體掃描窗口陣列，藉此在影像中沿行方向移除不連續性。

在一些實施中，第二硬體電腦視覺特徵計算區塊可操作以在硬體中基於儲存於第二硬體掃描窗口陣列中的值執行電腦視覺計算。

在一些實施中，複數個像素中之至少一個像素包含感測器元件及像素中電路。

在一些實施中，各自基於來自硬體感測器陣列之一或多個感測器讀數之像素值包含各自基於一或多個原始感測器讀數之原始像素值。

在一些實施中，無影像信號處理電路安置於硬體感測器陣列與硬體掃描窗口陣列之間。

在一些實施中，一種用於隔離硬體中之像素值之方法包括經由硬體感測器陣列內之複數個像素基於環境狀況產生感測器讀數，其中沿硬體感測器陣列之至少第一維度及第二維度配置複數個像素。該方法亦包括在硬體掃描窗口陣列內之複數個儲存元件內基於來自硬體感測器陣列之一或多個感測器讀數儲存像素值，其中沿硬體掃描窗口陣列之至少第一維度及第二維度配置複數個儲存元件。該方法進一步包括經由用於系統地傳送像素值之周邊電路使像素值之不同窗口在不同時間基於來自硬體感測器陣列之感測器讀數儲存於硬體掃描窗口陣列中。該方法另外包括經由耦接至硬體感測器陣列、硬體掃描窗口陣列以及周邊電路之控制邏輯將信號提供至周邊電路以控制像素值至硬體掃描窗口陣列中之傳送。

在一些實施中，一種用於隔離硬體中之像素值之裝置包括用於基於環境狀況產生複數個感測器讀數之硬體構件。裝置亦包括用於將像素值儲存於用於儲存之硬體構件內之複數個儲存元件內的硬體構件，該等像素值各自基於來自用於產生感測器讀數之硬體構件之一或多個感測器讀數。裝置另外包括用於使像素值之不同窗口在不同時間儲存於用於儲存像素值之硬體構件中之硬體構件。裝置進一步包括用

於將控制信號提供至用於使像素值之不同窗口得以儲存之硬體構件以控制像素值至用於儲存像素值之硬體構件中之傳送的硬體構件。

在一些實施中，一或多個非暫時性電腦可讀媒體儲存用於隔離硬體中之像素值之電腦可執行指令，該等電腦可執行指令當經執行時使一或多個計算器件經由用於系統地傳送像素值之周邊電路使像素值之不同窗口在不同時間基於來自硬體感測器陣列之感測器讀數儲存於硬體掃描窗口陣列中，且經由耦接至硬體感測器陣列、硬體掃描窗口陣列及周邊電路之控制邏輯將信號提供至周邊電路以控制像素值至硬體掃描窗口陣列中之傳送。

在一些實施中，低功率視覺感測器包括能夠捕獲影像之影像感測器陣列，影像感測器陣列具有複數個列及複數個行。低功率視覺感測器進一步包括用於自影像感測器陣列之複數個列中之一或多個列傳送影像資料的一或多個線緩衝器。低功率視覺感測器亦包括用於儲存基於影像之樣本窗口之資料的硬體掃描窗口陣列，資料用於電腦視覺計算中，硬體掃描窗口陣列之行數少於一或多個線緩衝器之行數。低功率視覺感測器另外包括經組態以基於儲存於硬體掃描窗口陣列中之資料計算電腦視覺特徵之電腦視覺特徵計算硬體。

在一些實施中，低功率視覺感測器亦包括用於待傳送至硬體掃描窗口陣列之資料之訊框緩衝器。

在一些實施中，訊框緩衝器為影像訊框緩衝器或積分影像訊框緩衝器中之至少一者。

在一些實施中，低功率視覺感測器亦包括能夠基於由一或多個線緩衝器傳送之影像資料計算積分影像之整合硬體。

在一些實施中，整合硬體包含二維(two-dimension; 2-D)整合硬體。

在一些實施中，整合硬體耦接至訊框緩衝器。

框緩衝器中之至少一者。

在一些實施中，低功率視覺感測器亦包括耦接至一或多個線緩衝器及整合硬體之類比至數位轉換器(ADC)。

在一些實施中，電腦視覺特徵為多區塊局部二進位模式(LBP)特徵。

在一些實施中，整合硬體包含二維(2-D)整合硬體。

在一些實施中，低功率視覺感測器亦包括硬體階層式分類器，該硬體階層式分類器經組態以基於由電腦視覺計算硬體計算之電腦視覺特徵偵測儲存於硬體掃描窗口陣列中之樣本窗口內之參考物件的存在。

在一些實施中，用於以低功率視覺感測器偵測物件之方法包括經由影像感測器陣列捕獲影像，影像感測器陣列具有複數個列及複數個行。該方法亦包括經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料。該方法另外包括經由整合硬體基於由一或多個線緩衝器傳送之影像資料計算積分影像。該方法進一步包括經由電腦視覺特徵計算硬體基於由二維整合硬體計算之積分影像計算電腦視覺特徵。

在一些實施中，用於以低功率視覺感測器偵測物件之裝置包括用於經由影像感測器陣列捕獲影像之硬體構件，該影像感測器陣列具有複數個列及複數個行。裝置亦包括用於經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料之硬體構件。裝置進一步包括用於經由整合硬體基於由一或多個線緩衝器傳送之影像資料計算積分影像之硬體構件。裝置亦包括用於經由電腦視覺特徵計算硬體基於由二維整合硬體計算之積分影像計算電腦視覺特徵之硬體構件。

在一些實施中，一或多個非暫時性電腦可讀媒體儲存以低功率

視覺感測器偵測物件之電腦可執行指令，該等電腦可執行指令當經執行時使一或多個計算器件進行以下操作：經由影像感測器陣列捕獲影像，該影像感測器陣列具有複數個列及複數個行；經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料；經由整合硬體基於由一或多個線緩衝器傳送之影像資料計算積分影像；以及經由電腦視覺特徵計算硬體基於由二維整合硬體計算之積分影像計算電腦視覺特徵。

### 【圖式簡單說明】

藉助於實例說明本發明之態樣。在隨附圖式中，相同參考數字指示類似元件。

圖1繪示根據一些實施之包含以2維陣列配置之複數個感測器元件的實例感測器。

圖2繪示根據一些實施之包含感測器元件及像素中電路的實例像素。

圖3繪示根據一些實施之耦接至周邊電路的實例感測器元件陣列。

圖4繪示根據一些實施之耦接至專用CV處理模組的實例感測器元件陣列。

圖5A亦展示根據一些實施之像素陣列及掃描窗口陣列。

圖5B繪示包括感測器元件陣列、CV計算硬體以及專用微處理器之實例實施智慧型視覺感測器。

圖5C繪示用於結合角隅偵測器實施硬體內掃描窗口的高階方塊圖。

圖6繪示根據一些實施之用於在將像素讀取至線緩衝器中之前平均像素陣列中之像素值的硬體實施。

圖7繪示根據一些實施之用於線緩衝器的硬體實施。

圖8繪示根據一些實施之用於校正線緩衝器中之影像之水平及/或垂直裂縫的硬體實施。

圖9繪示根據一些實施之已知局部二進位模式(LBP)電腦視覺特徵實施。

圖10A繪示根據一些實施之用於多區塊電腦視覺特徵實施的硬體實施。

圖10B繪示根據一些實施之可包括為用於多區塊電腦視覺特徵實施之硬體實施之一部分的取樣及保持緩衝器。

圖10C繪示根據一些實施之自掃描窗口陣列至電腦視覺計算區塊的讀出。

圖10D繪示根據一些實施之在儲存於掃描窗口陣列內之影像中之無裂縫、垂直裂縫與垂直及水平裂縫之間的差異。

圖11繪示根據一些實施之可使用本文中所描述之硬體實施計算之電腦視覺(computer vision; CV)特徵之實例。

圖12為用於隔離硬體中之像素值之方法的流程圖。

圖13繪示其中可實施一或多個實施之計算系統的實例。

### 【實施方式】

現將關於形成本文之一部分之隨附圖式來描述若干說明性實施。雖然下文描述其中可實施本發明之一或多個態樣之具體實施，但可使用其他實施，且可在不脫離本發明之範疇或所附申請專利範圍之精神的情況下進行各種修改。

感測器可包括複數個感測器元件之感測器元件陣列。感測器元件陣列可為2維陣列，該2維陣列包括以二維(諸如，感測器元件陣列之行及列)配置之感測器元件。感測器元件中之每一者可能能夠基於環境狀況產生感測器讀取。在某些實施中，感測器可為視覺感測器且可基於入射於感測器元件上之光產生感測器讀數。圖1繪示包含以2維

陣列配置之複數個感測器元件的實例感測器100。在圖1中，感測器100之圖示表示感測器元件陣列中之64 (8x8)感測器元件。在不脫離本發明之範疇的情況下，在各種實施中，在不脫離本發明之範疇的情況下，感測器元件之形狀、感測器元件之數目以及感測器元件之間的間距可極大地變化。感測器元件102表示來自64感測器元件之柵格之實例感測器元件。

在某些實施中，感測器元件可具有實施為耦接至感測器元件之像素中電路(計算結構)之專用CV計算硬體。在一些實施中，感測器元件及像素中電路可共同被稱作像素。由耦接至感測器元件之像素中電路執行之處理可被稱作像素中處理。在一些情況下，感測器元件陣列可被稱作像素陣列，差異為像素陣列包括感測器元件及與每一感測器元件相關聯之像素中電路二者。然而，出於本文中之描述的目的，術語感測器元件及像素可互換使用。圖2繪示具有感測器元件202及像素中電路204之實例像素200。在某些實施中，像素中電路204可為電路、數位電路或其任何組合。

在某些實施中，感測器元件陣列可具有實施為耦接至感測器元件群組之周邊電路(計算結構)之專用CV計算硬體。此周邊電路可被稱作晶片上感測器電路。圖3繪示耦接至感測器元件陣列302之實例周邊電路(304及306)。

此外，如圖4中所展示，在某些實施中，感測器元件陣列可具有實施為耦接至感測器元件陣列402之專用CV處理模組404且使用特殊應用積體電路(ASIC)，場可程式化閘陣列(FPGA)、嵌入式微處理器或任何類似的類比或數位計算邏輯實施以用於執行本發明之態樣的專用CV計算硬體。

應注意，至少在某些實施中，專用CV處理模組404可補充應用程式處理器406而非代替應用程式處理器406。舉例而言，專用CV處理

模組404可處理及/或偵測電腦視覺特徵。然而，應用程式處理器406可接收此等經偵測電腦視覺特徵之指示及與先前儲存之影像或參考指示符模式匹配以判定宏特徵(諸如，微笑、面部、物件等)。另外，應用程式處理器406可為相對更複雜、計算密集、功率密集得多且負責執行系統級操作(諸如，作業系統)，實施用於與使用者互動之使用者介面，執行器件之電源管理，管理記憶體及其他資源等。應用程式處理器406可能類似於圖13之處理器1310。

### 硬體內掃描窗口

圖5A繪示用於實施硬體內掃描窗口之高階方塊圖。高階方塊圖包括第一列驅動器510、第二列驅動器520、線緩衝器525、行驅動器530、第一多工器(multiplexer; MUX) 540，以及掃描窗口陣列(scanning window array; SWA) 515。視情況，掃描窗口陣列515可連接至第二多工器(MUX) 550、電腦視覺特徵計算區塊(LBP) 560、查找表(look-up table; LUT) 570，以及邏輯、記憶體及微處理器區塊580。

圖5A亦展示像素陣列505及掃描窗口陣列(SWA) 515。使用掃描窗口之基於軟體之演算法為此項技術中已知的。然而，如上所述，彼等解決方案耗用處理器功率，因為處理器常常分析影像之每一點。圖5A中所展示之實施繪示基於硬體之掃描窗口功能。在一些實施中，硬體掃描窗口陣列515為專用硬體掃描窗口陣列，意為其經組態以如貫穿本說明書所描述基於來自像素陣列505之影像資料儲存樣本窗口且具有極少或無其他資料儲存功能。

像素陣列505可包括可操作以偵測光以用於捕獲影像之複數個光電二極體。複數個光電二極體為以用於捕獲影像之硬體構件之實例，所捕獲之影像可具有任何大小，且影像之表示可儲存於像素陣列505中。像素陣列505可與原始影像相同(例如，128×128、256×256、912×912、1,024×1,024或任何任意N×N或甚至N×M陣列(例如，

320×240陣列))。像素陣列505為包括複數個感測器元件之硬體陣列之實例。感測器元件可沿第一維度(例如，列)及第二維度(例如，行)配置。像素陣列505可基於環境狀況(例如，藉由使用每一感測器元件一或多個光電二極體以在陣列中之給定位置處偵測光)產生感測器讀數。像素陣列為用於基於環境狀況產生複數個感測器讀數之硬體構件之實例。在一些實施中，像素陣列可為能夠記錄320×240像素之影像的數位攝影機之一部分，320×240像素亦被稱作四分之一視訊圖形陣列之(Quarter Video Graphics Array; QVGA)解析度。

在一些可選實施中，像素陣列505可包括耦接至感測器元件之可組態組合電路。可組態組合電路可根據至少一個組合模式在硬體中組合來自複數個感測器元件之多個感測器讀數以產生像素值。可組態組合電路為用於組合來自複數個像素之多個感測器讀數以產生像素值之硬體構件之實例。組合模式可包括沿像素陣列505之列的第一組合模式及沿像素陣列505之行的第二組合模式。在一些實施中，一種類型之比例調整可包括平均。不同組合模式可包括平均感測器元件之不同維度上之像素值。舉例而言，2×3、3×2、3×4、4×3之區塊，或更一般而言， $m \times n$ 之區塊或像素值之任何其他維度可被平均及/或加權求和。可理解，雖然本文中使用的術語「像素值」，但像素值不必為在感測器陣列中之像素之值的意義上的像素值。舉例而言，一些感測器讀數可經組合以產生隨後儲存於掃描窗口陣列中之像素值。

可組態組合電路可包括(但不限於)可操作以沿像素陣列505之第一維度(例如，列)連接相鄰感測器元件之可控制連接件以及可操作以沿像素陣列505之第二維度(例如，行)連接相鄰感測器元件之可控制連接件。可控制連接件為用於沿硬體感測器陣列之第一維度連接相鄰像素之硬體構件以及用於沿硬體感測器陣列之第二維度連接相鄰像素之硬體構件之實例。在一些實施中，連接相鄰感測器元件在正連接之

相鄰感測器元件中之每一者處產生平均像素值。可控制連接件之實例包括(但不限於)電晶體。

視情況，可在將來自像素陣列505之列加載至線緩衝器525中之前如上文所描述平均像素陣列505中之像素。可取決於所需平均類型通過將作用中像素感測器(active pixel sensors; APS)與彼此短接來執行平均。舉例而言，採用來自以2×2方式配置之像素陣列505之任何四個像素。亦即，來自第一列之兩個像素及來自緊接第一列下方之列的相同行中之2個像素。可將此等像素之所有四個在硬體中短接在一起，以使得四個像素中之每一者之像素值現為四個像素之像素值之平均值(關於圖6更詳細地描述)。

線緩衝器為周邊電路之一實例。線緩衝器可包括沿線緩衝器之第一維度(例如，列)及第二維度(例如，行)配置之複數個儲存元件。在一些實施中，該第一維度可不同於像素陣列505之第一維度，且該第二維度可等於像素陣列505之第二維度。在一些實施中，例如圖5B之實施，線緩衝器525為儲存來自橫跨像素陣列505之所有行的單一系列之像素值的單一線緩衝器。舉例而言，線緩衝器525可能能夠儲存來自像素陣列505之選定列之像素值。線緩衝器為用於在用於儲存之硬體構件內之複數個儲存元件內儲存像素值的硬體構件之實例，該等像素值各自基於來自用於產生感測器讀數之硬體構件的一或多個感測器讀數。此外，線緩衝器亦為用於使不同窗口之像素值在不同時間儲存於用於儲存像素值之硬體構件中的硬體構件之實例。周邊電路為用於緩衝且包含沿線緩衝器之至少第一維度及第二維度配置之複數個儲存元件的構件硬體之實例。

若需要不同的比例因子，則可再次重複該處理程序，在下文中進一步詳細描述。

無論在掃描之前在硬體中組合像素值(例如，平均)還是並未組合

像素值，可將來自像素陣列505之列複製至線緩衝器525中。邏輯、記憶體及微處理器區塊580可將列位址提供至第一列驅動器510（例如，僅用於彼列之線將處於作用中）。第一列驅動器510可在所提供之列位址處讀取來自像素陣列505之列，同時所有行線保持作用中。假設此為第一列待複製至線緩衝器525者，第二列驅動器隨後可在第一線上保持作用中以寫入正由第一列驅動器510讀取之當前列。此可以循環方式繼續用於像素陣列505中之下一列，在如上文所描述，已在像素陣列505上或在像素陣列505中執行平均之情況下，第一列驅動器510可取決於平均中所涉及之像素之數目每隔一列、每隔兩列、每隔三列等掃描。最終，線緩衝器525可用來自像素陣列505之列填滿。在一些實施中，掃描方向可為自一個行至下一行或自一個列至下一列。雖然在圖5A中繪示為複數個線緩衝器525，但應理解，在一些實施(例如，圖5B之實施)中線緩衝器525可包括單一系列。

邏輯、記憶體及微處理器區塊580可隨後提供行位址至行驅動器以便自線緩衝器525掃描所需行。在一些實施(例如，如上文所描述已對像素陣列505上執行平均之一些實施)中，行驅動器可取決於平均中所涉及之像素之數目每隔一行、每隔兩行、每隔三等掃描。因此，可掃描來自線緩衝器525之特定掃描窗口(例如， $32 \times 32$ 、 $100 \times 100$ 等)，且相關地，可掃描來自像素陣列505之組合或未組合之像素值的特定掃描窗口。所需窗口隨後可經由至第一多工器540之受控輸入而移動至掃描窗口陣列515，該等受控制輸入由邏輯、記憶體及微處理器區塊580提供。在數位實施中，經由類比至數位轉換器(未在圖5A中繪示)之類比至數位轉換可在線緩衝器525之後且在將值儲存於掃描窗口陣列515中之前發生，例如，類比至數位轉換器可安置於線緩衝器525與多工器540之間。

掃描窗口陣列515為另一硬體陣列之實例。其包括沿第一維度(例

如，列)及第二維度(例如，行)之複數個儲存元件。掃描窗口陣列內之儲存元件中之每一者可能能夠儲存基於來自像素陣列505之一或多個感測器讀數之類比或數位像素值。在一些實施中，掃描窗口陣列515可包含隨機存取記憶體(RAM)陣列或能夠儲存類比或數位像素值之其他二維緩衝器。在一些實施中，掃描窗口陣列內沿第一維度(例如，列)之儲存元件之數目小於像素陣列中沿像素陣列之對應維度(例如，列)之感測器元件之數目；類似地，掃描窗口陣列內沿第二維度(例如，行)之儲存元件之數目小於像素陣列中沿像素陣列之對應維度(例如，行)之感測器元件之數目。在一些實施中，掃描窗口陣列內之行數小於線緩衝器525中之行數。

可使用周邊電路完成將像素值自像素陣列505有效複製至掃描窗口陣列515中。周邊電路可將基於來自像素陣列之感測器讀數的類比或數位像素值系統地傳送至掃描窗口陣列中以使像素值之不同窗口在不同時間儲存於掃描窗口陣列中。周邊電路可包括列驅動器、行驅動器、線緩衝器525以及多工器540或多工器電路。在數位實施中，周邊電路可進一步包括(例如)線緩衝器525與多工器540之間的類比至數位轉換器。

另外，控制邏輯(例如，邏輯、記憶體及微處理器區塊580)可耦接至像素陣列505、掃描窗口陣列515以及周邊電路。控制邏輯可將控制信號提供至周邊電路以控制將像素值傳送至掃描窗口陣列515中。控制邏輯為用於提供控制信號至用於使像素值之不同窗口得以儲存之構件以控制將像素值之至用於儲存之專用構件中的硬體構件之實例。

控制邏輯亦可藉由替換線緩衝器中之最舊列之像素值而將來自像素陣列505的下一列之像素值儲存至線緩衝器525中。此實施可較將整個列集合向下移位一列且因此再寫入所有列更高效。然而，如影像中所展示，此實施可能產生自像素陣列505讀取之影像中之裂縫。此

係歸因於線緩衝器525之循環或循環實施。然而，可藉助於使用第一多工器540處理水平裂縫。第一多工器可經由使線移位藉由恢復線次序來移除水平裂縫。下文中進一步詳細描述此過程。周邊電路另外包括定位於線緩衝器525與掃描窗口陣列515之間的交換電路(例如，多工器)。交換電路可交換列排序同時將像素值自線緩衝器傳送至SWA 515。用於將來自線緩衝器之下一行像素值儲存至硬體掃描窗口陣列中之硬體構件可包括用以移除影像中之水平裂縫之交換電路(例如，多工器)。此可導致在由SWA 515中之像素表示之影像中沿列方向移除裂縫(或不連續性)。可理解，由於上文所描述之類似原因，現橫跨線緩衝器525垂直掃描及傳送儲存於線緩衝器525中之影像之部分的窗口亦可導致自線緩衝器525讀取之影像中的垂直裂縫。為了處理此等垂直裂縫，可使用類似交換電路，該類似交換電路可交換行排序同時將像素值自SWA傳送至硬體電腦視覺特徵計算區塊560。可依照下文中進一步描述之方法處理影像中之裂縫。在掃描窗口陣列515包括可定址記憶體之實施中，亦可使用資料指標處理裂縫。

隨後可針對像素陣列505中之待掃描之下一所需窗口重複該處理程序。本質上，圖5A中所展示之實施允許建置至周邊電路中之多位置、多尺寸(例如，能夠變為各種不同維度)之掃描窗口陣列515。

一旦SWA 515用一些像素值填充，SWA 515中之一或多個像素可經組合(例如，如本文中所論述，針對像素陣列中之像素值求平均)且饋送至一或多個類比或數位硬體電腦視覺特徵計算區塊560中。硬體電腦視覺特徵計算區塊560之一個此實例為局部二進位模式(LBP)計算區塊，包括本文中其他處所描述之LBP變體(諸如，局部三元模式(local tertiary patterns; LTP))。其他硬體電腦視覺特徵計算區塊包括帶符號梯度直方圖或定向梯度直方圖(histogram of signed or oriented gradients; HSG, HOG)，加速區段測試特徵(Features from accelerated

segment test; FAST)角隅及以上各者之變體以及諸多其他。此等計算區塊之數位實施為此項技術中已知的。本文中揭示能夠執行LBP計算之電路之實施。此外，在以上論述中，應理解，對於多色影像，像素可並不具有單一值，而是可具有多個值(例如，在(紅色-綠色-藍色)RGB影像之情況下的三個值)。因此，在RGB影像之實例中，上文所描述之掃描窗口陣列515可實際上為包含以下三個子陣列之掃描窗口：紅色SWA、綠色SWA及藍色SWA(並未說明為獨立子陣列)。在此等實施中，圖5A中所展示之電腦視覺特徵計算區塊560可由不同色彩頻道SWA共用，或不同色彩可具有專用電腦視覺特徵計算區塊560。類似地，圖5A中所展示之線緩衝器525及其他組件可針對不同色彩頻道而共用，或每一色彩頻道可具有專用電路。所說明之實施已假設線緩衝器525中之行數及感測器陣列中之行數為相同的。然而，在一些實施中，感測器陣列可為相對高解析度感測器陣列，且可在將資料之列讀出至線緩衝器525之前執行感測器值平均。在此等實施中，線緩衝器525中之行數可能少於感測器陣列中之行數。

圖5B繪示包括感測器元件陣列、CV計算硬體以及專用微處理器之實例實施智慧型視覺感測器。感測器元件陣列302可能類似於圖1中所繪示之感測器100。在一些實施中，感測器元件陣列302為影像感測器陣列。感測器元件陣列302可包括相關二重取樣電路。舉例而言，在使用組合值或較低解析度改良CV計算之實施中，感測器元件陣列302亦可包括用以在輸出信號至線緩衝器525之前組合、求和或平均感測器元件或像素信號或值之電路。線緩衝器525可包括用以將表示在感測器元件陣列302以外之影像或影像之部分的信號傳送至視覺感測器之其他部分的一或多個線緩衝器。在一些實施中，一或多個線緩衝器525中之列數少於感測器元件陣列302中之列數。在一些實施中，感測器元件陣列302可不包括用於影像信號處理(image signal processing;

ISP)之電路，且因此，圖5B繪示其中在無介入ISP電路之情況下連接感測器元件陣列302及CV計算硬體512之實施，因此，在一些實施中，無ISP電路安置於硬體感測器陣列302與硬體掃描窗口陣列515之間。因此，其間未安置有ISP電路之感測器元件陣列302及CV計算硬體512可為用於產生感測器讀數之硬體構件與用於儲存像素值之硬體構件之間未安置有用於影像信號處理之構件的實例。舉例而言，在一些實施中，由CV計算硬體512自感測器元件陣列302接收之信號並未經歷ISP，例如，信號並未經歷缺陷校正、白平衡、色彩平衡、自動對焦、鏡頭轉降(lens roll off)、去馬賽克、顏色轉換(debayering)或影像銳化中之一或多者或其任何組合。然而，在一些此等無ISP之實施中，可發生一些處理，諸如，對焦或自動曝光校正。並未經歷ISP之此等信號可被稱作原始信號或原始感測器讀數。原始信號或原始感測器讀數可如本文中其他處關於感測器讀數大體上所論述經組合以基於原始信號產生原始像素值，其中用於產生原始像素值的信號並未經歷ISP。原始信號、原始感測器讀數或原始像素值可轉換為數位，經整合以形成積分影像，儲存於掃描窗口中，且專用CV計算硬體可經組態以接收原始信號、原始感測器讀數或原始像素值，即使應理解，原始信號、原始感測器讀數或原始像素值已經歷一些資料操縱(包括組合、求和或整合或轉換為數位)，但並未經歷ISP。原始像素值可包括類比或數位原始像素值。在一項實施中，在陣列包含320乘240個感測器元件之情況下，感測器元件陣列302為不具有ISP電路之四分之一視訊圖形陣列(QVGA)攝影機感測器。

在各種實施中，CV計算硬體512可在數位域或類比域中執行CV計算。本文中參考圖6至圖8以及圖10A至圖10B揭示能夠在類比域中執行CV計算的CV計算電路之一些實例。彼等及類似電路之數位版本亦係可能的。因此，視情況，在數位實施中，類比至數位轉換器

(ADC) 514可安置於線緩衝器525與CV計算硬體512之間。在一些實施中，CV計算硬體512為專用CV計算硬體，意為其係經設計以具有除計算CV特徵之外極少或無功能性的硬體。

在一些實施中，CV計算硬體512可使用如參考圖1所論述之與感測器元件或像素之區塊相關聯之信號的組合、總和或平均值。在此等實施中，積分影像可用於在輸入至CV計算硬體512中之前計算此等組合、總和或平均值。因此，視情況，視覺感測器亦可包括用於基於表示由感測器元件陣列中之至少一感測器元件子集取樣之影像的至少一信號子集計算影像之至少一部分之積分影像的二維整合硬體516。然而，如本文中其他處所揭示，當有用時，此等組合、求和或平均值可用硬體掃描窗口陣列515內之電路執行，且因而整合硬體為可選的。如所示，二維整合計算硬體516可與專用CV計算硬體通信。與直接新增信號值比較，可使用表示由感測器元件陣列取樣之影像的積分影像及/或由感測器元件陣列取樣之影像之一部分的積分影像以更快速地針對感測器元件之區塊而組合、求和或平均化信號值。二維整合硬體516可包括電路，該電路能夠基於來自感測器元件陣列之原始信號產生在數位域或類比域中表示由感測器元件陣列取樣之影像之所有或一部分之積分影像的信號。在一些實施中，由二維整合硬體516產生之積分影像(其可為由感測器元件陣列取樣之影像之僅部分或樣本窗口的積分影像)可儲存於硬體掃描窗口陣列515中。因此，在不同實施中，硬體掃描窗口陣列515可基於影像之樣本窗口儲存資料，其中所儲存之資料可包含表示影像或積分影像之樣本窗口的資料。舉例而言，硬體掃描窗口陣列可包括隨機存取記憶體(RAM)陣列或用於儲存積分影像的其他形式之類比或數位記憶體。在計算對應於感測器元件之區塊之信號的組合、總和或平均值(諸如，像素級別LBP)並不有用的實施中，應理解，可能並未包括二維整合硬體516，且因此包括來

自感測器元件陣列302之類比信號或來自ADC 514之經轉換至數位信號的樣本窗口可直接儲存於硬體掃描窗口陣列515中。在一些實施中，可在二維整合硬體516與硬體掃描窗口陣列515之間連接訊框緩衝器(未展示)。訊框緩衝器可操作以用於儲存由二維整合硬體516輸出之積分影像，且積分影像之樣本窗口可隨後按需要加載至硬體掃描窗口陣列515。替代地，訊框緩衝器可安置於線緩衝器525與二維整合硬體516之間且可儲存影像。在此實施中，二維整合硬體516可產生儲存於訊框緩衝器中之影像之樣本窗口的積分影像以用於儲存於硬體掃描窗口陣列515中。因此，在各種實施中，訊框緩衝器可為影像訊框緩衝器或積分影像訊框緩衝器中之至少一者。此外，應理解，在一些實施中，二維整合硬體516亦可執行或替代地執行一維整合。類似地，硬體掃描窗口陣列515可儲存對應於由感測器陣列捕獲之影像之樣本窗口的一維積分影像。一維積分影像可允許一系列影像資料中之像素值之群組的快速求和。使用一維積分影像可允許計算多區塊LBP，例如，使用旋轉區塊以便偵測旋轉參考物件(例如，面部)。訊框緩衝器為用於傳送資料至硬體掃描窗口陣列的硬體構件之實例。一維或二維整合硬體為用於基於由一或多個線緩衝器傳送之影像資料計算積分影像的硬體構件之實例。

視覺感測器亦可包括CV計算硬體512。在一些實施中，CV計算硬體512可至少部分基於與接近於感測器元件之區塊的複數個鄰近感測器元件相關聯之信號來計算一或多個標的感測器元件之區塊的局部CV特徵。舉例而言，在CV計算硬體之局部二進位模式(LBP)實施中，CV計算硬體可包括接收對應於(例如，使用積分影像產生之)影像信號-或影像信號之組合、總和或平均值之信號值且基於原始影像信號產生數位LBP標記的硬體。在計算多區塊LBP之實施中，一或多個標的感測器元件之區塊可包括(作為一項實例) 11乘11感測器元件之一

區塊。亦應理解，在一或多個標的感測器元件(已為其計算局部CV特徵)的區塊為單一標的感測器元件之情況下，亦可進行像素級LBP計算。雖然以上描述提及CV計算硬體512為與專用微處理器520分離，但應理解，在一些實施中，可在專用微處理器520內以硬體實施專用CV計算硬體512。CV計算硬體512為用於計算局部二進位模式(LBP)特徵之硬體構件的實例。

與在處理器(例如，通用處理器(諸如，應用程式處理器)或甚至專用微處理器)中計算CV特徵相比，在專用硬體中產生CV特徵(諸如，上文所述之LBP標記)可降低視覺感測器之功率。然而，視覺感測器仍可包括耦接至CV計算硬體512之專用微處理器520。專用微處理器520自CV計算硬體512接收經硬體計算之CV特徵且可執行諸如物件類別偵測(面部偵測可被視為其中一特定類別)之較高級別電腦視覺運算(其中任務為尋找影像中屬於給定類別之所有物件之位置及大小)以及其他電腦視覺運算。此外，專用微處理器520可將控制信號提供至線緩衝器525、ADC 514、二維整合硬體516、硬體掃描窗口陣列515以及CV計算硬體512。在一些實施中，為執行物件類別偵測或其他電腦視覺運算，專用微處理器520可使用階層式分類器演算法以執行物件類別偵測(例如，面部偵測)。在可選實施中，藉由在硬體中實施階層式分類器以進一步減少微處理器上之計算負擔，進一步功率節省係可能的。

可選階層式分類器硬體522包括階層式分類器之硬體實施。階層式分類器522可經組態以基於藉由CV計算硬體512計算之CV特徵來偵測儲存於掃描窗口陣列中之樣本窗口內之參考物件的存在。在一些實施中，使用機器學習技術針對影像之資料集訓練階層式分類器，該影像之資料集包括參考物件(將為其訓練階層式分類器)之實例及非物件之實例(例如，面部及非面部之影像)。舉例而言，在第一階段中，階

層式分類器硬體可自CV計算硬體512請求為儲存於(例如)硬體掃描窗口陣列515中之某一數目 $l$ 之標的感測器元件計算LBP特徵。另外，標的感測器元件之位置 $\{(x_{11}, y_{11}), \dots, (x_{1l}, y_{1l})\}$ 亦將由階層式分類器硬體522提供。一旦CV計算硬體512提供所請求之LBP特徵，所請求之LBP特徵可處理為向量值，則階層式分類器硬體執行用一或多個權重求和LBP特徵中之每一者之內積，以產生第一加權純量和值。一般而言，每一LBP特徵 $(LBP_{11}, \dots, LBP_{1l})$ 將乘以一給定權重 $(w_{11}, \dots, w_{1l})$ ，其中之每一者可不同。第一加權純量和值隨後與第一臨限值比較。若純量和小於臨限值，則在給定機率上，在由儲存於硬體掃描窗口陣列515中之信號表示的影像之部分中不存在面部，且因此階層式分類器硬體522發送信號至硬體掃描窗口陣列515且視情況發送至視覺感測器之其他組件(諸如，線緩衝器525及感測器元件陣列302)以指示硬體掃描窗口陣列515應繼續掃描並且新增一或多個新的行或列及移除一或多個舊的行或列。在影像之後續窗口或對應於感測器元件陣列之後續感測器元件子集之後續複數個信號儲存於硬體掃描窗口陣列515中的情況下，處理程序可再次開始。應理解，影像之後續窗口可能大部份與影像之先前窗口重疊。在一些實施中，自左向右掃描影像，且一旦到達感測器元件陣列302之末端，在向下移動一或多個列之後可再次自左向右掃描影像。在另一實施中，在向下移位一或多個列之後可自右向左掃描影像，其可允許與先前影像之重疊增加。階層式分類器硬體522為用於基於由電腦視覺計算硬體計算之電腦視覺特徵來偵測儲存於硬體掃描窗口陣列中之樣本窗口內的參考物件的硬體構件之實例。

若純量大於第一臨限值，則階層式分類器硬體522移至下一階段。在下一(在此實例中，第二)階段中，階層式分類器硬體再次請求CV計算硬體512提供儲存於硬體掃描窗口陣列515中之在位置 $\{(x_{21},$

$y_{21}$ )、 $\dots\dots(x_{2m}, y_{2m})$ 處之 $m$ 個標的感測器元件的LBP特徵。一旦CV計算硬體512計算並提供所請求之LBP特徵( $LBP_{21}$ 、 $\dots\dots$ 、 $LBP_{2m}$ )，階層式分類器硬體522執行使用一或多個權重( $w_{21}$ 、 $\dots\dots$ 、 $w_{2m}$ )之LBP特徵中之每一者之內積的另一求和，以產生第二加權純量和值。第二加權純量和值隨後與第二臨限值比較。若該純量和小於第二臨限值，則存在由儲存於硬體掃描窗口陣列515中之信號表示之影像之部分中存在面部的低可能性，且階層式分類器發送信號至視覺感測器陣列中之其他組件以繼續掃描並移至影像之下一部分。若第二加權純量和值大於第二臨限值，則該處理程序如上文所描述繼續第三階段。在最終階段(例如， $N$ 階段階層式分類器中之第 $N$ 階段)結束時，若第 $N$ 加權純量和值大於第 $N$ 臨限值，則在儲存於硬體掃描窗口陣列515中之影像之部分中偵測到面部。階層式分類器硬體522隨後可向專用微處理器520指示已偵測到面部，且可能進一步視情況指示其中偵測到面部或面部之部分的影像之部分的位置。

硬體掃描窗口陣列515內之標的感測器元件(將一每一階段為其計算LBP)之數目及位置通常經程式化至階層式分類器硬體522中且由上文所論述之機器學習培訓產生。類似地，用以乘以LBP特徵中之每一者的權重亦通常在機器學習培訓期間判定且隨後經程式化至階層式分類器硬體522中。階段之數目亦由培訓產生且經程式化至階層式分類器硬體522中。在一些實施中，階層式分類器可包括介於1個與31個之間的階段(例如，15個階段)。在一些實施中，階層式分類器硬體522可被視為專用階層式分類器硬體，意為其為經設計以執行階層式分類器功能以及極少或無其他重要功能的硬體。雖然上文所描述之實施係關於基於以實驗室中之先前培訓及機器學習為基礎之經程式化權重及臨限值以產生模型的階層式分類器，但應理解，經設計以基於自CV計算硬體512接收之經硬體計算CV特徵執行CV運算的階層式分類器

硬體522或周邊電路中之其他硬體可經設計以實地執行機器學習。

在剛描述之實施中，專用微處理器520隨後可判定如何處理(例如)所偵測到之面部事件。舉例而言，專用微處理器可發送事件至第二微處理器。在一些實施中，專用微處理器520及第二微處理器可分別對應於圖4之專用微處理器404及應用程式處理器406。如圖5B中所繪示，專用微處理器520包括用於與第二微處理器通信之介面524。

雖然以上描述提及階層式分類器硬體522為與專用微處理器520分離，但應理解，在一些實施中，可在專用微處理器520內以硬體實施專用階層式分類器硬體522。替代地，階層式分類器可在專用微處理器520上作為軟體演算法運行。此外，代替或除階層式分類器之外，其他軟體演算法可在專用微處理器上運行。在一些實施中，可使用直方圖實施專用硬體以偵測(例如)面部。此實施可包括代替或除階層式分類器硬體522之外的此類專用硬體。在一些此等實施中，經計算用於儲存於掃描窗口陣列515中之影像之樣本窗口的所有LBP標記之直方圖可與參考直方圖比較以偵測儲存於掃描窗口陣列515中之樣本窗口中之面部的存在。下文參考圖9論述具有LBP標記或特徵之直方圖的使用。

在圖5B中所示之實施中，線緩衝器525、ADC 514、二維整合硬體516、硬體掃描窗口陣列515、CV計算硬體512、階層式分類器硬體522中之一或多者或其任何組合可被視為周邊電路526，其為在感測器元件陣列302周邊之電路。亦應理解，可將剛列出之各種組件或其任何組合替代地實施為感測器元件陣列302內之像素中電路。

圖5C繪示用於結合角隅偵測器實施硬體內掃描窗口的高階方塊圖。高階方塊圖包括第一列驅動器510、第二列驅動器520、線緩衝器525、行驅動器530、第一多工器(MUX) 540以及掃描窗口陣列(SWA) 515。亦可將掃描窗口陣列515連接至第二多工器(MUX) 550及第三多

工器(MUX) 592。可將第二多工器550連接至硬體CV特徵計算區塊590，該硬體CV特徵計算區塊包含可操作以執行與其他更複雜的CV特徵比較相對快速之CV特徵計算(諸如，角隅偵測)的電路。如所示，CV特徵計算區塊為加速區段測試特徵(FAST)角隅偵測器CV特徵計算區塊590。以硬體實施之FAST角隅偵測器為用於執行角隅偵測之硬體構件之實例。

FAST角隅偵測器為可用以擷取特徵點且隨後用以在諸多電腦視覺任務中追蹤及映射物件的角隅檢測方法。使用FAST角隅偵測器可提供計算效率。FAST角隅偵測器可使用16像素之圓(具有3像素之半徑)以對標的像素實際上是否為角隅分類。若圓中之一組N個連續像素皆較候選或標的像素p之強度亮臨限值t或皆較候選像素p之強度暗臨限值t，則p被分類為角隅。在選擇連續像素之數目N及臨限值t中存在取捨。N常常被選擇為12。然而，在追蹤情境中，N可為9。

在圖5C中所展示之實施中，若CV特徵計算區塊590判定儲存於掃描窗口陣列(SWA) 515中之影像的樣本窗口包括一角隅，則第三多工器592可移除儲存於掃描窗口陣列(SWA) 515中之影像中存在的垂直裂縫並且將「無裂縫」版之影像儲存於第二硬體掃描窗口陣列594中。第二掃描窗口陣列594可耦接至控制邏輯，如參考圖5A所描述，且控制邏輯可提供控制信號以基於在由儲存於第二硬體掃描窗口陣列594中之像素值表示的影像中之由硬體CV特徵計算區塊590進行的角隅偵測來控制像素值自SWA 515至第二硬體掃描窗口陣列594的傳送。第三多工器592展示為定位於SWA 515與第二硬體掃描窗口陣列594之間且能夠交換行排序同時將像素值自SWA 515傳送至第二硬體掃描窗口陣列，藉此在影像中沿行方向移除不連續性(裂縫)。隨後可使用第二CV特徵計算區塊595藉由比較硬體中之相關像素的值自儲存於第二硬體掃描窗口陣列594中之影像之「無裂縫」版本直接計算CV描述符或

CV特徵(圖5C中標記為「描述符」)，該第二CV特徵計算區塊可操作以基於儲存於第二硬體掃描窗口陣列594中之值執行電腦視覺計算。CV特徵計算區塊為用於經由電腦視覺計算電路執行電腦視覺計算的硬體構件之實例。

第二CV特徵計算區塊595可為經組態以計算CV特徵或CV特徵描述符之專用硬體，該CV特徵或CV特徵描述符用以標記/描述影像中之顯點，以使得視覺上類似之特徵具有類似描述。存在若干二進位特徵描述符，僅舉幾例，該等二進位特徵描述符包括(但不限於)尺度恆定特徵變換(或SIFT)、二進位穩固恆定可縮放要點(Binary Robust Invariant Scalable Keypoints; BRISK)、二進位穩固獨立基本特徵(Binary Robust Independent Elementary Features; BRIEF)、定向FAST及旋轉BRIEF (Oriented FAST and Rotated BRIEF; Orb)以及快速視網膜要點(Fast Retina Keypoint; FREAK)。第二CV特徵計算區塊595可包括經組態以使用取樣模式(例如，所使用之像素之位置)及取樣對(例如，其強度經比較之像素)計算CV特徵或描述符的電路。

在另一實施中，第二CV特徵計算區塊595可直接自掃描窗口陣列(SWA) 515計算。在此等實施中，第二CV特徵計算區塊595可經由第三多工器592直接耦接至SWA 515。即使在此等實施中，僅可在CV特徵計算區塊590判定儲存於SWA 515中之樣本窗口包括(例如)角隅之情況下啟動第二CV特徵計算區塊595。然而，因垂直裂縫之存在可對所要求之處理能力有較大影響，因此首先移除垂直裂縫可為有利的，因每次第二CV特徵計算區塊595存取SWA 515時，第三多工器592將移除垂直裂縫。在第二CV特徵計算區塊595將多次存取SWA 515以用於計算之情況下，其可藉由將無裂縫影像儲存於第二硬體掃描窗口陣列594中及使用無裂縫影像直接計算特徵及描述符來提高一次移除裂縫的效率。

素展示為160乘160像素陣列。列短接線620及行短接線630可能位於作用中像素影像感測器610中間。另外，每一像素內之電路可分別經由橫跨列短接線及行短接線中之每一者的兩個電晶體彼此耦接。該等電晶體可充當「交換器」以(例如)連接來自鄰近像素之電荷儲存元件(例如，短接該等光電二極體)以平均各像素之感測器讀數。在一些實施中，在將像素讀取至(圖5A及圖5B之)線緩衝器之前，一 $2\times 2$ 像素區塊可經組合為單一值，藉此降低影像之解析度。一旦完成此操作，則可將經降低解析度之影像掃描至掃描窗口陣列515 (參看圖5)。如本文中其他處所描述，掃描經降低解析度之影像可包括跳過列及行。在一些實施中，降低解析度、將較低解析度影像掃描至掃描窗口陣列、使用電腦視覺特徵計算區塊560 (參看圖5)執行電腦視覺特徵計算以及隨後針對另一甚至更低解析度重複該過程可為有利的。在此情況下，即使組合為破壞性的，仍可完成進一步解析度降低以用於一些(而非全部)較低解析度。舉例而言，當藉由組合 $2\times 2$ 像素區塊降低解析度時，藉由將該 $2\times 2$ 像素區塊與其鄰近之 $2\times 2$ 區塊中之三個組合以隨後建立 $4\times 4$ 像素區塊，後續進一步降低解析度係可能的。如其他處所描述，可接著將此 $4\times 4$ 經降低解析度之影像掃描至掃描窗口陣列，且可接著執行電腦視覺特徵計算。解析度之後續降低亦可能達到 $8\times$  (藉由隨後組合鄰近之 $4\times 4$ 區塊以建立 $8\times 8$ 像素區塊)至 $16\times$  (藉由隨後組合鄰近之 $8\times 8$ 區塊以建立 $16\times 16$ 像素區塊)等。亦應理解，亦可在像素陣列505中針對 $3\times$ 降低、隨後 $6\times$ 降低、隨後 $12\times$ 降低等完成解析度降低。當解析度在像素陣列505中以所描述之方式降低時，應理解，可在使用區塊560執行電腦視覺特徵計算之前在掃描窗口陣列515中執行進一步解析度降低。將自像素陣列505讀出之完整解析度或降低解析度之影像與掃描窗口陣列515中之降低組合可在電腦視覺特徵計算之前提供 $1\times$ 與 $2\times$ 之間、 $2\times$ 與 $4\times$ 之間、 $4\times$ 與 $8\times$ 之間等的中間解析度降低。應理解，在

以上論述中，例如對於 $2 \times 2$ 像素區塊而言，在多色影像(例如，RGB影像)之情況下，組合或平均像素意謂分別組合 $2 \times 2$ 像素區塊中之紅色頻道以獲得單一組合紅色值，分別組合 $2 \times 2$ 像素區塊中之綠色頻道以獲得單一組合綠色值，以及分別組合 $2 \times 2$ 像素區塊中之藍色頻道以獲得單一組合藍色值。因此，針對單色影像組合或平均像素將意謂組合或平均 $2 \times 2$ 像素區塊產生區塊之單一組合值；然而，例如，在RGB影像之情況下組合或平均像素將意謂組合或平均 $2 \times 2$ 像素區塊產生三個獨立值，經組合R、經組合G及經組合B。類似地，組合或平均任何大小之像素區塊可產生多個值(並非只是一個)，該數目等於影像中之色彩頻道之數目，並非只是一個單一經組合值。

在此實例中，可啟用列短接線620及行短接線630兩者，從而完成電晶體電路且使四個像素中之每一者彼此短接。因此，四個像素中之每一者可呈現四個像素之平均的像素值。此過程可能針對像素陣列505中之每一像素而發生，且不必需要以如所描述之 $2 \times 2$ 方式進行。在所描述之特定實例中，若所有像素以 $2 \times 2$ 方式短接，則相鄰列可具有相同像素值。舉例而言，列一及列二可具有相同值，列三及列四可具有相同值等。

在一些實施中，可藉由將像素短接以用於局部平均且再次將其讀出來完成影像之縮放。舉例而言，若像素陣列為 $560 \times 560$ 像素，則影像之解析度可自 $560 \times 560$ 至 $80 \times 80$ 變化。若仍需要更低之解析度(例如， $40 \times 40$ )，則可重複此過程。可理解，讀出更低解析度之像素為可選的，且關於圖5所描述之實施仍可提供優於現有解決方案之優點而甚至無需讀出更低解析度之像素。舉例而言，相較於在整個像素陣列上進行CV計算之系統，一個益處可為減少CV計算區塊之複雜度。在一些實施中，可視情況需要在上文所描述之組合、平均或縮放之後恢復像素陣列505中之原始解析度。在此情況下，每一像素可具有取樣

保持正緩衝器電路以允許在所描述之破壞性組合操作之後在每一像素處之原始像素值的復原。舉例而言，此可允許如上文所描述之自1X (完整解析度)至2X (解析度之一半)至4X (解析度之四分之一)至8X (解析度之八分之一)等的一連串解析度降低，隨後接著在恢復原始值之後用1X (完整)解析度影像、3X (三分之一)解析度影像、6X (六分之一)解析度影像；或1X (完整)解析度影像、5X (五分之一)解析度影像、10X (十分之一)解析度影像等中之任何一或多者掃描影像。

圖7繪示用於線緩衝器525之硬體實施。可藉由使用取樣及保持電路710 (用於每一像素)連同像素陣列之水平讀數以像素值填充線緩衝器525。在此實例中，線緩衝器可由32個線組成。如上文所描述，列緩衝器(經由來自邏輯、記憶體及微處理器區塊之輸入)可能自像素陣列選擇一列由第一列驅動器讀取。可經由來自第二列驅動器520之列線選擇720選擇來自像素陣列之所需列中之像素。第二列驅動器可隨後將列寫入至線緩衝器525。取樣及保持電路710 (用於每一像素)可隨後取樣並保持自所需列讀取之每一像素。

在讀取所有所需列並將其寫入至線緩衝器525後，行驅動器540即可隨後經由行線選擇730自線緩衝器525選擇填充掃描窗口陣列515所需要之所需行。

在一些實施中，可隨後將用以填充掃描窗口陣列515之來自線緩衝器525的所需像素饋送至第一多工器540而無需介入類比至數位轉換器。此可經由源極隨耦器或緩衝器740完成。如上文所描述，線緩衝器525中之像素可能遭受水平及/或垂直裂縫。在下文中進一步詳細描述用以修補水平及/或垂直裂縫之硬體。然而，如其他處所提及，在數位掃描窗口陣列515之實施中，類比至數位轉換器可在隨後將數位值饋送至第一多工器540之前首先將類比值轉化為該數位值。

圖8繪示用於校正線緩衝器525中之影像之水平及/或垂直裂縫的

硬體實施。第一多工器540可能恢復線緩衝器525中之列的線次序以便校正水平裂縫。在一些實施中，經組態以與本文中所描述之硬體實施介接的軟體應用程式可察覺線緩衝器525中之水平裂縫位於何處。軟體可將裂縫之位置之值(例如，M)提供至第一多工器540 (例如，提供指令以移位M)。在一些實施中，第一多工器540可能能夠將輸出自線緩衝器移位至多31個線(例如，藉由使電路移位16、8、4、2以及1)。在裂縫位置為1 (例如，M=1)之情況下，第一多工器540可使線移位M。

可理解，可在將另一多工器新增在線緩衝器525 (未展示)之後的情況下以相同方式校正垂直裂縫。

掃描窗口陣列515現可將來自像素陣列之影像之複本保持在指定位置處。影像之所需位置可用本文中所描述之硬體電路以光柵方式掃描，或在一些實施中可經軟體控制。另外，出於追蹤之目的，影像之所需位置可按需求變化。

在一些實施中，類似於傳統攝影機感測器，本文中所描述之硬體電路亦可用於基於強度之影像讀出。

### 硬體中之多區塊電腦視覺特徵實施

在一些實施中，本文中所描述之硬體電路亦可包括可組態組合電路。可組態組合電路可耦接至複數個儲存元件，且可實現硬體中之多區塊電腦視覺特徵計算。

圖9繪示局部二進位模式(LBP)電腦視覺特徵實施。展示九個像素之群組910，其中一個像素被其餘八個像素環繞。鄰近像素可用以計算LBP。對於每一像素而言，該像素可與其八個鄰近像素(在其左上方、左中、左下方、右上方等)中之每一者比較。在中央像素之值大於鄰近像素之值的情況下，可將鄰近像素值寫入為一。否則，可將鄰近像素之值寫入為零，展示為元素912。可自八個鄰近像素之值獲

得8數位二進位數。可隨後在由九個像素組成之單元上計算出現之每一8數位二進位數之頻率之直方圖(例如，哪些像素小於中央像素及哪些大於中央像素之每一組合)，如元素920中所展示。在一些情況下，可最佳地標準化直方圖。可在窗口內之所有單元上執行類似操作，且可連接所有單元之直方圖，920中所展示。此可允許獲得窗口之特徵向量。隨後可使用機器學習演算法處理特徵向量以分類影像以用於面部識別或其他物件分析。

像素可儲存於硬體陣列(諸如，掃描窗口陣列)內，該硬體陣列包括沿硬體陣列之第一維度(例如，列)及第二維度(例如，行)配置的複數個儲存元件。儲存元件中之每一者可儲存類比或數位像素值。儲存元件可(例如)在一些實施中為電容器或在數位實施中為能夠儲存數位值的硬體陣列(諸如，隨機存取記憶體(RAM)陣列)。在一些實施中，硬體掃描窗口陣列可允許求和或平均像素值以產生區塊內之像素的總和或平均值。在一項實例中，此可能以諸如參考圖5B所論述之彼等實施來完成，在圖5B中積分影像之樣本窗口(或原始影像之樣本窗口之積分影像)儲存於硬體掃描窗口陣列中，從而允許在計算上高效地計算像素值之平均值或總和。在其他實施中，硬體掃描窗口陣列可包括允許陣列內或陣列外之區塊之求和或平均的電路。在各種方法中，可為大小變化之區塊(2乘2像素、3乘3像素、4乘4像素等)計算像素值之加權總和或平均值。在一些實施中，可組合、求和或平均大小為11乘11像素或更大之區塊或單元。可隨後在包含(例如)3區塊乘3區塊單元之單元上在硬體中執行LBP運算，如元素930中所展示。

另外，多區塊LBP (與像素級別LBP對照，如上文所描述)可用於更為穩固之特徵向量。出於論述之簡易性，其餘揭示內容將在來自像素區塊或單元之經平均像素值之上下文中論述LBP及多區塊LBP，但應理解，像素值之加權總和或其他組合亦可代替像素值平均值而用於

各種實施中。多區塊LBP可首先獲得用於區塊中之所有像素的平均像素值。舉例而言，在930中，左上方區塊有具有以下像素值之六個像素：6、8、8、6、7、7 (順時針方向)。多區塊LBP可首先計算此等六個像素之平均值，該平均值為7。可針對窗口內之每一區塊重複此運算。舉例而言，所展示之窗口中之像素的平均值為7、8、12、8、9、11、6、20及19。隨後可在多區塊單元上藉由將區塊處理為「像素」來執行傳統LBP運算，例如，將值零或一寫入至環繞中央區塊之鄰近區塊。如圖式中可見，LBP運算之結果產生下列寫入值：0、0、1、0、1、0、1、1。傳統LBP運算隨後可如上文所描述繼續。元素930中所繪示之實例應理解為視情況包括一些定限。舉例而言，在一些實施中，在環繞具有平均值9之中央區塊之區塊上的LBP運算將針對比值9大某一臨限值之區塊產生結果「1」(或其他二進位數)。類似地，在一些實施中，可同時或獨立執行定限，以使得在環繞具有平均值9之中央區塊之區塊上的LBP運算將針對比值9小某一臨限值之區塊產生結果「0」(或其他二進位數)。在LBP之一些變體中，例如局部三元模式(LTP)，可執行定限，以使得在環繞具有平均值9之中央區塊之區塊上的LBP運算將產生以下三個值中之一者：針對比中央區塊小某一值的區塊為「-1」，針對與中央區塊之值相比在臨限值內之區塊為「0」，或針對比中央區塊大該臨限值之區塊為「1」。以類似方式，諸如帶符號梯度直方圖(HSG)之其他電腦視覺演算法可得益於多重像素值之區塊級別平均。下文中進一步詳細描述用於多區塊LBP之一些硬體實施。

圖10A繪示用於多區塊電腦視覺特徵實施之硬體實施。可將關於圖10A所描述之硬體提供為掃描窗口陣列(SWA)，該掃描窗口陣列保持由重疊於較大影像上之滑動樣本窗口定義的較大影像之子影像的內容。在一些實施中，可使掃描窗口陣列影像在硬體中作為對應於像素

值之電容器之陣列上的電荷可用。掃描窗口陣列影像可能含有水平及/或垂直裂縫，該等裂縫可為產生自原始影像讀取掃描窗口影像之假影。此外，在將子影像自較大陣列(例如，作為光學感測器或攝影機感測器系統之一部分的像素陣列)掃描至SWA之前，可組合或平均像素陣列之像素值，或可已減小像素陣列中之影像之原始解析度。因此，本文中所描述之任何像素值組合或平均可表示與原始解析度有關之影像之解析度進一步降低。此對於一些電腦視覺特徵計算或運算可為有利的。

若藉由硬體使SWA可用，則在一個實施中，例如將使用電路執行儲存像素值及電腦視覺計算之SWA之實施，可將像素值儲存為在自與每一像素相關聯之取樣及保持緩衝器充電之電容器1010 (例如，1010a、1010b、1010c、1010d)上的電荷(參看圖10B，為了清楚起見圖10A中未展示)。圖10A展示複數個電容器1010，每一電容器1010與一像素相關聯且藉由保持電荷來儲存像素值。可藉由驅動行短接線1030a、1030b、1030c、1030d或列短接線1020來啟動電晶體。舉例而言，若驅動圖中最左邊之行短接線1030a，則可將上部列中之最左電容器1010a短接至上部列中之左起第二電容器1010b，且可將下部列中之最左電容器1010e短接至下部列中之左起第二電容器1010f。經短接之像素之值可被讀出並且饋送至可選擇所需相關像素值之多工器。電容器可由耦接至電容器之可組態組合電路控制。可組態電路可根據不同組合模式以在硬體中組合來自電容器之多重像素值以產生組合像素值(例如，參看圖10C)。可組態電路為用於根據第一組合模式組合某一多重像素值以產生組合像素值之第一集合的硬體構件之一實例。此等組合像素值可表示因此組合之像素值之平均值。可理解，可在掃描窗口陣列之任何維度上執行像素值之組合。舉例而言，可組合(例如，平均)掃描窗口陣列內之 $2 \times 2$ 、 $3 \times 3$ 、 $4 \times 4$ 、 $5 \times 5$ 、或 $N \times N$ 區塊內的

像素值。更一般而言，亦可組合(例如，平均)掃描窗口陣列內之 $1 \times 2$ 、 $2 \times 1$ 、 $2 \times 3$ 、 $3 \times 2$ 、 $3 \times 4$ 、 $4 \times 3$ 或 $M \times N$  (其中 $M$ 或 $N$ 亦可等於1)像素區塊內的像素值。雖然圖10A中所展示之陣列為電容器之4乘4陣列，但應理解，SWA可取決於應用而為更大的。在一些實施中，SWA可為 $32 \times 32$ 陣列。在一些實施中，SWA可為矩形且可為 $M \times N$ 陣列。

可組態電路可包括列短接線(例如，可操作以沿列連接相鄰電路元件之第一可控制連接件)及行短接線(例如，可操作以沿行連接相鄰電路元件之第二可控制連接件)。電路可允許基於組合模式對多重像素值中之一些進行第一破壞性組合以產生組合像素值之集合。陣列中之電容器可隨後再加載有來自取樣及保持正緩衝器電路之資料(參看圖10B)。可針對其他像素之後續組合根據另一組合模式重複破壞性之組合。可理解，其他像素未必意謂互相排斥之像素。舉例而言，新的像素群組可包括來自先前組合操作的一或多個像素。像素值之組合可針對包含正經連接之相鄰感測器元件之區塊產生平均像素值。例如，可能需要在CV特徵計算之前組合 $2 \times 2$ 像素區塊。隨後，可能需要在CV特徵計算之前組合 $3 \times 3$ 像素區塊。由於像素值組合為破壞性的(例如，如上文關於圖10A所描述短接電容器)，在已執行 $2 \times 2$ 像素區塊組合之後執行 $3 \times 3$ 像素區塊組合恢復SWA內之原始像素值。在執行破壞性之組合或平均之後，如圖10B中所展示之取樣及保持正緩衝器電路1050允許原始像素值之恢復。

圖10C繪示連接至標記為LBP之電腦視覺(CV)特徵計算區塊1080之SWA，但應理解，可在硬體中執行其他電腦視覺特徵計算運算(諸如，HSG、FAST角隅或類哈爾特徵)。多工器(MUX) 1070可用於在局部二進位模式(LBP) 1080或其他基於硬體之CV特徵計算之前處理在SWA中表示之影像中之裂縫。亦應值得注意，本文中所描述之SWA 1060允許在基於硬體之CV特徵計算之前像素之臨時儲存、可能之組

合及/或平均或再配置。在以上論述中，假定影像中之每一像素值具有單一值，如在單色影像中。然而，應理解，對於多色影像，像素將不具有單一值，而是將具有多個值(例如，在(紅色-綠色-藍色) RGB影像之情況下的三個值)。因此，在RGB影像之實例中，上文所描述之SWA 1060可實際上為包含以下三個子陣列之掃描窗口：紅色SWA、綠色SWA及藍色SWA (圖10C中並未繪示為獨立子陣列)。圖10C中所展示之電腦視覺特徵計算區塊(標記為「LBP」) 1080可由不同色彩頻道SWA共用，或不同色彩可具有專用電腦視覺特徵計算區塊。類似地，所繪示之MUX 1070可被共用或每一色彩可具有專用MUX 1070。此外，應理解，在以上論述中，例如對於 $2 \times 2$ 像素區塊而言，在多色影像(例如，RGB影像)之情況下，組合或平均像素意謂分別組合 $2 \times 2$ 像素區塊中之紅色頻道以獲得單一組合紅色值，分別組合 $2 \times 2$ 像素區塊中之綠色頻道以獲得單一組合綠色值，以及分別組合 $2 \times 2$ 像素區塊中之藍色頻道以獲得單一組合藍色值。因此，對於單色影像而言，組合或平均像素將意謂組合或平均 $2 \times 2$ 像素區塊以針對區塊產生單一組合值；然而，例如，在RGB影像之情況下組合或平均像素將意謂組合或平均 $2 \times 2$ 像素區塊產生三個獨立值，區塊之經組合R值、區塊之經組合G值及區塊之經組合B值。類似地，組合或平均任何大小之像素區塊可產生多個值(並非只是一個)，該數目等於影像中之色彩頻道之數目。在SWA正基於以來自感測器陣列的感測器讀數為基礎之像素值儲存積分影像之一部分之實施中，應理解，SWA亦可包括為每一色彩頻道保持積分影像之三個子陣列。

在一些實施中，由於使用循環線緩衝器以用來自硬體感測器陣列之值填充掃描窗口陣列，組合可適當地處理存在於儲存於掃描窗口陣列中之影像中的垂直及/或水平裂縫，如圖10D中所繪示。舉例而言，若垂直裂縫位於電容器1010a與1010b之間，則可短接像素值

1010b及1010c且可短接像素值1010d及1010a (參看圖10A)。可隨後使用多工器以按正確次序(例如，開始於1010b處)讀取行值。舉例而言，如圖10D中所展示對於垂直裂縫1092，單一區塊內之像素包括最末行(SWA之極右側)中之像素及前兩行(SWA之極左側)中之像素；因此當在此情況下在區塊中短接所有像素時，極右側上之一些像素將與極左側上之像素短接。類似地，對於垂直及水平裂縫兩者1094之所展示之實例而言，待平均之單一區塊內之像素包括在前兩列中及在底部列中之像素。在此實例中，可隨後藉由短接來自所有四個角隅之像素(左上方中之 $2 \times 2$ 像素群將與右上角中之 $2 \times 1$ 像素群組及右下角中之 $1 \times 1$ 像素以及左下角中之 $1 \times 2$ 像素群組短接)來平均橫跨角隅之區塊。

一旦電容器經短接，且針對掃描窗口陣列內之每一區塊內之每一像素判定平均像素值，則可執行多區塊LBP運算或任何其他電腦視覺運算(參看圖10C)。掃描窗口陣列中之經組合(例如，平均)像素值可由多工器適當地選擇且隨後經饋送至多區塊LBP電路(或其他CV特徵計算電路)。藉由以硬體實施多區塊LBP，在SWA內之不同位置及/或不同大小(經組合或平均之像素數目)之區塊的情況下可多次執行LBP運算。

舉例而言，如圖11中所展示，多個區塊之大小可能不同。在實例1110中，區塊表示 $3 \times 3$ 像素群組之組合，且存在 $3 \times 3$ 區塊單元。在實例1120中，區塊表示 $3 \times 1$ 像素群組之組合，且存在 $3 \times 3$ 區塊單元。實例1110及1120可(例如)用於LBP或HSG硬體CV特徵計算中。在實例1130中，區塊表示 $3 \times 3$ 像素群組之組合，且存在 $1 \times 2$ 區塊單元。在一些實施中，電腦視覺運算為可選的。

在一些實施中，針對其他類型之CV特徵(諸如，類哈爾特徵)可使用相同原理來實施多個電路變體。軟體應用程式可按需要打開所需電路變體。在一些實施中，類比至數位轉換器(ADC)可用於像素強度

讀出。可理解，可新增任何其他電路元件以用於進一步處理(例如，卷積、深度學習等)。可以隔離形式或以組合形式使用此等額外電路元件。

可使用耦接至可組態組合電路之電腦視覺計算電路執行多區塊LBP。電腦視覺計算電路可基於組合像素值在硬體中執行電腦視覺計算。電腦視覺計算電路為以用於執行電腦視覺計算的硬體構件之一實例。

在圖10A之掃描窗口陣列(SWA)中，將電晶體展示為實現短接沿列相鄰的電容器(例如，短接電容器1010a及1010b)或短接沿行相鄰之電容器(例如，短接電容器1010a及1010e)。然而，應理解，電晶體可經配置以允許其他形式之組合像素值。舉例而言，電晶體可經組態以進一步允許對角地組合電容器。在此實施中，可提供電晶體(未展示)以短接(例如)電容器1010a與電容器1010f。此可允許相對於SWA成一角度之區塊的計算(舉例而言，所展示之重疊於SWA上之3區塊乘3區塊單元可相對於SWA成一角度)。

圖12為用於隔離硬體中之像素值之方法的流程圖1200。在區塊1210中，可經由複數個像素產生基於環境狀況之感測器讀數。可沿硬體感測器陣列之至少一第一維度及第二維度配置複數個像素。硬體感測器陣列可為攝影機之感測器。舉例而言，在圖5中，像素陣列(例如，硬體感測器陣列)儲存基於環境狀況之像素值。在此實例中，將表示婦女之肖像之像素值儲存於像素陣列中。

在一些實施中，硬體感測器陣列亦可包括耦接至複數個像素之可組態組合電路，可組態組合電路可操作以根據至少一個組合模式在硬體中組合來自複數個像素之多個感測器讀數以產生像素值。可組態組合電路可包括可操作以沿硬體感測器陣列之第一維度連接相鄰像素之第一複數個可控制連接件及可操作以沿硬體感測器陣列之第二維度

連接相鄰像素之第二複數個可控制連接件。當相鄰像素經連接時，可在正連接之相鄰像素中之每一者處產生平均像素值。可理解，就流程圖1200而言，執行平均可為可選的。

在區塊1220中，可將基於來自硬體感測器陣列之一或多個感測器讀數之像素值儲存於硬體掃描窗口陣列內之複數個儲存元件內。可沿硬體掃描窗口陣列之至少第一維度及第二維度配置複數個儲存元件。舉例而言，在圖5A中，將基於來自像素陣列之感測器讀數之像素值的一部分儲存於掃描窗口陣列中。

在區塊1230中，可經由用於系統地傳送像素值之周邊電路使待儲存之像素值之不同窗口得以儲存。將在不同時間儲存於硬體掃描窗口陣列中之像素值可基於來自硬體感測器陣列之感測器讀數。在一些實施中，周邊電路可包括線緩衝器，該線緩衝器包含沿該線緩衝器之至少第一維度及第二維度配置之複數個儲存元件，線緩衝器之第一維度小於硬體感測器陣列之第一維度，線緩衝器之第二維度等於硬體感測器陣列之第二維度。舉例而言，在圖5中，第一列驅動器、第二列驅動器及行驅動器使來自像素陣列之像素值被儲存於線緩衝器中。

在區塊1240中，可將信號提供至周邊電路以控制像素值至硬體掃描窗口陣列的傳送。可經由耦接至硬體感測器陣列、硬體掃描窗口陣列及周邊電路之控制邏輯提供信號。舉例而言，在圖5中，邏輯、記憶體、微處理器區塊發送信號至第一列驅動器及第二列驅動器、行驅動器及第一多工器以將像素值傳送至硬體掃描窗口陣列中。

在一些實施中，控制邏輯可能能夠藉由替換線緩衝器中之最舊列之像素值，將來自硬體感測器陣列之下一列之像素值儲存至線緩衝器中，藉此在由儲存於線緩衝器中之像素值表示之影像中沿列方向引入不連續性。然而，周邊電路可包括定位於線緩衝器與硬體掃描窗口陣列之間的交換電路，交換電路能夠交換列排序同時將像素值自線緩

衝器傳送至硬體掃描窗口陣列，藉此在由儲存於線緩衝器中之像素值表示之影像中沿列方向移除不連續性。舉例而言，在圖5中，第一多工器充當能夠交換列排序之交換電路。此外，在一些實施中，周邊電路亦可包括定位於硬體掃描窗口陣列與電腦視覺特徵計算區塊之間的交換電路，交換電路能夠交換列排序同時將像素值自硬體掃描窗口陣列傳送至電腦視覺特徵計算區塊，藉此在由儲存於硬體掃描窗口陣列中之像素值表示之影像中沿行方向移除不連續性。舉例而言，在圖5中，第二多工器充當能夠交換行排序之交換電路。

在一些實施中，方法亦可包括根據第一組合模式經由耦接至複數個儲存元件之可組態組合電路組合某一多重像素值以產生組合像素值之第一集合，同時維持多重像素值以用於根據第二組合模式後續組合另一多重像素值以產生組合像素值之第二集合。舉例而言，在圖9中，根據第一組合模式及第二組合模式組合不同像素值。在一些實施中，組合像素值之第一集合及第二集合可包括組合像素值之平均值。替代地，組合像素值可包括組合像素值之總和。在另一實施中，組合像素值可包括在組合像素值中最大的像素值。

在一些實施中，方法可進一步包括經由耦接至可組態組合電路之電腦視覺計算電路執行電腦視覺計算。電腦視覺計算可包括基於組合像素值之第一集合的第一電腦視覺計算及基於組合像素值之第二集合的第二電腦視覺計算，作為多區塊局部二進位(LBP)運算之一部分。舉例而言，在圖9中，在組合像素值上執行多區塊LBP運算。

圖13繪示行動器件1305之實施，該行動器件可使用如上文所描述之感測器系統。應注意，圖13僅意在提供各種組件之一般化說明，可在適當時利用該等組件中之任一者或全部。可注意，在一些情況下由圖13所繪示之組件可侷限於單一實體器件及/或分佈在各種網路化器件之間，該等網路化器件可經安置於不同實體位置處。

行動器件1305展示為包含可經由匯流排1306電耦接(或可在適當時以其他方式通信)之硬體元件。硬體元件可包括處理單元1310，該(等)處理單元可包括(但不限於)一或多個通用處理器、一或多個專用處理器(諸如，數位信號處理(DSP)晶片、圖形加速度處理器、特殊應用積體電路(ASIC)及/或類似者)及/或其他處理結構或構件。如圖13中所展示，取決於所需功能性，一些實施可具有單獨的DSP 1320。行動器件1305亦可包括：一或多個輸入器件1370，該一或多個輸入器件可包括(但不限於)觸控式螢幕、觸控板、麥克風、按鈕、撥號盤、開關及/或類似者；及一或多個輸出器件1315，該一或多個輸出器件可包括(但不限於)顯示器、發光二極體(LED)、揚聲器及/或類似者。

行動器件1305亦可包括無線通信介面1330，該無線通信介面可包括(但不限於)數據機、網路卡、紅外線通信器件、無線通信器件及/或晶片組(諸如，藍芽™器件、電機電子工程師學會標準(IEEE) 302.11器件、IEEE 302.15.4器件、WiFi器件、WiMax器件、蜂巢式通信設施等)及/或類似者。無線通信介面1330可准許與網路、無線存取點、其他電腦系統及/或本文中所描述之任何其他電子器件交換資料。可經由發送及/或接收無線信號1334之一或多個無線通信天線1332執行通信。

取決於所需功能性，無線通信介面1330可包括用以與基地收發器台(例如，蜂巢式網路之基地台)存取點通信之獨立收發器。此等不同資料網路可包括各種網路類型。另外，無線廣域網路(WWAN)可為分碼多重存取(CDMA)網路、分時多重存取(TDMA)網路、分頻多重存取(FDMA)網路、正交分頻多重存取(OFDMA)網路、單載波分頻多重存取(SC-FDMA)網路、WiMax (IEEE 802.16)等等。CDMA網路可實施一或多個無線電存取技術(RAT)，諸如cdma2000、寬頻CDMA (W-CDMA)等。Cdma2000包括IS-95、IS-2000及/或IS-856標準。TDMA網

路可實施全球行動通信系統(GSM)、數位進階行動電話系統(D-AMPS)或某種其他RAT。OFDMA網路可利用長期演進(LTE)、進階LTE等。LTE、進階LTE、GSM及W-CDMA描述於來自3GPP之文獻中。Cdma2000描述於來自名為「第三代合作夥伴計劃2」(3GPP2)之協會之文獻中。3GPP和3GPP2文獻為公開可用的。無線區域網路(WLAN)亦可為IEEE 802.11x網路，且無線個人區域網路(WPAN)可為藍芽網路、IEEE 802.15x或一些其他類型之網路。本文中所描述之技術也亦可用於WWAN、WLAN及/或WPAN之任何組合。

行動器件1305可進一步包括感測器1340。此等感測器可包括(但不限於)一或多個加速計、陀螺儀、攝影機、磁力計、高度計、麥克風、近接感測器、光感測器及類似者。另外地或替代地，感測器1340可包括如圖1中所描述之一或多個組件。舉例而言，感測器1340可包括像素陣列505及掃描窗口陣列515，且掃描窗口陣列515可連接至電腦視覺特徵計算區塊560、查找表570以及邏輯、記憶體及微處理器區塊580，如在本發明中其他處所描述。邏輯、記憶體及微處理器區塊580可被理解為充當一或多個計算器件，其執行指令以(例如)使像素值之不同窗口儲存於硬體掃描窗口陣列515中；或執行使控制信號被提供至周邊電路以控制像素值至硬體掃描窗口陣列515之傳送的指令。圖5A之區塊580中之微處理器可包括專用於圖5A中所展示之感測器系統之微處理器，且此微處理器可將事件發送至行動器件1305之處理單元1310。亦應理解，感測器1340亦可包括圖5B中所繪示之周邊電路526中之任一者。此外，如參考5B所描述，感測器1340亦可包括階層式分類器硬體。使用指示與CV計算硬體及硬體掃描窗口陣列之通信之箭頭繪示的階層式分類器亦可充當一或多個計算器件，該一或多個計算器件執行指令以使像素值之不同窗口儲存於硬體掃描窗口陣列515中；或執行使控制信號被提供至周邊電路以控制像素值至硬體

掃描窗口陣列515之傳送的指令。

行動器件之實施亦可包括能夠使用SPS天線1382自一或多個SPS衛星接收信號1384之標準定位服務(SPS)接收器1380。此定位可用以補充及/或併入有本文中所描述之技術。SPS接收器1380可使用習知技術自SPS系統(諸如，全球導航衛星系統(GNSS) (例如，全球定位系統(GPS))、伽利略、格洛納斯、羅盤、日本之準天頂衛星系統(QZSS)器件、印度之印度區域導航衛星系統(IRNSS)、中國之北斗及/或類似者)之SPS SV擷取行動器件之位置。此外，SPS接收器1380可用於各種增強系統(例如，基於衛星之增強系統(SBAS))，該等增強系統可與一或多個全球及/或區域性導航衛星系統相關聯或以其他方式經啟用以與一或多個全球及/或區域導航衛星系統一起使用。以實例說明而非限制，SBAS可包括提供完整資訊、微分校正等之增強系統(諸如，廣域增強系統(WAAS)、歐洲地球同步導航重疊服務(European Geostationary Navigation Overlay Service; EGNOS)、多功能衛星增強系統(Multi-functional Satellite Augmentation System; MSAS)、GPS輔助式地理增強導航或GPS及地理增強導航系統(GPS Aided Geo Augmented Navigation or GPS and Geo Augmented Navigation system; GAGAN)及/或類似者)。因此，如本文中所使用，SPS可包括一或多個全球及/或區域導航衛星系統及/或增強系統之任何組合，且SPS信號可包含SPS、類SPS及/或與此類一或多個SPS相關聯之其他信號。

行動器件1305可進一步包括記憶體1360及/或與記憶體1360通信。記憶體1360可包括(但不限於)本端及/或網路可存取儲存器、磁碟機、驅動器陣列、光學儲存器件、固態儲存器件(諸如，隨機存取記憶體(「RAM」)及/或唯讀記憶體(「ROM」))，其可為可程式化的、閃存可更新的)和/或類似者。此等儲存器件可經組態以實施任何適合之資料儲存器，其包括(但不限於)各種檔案系統、資料庫結構及/或類似

者。

行動器件1305之記憶體1360亦可包含軟體元件(未展示)，其包括作業系統、器件驅動器、可執行程式庫及/或其他程式碼(諸如，一或多個應用程式)，該等軟體元件可包含由各種實施提供之電腦程式，及/或可經設計以實施由其他實施提供之方法及/或組態由其他實施提供之系統，如本文中所描述。在一態樣中，隨後，此等程式碼及/或指令可用以組態及/或調適通用電腦(或其他器件)以根據所描述之方法執行一或多個操作。

熟習此項技術者將顯而易見，可根據特定要求作出實質性變化。舉例而言，亦可使用自訂硬體，及/或可以硬體、軟體(包括攜帶型軟體，諸如，小程式等)或兩者實施特定元件。此外，可使用至其他計算器件(諸如，網路輸入/輸出器件)之連接。

參考附隨圖式，可包括記憶體之組件可包括非暫時性機器可讀媒體。如本文中所使用，術語「機器可讀媒體」及「電腦可讀媒體」指代參與提供使機器以特定方式操作之資料的任何儲存媒體。在上文所提供之實施中，各種機器可讀媒體可能參與將指令/程式碼提供至處理單元及/或其他器件以用於執行。另外或替代地，機器可讀媒體可用以存儲及/或攜載此等指令/程式碼。在許多實施中，電腦可讀媒體為實體及/或有形儲存媒體。此媒體可採取許多形式，包括(但不限於)非揮發性媒體、揮發性媒體及傳輸媒體。常見形式之電腦可讀媒體包括(例如)磁性及/或光學媒體、打孔卡片、紙帶、具有孔圖案之任何其他實體媒體、RAM、PROM、EPROM、FLASH-EPROM、任何其他記憶體晶片或匣、如下文中所描述之載波，或電腦可自其讀取指令及/或程式碼之任何其他媒體。

本文中所論述之方法、系統及器件為實例。各種實施可適當地省略、取代或新增各種程序或組件。舉例而言，可在各種其他實施中

組合關於某些實施所描述之特徵。可以類似方式組合實施之不同態樣及元件。本文所提供之圖式之各種組件可以硬體及/或軟體體現。並且，技術發展，且因此許多元件為並不將本發明之範疇限制於彼等特定實例的實例。

已證實，主要出於普遍使用之原因，有時將此等信號稱為位元、資訊、值、元素、符號、字符、變量、項、數字、編號或類似者為方便的。然而，應理解，所有這此等或類似術語應與適當物理量相關聯且僅為方便的標記。除非另外確切地陳述，否則自以上論述顯而易見，應瞭解，貫穿本說明書之使用諸如「處理」、「計算」、「演算」、「判定」、「確定」、「辨識」、「關聯」、「量測」、「執行」或類似者之論述指代特定裝置(諸如，專用電腦或類似專用電子計算器件)之動作或處理程序。因此，在本說明書之上下文中，專用電腦或類似專用電子計算器件能夠操縱或變換信號，該等信號通常表示為專用電腦或類似專用電子計算器件之記憶體、暫存器或其他資訊儲存器件、傳輸器件或顯示器件內之實體電子、電氣或磁性量。

如本文所使用，術語「及」以及「或」可包括各種含義，該等含義亦預期至少部分取決於使用此等術語之上下文。通常，「或」若用以關聯一個列表(諸如，A、B或C)，則意欲意謂A、B及C(此處以包括性意義使用)，以及A、B或C(此處以排它性意義使用)。另外，如本文中所使用，術語「一或多個」可用於以單數形式描述任何特徵、結構或特性，或可用於描述特徵、結構或特性之一些組合。然而，應注意，此僅為說明性實例，且所主張之標的物不限於此實例。此外，術語「中之至少一者」若用以關聯一列表(諸如，A、B或C)，則可解釋為意謂A、B及/或C之任何組合(諸如，A、AB、AA、AAB、AABBCCC等)。

在已描述若干實施後，可在不脫離本發明之精神的情況下使用

各種修改、替代性構造及等效物。舉例而言，以上元件可僅為較大系統之組件，其中其他規則可優先於本發明之應用或以其他方式修改本發明之應用。並且，可在考慮以上要素之前、期間或之後進行許多步驟。因此，以上描述並不限制本發明之範疇。

應理解，所揭示處理程序中之步驟的特定次序或層次為例示性方法之說明。基於設計偏好，應理解，可重新配置處理程序中之步驟的特定次序或層次。此外，可組合或省略一些步驟。隨附方法請求項以樣本次序呈現各種步驟之要素，且並非意謂受限於所呈現之特定次序或層次。

提供先前描述以使熟習此項技術者能夠實踐本文中所描述之各種態樣。對此等態樣之各種修改對熟習此項技術者而言將為顯而易見的，且本文中所定義之一般原理可應用於其他態樣。此外，本文中所揭示之皆不意欲專用於公共。

#### 【符號說明】

100	感測器
102	感測器元件
200	像素
202	感測器元件
204	像素中電路
302	感測器元件陣列
304	周邊電路
306	周邊電路
402	感測器元件陣列
404	專用電腦視覺處理模組
406	應用程式處理器
505	像素陣列

510	第一列驅動器
512	電腦視覺計算硬體
514	類比至數位轉換器
515	掃描窗口陣列
516	二維整合硬體
520	第二列驅動器/專用微處理器
522	階層式分類器硬體
524	介面
525	線緩衝器
526	周邊電路
530	行驅動器
540	第一多工器
550	第二多工器
560	電腦視覺特徵計算區塊
570	查找表
580	邏輯、記憶體及微處理器區塊
590	硬體電腦視覺特徵計算區塊
592	第三多工器
594	第二硬體掃描窗口陣列
595	第二電腦視覺特徵計算區塊
610	作用中像素影像感測器
620	列短接線
630	行短接線
710	取樣及保持電路
720	列線選擇
730	行線選擇

740	源極隨耦器/緩衝器
910	九個像素之群組
912	元素
920	元素
930	元素
1010a	電容器/像素值
1010b	電容器/像素值
1010c	電容器/像素值
1010d	電容器/像素值
1010e	電容器
1010f	電容器
1010g	電容器
1010h	電容器
1020	列短接線
1030a	行短接線
1030b	行短接線
1030c	行短接線
1030d	行短接線
1050	取樣及保持正緩衝器電路
1060	掃描窗口陣列
1070	多工器
1080	局部二進位模式
1092	垂直裂縫
1094	垂直及水平裂縫兩者
1110	實例
1120	實例

1130	實例
1200	流程圖
1210	區塊
1220	區塊
1230	區塊
1240	區塊
1305	行動器件
1306	匯流排
1310	處理單元
1315	輸出器件
1320	數位信號處理
1332	無線通信天線
1334	無線信號
1340	感測器
1360	記憶體
1370	輸入器件
1380	標準定位服務接收器
1382	標準定位服務天線
1384	信號

## 【英文】

An apparatus includes a hardware sensor array including a plurality of pixels arranged along at least a first dimension and a second dimension of the array, each of the pixels capable of generating a sensor reading. A hardware scanning window array includes a plurality of storage elements arranged along at least a first dimension and a second dimension of the hardware scanning window array, each of the storage elements capable of storing a pixel value based on one or more sensor readings. Peripheral circuitry for systematically transfers pixel values, based on sensor readings, into the hardware scanning window array, to cause different windows of pixel values to be stored in the hardware scanning window array at different times. Control logic coupled to the hardware sensor array, the hardware scanning window array, and the peripheral circuitry, provides control signals to the peripheral circuitry to control the transfer of pixel values.

**【代表圖】**

**【本案指定代表圖】**：第（5A）圖。

**【本代表圖之符號簡單說明】**：

505	像素陣列
510	第二列驅動器
515	掃描窗口陣列
520	第一列驅動器
525	線緩衝器
530	行驅動器
540	第一多工器
550	第二多工器
560	電腦視覺特徵計算區塊
570	查找表
580	邏輯、記憶體及微處理器區塊

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

（無）

在一些實施中，低功率視覺感測器亦包括耦接至一或多個線緩衝器及整合硬體之類比至數位轉換器(analog-to-digital converter; ADC)。

在一些實施中，電腦視覺特徵計算硬體經組態以計算局部二進位模式(LBP)特徵。

在一些實施中，LBP特徵為多區塊LBP特徵。

在一些實施中，低功率視覺感測器進一步包括硬體階層式分類器，該硬體階層式分類器經組態以基於由電腦視覺計算硬體計算之電腦視覺特徵偵測儲存於硬體掃描窗口陣列中之樣本窗口內之參考物件之存在。

在一些實施中，無影像信號處理電路安置於影像感測器陣列與硬體掃描窗口陣列之間。

在一些實施中，用於以低功率視覺感測器偵測物件之方法包括經由影像感測器陣列捕獲影像，影像感測器陣列具有複數個列及複數個行。該方法亦包括經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料。該方法進一步包括經由硬體掃描窗口陣列基於影像之樣本窗口儲存資料，資料將用於電腦視覺計算中，硬體掃描窗口陣列之行數少於一或多個線緩衝器之行數。該方法另外包括經由電腦視覺特徵計算硬體基於儲存於硬體掃描窗口陣列中之資料計算電腦視覺特徵。

在一些實施中，一或多個非暫時性電腦可讀媒體儲存用於以低功率視覺感測器偵測物件之電腦可執行指令，該等電腦可執行指令當經執行時使一或多個計算器件進行以下操作：經由影像感測器陣列捕獲影像，該影像感測器陣列具有複數個列及複數個行；經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料；經由硬體掃描窗口陣列基於影像之樣本窗口儲存資料，該資料將

用於電腦視覺計算中，該硬體掃描窗口陣列之行數少於一或多個線緩衝器之行數；以及經由電腦視覺特徵計算硬體基於儲存於硬體掃描窗口陣列中之資料計算電腦視覺特徵。

在一些實施中，用於以低功率視覺感測器偵測物件之裝置包括用於經由影像感測器陣列捕獲影像之硬體構件，該影像感測器陣列具有複數個列及複數個行。裝置進一步包括用於經由一或多個線緩衝器自影像感測器陣列之複數個列中之一或多個列傳送影像資料之硬體構件。該裝置另外包括用於經由硬體掃描窗口陣列基於影像之樣本窗口儲存資料之硬體構件，該資料將用於電腦視覺計算中，該硬體掃描窗口陣列之行數少於一或多個線緩衝器之行數。裝置亦包括用於經由電腦視覺特徵計算硬體基於儲存於硬體掃描窗口陣列中之資料計算電腦視覺特徵之硬體構件。

在一些實施中，低功率視覺感測器包括能夠捕獲影像之影像感測器陣列，影像感測器陣列具有複數個列及複數個行。低功率視覺感測器亦包括用於自影像感測器陣列之複數個列中之一或多個列傳送影像資料之一或多個線緩衝器。低功率視覺感測器進一步包括能夠基於由一或多個線緩衝器傳送之影像資料計算積分影像之整合硬體。低功率視覺感測器亦包括電腦視覺特徵計算硬體，該電腦視覺特徵計算硬體經組態以基於由二維整合硬體計算之積分影像計算電腦視覺特徵。

在一些實施中，該低功率視覺感測器亦包括用於基於影像之樣本窗口儲存資料之硬體掃描窗口陣列，該資料將用於電腦視覺計算中，該硬體掃描窗口陣列之行數少於一或多個線緩衝器之行數。

在一些實施中，低功率視覺感測器亦包括用於待傳送至硬體掃描窗口陣列之資料的訊框緩衝器。

在一些實施中，訊框緩衝器包含影像訊框緩衝器或積分影像訊

在一些實施中，視覺感測器可輸出FAST 590角隅位置及視情況彼等偵測到的經FAST偵測之角隅周圍的影像片段。在此等實施中，第二硬體掃描窗口陣列594、第三多工器592以及描述符595可能並不存在。

為實現進一步功率節省，如圖5C中所繪示之一些實施尋求減少對硬體掃描窗口陣列與CV特徵計算區塊之間的多工器的依賴。若(例如)在遍及儲存於掃描陣列(SWA) 515中之樣本窗口之諸多位置中將由第二CV特徵計算區塊595計算電腦視覺特徵或描述符，則可藉由用MUX 592移除垂直裂縫並且使第二無裂縫掃描窗口陣列用於計算諸多CV特徵或描述符計算來實現功率節省。此外，若樣本窗口中之影像之部分不太可能含有目標物件，則可避免裂縫之移除。藉由偵測CV特徵(例如，如圖5C中所繪示之FAST角隅)來閘控樣本窗口至第二硬體掃描窗口陣列594的傳送，可避免裂縫之移除，且亦可避免進一步CV特徵或描述符計算。若CV特徵計算區塊590指示(例如)無FAST角隅存在於儲存於SWA 515中之樣本窗口中，則如本文中其他處所描述，SWA 515僅移動至影像之另一部分而不調用在第二CV特徵計算區塊595中執行之更為耗時的CV特徵計算。在由CV特徵計算區塊590(例如，FAST角隅偵測電路)計算之CV特徵使用較少功率且快於由第二CV特徵計算區塊595計算之CV特徵或描述符(例如，SIFT特徵描述符)的實施中，此等實施可減少功率使用並且增加計算速度及效率。CV特徵計算區塊595為用於基於儲存於第二硬體掃描窗口陣列中之值執行電腦視覺計算的硬體構件之一實例。

圖6繪示用於在將像素讀取至線緩衝器之前視情況平均像素陣列505 (例如，圖5A或圖5B中所展示之像素陣列505)中之像素值的硬體實施。圖6中展示來自像素陣列505之四個相鄰像素(例如，作用中像素影像感測器610)的說明性實例，在圖6中出於說明之目的將該等像

I656799

## 發明摘要

※ 申請案號：104132301

※ 申請日：104年9月30日

※IPC 分類：  
*H04N 9/64* (2006.01)  
*G06K 9/46* (2006.01)

## 【發明名稱】

用於影像中低功率物件偵測之硬體內掃描窗口

SCANNING WINDOW IN HARDWARE FOR LOW-POWER  
OBJECT-DETECTION IN IMAGES

## 【中文】

本發明係關於一種裝置，該裝置包括一硬體感測器陣列，該硬體感測器陣列包括沿該陣列之至少一第一維度及一第二維度配置之複數個像素，該等像素中之每一者能夠產生一感測器讀數。一硬體掃描窗口陣列包括複數個沿該硬體掃描窗口陣列之至少一第一維度及一第二維度配置之儲存元件，該等儲存元件中之每一者能夠基於一或多個感測器讀數儲存一像素值。周邊電路將基於感測器讀數的像素值系統地傳送至該硬體掃描窗口陣列中，以使得不同窗口之像素值在不同時間被儲存於該硬體掃描窗口陣列中。耦接至該硬體感測器陣列、該硬體掃描窗口陣列以及該周邊電路之控制邏輯將控制信號提供至該周邊電路以控制像素值之該傳送。

## 申請專利範圍

1. 一種用於隔離硬體中之像素值以用於電腦視覺運算之裝置，其包含：

一硬體感測器陣列，其包含沿該硬體感測器陣列之至少一第一維度及一第二維度配置之複數個像素，該等像素中之每一者能夠基於環境狀況產生一感測器讀數；

一硬體掃描窗口陣列，其包含沿該硬體掃描窗口陣列之至少一第一維度及一第二維度配置之複數個儲存元件，該等儲存元件中之每一者能夠儲存基於來自該硬體感測器陣列之一或多個感測器讀數的一像素值；

周邊電路，其用於將基於來自該硬體感測器陣列之感測器讀數的像素值系統地傳送至該硬體掃描窗口陣列中；及

控制邏輯，其耦接至該硬體感測器陣列、該硬體掃描窗口陣列及該周邊電路，該控制邏輯可操作以將控制信號提供至該周邊電路以控制像素值至該硬體掃描窗口陣列中之該傳送，

其中像素值之該傳送致使像素值之一第一窗口待於一第一時間儲存至該硬體掃描窗口陣列中且像素值之一第二窗口待於一第二時間儲存至該硬體掃描窗口陣列中，該第一窗口對應於該硬體感測器陣列內之與第二窗口不同之一位置。

2. 如請求項1之裝置，其中該硬體感測器陣列進一步包含：

可組態組合電路，其耦接至該複數個像素，該可組態組合電路可操作以根據至少一個組合模式在硬體中組合來自該複數個像素之多個感測器讀數以產生該等像素值，其中該可組態組合電路包含：

一第一複數個可控制連接件，其可操作以沿該硬體感測器

陣列之該第一維度連接相鄰像素；及

一第二複數個可控制連接件，其可操作以沿該硬體感測器陣列之該第二維度連接相鄰像素，

其中連接相鄰像素在正連接之該等相鄰像素中之每一者處產生平均像素值。

3. 如請求項2之裝置，其中該感測器讀數為一類比感測器讀數，其中該像素值為一類比像素值，且其中該可組態組合電路為可組態類比組合電路。

4. 如請求項1之裝置，其中該周邊電路包含：

一線緩衝器，其包含沿該線緩衝器之至少一第一維度及一第二維度配置之複數個儲存元件，該線緩衝器之該第一維度小於該硬體感測器陣列之該第一維度，該線緩衝器之該第二維度等於該硬體感測器陣列之該第二維度，

其中該線緩衝器能夠儲存來自該硬體感測器陣列之選定列之像素值。

5. 如請求項4之裝置，其中該控制邏輯能夠藉由替換該線緩衝器中之一最舊列之像素值來將來自該硬體感測器陣列之一下一列之像素值儲存至該線緩衝器中，藉此在由儲存於該線緩衝器中之該等像素值代表之一影像中沿一列方向引入一不連續性。

6. 如請求項5之裝置，其中該周邊電路進一步包含定位於該線緩衝器與該硬體掃描窗口陣列之間的一多工器電路，該多工器電路能夠交換列排序同時將像素值自該線緩衝器傳送至該硬體掃描窗口陣列，藉此在由儲存於該線緩衝器中之該等像素值代表之一影像中沿一列方向移除該不連續性。

7. 如請求項5之裝置，其中該周邊電路進一步包含定位於該硬體掃描窗口陣列與一硬體電腦視覺特徵計算區塊之間的一多工器電

路，該多工器電路能夠交換行排序同時將像素值自該硬體掃描窗口陣列傳送至該硬體電腦視覺特徵計算區塊，藉此在由儲存於該硬體掃描窗口陣列中之該等像素值代表之一影像中沿一行方向移除該不連續性。

8. 如請求項4之裝置，其中該控制邏輯能夠藉由替換該硬體掃描窗口陣列中之一最舊行之像素值來將來自該線緩衝器之一下一行之像素值儲存至該硬體掃描窗口陣列中，藉此在由儲存於該硬體掃描窗口陣列中之該等像素值代表之一影像中沿一行方向引入一不連續性。
9. 如請求項4之裝置，其中該周邊電路進一步包含一硬體電腦視覺特徵計算區塊，該硬體電腦視覺特徵計算區塊可操作以在硬體中基於儲存於該硬體掃描窗口陣列中之值執行電腦視覺計算。
10. 如請求項9之裝置，其進一步包含耦接至該硬體掃描窗口之該複數個儲存元件之可組態組合電路，其中該可組態組合電路能夠執行根據一第一組合模式在硬體中組合某一多重像素值以產生組合像素值之一第一集合，同時維持該等多重像素值以用於根據一第二組合模式後續組合另一多重像素值以產生組合像素值之一第二集合，且其中組合像素值之該第一集合及組合像素值之該第二集合由該硬體電腦視覺特徵計算區塊使用以計算一多區塊局部二進位模式電腦視覺特徵。
11. 如請求項9之裝置，其中該周邊電路進一步包含一整合區塊，該整合區塊能夠基於來自該硬體感測器陣列之該等感測器讀數計算一積分影像且將該經計算積分影像儲存於該掃描窗口陣列中，且其中自儲存於該掃描窗口陣列中之該積分影像產生之組合像素值由該硬體電腦視覺特徵計算區塊使用以計算一多區塊局部二進位模式電腦視覺特徵。

12. 如請求項9之裝置，其中該可組態組合電路包含：
  - 一第一複數個可控制連接件，其可操作以沿該硬體掃描窗口陣列之該第一維度連接相鄰電路元件；及
  - 一第二複數個可控制連接件，其可操作以沿該硬體掃描窗口陣列之該第二維度連接相鄰像素，  
其中連接相鄰像素在正連接之該等相鄰像素中之每一者處產生平均像素值。
13. 如請求項9之裝置，其中該第一組合模式及該第二組合模式中之該等不同者允許選擇在該硬體掃描窗口陣列內之不同位置及維度處的該複數個儲存元件。
14. 如請求項9之裝置，其中該硬體電腦視覺特徵計算區塊包含可操作以執行角隅偵測之電路。
15. 如請求項14之裝置，其進一步包含耦接至該控制邏輯之一第二硬體掃描窗口陣列，該控制邏輯可操作以提供控制信號以基於在由儲存於該硬體掃描窗口陣列中之該等像素值代表之一影像中之由該硬體電腦視覺特徵計算區塊進行之一角隅之偵測控制像素值自該硬體掃描窗口陣列至該第二硬體掃描窗口陣列之該傳送，該周邊電路進一步包含定位於該硬體掃描窗口陣列與該第二硬體掃描窗口陣列之間的一多工器電路，該多工器電路能夠交換行排序同時將該等像素值自該硬體掃描窗口陣列傳送至該第二硬體掃描窗口陣列，藉此在該影像中沿一行方向移除一不連續性。
16. 如請求項15之裝置，其進一步包含一第二硬體電腦視覺特徵計算區塊，其可操作以在硬體中基於儲存於該第二硬體掃描窗口陣列中之值執行電腦視覺計算。
17. 如請求項1之裝置，其中該複數個像素中之至少一個像素包含一

感測器元件及像素中電路。

18. 如請求項1之裝置，其中各自基於來自該硬體感測器陣列之該一或多個感測器讀數之該等像素值包含各自基於該一或多個原始感測器讀數之原始像素值。
19. 如請求項1之裝置，其中無影像信號處理電路安置於該硬體感測器陣列與該硬體掃描窗口陣列之間。
20. 一種用於隔離硬體中之像素值以用於電腦視覺運算之方法，其包含：

經由一硬體感測器陣列內之複數個像素基於環境狀況產生一感測器讀數，其中沿該硬體感測器陣列之至少一第一維度及一第二維度配置該複數個像素；

在一硬體掃描窗口陣列內之複數個儲存元件內儲存基於來自該硬體感測器陣列之一或多個感測器讀數之一像素值，其中沿該硬體掃描窗口陣列之至少一第一維度及一第二維度配置該複數個儲存元件；

經由周邊電路使像素值系統傳送基於來自該硬體感測器陣列之感測器讀數至該硬體掃描窗口陣列中；及

經由耦接至該硬體感測器陣列、該硬體掃描窗口陣列及該周邊電路之控制邏輯將信號提供至該周邊電路以控制像素值至該硬體掃描窗口陣列之該傳送，

其中該像素值傳送致使像素值之一第一窗口待於一第一時間儲存至該硬體掃描窗口陣列中且像素值之一第二窗口待於一第二時間儲存至該硬體掃描窗口陣列中，該第一窗口對應於該硬體感測器陣列內之與第二窗口不同之一位置。

21. 如請求項20之方法，其進一步包含根據至少一個組合模式經由耦接至該複數個像素之可組態組合電路在硬體中組合來自該複

數個像素之多個感測器讀數以產生該等像素值，其中該可組態組合電路包含：

一第一複數個可控制連接件，其可操作以沿該硬體感測器陣列之該第一維度連接相鄰像素；及

一第二複數個可控制連接件，其可操作以沿該硬體感測器陣列之該第二維度連接相鄰像素，

其中連接相鄰像素在正連接之該等相鄰像素中之每一者處產生平均像素值。

22. 如請求項21之方法，其中該感測器讀數為一類比感測器讀數，其中該像素值為一類比像素值，且其中該可組態組合電路為可組態類比組合電路。
23. 如請求項20之方法，其中經由用於系統地傳送像素值之該周邊電路使該等像素值之該等不同窗口儲存於該硬體掃描窗口陣列中包含將來自該硬體感測器陣列之選定列之像素值儲存於一線緩衝器中，該線緩衝器包含沿該線緩衝器之至少一第一維度及一第二維度配置之複數個儲存元件，該線緩衝器之該第一維度小於該硬體感測器陣列之該第一維度，該線緩衝器之該第二維度等於該硬體感測器陣列之該第二維度，

其中該線緩衝器能夠儲存來自該硬體感測器陣列之選定列之像素值。
24. 如請求項23之方法，其進一步包含經由該控制邏輯藉由替換該線緩衝器中之一最舊列之像素值來將來自該硬體感測器陣列之一下一列之像素值儲存至該線緩衝器中，藉此在由儲存於該線緩衝器中之該等像素值代表之一影像中沿一列方向引入一不連續性。
25. 如請求項24之方法，其進一步包含經由定位於該線緩衝器與該

硬體掃描窗口陣列之間的一多工器電路交換列排序同時將像素值自該線緩衝器傳送至該硬體掃描窗口陣列，藉此在由儲存於該線緩衝器中之該等像素值代表之一影像中沿一列方向移除該不連續性。

26. 如請求項24之方法，其進一步包含經由定位於該硬體掃描窗口陣列與一電腦視覺特徵計算區塊之間的一多工器電路交換行排序，同時將像素值自該硬體掃描窗口陣列傳送至該電腦視覺特徵計算區塊，藉此在由儲存於該硬體掃描窗口陣列中之該等像素值代表之一影像中沿一行方向移除該不連續性。
27. 如請求項23之方法，其進一步包含經由該控制邏輯藉由替換該硬體掃描窗口陣列中之一最舊行之像素值來將來自該線緩衝器之一下一行之像素值儲存至該硬體掃描窗口陣列中，藉此在由儲存於該硬體掃描窗口陣列中之該等像素值代表之一影像中沿一行方向引入一不連續性。
28. 如請求項23之方法，其進一步包含經由電腦視覺計算電路基於儲存於該硬體掃描窗口陣列中之像素值執行角隅偵測。
29. 如請求項28之方法，其中基於在由儲存於該硬體掃描窗口陣列中之像素值代表之一影像中由該硬體電腦視覺計算電路進行之一角隅之該偵測，使像素值經由用於系統地傳送像素值之該周邊電路自該硬體掃描窗口陣列傳送至一第二硬體掃描窗口陣列，該周邊電路進一步包含定位於該硬體掃描窗口陣列與該第二硬體掃描窗口陣列之間的一多工器電路，該多工器電路能夠交換行排序同時將該等像素值自該硬體掃描窗口陣列傳送至該第二硬體掃描窗口陣列，藉此在該影像中沿一行方向移除一不連續性。
30. 如請求項29之方法，其進一步包含經由第二硬體電腦視覺計算

電路基於儲存於該第二硬體掃描窗口陣列中之值執行電腦視覺計算。

31. 如請求項20之方法，其進一步包含執行根據一第一組合模式經由耦接至該複數個儲存元件之可組態組合電路組合某一多重像素值以產生組合像素值之一第一集合，同時維持該等多重像素值以用於根據一第二組合模式後續組合另一多重像素值以產生組合像素值之一第二集合。
32. 如請求項31之方法，其進一步包含經由耦接至該可組態組合電路之電腦視覺計算電路執行電腦視覺計算。
33. 如請求項32之方法，其中經由耦接至該可組態組合電路之該電腦視覺計算電路執行電腦視覺計算包含基於組合像素值之該第一集合執行一第一電腦視覺計算及基於組合像素值之該第二集合執行一第二電腦視覺計算。
34. 如請求項33之方法，其中該電腦視覺計算電路能夠將該第一電腦視覺計算及該第二電腦視覺計算作為一多區塊局部二進位(LBP)運算之一部分來執行。
35. 如請求項31之方法，其中儲存於該硬體掃描窗口陣列中之該等像素值代表具有一高解析度之一影像，且該第一組合模式代表鄰近像素值之一平均以產生具有低於該高解析度之一第一較低解析度之一影像。
36. 如請求項35之方法，其中該第二組合模式代表鄰近像素值之一平均以產生具有低於該第一較低解析度之一第二較低解析度之一影像。
37. 如請求項20之方法，其中該複數個像素中之至少一個像素包含一感測器元件及像素中電路。
38. 如請求項20之方法，其中各自基於來自該硬體感測器陣列之該

一或多個感測器讀數之該等像素值包含各自基於該一或多個原始感測器讀數之原始像素值。

39. 如請求項20之方法，其中不在該硬體感測器陣列內產生該感測器讀數與將該像素值儲存於該硬體掃描窗口陣列內之間執行影像信號處理電路。