

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成28年12月22日(2016.12.22)

【公表番号】特表2015-536627(P2015-536627A)

【公表日】平成27年12月21日(2015.12.21)

【年通号数】公開・登録公報2015-080

【出願番号】特願2015-545460(P2015-545460)

【国際特許分類】

H 0 3 D 7/14 (2006.01)

H 0 4 B 1/26 (2006.01)

【F I】

H 0 3 D 7/14 C

H 0 4 B 1/26 B

【手続補正書】

【提出日】平成28年10月28日(2016.10.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

R F受信機の2次入力インターセプトポイント(I I P 2)を較正するための装置であって、前記装置は、

変調データを備える被変調入力信号を生成するように構成された信号生成器と、

ミキサ出力を生成するために、前記被変調入力信号から導出された信号を局部発振器信号と混合するように構成されたミキサを備える1次受信機と、

前記ミキサ出力に結合されたアナログ相関器と

を備え、前記アナログ相関器が、

前記アナログ相関器への入力信号に前記変調データを乗算するように構成されたアナログ乗算器と、

アナログ相関器出力信号を生成するために前記アナログ乗算器の出力を積分するように構成されたアナログ積分器と

を備え、

ここにおいて、前記受信機の調整可能入力に前記アナログ相関器出力信号に結合される、装置。

【請求項2】

前記受信機の前記調整可能入力に前記ミキサのバイアス電圧を備える、請求項1に記載の装置。

【請求項3】

前記被変調入力信号から導出された前記信号が、前記ミキサの入力に直接結合された前記被変調入力信号である、または、

前記被変調入力信号から導出された前記信号が、前記ミキサの入力に結合された出力を有する低雑音増幅器の入力に結合された前記被変調入力信号である、請求項1に記載の装置。

【請求項4】

前記アナログ乗算器が、差動出力を有する増幅器と、第1のスイッチに結合された前記差動出力の第1の端子と、第2のスイッチに結合された前記差動出力の第2の端子とを備

え、前記第1のスイッチが、前記変調データに基づいてオンおよびオフに交互に切り替えられ、前記第2のスイッチが、前記第1のスイッチとは逆の様式でオンおよびオフに交互に切り替えられる、請求項1に記載の装置。

【請求項5】

前記第1および第2のスイッチが前記アナログ積分器の入力にさらに結合され、ここにおいて、前記アナログ積分器が、少なくとも1つのフィードバック結合積分キャパシタを有する演算増幅器を備える、請求項4に記載の装置。

【請求項6】

前記アナログ積分器が、正端子と負端子とを備える差動入力を備え、前記正端子が前記第1のスイッチの出力に結合され、前記負端子が前記第2のスイッチの出力に結合され、ここにおいて、前記アナログ乗算器の増幅器の前記差動出力の前記第1の端子が第3のスイッチによって前記負端子に結合され、前記アナログ乗算器の増幅器の前記差動出力の前記第2の端子が第4のスイッチによって前記正端子に結合され、ここにおいて、前記第3のスイッチが前記第2のスイッチと同相でオンおよびオフに切り替えられ、前記第4のスイッチが前記第1のスイッチと同相でオンおよびオフに切り替えられる、請求項5に記載の装置。

【請求項7】

前記アナログ積分器が差動出力をさらに備え、ここにおいて、前記アナログ相関器出力信号が前記アナログ積分器の前記差動出力を備え、ここにおいて、前記受信機の前記調整可能入力が入記ミキサの差動バイアス電圧を備え、ここにおいて、前記アナログ積分器の前記差動出力が入記ミキサの前記差動バイアス電圧に結合される、または、

前記アナログ積分器が差動出力をさらに備え、ここにおいて、前記アナログ相関器出力信号が前記アナログ積分器の前記差動出力を備え、ここにおいて、前記受信機の前記調整可能入力が低雑音増幅器の差動バイアス電圧を備え、ここにおいて、前記アナログ積分器の前記差動出力が入記低雑音増幅器の前記差動バイアス電圧に結合される、または、

前記アナログ積分器の前記出力が入記低雑音増幅器のバイアス電圧に結合される、請求項6に記載の装置。

【請求項8】

前記被変調入力信号が振幅変調された入力信号を備え、前記振幅変調が、前記変調データを使用してシングルトーンキャリアをオンオフキーイングすることを備え、前記変調データが交互ビットのシーケンスを備え、ここにおいて、前記アナログ乗算器がアイドルモードで無効にされ得、ここにおいて、前記アナログ乗算器は、前記変調データが前記シングルトーンキャリアをオフにしたときに前記アイドルモードになるように構成された、請求項4に記載の装置。

【請求項9】

前記被変調入力信号が振幅変調された入力信号を備え、前記振幅変調が、前記変調データを使用してシングルトーンキャリアをオンオフキーイングすることを備え、前記変調データが交互ビットのシーケンスを備える、請求項1に記載の装置。

【請求項10】

前記受信機が同相(I)ミキサを備え、前記1次受信機が直交(Q)ミキサをさらに備え、ここにおいて、前記受信機の前記調整可能入力が前記IおよびQミキサのゲートバイアス電圧を備え、ここにおいて、前記アナログ相関器出力信号が、時間的に連続的に前記Iミキサおよび前記Qミキサの前記ゲートバイアス電圧に交互に結合される、請求項1に記載の装置。

【請求項11】

前記ミキサが同相(I)ミキサを備え、前記1次受信機が直交(Q)ミキサをさらに備え、前記アナログ相関器が第1のアナログ相関器を備え、前記装置が、前記変調データを、前記Qミキサの出力に結合された信号と相関させるように構成された第2のアナログ相関器をさらに備え、ここにおいて、前記第1のアナログ相関器の出力が入記Iミキサのゲートバイアス電圧に結合され、ここにおいて、前記第2のアナログ相関器の出力が入記Q

ミキサの前記ゲートバイアス電圧に結合される、請求項 1 に記載の装置。

【請求項 1 2】

前記アナログ相関器出力信号をデジタル信号に変換するためのアナログデジタル変換器と、

前記アナログデジタル変換器の出力を記憶するためのメモリと、

前記メモリ中の記憶された値をアナログ値に変換するためのデジタルアナログ変換器と、
ここにおいて、前記アナログ値が、前記アナログ相関器出力信号の代わりに前記受信機の前記調整可能入力に結合されるように構成可能である、
をさらに備える、請求項 1 に記載の装置。

【請求項 1 3】

少なくとも 1 つのバランと、

シングルエンド信号を差動信号に変換するために前記少なくとも 1 つのバランに結合された出力を有する複数の低雑音増幅器 (LNA) と
をさらに備え、

ここにおいて、前記ミキサへの入力が、前記被変調入力信号と、前記少なくとも 1 つのバランの差動出力信号の両方に結合され、前記複数の LNA が、選択的に無効にされるように構成可能であり、ここにおいて、

前記少なくとも 1 つのバランが複数のバランを備え、各バランが、対応する複数の低雑音増幅器に結合され、

前記装置が、前記複数のバランの各々に関連付けられたミキサをさらに備え、前記ミキサへの前記入力の各々が、前記被変調入力信号、または前記関連付けられたバランの差動出力信号から選択可能である、

請求項 1 に記載の装置。

【請求項 1 4】

2 次受信機をさらに備え、前記 2 次受信機が、無線周波数信号をダウンコンバートするための受信処理チェーンを備え、前記受信処理チェーンが低域フィルタを備え、ここにおいて、

前記 1 次受信機の較正モードでは、前記アナログ相関器の前記アナログ乗算器および積分器が前記 2 次受信機の前記低域フィルタ中の構成要素を利用し、前記 2 次受信機の前記低域フィルタは、

並列に結合された構成可能な抵抗と構成可能なキャパシタンスとを有するフィードバック経路を備える第 1 の増幅器直列セクションと、ここにおいて、前記第 1 の増幅器直列セクションが、前記構成可能なキャパシタンスを無効にするように構成可能であり、前記第 1 の増幅器直列セクションが、前記構成可能な抵抗を無効にするようにさらに構成可能である、

並列に結合された構成可能な抵抗と構成可能なキャパシタンスとを有するフィードバック経路を備える第 2 の増幅器直列セクションと、ここにおいて、前記第 2 の増幅器直列セクションが、前記構成可能なキャパシタンスを無効にするように構成可能であり、前記第 2 の増幅器直列セクションが、前記構成可能な抵抗を無効にするようにさらに構成可能である、

を備え、

ここにおいて、前記 1 次受信機が前記較正モードにあるとき、前記第 1 の増幅器直列セクションは、前記アナログ乗算器を実装するために前記構成可能なキャパシタンスを無効にするように構成され、前記第 2 の増幅器直列セクションが、前記アナログ積分器を実装するために前記構成可能な抵抗を無効にするように構成された、

請求項 1 に記載の装置。

【請求項 1 5】

RF 受信機の 2 次入力インターセプトポイント (IIP2) を較正するための方法であって、前記方法は、

変調データを使用して被変調信号を生成することと、

ダウンコンバートされた信号を生成するために前記被変調信号を受信機入力に結合することと、

前記ダウンコンバートされた信号を前記変調データと相関させることと、前記相関させることが、アナログ相関ブロックを使用することを備える、

前記相関の出力を前記受信機の調整可能入力に結合することと、

前記受信機のパラメータを最適化させる、前記受信機の前記調整可能入力の少なくとも1つの値を記憶することと

を備える方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

[0097]開示した例示的な態様の前述の説明は、当業者が本発明を実施または使用することができるように与えたものである。これらの例示的な態様への様々な修正は当業者には容易に明らかであり、本明細書で定義した一般原理は、本発明の趣旨または範囲から逸脱することなく他の例示的な態様に適用され得る。したがって、本開示は、本明細書で示した例示的な態様に限定されるものではなく、本明細書で開示した原理および新規の特徴に一致する最も広い範囲を与えられるべきである。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[C1]

装置であって、

変調データを備える被変調入力信号を生成するように構成された信号生成器と、

ミキサ出力を生成するために、前記被変調入力信号から導出された信号を局部発振器信号と混合するように構成されたミキサを備える1次受信機と、

前記ミキサ出力に結合されたアナログ相関器と

を備え、前記アナログ相関器が、

前記アナログ相関器への入力信号に前記変調データを乗算するように構成されたアナログ乗算器と、

アナログ相関器出力信号を生成するために前記アナログ乗算器の出力を積分するように構成されたアナログ積分器と

を備え、

ここにおいて、前記受信機の調整可能入力の前記アナログ相関器出力信号に結合される、装置。

[C2]

前記受信機の前記調整可能入力の前記ミキサのバイアス電圧を備える、C1に記載の装置。

[C3]

前記被変調入力信号から導出された前記信号が、前記ミキサの入力に直接結合された前記被変調入力信号である、C1に記載の装置。

[C4]

前記被変調入力信号から導出された前記信号が、前記ミキサの入力に結合された出力を有する低雑音増幅器の入力に結合された前記被変調入力信号である、C1に記載の装置。

[C5]

前記アナログ乗算器が、差動出力を有する増幅器と、第1のスイッチに結合された前記差動出力の第1の端子と、第2のスイッチに結合された前記差動出力の第2の端子とを備え、前記第1のスイッチが、前記変調データに基づいてオンおよびオフに交互に切り替えられ、前記第2のスイッチが、前記第1のスイッチとは逆の様式でオンおよびオフに交互に切り替えられる、C1に記載の装置。

[C 6]

前記第 1 および第 2 のスイッチが前記アナログ積分器の入力にさらに結合され、ここにおいて、前記アナログ積分器が、少なくとも 1 つのフィードバック結合積分キャパシタを有する演算増幅器を備える、C 5 に記載の装置。

[C 7]

前記アナログ積分器が、正端子と負端子とを備える差動入力を備え、前記正端子が前記第 1 のスイッチの出力に結合され、前記負端子が前記第 2 のスイッチの出力に結合され、ここにおいて、前記アナログ乗算器の増幅器の前記差動出力の前記第 1 の端子が第 3 のスイッチによって前記負端子に結合され、前記アナログ乗算器の増幅器の前記差動出力の前記第 2 の端子が第 4 のスイッチによって前記正端子に結合され、ここにおいて、前記第 3 のスイッチが前記第 2 のスイッチと同相でオンおよびオフに切り替えられ、前記第 4 のスイッチが前記第 1 のスイッチと同相でオンおよびオフに切り替えられる、C 6 に記載の装置。

[C 8]

前記アナログ積分器が差動出力をさらに備え、ここにおいて、前記アナログ相関器出力信号が前記アナログ積分器の前記差動出力を備え、ここにおいて、前記受信機の前記調整可能入力前記ミキサの差動バイアス電圧を備え、ここにおいて、前記アナログ積分器の前記差動出力が前記ミキサの前記差動バイアス電圧に結合される、C 7 に記載の装置。

[C 9]

前記アナログ積分器が差動出力をさらに備え、ここにおいて、前記アナログ相関器出力信号が前記アナログ積分器の前記差動出力を備え、ここにおいて、前記受信機の前記調整可能入力前記低雑音増幅器の差動バイアス電圧を備え、ここにおいて、前記アナログ積分器の前記差動出力が前記低雑音増幅器の前記差動バイアス電圧に結合される、C 7 に記載の装置。

[C 1 0]

前記アナログ積分器の前記出力が低雑音増幅器のバイアス電圧に結合される、C 7 に記載の装置。

[C 1 1]

前記被変調入力信号が振幅変調された入力信号を備え、振幅変調が、前記変調データを使用してシングルトーンキャリアをオンオフキーイングすることを備え、前記変調データが交互ビットのシーケンスを備え、ここにおいて、前記アナログ乗算器がアイドルモードで無効にされ得、ここにおいて、前記アナログ乗算器は、前記変調データが前記シングルトーンキャリアをオフにしたときに前記アイドルモードになるように構成された、C 5 に記載の装置。

[C 1 2]

前記被変調入力信号が振幅変調された入力信号を備え、振幅変調が、前記変調データを使用してシングルトーンキャリアをオンオフキーイングすることを備え、前記変調データが交互ビットのシーケンスを備える、C 1 に記載の装置。

[C 1 3]

前記 1 次受信機が同相 (I) ミキサを備え、前記 1 次受信機が直交 (Q) ミキサをさらに備え、ここにおいて、前記受信機の前記調整可能入力前記 I および Q ミキサのゲートバイアス電圧を備え、ここにおいて、前記アナログ相関器出力信号が、時間的に連続的に前記 I ミキサおよび前記 Q ミキサの前記ゲートバイアス電圧に交互に結合される、C 1 に記載の装置。

[C 1 4]

前記ミキサが同相 (I) ミキサを備え、前記 1 次受信機が直交 (Q) ミキサをさらに備え、前記アナログ相関器が第 1 のアナログ相関器を備え、前記装置が、前記変調データを、前記 Q ミキサの出力に結合された信号と相関させるように構成された第 2 のアナログ相関器をさらに備え、ここにおいて、前記第 1 のアナログ相関器の出力が前記 I ミキサのゲートバイアス電圧に結合され、ここにおいて、前記第 2 のアナログ相関器の出力が前記 Q

ミキサの前記ゲートバイアス電圧に結合される、C 1 に記載の装置。

[C 1 5]

前記アナログ相関器出力信号をデジタル信号に変換するためのアナログデジタル変換器と、

前記アナログデジタル変換器の出力を記憶するためのメモリと、

前記メモリ中の記憶された値をアナログ値に変換するためのデジタルアナログ変換器と、
ここにおいて、前記アナログ値が、前記アナログ相関器出力信号の代わりに前記受信機
の前記調整可能入力に結合されるように構成可能である、
をさらに備える、C 1 に記載の装置。

[C 1 6]

少なくとも1つのバランと、

シングルエンド信号を差動信号に変換するために前記少なくとも1つのバランに結合され
た出力を有する複数の低雑音増幅器(LNA)と
をさらに備え、

ここにおいて、前記ミキサへの入力が、前記被変調入力信号と、前記少なくとも1つの
バランの差動出力信号の両方に結合され、前記複数のLNAが、選択的に無効にされるよ
うに構成可能である、

C 1 に記載の装置。

[C 1 7]

前記少なくとも1つのバランが複数のバランを備え、各バランが、対応する複数の低雑
音増幅器に結合され、

前記装置が、前記複数のバランの各々に関連付けられたミキサをさらに備え、前記ミキ
サへの前記入力の各々が、前記被変調入力信号、または前記関連付けられたバランの差動
出力信号から選択可能である、

C 1 6 に記載の装置。

[C 1 8]

2次受信機をさらに備え、前記2次受信機が、無線周波数信号をダウンコンバートする
ための受信処理チェーンを備え、前記受信処理チェーンが低域フィルタを備え、ここにお
いて、

前記1次受信機の較正モードでは、前記アナログ相関器の前記アナログ乗算器および積
分器が前記2次受信機の前記低域フィルタ中の構成要素を利用する、

C 1 に記載の装置。

[C 1 9]

前記2次受信機の前記低域フィルタは、

並列に結合された構成可能な抵抗と構成可能なキャパシタンスとを有するフィードバ
ック経路を備える第1の増幅器直列セクションと、ここにおいて、前記第1の増幅器直列
セクションが、前記構成可能なキャパシタンスを無効にするように構成可能であり、前記
第1の増幅器直列セクションが、前記構成可能な抵抗を無効にするようにさらに構成可能
である、

並列に結合された構成可能な抵抗と構成可能なキャパシタンスとを有するフィードバ
ック経路を備える第2の増幅器直列セクションと、ここにおいて、前記第2の増幅器直列
セクションが、前記構成可能なキャパシタンスを無効にするように構成可能であり、前記
第2の増幅器直列セクションが、前記構成可能な抵抗を無効にするようにさらに構成可能
である、

を備え、

ここにおいて、前記1次受信機が前記較正モードにあるとき、前記第1の増幅器直列セ
クションは、前記アナログ乗算器を実装するために前記構成可能なキャパシタンスを無効
にするように構成され、前記第2の増幅器直列セクションが、前記アナログ積分器を実装
するために前記構成可能な抵抗を無効にするように構成された、

C 1 8 に記載の装置。

[C 2 0]

変調データを使用して被変調信号を生成することと、
ダウンコンバートされた信号を生成するために前記被変調信号を受信機入力に結合することと、
前記ダウンコンバートされた信号を前記変調データと相関させることと、前記相関させることが、アナログ相関ブロックを使用することを備える、
前記相関の出力を前記受信機の調整可能入力に結合することと、
前記受信機のパラメータを最適化させる、前記受信機の前記調整可能入力の少なくとも1つの値を記憶することと
を備える方法。

[C 2 1]

前記受信機の前記調整可能入力の前記受信機のミキサのゲートバイアス電圧を備え、前記受信機の前記パラメータが2次インターセプトポイント(IIP2)を備え、前記被変調信号を前記生成することが、前記変調データを使用してオンオフキーイング(OOK)を用いて変調することを備え、前記被変調信号を前記受信機入力に前記結合することが、前記被変調信号を前記受信機の前記ミキサの入力に直接結合することを備える、C 2 0に記載の方法。

[C 2 2]

変調データを使用して被変調信号を生成するための手段と、
ダウンコンバートされた信号を生成するために前記被変調信号を受信機入力に結合するための手段と、
前記ダウンコンバートされた信号を前記変調データと相関させるための手段と、
前記相関の出力を前記受信機の調整可能入力に結合するための手段と、
前記受信機のパラメータを最適化させる、前記受信機の前記調整可能入力の少なくとも1つの値を記憶するための手段と
を備える装置。