



(21)申请号 201410132386.1

(22)申请日 2014.04.01

(65)同一申请的已公布的文献号

申请公布号 CN 104916632 A

(43)申请公布日 2015.09.16

(30)优先权数据

103109429 2014.03.14 TW

(73)专利权人 密克罗奇普技术公司

地址 美国亚利桑那州

(72)发明人 陈哲宏

(74)专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 王允方

(51)Int.Cl.

H01L 27/02(2006.01)

(56)对比文件

US 5895940 A, 1999.04.20,

CN 1396662 A, 2003.02.12,

US 2006044719 A1, 2006.03.02,

审查员 周文龙

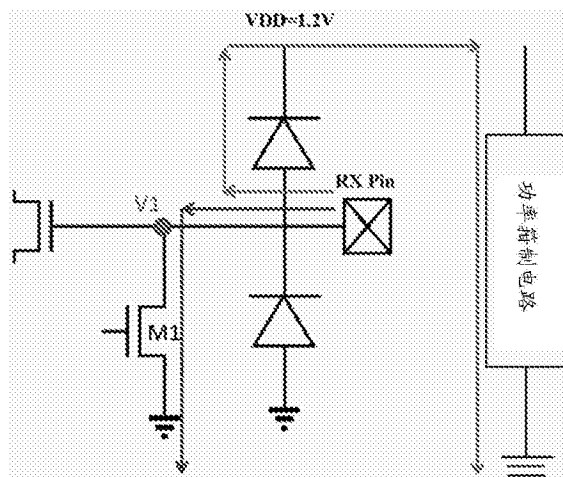
权利要求书2页 说明书6页 附图6页

(54)发明名称

一种静电放电保护电路

(57)摘要

本发明公开了一种静电放电保护电路,包括:一二极管,设置于一N型井区,一包括一高浓度P型掺杂区与不相邻的一高浓度N型掺杂区;一金氧半(NMOS)晶体管,设置于一P型井区,包括一汲极、一源极与一闸极,汲极与源极皆由高浓度N型掺杂区所形成;其中P型井区更包括一相邻于源极的高浓度P型掺杂区,金氧半(NMOS)晶体管的汲极电性连接于二极管的高浓度N型掺杂区,金氧半(NMOS)晶体管的源极与相邻的高浓度P型掺杂区电性地接地,且金氧半(NMOS)晶体管的闸极电性连接一触发接点。静电放电保护电路具有极低的寄生与杂散电容,极高容忍电压操作范围与高ESD静电保护能力,能解决射频接收端脚的ESD问题。



1. 一种静电放电保护电路,该静电放电保护电路由设置于一半导性基板上的一二极管与一金氧半组件所组成,包括:

一第一井区,具有第一导电形态;

一第二井区,与第一井区邻接且具有第二导电形态;

一第一高浓度掺杂区,位于第一井区内且具有第二导电形态,第一高浓度掺杂区电性连接一连接垫;

一第二高浓度掺杂区,位于第一井区内,与第一高浓度掺杂区有一第一预设距离,具有第一导电形态;

一第三高浓度掺杂区,位于第二井区内且具有第一导电形态;

一第四高浓度掺杂区,位于第二井区内,与第三高浓度掺杂区有一第二预设距离,且具有第一导电形态,第四高浓度掺杂区电性连接一接地垫;

一第五高浓度掺杂区,位于第二井区内,相邻于第四高浓度掺杂区,且具有第二导电形态,第五高浓度掺杂区连接接地垫;

一电极,设置于第二井区的表面,在第三高浓度掺杂区与第四高浓度掺杂区之间,电极电性连接一触发接点;

其中第二高浓度掺杂区电性连接于第三高浓度掺杂区。

2. 如权利要求1所述的静电放电保护电路,其特征在于第一导电形态为N型而第二导电形态为P型。

3. 如权利要求1所述的静电放电保护电路,其特征在于第一高浓度掺杂区、第一井区与第二井区寄生等效形成一第一双极性晶体管,第一高浓度掺杂区为第一双极性晶体管的集极,第一井区为第一双极性晶体管的基极,第二井区为第一双极性晶体管的射极。

4. 如权利要求1所述的静电放电保护电路,其特征在于第四高浓度掺杂区、第一井区与第二井区寄生等效形成一第二双极性晶体管,第四高浓度掺杂区为第二双极性晶体管的集极,第二井区为第二双极性晶体管的基极,第一井区为第一双极性晶体管的射极。

5. 如权利要求1所述的静电放电保护电路,其特征在于第一高浓度掺杂区、第四高浓度掺杂区、第一井区与第二井区寄生等效形成一硅控整流器。

6. 如权利要求1所述的静电放电保护电路,其特征在于第一高浓度掺杂区、第一井区与第二井区寄生等效形成一第一双极性晶体管,第一井区为第一双极性晶体管的基极,且第四高浓度掺杂区、第一井区与第二井区寄生等效形成一第二双极性晶体管,第二井区为第二双极性晶体管的基极,第一双极性晶体管与第二双极性晶体管构成一硅控整流器。

7. 如权利要求1所述的静电放电保护电路,其特征在于电极与第二井区的表面之间,还包括一具有一厚度的绝缘层。

8. 如权利要求1所述的静电放电保护电路,其特征在于第三高浓度掺杂区、第四高浓度掺杂区与电极形成一场效晶体管,电极到场效晶体管的栅极。

9. 如权利要求1所述的静电放电保护电路,其特征在于第五高浓度掺杂区比第四高浓度掺杂区邻近第一井区和第二井区交界处,第五高浓度掺杂区用于调整触发接点的一触发电压。

10. 如权利要求1所述的静电放电保护电路,其特征在于第二高浓度掺杂区与第三高浓度掺杂区皆电性连接于一高电位接点。

11. 一种静电放电保护电路,其特征在于包括:

一二极管,设置于一N型井区,一包括一高浓度P型掺杂区与不相邻的一高浓度N型掺杂区;

一金氧半(NMOS)晶体管,设置于一P型井区,包括一汲极、一源极与一闸极,汲极与源极皆由高浓度N型掺杂区所形成;

其中P型井区还包括一相邻于源极的高浓度P型掺杂区,金氧半(NMOS)晶体管的汲极电性连接于二极管的高浓度N型掺杂区,金氧半(NMOS)晶体管的源极与相邻的高浓度P型掺杂区电性地接地,且金氧半(NMOS)晶体管的闸极电性连接一触发接点。

12. 如权利要求11所述的静电放电保护电路,其特征在于金氧半(NMOS)晶体管的汲极与二极管的高浓度N型掺杂区皆电性连接于一高电位接点。

13. 如权利要求11所述的静电放电保护电路,其特征在于二极管的高浓度P型掺杂区、第N型井区、P型井区与金氧半(NMOS)晶体管的源极寄生等效形成一硅控整流器。

14. 如权利要求11所述的静电放电保护电路,其特征在于二极管的高浓度P型掺杂区、第N型井区与P型井区寄生等效形成一第一双极性晶体管,N型井区为第一双极性晶体管的基极,且金氧半(NMOS)晶体管的源极、N型井区与P型井区寄生等效形成一第二双极性晶体管,第P型井区为第二双极性晶体管的基极,第一双极性晶体管与第二双极性晶体管构成一硅控整流器。

一种静电放电保护电路

技术领域

[0001] 本发明涉及一种静电放电保护电路,特别涉及一种采用硅控整流器的静电放电保护电路,具有低杂散电容,低触发电压且拥有高容忍电压操作范围与高ESD能力的电路。

背景技术

[0002] 为防止集成电路(Integrated circuit, IC)在制作、生产、使用过程中遭受静电放电(Electrostatic discharge, ESD)轰击造成IC损毁,因而必须在任何连接到连接线(bonding wire)的路径上增加ESD保护电路,以利导通ESD电流避免内部电路受损。

[0003] 一般而言,保护电路可分为二极管(Diode),金属氧化半导体(metal oxide semiconductor, MOS)晶体管,硅控整流器(Silicon Controlled Rectifier, SCR)…等。其中,硅控整流器拥有在相同单位面积下最高的ESD电流导通能力。然而,传统的硅控整流器的触发电压(Trigger voltage)过高,造成使用上的困难。例如,侧向硅控整流器(Lateral SCR, LSCR)拥有强大的ESD能力,却仍因为触发电压过高,而在实际应用上较少使用。

[0004] 为了降低触发电压,许多硅控整流器的改良不断被提出。美国公告专利US4896243公开一种修正侧向硅控整流器(Modified Lateral SCR, MLSCR)。美国公告专利US4939616公开一种低电压触发硅控整流器(Low voltage triggering SCR, LVTSCR)。文献“Diode-triggered SCR(DTSCR) for RF-ESD protection of BiCMOS SiGe HBTs and CMOS ultra-thin gate oxides,” in IEEE int. Electron Devices Meeting (IEDM) Tech. Dig., Washington, DC, 2003, pp. 21.3.1-21.3.4., Mergens等人提出一种双触发硅控整流器(Dual triggered SCR, LVTSCR)。

[0005] 一般而言,高速传输端脚(Pin)在电路以及ESD保护电路的总寄生电容必须小于200fF,否则传输的高速信号将由于寄生的电容产生延迟(delay),甚至导致信号的失真,使其不能达到良好的电路特性。因此,以MOS晶体管做为设计主轴的ESD保护组件,由于其寄生电容过大,在传输高速信号的设计上并不适合。另外许多低电容ESD保护组件被拿出讨论,包括H.Feng, K.Gong, and A.Z.Wang. “A comparison study of ESD protection for RFIC’s: performance vs. parasitics.” in IEEE MTT-S int. Microwave Symp. Dig., Boston, MA, 2000, pp. 143-146. C.Y.Lin and M.D.Ker, “Dual SCR with low-and-constant parasitic capacitance for ESD protection in 5-GHz RF integrated circuits,” in IEEE int. conf. Solid-State Integrated Circuit Tech. (ICSICT), Shanghai, 2010, pp. 707-709. M.H.Tsai, S.H.Hsu, F.L.Hsueh and C.P.Jou “A multi-ESD-path low-noise amplifier with a 4.3-A TLP current level in 65-nm CMOS”, IEEE Trans. Microw. Theory Tech., vol. 58, no. 12, pp. 4004-4011, 2010. M.P.J. Mergens, C.C.Russ, K.G.Verhaege, J.Armer, P.C.Jozwiak, R.P.Mohn, B.Keppens, and C.S.Trinh, “Speed optimized diode-triggered SCR (DTSCR) for RF ESD protection of ultra-sensitive IC nodes in advanced technologies”, IEEE Trans. Device Mater. Rel., vol. 5, no. 3, pp. 532-542, 2005. 在此一并作为参考。这些ESD保护电路的架构在设计上皆以

SCR为出发点,均是看中SCR能在单位面积下提供高的ESD电流导通能力,因此可利用较小的布局尺寸(layout size)来降低寄生电容,且能拥有基本的ESD抵抗能力。

[0006] 现请参考图1,其为在此先提供一TC9003F31RX pin接收端电路失效示意图。ESD保护架构对上使用高浓度P掺杂/N型井区(P+/NW)二极管做为保护,对下则使用高浓度N掺杂/P型井区(N+/PW)二极管做为保护。当接收端脚(pin)受到ESD PS-模式(PS-模式亦即是VSS端接地,正的ESD电压出现在接收端脚(pin),对VSS脚放电,此时VDD与其他端脚皆浮接)轰击之时,理想的ESD电流应如同上方线所示先经由上方P+/NW二极管,再透过功率箝制(power clamp)电路将其电流流通至地。然而,事实上,ESD电流却非预期的以下方路线造成M1MOS晶体管损毁。其原因归纳为ESD电流在流通时,使其V1电压拉升高过M1MOS晶体管所能容忍的电压使其崩溃。图2为图1的传输线脉冲(Transmission Line Pulse,TLP)量测曲线,其说明上述原因。由于M1MOS晶体管为55nm制程,其操作电压更仅有1.2V,如此更降低了M1MOS晶体管的崩溃电压(breakdown voltage)。

[0007] 在射频电路ESD的防护上,除了使用电容、电感与电路互相调整电路匹配外,二极管、硅控整流器做为ESD保护是较为可行之法。但是以二极管做为ESD保护电路仅能提供顺向的ESD电流防护,因此极容易由于跨压过大而倒致内部组件崩溃,进而使二极管损毁;且随着制程微缩化,组件本身的崩溃电压也随之下降,更增加了设计上的难度。

[0008] 另外由于接收端脚(RX pin)在使用上,会有一个如同摆幅(Swing)的信号,因此也不能使其触发电压过低,而发生类似截波的情形。

[0009] 有鉴于此,有必要提出一种静电放电保护电路,可以提供一低电容,且拥有高容忍电压操作范围与高ESD能力的组件,希望能有效解决射频接收端脚在ESD上的困境。

发明内容

[0010] 本发明的主要目的在于提供一种静电放电保护电路,可以提供一低电容,且拥有高容忍电压操作范围与高ESD能力的组件,能有效解决射频接收端脚在ESD上的困境。

[0011] 为达到上述的主要目的,本发明采用以下技术方案:

[0012] 一种静电放电保护电路,静电放电保护电路由设置于一半导体基板上的一二极管与一金氧半组件所组成,包括:一第一井区,具有第一导电形态;一第二井区,与第一井区邻接且具有第二导电形态;一第一高浓度掺杂区,位于第一井区内且具有第二导电形态,第一高浓度掺杂区电性连接一连接垫;一第二高浓度掺杂区,位于第一井区内,与第一高浓度掺杂区有一第一预设距离,具有第一导电形态;一第三高浓度掺杂区,位于第二井区内且具有第一导电形态;一第四高浓度掺杂区,位于第二井区内,与第三高浓度掺杂区有一第二预设距离,且具有第一导电形态,第四高浓度掺杂区电性连接一接地垫;一第五高浓度掺杂区,位于第二井区内,相邻于第四高浓度掺杂区,且具有第二导电形态,第五高浓度掺杂区连接接地垫;一电极,位设置于第二井区的表面,在第三高浓度掺杂区与第四高浓度掺杂区之间,电极电性连接一触发接点;其中第二高浓度掺杂区电性连接于第三高浓度掺杂区。

[0013] 根据本发明的一特征,第一导电形态为N型而第二导电形态为P型。

[0014] 根据本发明的另一特征,第一高浓度掺杂区、第四高浓度掺杂区、第二高浓度掺杂区与第二井区寄生等效形成一硅控整流器。

[0015] 根据本发明的另一特征,第二高浓度掺杂区与第三高浓度掺杂区皆电性连接于

一高电位接点。

[0016] 一种静电放电保护电路,包括:一二极管,设置于一N型井区,一包括一高浓度P型掺杂区与不相邻的一高浓度N型掺杂区;一金氧半(NMOS)晶体管,设置于一P型井区,包括一汲极、一源极与一闸极,汲极与源极皆由高浓度N型掺杂区所形成;其中P型井区还包括一相邻于源极的高浓度P型掺杂区,金氧半(NMOS)晶体管的汲极电性连接于二极管的高浓度N型掺杂区,金氧半(NMOS)晶体管的源极与相邻的高浓度P型掺杂区电性地接地,且金氧半(NMOS)晶体管的闸极电性连接一触发接点。

[0017] 根据本发明的另一特征,金氧半(NMOS)晶体管的汲极与二极管的高浓度N型掺杂区皆电性连接于一高电位接点。

[0018] 根据本发明的另一特征,二极管的高浓度P型掺杂区、第N型井区、P型井区与金氧半(NMOS)晶体管的源极寄生等效形成一硅控整流器。

[0019] 综上所述,本发明的静电放电保护电路具有以下功效:

[0020] 1、具有极低的寄生与杂散电容,能解决射频接收端脚的ESD问题。

[0021] 2、具有极高容忍电压操作范围与高ESD静电保护能力。

附图说明

[0022] 图1为一TC9003F31RX pin接收端电路失效示意图。

[0023] 图2为图1传输线脉冲量测曲线。

[0024] 图3为本发明的ESD保护电路的布局的第一实施例。

[0025] 图4a、4b为本发明的ESD保护电路的第一实施例的寄生SCR电路图。

[0026] 图5为本发明的ESD保护电路的第一实施例的静电放电路径说明图。

[0027] 图6为本发明的ESD保护电路的布局的第二实施例。

[0028] 图7a、7b为本发明的ESD保护电路的第二实施例的寄生SCR电路图。

[0029] 图8为本发明的ESD保护电路的第二实施例的静电放电路径说明图。

[0030] **【符号说明】**

[0031] 10静电放电保护电路 11硅控整流器 20第一井区 21第一高浓度掺杂区

[0032] 22第二高浓度掺杂区 30第二井区 31第三高浓度掺杂区 32第四高浓度掺杂区

[0033] 33第五高浓度掺杂区 34电极 35触发接点 41连接垫

[0034] 42接地垫 51第一双极性晶体管 52第二双极性晶体管 60功率箝制电路

具体实施方式

[0035] 虽然本发明可表现为不同形式的实施例,但附图所示者及于下文中说明者为本发明可的较佳实施例,并请了解本文所揭示者考虑为本发明的一范例,且并非意图用以将本发明限制于图示及/或所描述的特定实施例中。

[0036] 现请参考图3,为本发明的ESD保护电路的布局的第一实施例。种静电放电保护电路10由设置于一半导性基板上的一二极管与一金氧半组件所组成。种静电放电保护电路10包括:一第一井区20,具有第一导电形态;一第二井区30,与第一井区邻接且具有第二导电形态;一第一高浓度掺杂区21,位于第一井区20内且具有第二导电形态,第一高浓度掺杂区21电性连接一连接垫41;一第二高浓度掺杂区22,位于第一井区20内,与第一高浓度掺杂区

21有一第一预设距离,具有第一导电形态;一第三高浓度掺杂区31,位于第二井区30内且具有第一导电形态;一第四高浓度掺杂区32,位于第二井区30内,与第三高浓度掺杂区32有一第二预设距离,且具有第一导电形态,第四高浓度掺杂区32电性连接一接地垫42;一第五高浓度掺杂区33,位于第二井区30内,相邻于第四高浓度掺杂区32,且具有第二导电形态,第五高浓度掺杂区33连接接地垫42;一电极34,设置于第二井区30的表面,在第三高浓度掺杂区31与第四高浓度掺杂区32之间,电极34电性连接一触发接点35;其中第二高浓度掺杂区22电性连接于第三高浓度掺杂区32。

[0037] 现请参考图4,其为本发明的ESD保护电路的第一实施例的寄生SCR电路图。同时参考图5,其为本发明的ESD保护电路的第一实施例的静电放电路径说明图。第一高浓度掺杂区21、第一井区20与第二井区30寄生等效形成一第一双极性晶体管51,第一高浓度掺杂区21为第一双极性晶体管51的集极,第一井区20为第一双极性晶体管51的基极,第二井区30为第一双极性晶体管51的射极。

[0038] 第四高浓度掺杂区33、第一井区20与第二井区30寄生等效形成一第二双极性晶体管52,第四高浓度掺杂区33为第二双极性晶体管52的集极,第二井区30为第二双极性晶体管52的基极,第一井区20为第一双极性晶体管52的射极。

[0039] 因此,可以进一步地说明,拥有上述特性的第一高浓度掺杂区21、第四高浓度掺杂区32、第一井区20与第二井区30寄生等效形成一硅控整流器11的电路。

[0040] 电极34与第二井区30的表面之间,还包括一具有一厚度的绝缘层。第三高浓度掺杂区31、第四高浓度掺杂区32与电极34形成一场效晶体管,电极34为场效晶体管的栅极。第五高浓度掺杂区33比第四高浓度掺杂区32邻近第一井区20和第二井区30交界处,第五高浓度掺杂区33用于调整触发接点35的一触发电压。

[0041] 在一较佳实施例中,第一导电形态为N型而第二导电形态为P型。亦即是,该种静电放电保护电路10主要可视为由一P+/NW二极管以及一N型金氧半(NMOS)晶体管所组成的ESD保护电路架构。利用两组件所寄生的SCR做为ESD电流导通的主要路径。

[0042] 亦即是,P+/NW二极管,设置于一N型井区,一包括一高浓度P型掺杂区与不相邻的一高浓度N型掺杂区。

[0043] 金氧半(NMOS)晶体管,设置于一P型井区,包括一汲极、一源极与一栅极,汲极与源极皆由高浓度N型掺杂区所形成。

[0044] P型井区更包括一相邻于源极的高浓度P型掺杂区,金氧半(NMOS)晶体管的汲极电性连接于二极管的高浓度N型掺杂区,金氧半(NMOS)晶体管的源极与相邻的高浓度P型掺杂区电性地接地,且金氧半(NMOS)晶体管的栅极电性连接一触发接点。

[0045] 如图5所示,二极管的高浓度P型掺杂区、N型井区、P型井区与金氧半(NMOS)晶体管的源极寄生等效形成硅控整流器11。

[0046] 二极管的高浓度P型掺杂区、N型井区与P型井区寄生等效形成一第一双极性晶体管,N型井区为第一双极性晶体管的基极,且金氧半(NMOS)晶体管的源极、N型井区与P型井区寄生等效形成一第二双极性晶体管,第P型井区为第二双极性晶体管的基极,第一双极性晶体管与第二双极性晶体管构成硅控整流器11。

[0047] 其中P+/NW二极管的高浓度P型掺杂区接于连接垫41,N+端则与N型金氧半(NMOS)晶体管的汲极相连接,N型金氧半(NMOS)晶体管的源极以及基体(Bulk)则接地,其多晶栅极

(poly gate)的电极34则接至触发(trigger)接点35。

[0048] 现请再参考图5,其为本发明的ESD保护电路的第一实施例的静电放电路径说明图。其做动原理如下:当一般集成电路正常操作时,则触发接点35将其电位拉至低电位,因此N型金氧半(NMOS)晶体管将被关闭而不产生漏电。

[0049] 而遭受ESD轰击时,则触发接点35的电位拉至高电位,使N型金氧半(NMOS)晶体管打开(turn-on),使小电流流通寄生的第一双极性晶体管51,亦即PNP,再经过N型金氧半(NMOS)晶体管的通道(channel)流至接地端42。由于在寄生的第一双极性晶体管51(PNP)上产生电流,则将使第二双极性晶体管52(NPN)的基极(base)端产生电压,而使寄生第二双极性晶体管52(NPN)打开,达到寄生SCR的turn-on,让大部分的ESD电流以SCR的路径流通至接地端42。而触发接点35可借由功率箝制(power clamp)电路60的产生讯号,并无需而外的触发电路,如图5所示。功率箝制(power clamp)电路主要连接于高电位端43(VDD)与接地端42两端之间,其由电容(或寄生电容)、电阻、晶体管所组成。主要当高电位端43的电压功率出现过大的偏移,形成漏电流时,可将多余电荷导通至功率箝制电路电路,对电容形成充电的功用,当偏压稳定后,再透过电阻来将电容里面多余的电荷放出,形成电路保护功用。

[0050] 图6为本发明的ESD保护电路的布局的第二实施例。图7为本发明的ESD保护电路的第二实施例的寄生SCR电路图。本发明的第二实施例,其主要架构相似于第一实施例,主要差异为P+/NW二极管的高浓度N型掺杂区不仅接至N型金氧半(NMOS)晶体管的汲极,同时也接于电位端43(VDD)点。亦即,第二高浓度掺杂区22与第三高浓度掺杂区31皆电性连接于一高电位接点43。如此不仅产生出推升(pull up)ESD保护架构,对于连接端41对接地端42之间更以寄生方式产生硅控整流器11做为保护,同时得到对上以及对下的ESD保护,另外相较于实施案例一将得到更低的对地寄生电容值。

[0051] 图8为本发明的ESD保护电路的第二实施例的静电放电路径说明图。此图解释遭受ESD轰击时的动作原理。当集成电路正常操作时,则触发接点35将其电位拉至低电位,因此N型金氧半(NMOS)晶体管将被关闭而不产生漏电。

[0052] 若遭受到PD mode ESD轰击时,可借由P+/NW二极管顺偏路径将电流宣泄。若遭受到PS mode ESD轰击时,则将产生两条路径宣泄电流,其一为电流将先透过P+/NW二极管流通至高电位端43VDD并通过功率箝制电路60流通至接地端42;其二则是利用功率箝制电路60产生的触发信号连接至触发接点35,将其寄生硅控整流器11打开,帮助导通ESD电流。而ND mode,NS mode与此类似,利用功率箝制电路60导通以及N型金氧半(NMOS)晶体管寄生的二极管则可帮忙宣泄。

[0053] 其中,PS-mode表示低电位端VSS接地,正的ESD电压出现在接点对低电位端VSS放电,此时高电位端VDD与其他接脚皆浮接。

[0054] NS-mode表示低电位端VSS接地,负的ESD电压出现在接点对低电位端VSS脚放电,此时VDD与其他接脚皆浮接;

[0055] PD-mode表示高电位端VDD接地,正的ESD电压出现在接点对高电位端VDD放电,此时低电位端VSS与其他接脚皆浮接;

[0056] ND-mode表示高电位端VDD脚接地,负的ESD电压出现在接点对高电位端VDD放电,此时高电位端VDD与其他接脚浮接。

[0057] 此创作解决了RF ESD保护组件需低电容的需求,另外更降低了SCR

triggervoltage,且增加了正常操作时所容忍的电压范围,换言之则是降低了操作时的漏电电流。

[0058] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

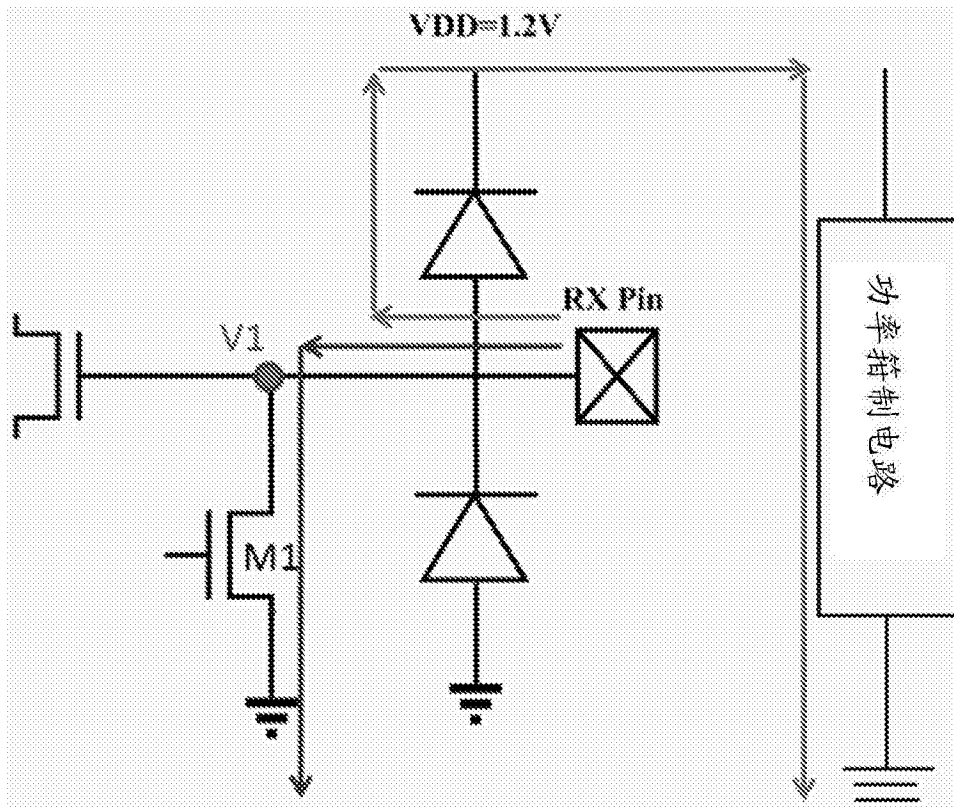


图1

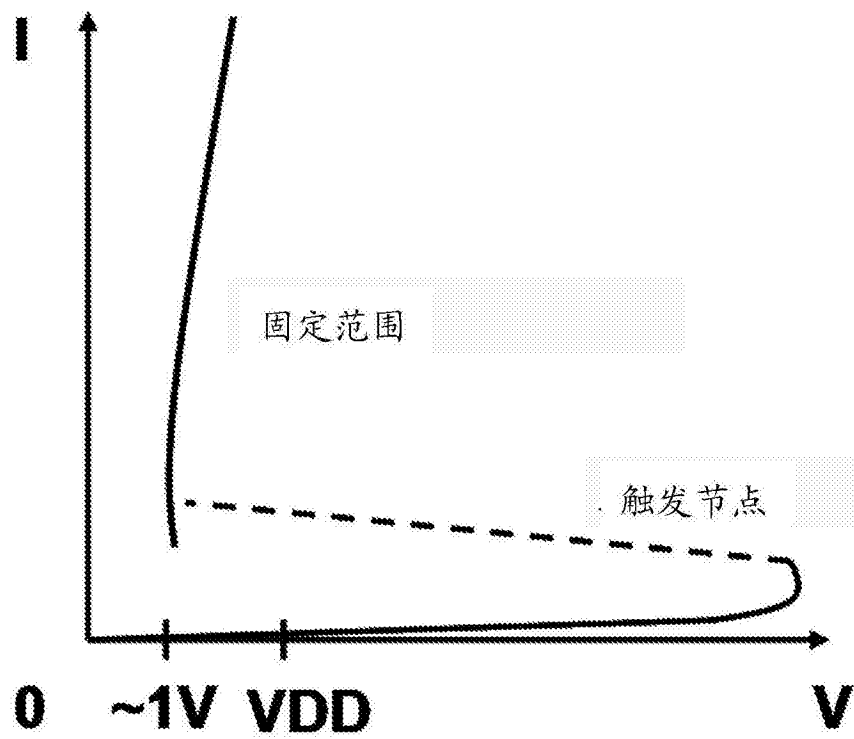


图2

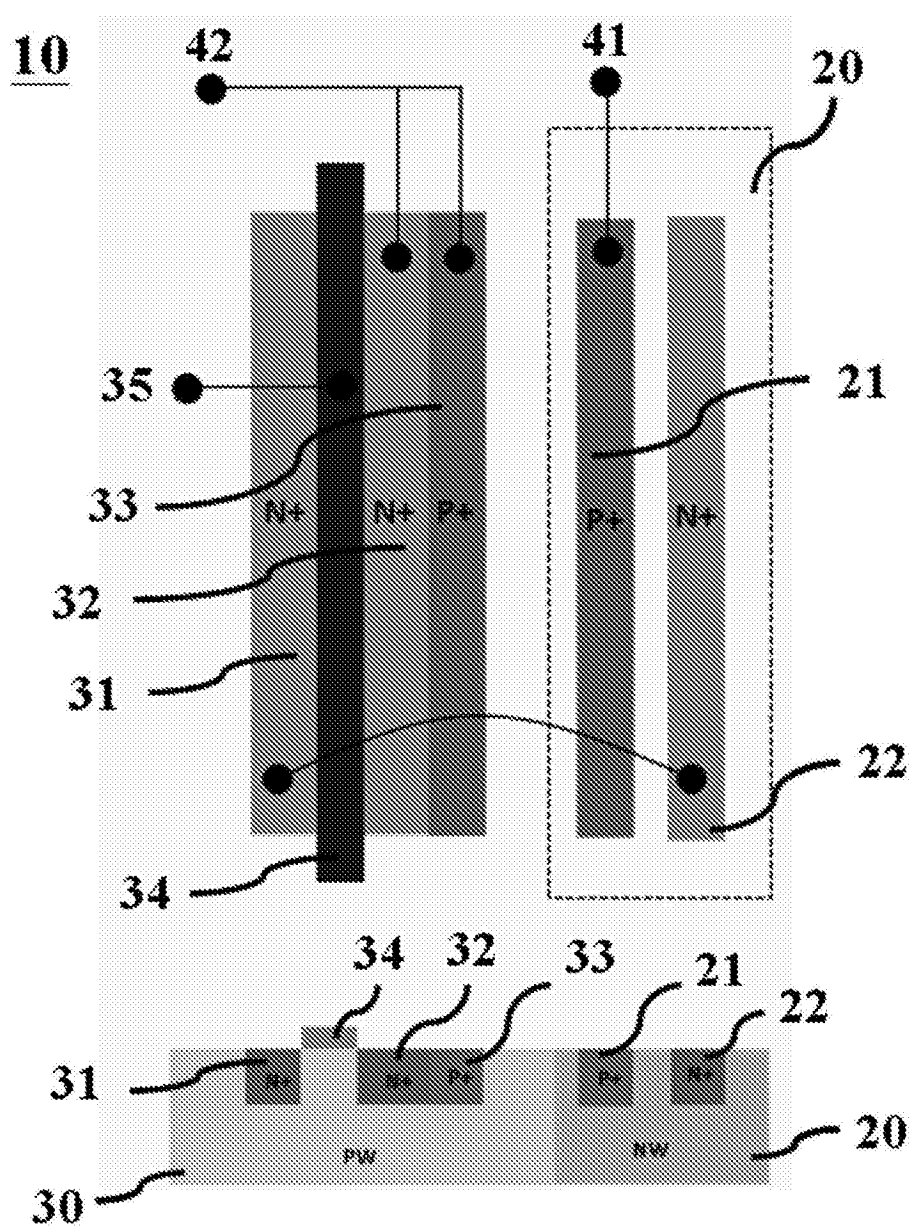


图 3

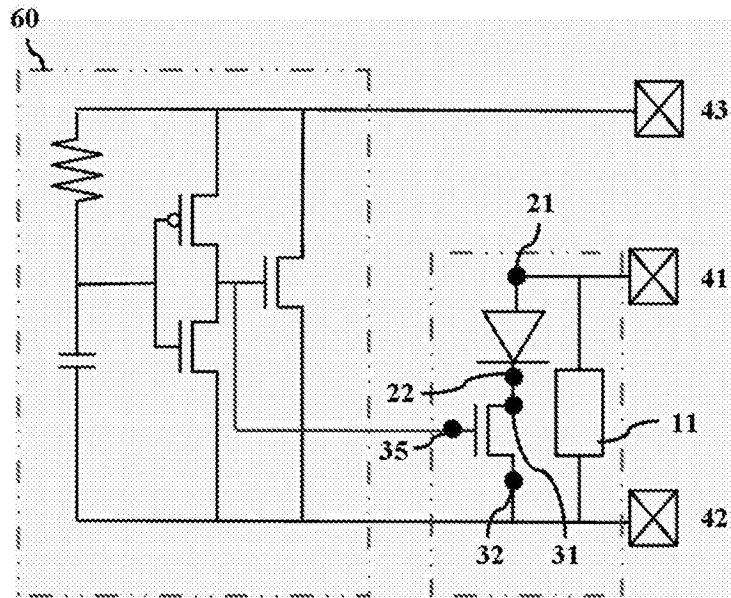


图5

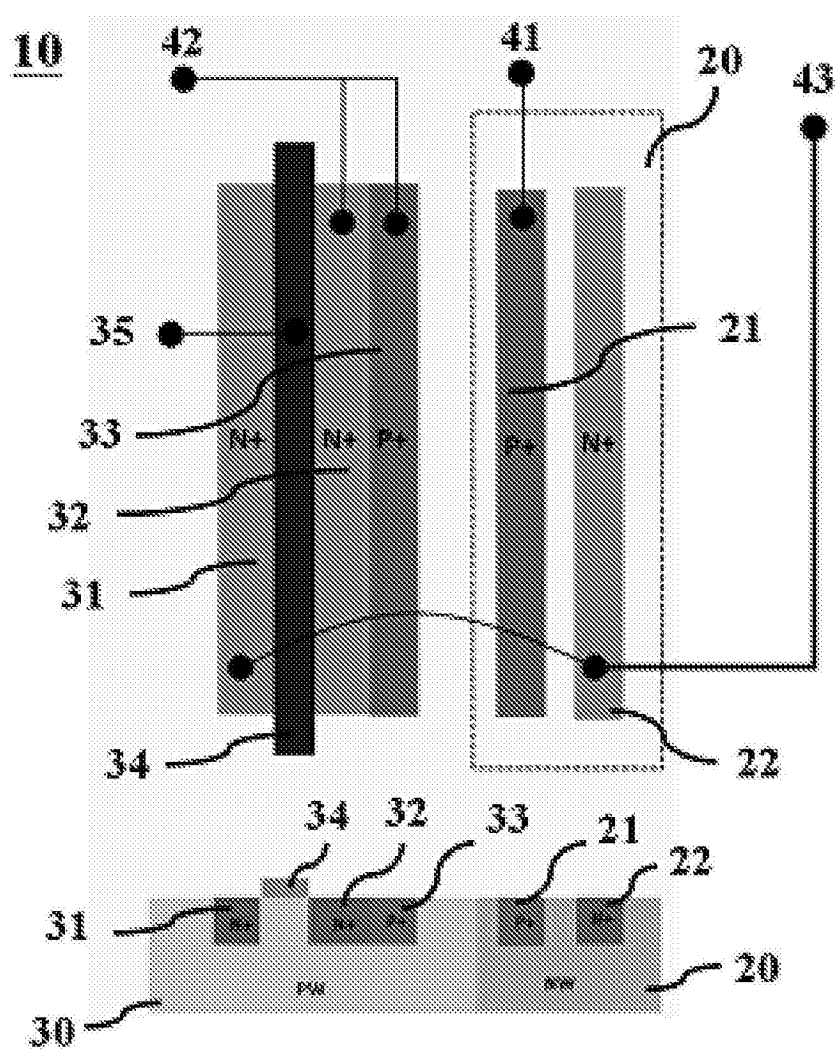


图6

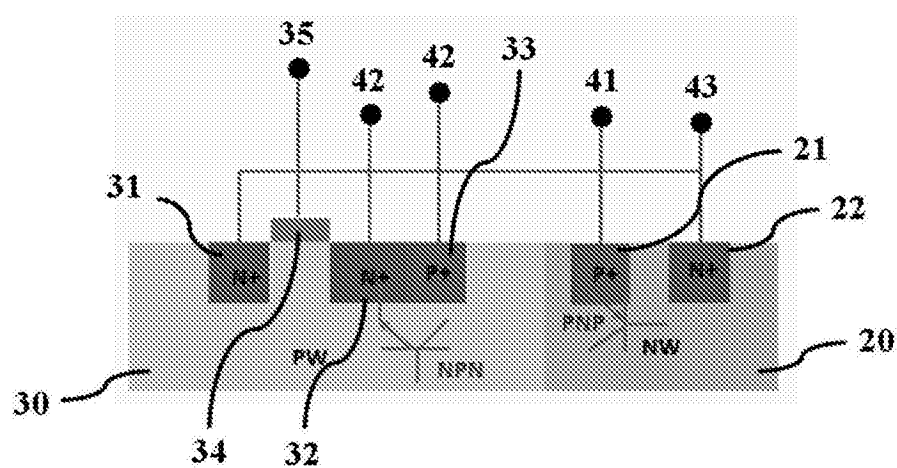


图7a

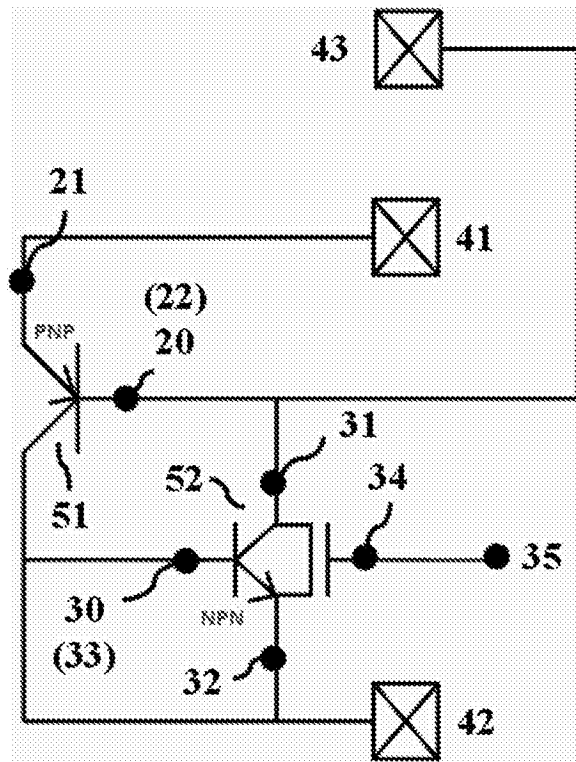


图7b

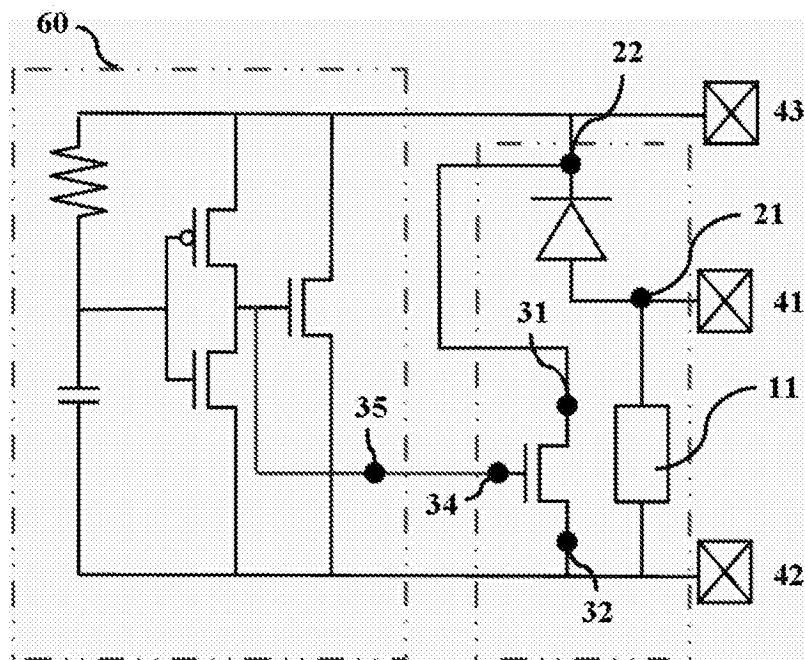


图8