(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 3/05

(45) 공고일자 1999년11월15일
(11) 등록번호 10-0231673
(24) 등록일자 1999년08월31일

(21) 출원번호 10-1991-0022559
(22) 출원일자 1991년12월10일
(65) 공개번호 특1992-0013082
(43) 공개일자 1992년07월28일

(30) 우선권주장 627,129 1990년12월13일 미국(US)
(73) 특허권자 알 씨 에이 라이센싱 코포레이션 어얼벡 데니스 에이치
미국 뉴져지주 08540 프린스턴 투인디펜던스웨이 씨엔 5321
(72) 발명자 로버트 프랜시스 너터
미합중국,뉴져지08540,웨스트윈저,워싱턴로드117
(74) 대리인 이병호

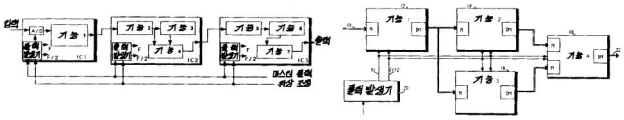
심사관 : 안철홍

(54) 고속비트-시리얼시스템

요약

비트-시리얼 집적 회로의 동작 속도에 있어서 제한 요인은 그 집적 회로상의 기능적 구성 소자의 상호 접속부와 관련된 표류 용량인데, 그 표류 용량은 기능적 구성 소자에 대해 내부의 신호 노드에서의 용량보다 매우 크게되는 경향이 있다. 그 상호접속부와 관련된 용량에 따른 제한을 극복하기 위해, 비트-시리얼 신호는 하나의 기능적 구성소자로 부터, 보다 낮은 비트율의 병렬 비트-시리얼 신호로 한 기능적 구성 소자에 의해 제공된 비트-시리얼 신호를 분리시키는 멀티플렉싱 회로에 의해 다른 기능적 구성 소자로 인가되어, 다른 기능적 소자로 인가하기 위해 그 병렬 신호를 재조합한다.

대표도



명세서

[발명의 명칭]

고속 비트-시리얼 시스템

[도면의 간단한 설명]

제1a도는 본 발명에 따른 비트-시리얼 신호 처리 시스템의 블럭선도.

제1b도는 본 발명에 따른 전형적인 집적 회로의 블럭선도.

제2도 및 제5도는 제1b도의 기능적인 구성 소자에 이용될 수 있는 전형적인 멀티플렉서의 개략적인 논리 블럭선도.

제3도 및 제6도는 제1b도의 기능적인 구성 소자에 이용될수 있는 전형적인 디멀티플렉서의 개략적인 논리 블럭선도.

제4도는 제2도 및 제5도의 회로에 의해 통과되는 신호에 관련된 타이밍의 표현도로서, 제2도 및 제5도의 동작을 설명하기 위한 도면.

* 도면의 주요부분에 대한 부호의 설명

IC1 내지 IC3 : 집적 회로

12 내지 18 : 비트-시리얼 기능적 구성 소자

204 및 206 : 레지스터 208 및 308 : 접속부

500 및 510 : 디멀티플렉서 600 및 610 : 멀티플렉서

[발명의 상세한 설명]

본 발명은 비트-시리얼(bit-serial) 디지탈 회로에 관한 것이다. 집적 회로 기술의 발달로 인하여 지금까지 아날로그 신호 영역에서 실행되어 왔던 기능을 실행하기 위해 디지탈 신호 처리 시스템(DSP)의 발달에 기여했다. 그와같은 DSP의 실시예는 디지탈 텔레비젼 수상기, 컴팩트 디스크 플레이어 및 디지탈 비디오 인터액티브(DVI)시스템이다.

그들은 병렬 비트 시스템인 DSP의 두가지 기본 형태가 있다. 전형적으로, 병렬 비트 시스템은 시스템 동작 속도가 낮기 때문에 비교적 광대역 신호를 처리하는 모든 시스템에 이용되었다. 즉, 소정의 샘플 비트 폭 N에 대해서, 병렬-비트 시스템은 비트-직렬 시스템의 속도가 1/N으로 동작한다. 그러나, 그 병렬-비트 시스템은 비트-시리얼 시스템보다 더 큰 회로를 필요로 한다. 병렬-비트 시스템의 보다 큰 복잡성과 보다 큰 전력 손실로 인하여, 비트-직렬 회로를 갖는 보다 많은 광대역 시스템을 실현시키는 것이 바람직하다. 불행히도, 그와같은 비트-시리얼 시스템의 처리 속도는 현재 기술의 제한되거나 혹은, 초과된다.

한 비디오 신호 처리 시스템은 8비트의 비트-폭을 갖는 샘플인 14.32MHz의 샘플율에서 동작한다고 생각한다. 그와같은 신호 처리용 비트-시리얼 시스템은 최소한 115MHz의 클럭 레이트(clock rate)에서 동작해야 한다. 그 시스템은 그 보다 높은 밀도와 보다 낮은 전력 요구로 인하여 금속-산화물-반도체(MOS) 기법으로 바람직하게 실현될 것이다. 그러나, 115MHz의 신호 처리 속도는 현재의 MOS 기법의 제한 근처에 있게 되는 경향이 있다.

제한 요인중 하나는 타이밍 에러, 특히, 특정 시스템의 상이한 기능적 구성 소자 사이의 타이밍 에러에 의해 증명된다. 그들 에러는 MOS트랜지스터의 비교적 낮은 구동 용량을 초래한다. DSP 집적 회로(IC) 상의 통상적 모든 기능은 공통 클럭 신호의 동기적으로 동작하게 된다. 지금, 기능적 구성 소자사이의 상호 접속부가 한 기능적인 구성 소자내의 전형적인 상호 접속부보다 길게된다면, 보다 큰 용량을 나타낼 것이다. 그 보다 큰 용량은 그들 기능적 구성 소자사이의 타이밍 에러를 일으킬 수 있는한 기능적 구성 소자의 출력을 로드(load)할 수 있고, 전체 시스템의 속도를 제한할 수 있다. 심지어, 기능적 구성 소자내에서, 상호 접속부는 타이밍 에러를 유발시키는 충분한 값의 용량을 나타낼 수 있다.

본 발명의 원리에 따라, 비교적 큰 표류(stray) 용량을 나타내므로서 통상적으로 제공되는 비트-시리얼 신호 처리 시스템의 최대 동작 속도의 제한은 그와같은 상호 접속부에 대한 입력과 디멀티프렉서를 결합하고, 그와같은 상호 접속부에 대한 출력과 멀티플렉서를 결합하여 피할 수 있는데, 그 디멀티플렉서는 비트율(f)로 각각 발생하는 비트-시리얼 신호를 H신호로 분할하고, 그 각각은 비트율(f/N)로 발생하는 반면에, 그 멀티플렉서는 비트율(f)의 단일 비트-시리얼 신호를 형성하기 위해 그 N신호를 재조합한다.

제1a도는 본 발명의 비트-시리얼 처리 장치의 전체적인 시스템을 설명하기 위한 도면이다. 그 전형적인 시스템은 소정의 신호 처리를 실행하기 위한 세개의 집적회로를 포함한다. 그 집적 회로의 각각은 클럭 발생기를 포함하여 하나 이상의 처리 기능을 한다. 한 아날로그 신호가 IC1에 인가되어, 그 신호는 아날로그 0디지탈 변환기(A/D)에 의해 비트-시리얼 디지탈 신호로 변환된다. 그 비트-시리얼 신호는 비트-시리얼 신호 처리 회로(기능 1)에 의해 처리되어, 제2집적 회로(IC2)로 진행한다. IC2에서, 그 비트-시리얼 신호는 기능 회로(기능2, 기능 3 및 기능 4)내의 세가지 다른 동작에 의해 처리된다. 그후, 그 비트-시리얼 신호는 IC3로 진행되어, 다른 처리 동작에 의해 처리되고, 처리된 출력 신호(OUT)로서 제공된다. 그 최종 처리 기능(기능 7)은 디지탈=아날로그 변환이 될것이다.

처리되는 신호가 광대역 폭에 있기 때문에 비교적 고비트 율로 동작하기 위해 집적된 회로가 필요하다는 점을 추정할 수 있다. 글로발 타이밍 신호를 분배하는 데에 따른 문제점은 마스터 클럭 신호 발생기에 의해 제공된 비교적 저 비율 클럭 신호를 상이한 IC에 인가하므로서 해소된다. 그 마스터 클럭 신호는 샘플율과 일치할 수 있다. (예를들어, 비디오 신호 처리 시스템에 대한 샘플율이 14.32MHz가 될 수 있고, 그 비트율은 샘플율의 N배가 될 수 있는데, 여기서, N은 샘플당 비트수에 일치한다. 고비트율 클럭 신호는 마스터 클럭 신호에 응답하여 클럭 발생기에 의해 각각의 집적 회로상에 발생되고, 그 고 비트율 클럭 신호는 IC내의 상이한 기능적 구성 소자에 분배된다. 그 기능적인 구성 소자는 그 기능적인 구성 소자내의 장치에 적용하기 전에 그 클럭 신호를 버퍼링하기 위한 클럭 버퍼 회로를 포함할 수도 있다. 한 IC내의 각각의 클럭 발생기는 마스터 클럭에 위상 고정된 클럭 펄스를 제공하도록 위상-고정-루프내에 구성된 발진기를 포함할 수도 있다. 부가로, 각각의 클럭 발생기는 발생된 클럭 신호에 관련된 위상 혹은, 주파수를 조정하기 위한 위상/주파수 제어 신호에 응답하는 회로를 포함할 수도 있다. 글로발 동기화를 위한 보다 낮은 주파수 마스터 클럭 신호를 실행하고, 각각의 집적 회로에 대한 고속 클럭을 억제하는 것은 바람직하지 못한 무선 주파수 간섭(RFI)의 발생을 감소시킨다.

제1b도는 제1a도에 실행될 수 있는 형태의 전형적인 집적 회로(IC)의 일부를 블럭 형태로 도시된 도면이다. 그 전형적인 IC는 비트-시리얼 기능적인 구성 소자(12-18)를 포함한다. 비디오 신호 처리 IC에 따라, 예를들어, 그들 구성 소자는 기능(1 및 2)을 갖는 휘도 피킹 필터가 저역 통과 필터 기능으로 되는 조합으로 나타낼 수 있다. 기능(3)은 대역 통과 필터 기능이고, 기능(4)은 가산기가 된다. 모든 기능적인 구성 소자는 여러 IC상에 서로 비교적 가깝게 위치 될 수도 있지만, 그 내부 기능 접속부는 기능적 구성 소자의 접속부내의 어떤 기능적인 구성 소자의 접속부 보다 큰 크기의 하나 혹은두 순서로 될 수도 있다. 결과적으로, 어떤 내부 기능 회로에서 표류(stray)용량 보다 더 큰 크기의 한 혹은 두 순서로된 표류 용량을 내부 기능적 접속부가 나타낼 수 있고, 따라서 그 시스템의 처리 비율로 제한 변수를 제공한다.

어떤 신호 노드에서 전위의 변화율(dv/dt)은, dv/dt=i(t)/c로 나타낼 수 있는데, 여기서, i(t)는 노드를 충전 혹은 방전에 이용될 수 있는 전류이고, c는 노드와 관련된 전체 용량이다. 그 전류[i(t)]는 논리 고전위로 노드를 상승시키기 위한 풀-업 트랜지스터 혹은, 논리 저전위로 노드를 방전 시키기 위한 풀-다운 트랜지스터에 의해 일반적으로 제공된다. 노드 전위의 변화율 및 최대 처리율을 실현하여 모든 다른 잔류의 상수는 그 용량에 대해 역비례된다. 이용가능한 충/방전 전류는 그 크기와 그에 따른 풀-업 및 풀-다운 트랜지스터의 상호 컨덕턴스의 증가로 증가된 용량을 보상하기 위해 증가될 수 있다. 그러나, IC설계 기술에 숙련된 사람들은 회로내의 특정 단자의 트랜지스터 크기를 증가시킴에 따라 이전 단

자의 로드(노드)용량이 증가된다는 점을 알것이다. 따라서,한 단자에서 비율 이득은 이전 단자에서 비율 손실에 의해 최소한 부분적으로 저해될 수도 있다.

보다 큰 용량을 보상하기 위해 노드 충전 및 방전 회로를 증가시키는 선택안은 각각의 노드를 충전하는데 이용될 수 있는 시간(dt)을 증가시키는 것이다. 그것은 비트-시리얼 신호에 대해서 각각의 신호가 그 원래 신호의 비트율의 절반(1/N)의 비트율을 갖는 두(혹은, N)병렬 신호를 상기 비트-시리얼 신호를 분할하여 성취된다. 보다 큰 용량을 갖는다면, 그 병렬 신호는 원래의 비트율을 갖는 신호 비트-시리얼 신호를 형성하기 위해 재조합된다.

제1b도에 있어서, 그 기능적 구성 소자의 각각은 그들 각각의 출력 접속부에서 상호 협력하는 디멀티플렉서(DM)가 도시되어 있다. 그들 디멀티플렉서는 비율(f)의 비트-시리얼 신호를 비율(f/N)의 N병렬 비트-시리얼 신호로 분할하도록 배열된다. 각각의 기능적 구성 소자의 입력 접속부에서는 비트율(f/N)을 갖는 N병렬 비트-시리얼 신호를 수용하고 그 N병렬 비트-시리얼 신호를 비율(f)의 비트-시리얼 신호로 조합하는 멀티플렉서(M)가 있다. 기능적 구성 소자의 각각은 비율(f)로 내부적으로 동작한다.

제2도 및 제5도에서는 제1b도의 회로내에서 구현될 수 있는 전형적인 디멀티플렉서 회로(DM)의 선택적인 실시예를 설명한다. 제2도에 설명된 디멀티플렉서는 비트율(fc)의 비트-시리얼 신호를 비트율(fc/2)의 각각의 두 비트-시리얼 신호로 해독한다. 제5도의 디멀티플렉서는 두 비트-시리얼 신호를 4개의 병렬 비트-시리얼 신호로 해독한다.

제2도의 회로 동작은 제4도에 설명된 신호를 참고로 기술될 것이다. 제2도에 있어서, 입력 비트-시리얼 신호(DATA IN)는 비트-시리얼 입력 신호와 동기된 신호(Fc)에 의해 클럭된 레지스터(202)(D-형 래치)의 데이타 입력 단자에 인가된다. 그 레지스터(202)의 출력은 한 비트 주기에 의해 지연된 그 입력 신호의 복사(replica)이다. 레지스터(202)의 출력은 레지스터(206)의 데이타 입력 단자에 인가된다. 그 입력 신호는 레지스터(204)의 데이타 입력 단자에도 인가된다. 레지스터(204 및 206)는 절반 비율의 클럭 신호(Fc/2)에 의해 클럭된다.

시간(t2)(제4도)에서, 레지스터(202)는 데이타 비트(Si)를 레지스터(206)의 입력 단자에 제공하여, 한 입력 데이타 비트(Si+1)가 레지스터(204)에 인가된다. 클럭 신호(Fc/2)의 양의 천이에서, 그들 두 비트(예를들어, S1 및 S2)는 각각 레지스터(206 및 204)에 로드된다. 그들 비트는 병렬 출력 접속부(208)에 연속으로 출력된다. 시간(t3)에서, 입력 신호 비트(S4)는 레지스터(204)에 인가되고, 비트(S3)는 레지스터(206)에 인가된다. 그들 비트는 클럭 신호(Fc/2)의 양의 천이(t3)에서 레지스터(204 및 206)으로 동시에 로드되고, 그후에, 병렬 출력 접속부(208)에 결합된다. 이러한 방법으로, 비율(fc)에서 발생하는 입력신호는 병렬 출력접속부(208)상의 Fc/2의 비트율에서 발생하는 두 신호로 해독된다. 두 병렬 출력 비트-시리얼 신호에 대한 비트-시리얼 입력 데이타의 관계는 제4도에 설명된 신호 DATA IN, REG.206 및 REG.204로 볼 수 있다.

레지스터(202 및 204)에 대한 입력 접속부상에 나타나는 용량은 기능적 구성 소자에 대한 내부의 장치에 의해 나타나는 전형적인 용량이 되므로, 전형적인 내부 트랜지스터에 의해 구동될 수 있다. 그 출력 접속부(208)의 각각에 의해 나타나는 용량은 매우 크게될 수 있다. 그러나, 출력 접속부에서 데이타 비율이 절반이 되기 때문에, 그들 접속부는 내부 트랜지스터와 유사한 트랜지스터에 의해 구동될 수도 있다. 그 디멀티플렉서가 내부 회로에 로드되지 않을때, 그 출력 접속부는 디멀티플렉서에 심하게 로드되지 않으며, 그 시스템은 기능적 구성 소자를 결합하는 회로의 비율 제한 변수보다 다소 제한된 비율 제한 변수로 제한된 비율로 동작할 수 있다.

제5도에 설명된 디멀티플렉서는 제2도에 설명된 형태이고, 병렬로 동작하는 두개의 디멀티플렉서(500 및 510)이다.

제2도에 설명된 멀티플렉서 형태는 원래의 비트율에서 4개의 병렬 신호를 제공하기 위해 제5도의 디멀티플렉서의 한 입력 회로로서 이용되기도한다. 다른 선택적인 장치는 클럭 주파수(Fc)에서 동작하는 4개의 단자 시프트 레지스터를 구비할 수도 있다. 4개의 단자의 각각으로 부터의 출력은 주파수(fc/4)의 클럭 신호에 의해 클럭된 4개의 다른 레지스터에 인가될 수 있다. 그 4개의 다른 레지스터는 원래의 비트율의 1/4로 4개의 병렬 신호를 제공하게 된다.

제3도는 한 신호에 대해 두 신호의 멀티플렉서를 설명하고, 제6도는 두 신호에 대해 네 신호의 멀티플렉서를 설명하고, 제6도는 병렬로 동작하는 제3도의 두 멀티플렉서(600 및 610)를 설명한다.

제3도의 멀티플렉서의 동작을 이해하기 위해서 제4도에 설명된 신호 REG.300, REG.302 및 Data Out를 참조한다. 접속부(308)에 인가된 병렬 입력 데이타는 신호 REG.206 및 RGG.204에 일치한다. 따라서, 예를들면, 샘플 비트(S1 및 S2)가 동시에 레지스터(300 및 302)에 각각 인가된다. 입력 비트 주기(t3)의 단부에서, 그들 비트는 클럭 신호(Fc/2)에 응답하여, 레지스터(300 및 302)로 래치되고, 그들 각각의 Q출력 단자에 나타난다. 레지스터(300)로 부터의 출력 신호는 전송 게이트(304)에 인가되고, 레지스터(302)로부터의 출력 신호는 전송 게이트(306)에 인가된다. 그 전송 게이트(304 및 306)의 출력 포트는 비트-시리얼 DATA 출력 단자(310)에서 상호 접속된다.

그 전송 게이트(304 및 306)는 클럭 신호(Fc/2)에 응답된 상보 형태로 동작한다. 즉, 클럭 신호(Fc/2)가 고 상태를 나타내는 절반의 주기동안[예를들어, 시간(t3-t4)], 전송 게이트(304)는 레지스터(300)에 의해 제공된 신호 비트를 통과시키고, 클럭 신호(Fc/2)가 저 상태를 나타내는 절반의 주기동안[예를들어, 시간(t4-t5)], 전송 게이트(306)는 레지스터(302)에 의해 제공된 신호 비트를 통과시킨다. 클럭 신호(Fc/2)가 저(고)상태를 나타내는 절반 주기동안, 전송 게이트(304)(306)는 출력 단자에 고임피던스를 제공하는 개방된 회로가 된다. 접속부(310)에서그 출력 신호(DAT OUT)는 두 DATA IN신호의 인터리브된 버젼(inter leaved version)이고, 두배의 입력 데이타 비율로 발생한다. 그 신호는 각각의 기능적 구성 소자의 내부 회로에 인가된다.

멀티플렉서 및 디멀티플렉서는 처리된 신호에 대한 지연을 제공하는데, 그 지연은 보상되어야 한다. 예

를들어, 제1b도에 있어서, 기능적 구성 소자(16)가 각각의 멀티플렉서 및 디멀티플렉서를 각각 갖는 두 직렬 접속된 기능적 구성 소자로 대치된다면, 멀티플렉서-디멀티플렉서 조합의 지연에 따른 보상 지연은 기능적 구성 소자(18)에 인가된 두 신호의 임시 등록을 보장하기 위해 기능적 구성 소자(14)에 포함되어야 한다.

상기 기술한 것처럼, 제3도의 래치는 클럭 신호(Fc/2)에 의해 클럭된다. 그러나, 다소의 응용에 있어서, 클럭 신호(Fc/2)의 보충량(complement)을 갖는 그들 래치를 클럭시키는데 유리하다. 다소의 IC장치에 있어서, 디멀티플렉서에 인가된 절반 비율 클럭 신호는 상용 데이타가 전송되는 멀티플렉서에 인가된 절반 비율 클럭 신호에 관련되어 왜곡될 수도 있다. 이러한 예에 있어서, 멀티플렉서에 인가된 데이타의 타이밍 또는 멀티플렉서에 인가된 절반 비율의 클럭 신호에 관련되어 왜곡될 수도 있다. 그 클럭 왜곡은 반대 위상 클럭 신호를 갖는 디멀티플렉서 및 멀티플렉서를 동작시켜 보상될 수 있다. 이러한 모드에 있어서, 절반 비율의 클럭 신호의 주기의 절반 이상의 왜곡을 갖는상호 기능 데이타는 재동기화될 수 있다. 여기서, 기능적 구성 소자사이의 데이타의 천이 시간이 감소되는 단점이 있다. 그러나, 어떤 경우에 클럭 왜곡은 데이타 천이 시간 보다는 비율 제한 변수로 될 수 있고, 그러므로, 전체 시스템의 비율은 반대 위상 클럭의 이용으로 향상될 것이다.

본 발명은 비트-시리얼 신호에 대해서 기술되었다. 그러나, 본 발명은 니블-시리얼 시스템에서 구현될 수 있다. 니블-시리얼 시스템은 비트-시리얼 포맷으로 다수의 비트 신호를 처리하는 시스템이다. 예를들어, 8비트 샘플은 4개의 2비트 니블로 분할될 수 있고, 그 니블은 비트-시리얼 신호로서 처리된다. 제5도 및 제6도의 회로는 비율(f)로 2비트 니블-시리얼 신호를 비율(fc/2)의 두개의 2비트 니블-시리얼 신호로 해독하여, 그들 각각을 재조합하는데 도움이 된다. 이러한 경우에, 제5도에 도시된 두 신호(BIT1 및 BIT2)는 2비트 니블-시리얼 신호와 일치한다. 본 청구범위에 있어서, 비트-시리얼은 니블-시리얼과 상호 협력하는 경향이 있다.

(57) 청구의 범위

청구항 1

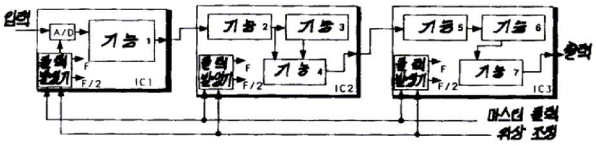
비트율(f)로 비트-시리얼 신호를 처리하기 위한 다수의 비트-시리얼 기능적 회로 소자와, 비율(f)의 클럭 신호와 비율(f/N)(N은 정수)의 클럭 신호를 제공하기 위한 클럭 신호원을 포함하는신호 처리 시스템에 있어서, 상기 비트-시리얼 기능적 회로 소자중 한 소자의 출력 접속부에 결합되고, 비트율(f)의 비트-시리얼 신호와 비율(f 및 f/N)의 상기 클럭 신호에 응답하여, 비트율(f)의 상기 비트-시리얼 신호를 비트율(f/N)의 N병렬 비트-시리얼 신호로 해독하기위한 디멀티플렉서와, 상기 디멀티플렉서에 결합된 입력 접속부를 가지며, 비트율(f/N)의 상기 N병렬 비트-시리얼 신호를 비트율(f)의 단일 비트-시리얼 신호로 조합하고, 상기 비트율(f)의 단일 비트-시리얼 신호를 상기 비트-시리얼 기능적 회로 소자의 다른 입력 접속부에 제공하기 위한 멀티플렉서를 포함하는 것을 특징으로 하는 신호 처리 시스템.

청구항 2

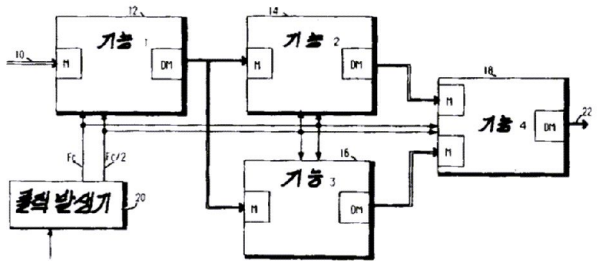
제1항에 있어서 상기 다수의 비트-시리얼 기능적 회로 소자, 상기 디멀티플렉서와, 상기 멀티플렉서는 공통 집적 회로에 의해 실현되는 것을 특징으로 하는 신호 처리 시스템.

도면

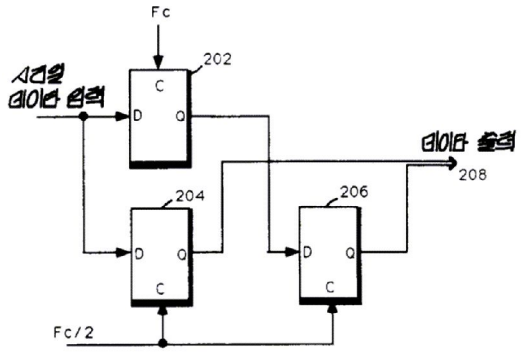
도면1a



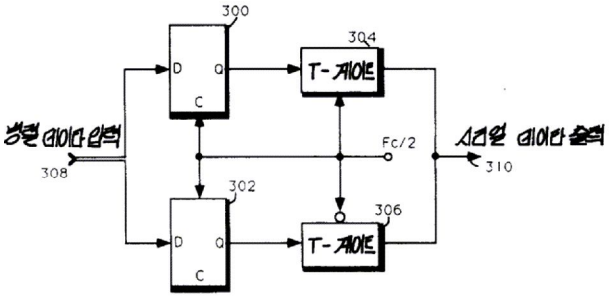
도면1b



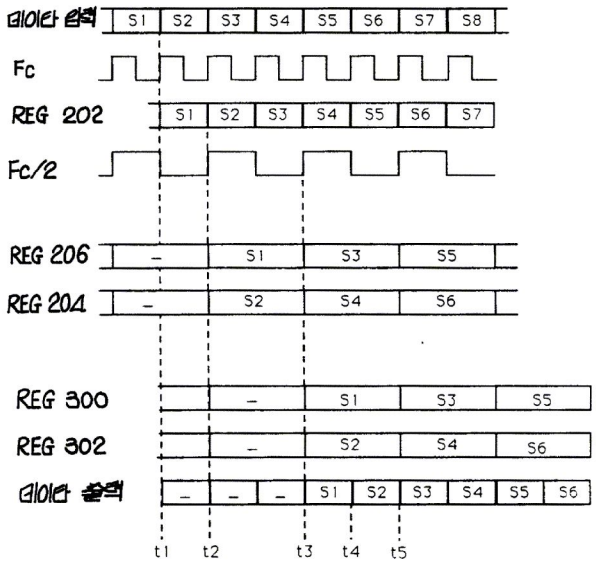
도면2


Fc
202
C
D
Q
시리얼 데이타 입력
데이타 출력
208
204
206
Fc/2

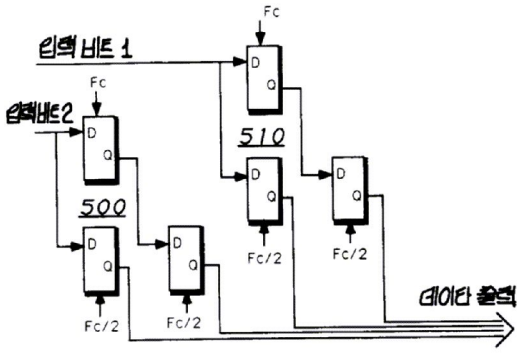
도면3


300
304
T-게이트
병렬 데이타 입력
308
Fc/2
시리얼 데이타 출력
310
302
306
T-게이트

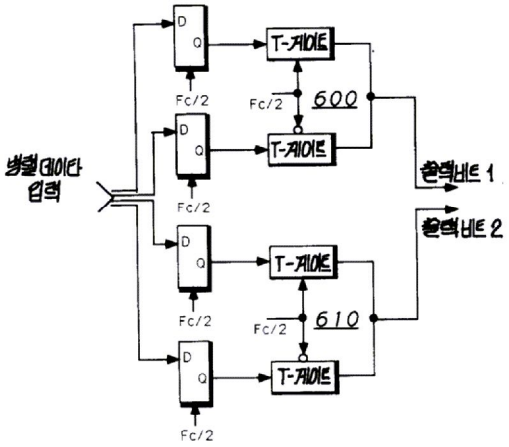
도면4


데이타 입력
S1 S2 S3 S4 S5 S6 S7 S8
Fc
REG 202
S1 S2 S3 S4 S5 S6 S7
Fc/2
REG 206
S1 S3 S5
REG 204
S2 S4 S6
REG 300
S1 S3 S5
REG 302
S2 S4 S6
데이타 출력
S1 S2 S3 S4 S5 S6
t1 t2 t3 t4 t5

도면5


입력 비트 1
Fc
입력비트2
500
510
Fc/2
Fc/2
Fc/2
Fc/2
Fc/2
데이터 출력

도면6


병렬데이터 입력
T-게이트
600
610
출력비트 1
출력비트 2
Fc/2