



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0095243  
(43) 공개일자 2008년10월28일

- |   |  |
|---|--|
| <p>(51) Int. Cl.<br/><i>H01L 33/00</i> (2008.05)</p> <p>(21) 출원번호 10-2008-7019145</p> <p>(22) 출원일자 2008년08월04일<br/>심사청구일자 없음<br/>번역문제출일자 2008년08월04일</p> <p>(86) 국제출원번호 PCT/JP2007/051258<br/>국제출원일자 2007년01월26일</p> <p>(87) 국제공개번호 WO 2007/091432<br/>국제공개일자 2007년08월16일</p> <p>(30) 우선권주장<br/>JP-P-2006-00031295 2006년02월08일 일본(JP)</p> | <p>(71) 출원인<br/>미쓰비시 가가꾸 가부시키가이샤<br/>일본 도쿄도 미나토꾸 시바 4초메 14방 1고</p> <p>(72) 발명자<br/>호리에 히데요시<br/>일본 이바라키켄 우시쿠시 히가시마미아나쵸 100<br/>0반치 미쓰비시가가꾸 가부시키가이샤 나이</p> <p>(74) 대리인<br/>특허법인코리아나</p> |
|---|--|

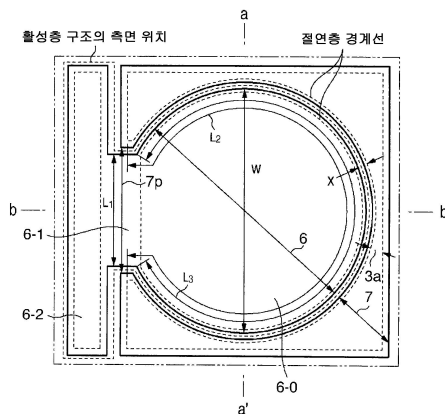
전체 청구항 수 : 총 24 항

**(54) 발광 소자**

**(57) 요약**

전원 라인의 배선이 용이하고 발광 강도의 면내 균일성이 양호한 화합물 발광 소자를 제공한다. III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층에 의해 활성층 구조가 사이에 끼워진 발광 소자가 제공된다. 발광 소자는 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극 (7) 과, 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극 (6) 을 구비한다. 제 1 도전형층 전극 (7) 은 개구부 (7p) 를 갖는다. 제 2 도전형층 전극 (6) 은 제 1 도전형층 전극 (7) 에 의해 부분적으로 둘러싸이는 주 전극부 (6-0) 와, 개구 (7p) 를 통과하여 주 전극부 (6-0) 를 제 1 도전형층 전극 (7) 의 외측으로 인출하는 인출부 (6-1, 6-2) 를 갖는다. 주 전극부 (6-0) 는 정폭 도형의 일부로 구성되고, 주 전극부 (6-0) 의 외측 가장자리와 제 1 도전형층 전극 (7) 의 내측 가장자리 사이의 간격은 거의 일정하다.

**대표도 - 도1**



**특허청구의 범위**

**청구항 1**

III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치된 발광 소자로서,

상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과,

상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비하고,

상기 제 1 도전형층 전극이 개구를 갖고, 상기 제 2 도전형층 전극이 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 가지며,

상기 주 전극부가 정폭 도형의 일부로 구성되고, 상기 주 전극부의 외측 가장자리와 상기 제 1 도전형층 전극의 내측 가장자리 사이의 간격이 거의 일정한 것을 특징으로 하는 발광 소자.

**청구항 2**

제 1 항에 있어서,

상기 활성층 구조, 상기 제 2 도전형 클래드층 및 상기 제 2 도전형층 전극은 상기 제 1 도전형 클래드층의 제 1 방향측의 면상에 배치되고, 상기 제 1 도전형층 전극은 상기 제 1 도전형 클래드층의 상기 제 1 방향측의 면상에 상기 활성층 구조, 상기 제 2 도전형 클래드층 및 상기 제 2 도전형층 전극을 부분적으로 둘러싸도록 배치되어 있는 것을 특징으로 하는 발광 소자.

**청구항 3**

제 1 항 또는 제 2 항에 있어서,

지지 기판을 추가로 구비하고, 상기 제 1 도전형 클래드층, 상기 활성층 구조, 상기 제 2 도전형 클래드층, 상기 제 1 도전형층 전극 및 상기 제 2 도전형층 전극을 포함하는 구조체는, 그 2 개의 면 중 상기 제 1 도전형층 전극 및 상기 제 2 도전형층 전극이 노출된 면측으로부터 상기 지지 기판에 의해 지지되고 있는 것을 특징으로 하는 발광 소자.

**청구항 4**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 정폭 도형이 원을 포함하는 것을 특징으로 하는 발광 소자.

**청구항 5**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 정폭 도형이 원의 다각형을 포함하는 것을 특징으로 하는 발광 소자.

**청구항 6**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 정폭 도형이 원의 삼각형을 포함하는 것을 특징으로 하는 발광 소자.

**청구항 7**

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 주 전극부의 폭을 W 로 했을 때, (1) 식을 만족시키는 것을 특징으로 하는 발광 소자.

$$400\mu\text{m} \leq W \leq 2500\mu\text{m} \dots (1) \text{ 식}$$

**청구항 8**

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,  
상기 인출부가 상기 주 전극부에 근접함에 따라 폭이 좁아진 부분을 포함하는 것을 특징으로 하는 발광 소자.

**청구항 9**

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,  
상기 인출부가 직사각형부를 포함하는 것을 특징으로 하는 발광 소자.

**청구항 10**

제 1 항 내지 제 9 항 중 어느 한 항에 있어서,  
상기 주 전극부의 폭을 W, 상기 주 전극부와 상기 인출부가 접촉하고 있는 부분의 폭을  $L_1$  로 했을 때, (2) 식을 만족시키는 것을 특징으로 하는 발광 소자.

$$W/20 \leq L_1 \leq W \cdots (2) \text{ 식}$$

**청구항 11**

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,  
상기 제 2 도전형층 전극 중 상기 제 1 도전형층 전극에 의해 둘러싸여 있는 부분의 외측 가장자리 길이를  $L_2$ , 상기 제 2 도전형층 전극 중 정폭 도형의 일부로 구성되어 있는 부분의 외측 가장자리 길이를  $L_3$  으로 했을 때, (3) 식을 만족시키는 것을 특징으로 하는 발광 소자.

$$L_2/2 \leq L_3 \leq L_2 \cdots (3) \text{ 식}$$

**청구항 12**

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,  
상기 주 전극부의 외측 가장자리와 상기 제 1 도전형층 전극의 내측 가장자리 사이의 간격을 x 로 했을 때, (4) 식을 만족시키는 것을 특징으로 하는 발광 소자.

$$3\mu\text{m} \leq x \leq 500\mu\text{m} \cdots (4) \text{ 식}$$

**청구항 13**

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,  
복수의 상기 주 전극부가 배열되어 있는 것을 특징으로 하는 발광 소자.

**청구항 14**

제 1 항 내지 제 13 항 중 어느 한 항에 있어서,  
상기 제 2 도전형층 전극의 주변부가 절연막으로 덮여 있는 것을 특징으로 하는 발광 소자.

**청구항 15**

제 1 항 내지 제 14 항 중 어느 한 항에 있어서,  
상기 제 1 도전형층 전극이 절연막에 형성된 개구부를 통과하여 상기 제 1 도전형 클래드층에 캐리어를 주입하도록 배치되어 있는 것을 특징으로 하는 발광 소자.

**청구항 16**

제 14 항 또는 제 15 항에 있어서,  
상기 절연막이  $\text{SiO}_x$ ,  $\text{AlO}_x$ ,  $\text{TiO}_x$ ,  $\text{TaO}_x$ ,  $\text{HfO}_x$ ,  $\text{ZrO}_x$ ,  $\text{SiNx}$ ,  $\text{AlNx}$ ,  $\text{AlFx}$ ,  $\text{BaFx}$ ,  $\text{CaFx}$ ,  $\text{SrFx}$  및  $\text{MgFx}$  로 이루어

지는 그룹에서 선택되는 적어도 1 개의 재료를 함유하는 것을 특징으로 하는 발광 소자.

**청구항 17**

제 14 항 내지 제 16 항 중 어느 한 항에 있어서,

상기 절연막이 복수의 층으로 구성되는 것을 특징으로 하는 발광 소자.

**청구항 18**

제 1 항 내지 제 17 항 중 어느 한 항에 있어서,

상기 제 1 도전형 클래드층, 상기 활성층 구조, 상기 제 2 도전형 클래드층이 In, Ga, Al, B 및 N 으로 이루어지는 그룹에서 선택되는 어느 하나의 원소를 함유하는 것을 특징으로 하는 발광 소자.

**청구항 19**

제 1 항 내지 제 18 항 중 어느 한 항에 있어서,

상기 활성층 구조가 양자 우물층과 배리어층으로 이루어지고, 상기 배리어층의 수를 B, 상기 양자 우물층의 수를 W 로 했을 때, (5) 식을 만족시키는 것을 특징으로 하는 발광 소자.

$$B = W + 1 \dots (5) \text{ 식}$$

**청구항 20**

제 1 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 제 1 도전형 클래드층과 상기 제 1 도전형층 전극 사이에 제 1 도전형 콘택트층을 추가로 구비하는 것을 특징으로 하는 발광 소자.

**청구항 21**

제 1 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 제 2 도전형 클래드층과 상기 제 2 도전형층 전극 사이에 제 2 도전형 콘택트층을 추가로 구비하는 것을 특징으로 하는 발광 소자.

**청구항 22**

제 1 항 내지 제 21 항 중 어느 한 항에 있어서,

상기 제 1 도전형 클래드층이 n 형 반도체층이고, 상기 제 2 도전형 클래드층이 p 형 반도체층인 것을 특징으로 하는 발광 소자.

**청구항 23**

III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치된 발광 소자로서,

상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과,

상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비하고,

상기 제 1 도전형층 전극이 개구를 갖고, 상기 제 2 도전형층 전극은 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 가지며,

상기 인출부는 상기 개구를 통과하는 제 1 인출부와, 상기 제 1 도전형층 전극의 외측 가장자리의 일부를 따라 배치된 제 2 인출부를 포함하는 것을 특징으로 하는 발광 소자.

**청구항 24**

III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치된 발광 소자로서,

상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과,

상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비하고,

상기 제 1 도전형층 전극은 그 외측 가장자리가 직선으로 구성된 직선부를 포함하고, 상기 제 1 도전형층 전극은 상기 직선부의 거의 중앙부에 개구를 갖고, 상기 제 2 도전형층 전극은 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 갖는 것을 특징으로 하는 발광 소자.

## 명세서

### 기술분야

<1> 본 발명은 화합물 반도체 발광 소자에 관련된 것으로서, 특히, III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층에 의해 상기 활성층 구조가 사이에 끼워진 발광 소자에 관한 것이다.

### 배경기술

<2> III-V 족 화합물 반도체를 사용한 발광 소자가 알려져 있다. 예를 들어, GaAs 기판 상에 형성된 AlGaAs 계 재료나 AlGaInP 계 재료에 의한 적색 발광 소자, GaP 기판 상에 형성된 GaAsP 계 재료에 의한 주황색 또는 황색 발광 소자, InP 기판 상에 형성된 InGaAsP 계 재료에 의한 적외 발광 소자 등이 알려져 있다.

<3> 발광 소자에는, 예를 들어, 자연 방출광을 이용하는 발광 다이오드 (light emitting diode : LED), 유도 방출광을 취출하기 위한 광학적 구획 기능을 갖는 레이저 다이오드 (laser diode : LD) 또는 반도체 레이저가 있다. 발광 소자는 예를 들어, 표시 소자, 통신용 소자, 고밀도 광 기록용 광원 소자, 고정밀도 광 가공용 소자, 의료용 소자로서 이용될 수 있다.

<4> 특히, 1990년대 이후에는, V 족 원소로서 질소를 함유하는  $In_xAl_yGa_{(1-x-y)}N$  계 III-V 족 화합물 반도체 ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x + y \leq 1$ ) 를 이용한 고효율의 청색 LED, 녹색 LED 가 실현되었다.

<5> 또한, 그 후의 연구 개발에 의해, 자외 영역에서도 고효율의 LED 가 실현되어, 현재는 청색 LD 도 시판되기에 이르렀다.

<6> 이러한 중에, 자외 또는 청색 LED 의 고효율화, 고효율화가 진전되고 있는 산업적인 의의는 크다. 고효율 그리고 고효율의 청색 또는 자외 LED 와, 형광체를 일체화함으로써 백색 LED 를 실현시킬 수 있다. 백색 LED 는 조명의 용도에서 유망시되고 있다.

<7> 발광 소자의 고효율화, 즉, 전체 방사속의 향상에 있어서, 발광 소자의 대형화와, 큰 투입 전력에 대한 내성의 확보가 필수이다. 또, 대면적의 발광 소자는 면 광원으로서의 발광 특성을 나타내어, 특히 조명 용도에 바람직하다.

<8> 통상의 소형 발광 소자의 구조를 유지하면서 단순히 면적을 크게 하기만 한 발광 소자에서는, 발광 영역 전체에서 발광 강도를 균일화하는 것이 어렵다.

<9> 발광 소자의 발광 강도의 면내 균일성을 향상시키려는 여러 가지 시도가 이루어지고 있다. 예를 들어, 단체 (單體) 의 발광 소자에서 발광 강도의 면내 균일성을 향상시키려는 시도가 특허 문헌 1 ~ 4 에 개시되어 있다. 특허 문헌 1 ~ 4 에는 1 개의 전극 (외측의 전극) 이 다른 전극 (내측의 전극) 의 전체 둘레를 완전히 둘러싸는 구조를 갖는 발광 소자가 개시되어 있다.

<10> 한편, 면 광원의 제공에 관하여, 특허 문헌 5 ~ 7 에는 복수의 발광부를 1 개의 기판 상에 배열한 발광 소자가 개시되어 있다.

<11> 특허 문헌 1 : 일본 특허공보 제3136672호

- <12> 특허 문헌 2 : 일본 특허공보 제3244010호
- <13> 특허 문헌 3 : 일본 공개특허공보 2002-319705호
- <14> 특허 문헌 4 : 일본 공개특허공보 평10-209496호
- <15> 특허 문헌 5 : 일본 공개특허공보 평11-150303호
- <16> 특허 문헌 6 : 일본 공개특허공보 2002-26384호
- <17> 특허 문헌 7 : 일본 공개특허공보 2003-115611호

**발명의 상세한 설명**

<18> 발명의 개시

<19> 발명이 해결하고자 하는 과제

<20> 특허 문헌 1 에 기재된 발광 소자에서는, 일방의 전극이 타방의 전극을 완전히 둘러싸 전극 간 거리를 거의 동일하게 할 수 있기 때문에, 소자 전체의 크기가 350 $\mu$ m 정도와 같이 소형인 경우에는, 충분히 균일한 발광을 기대할 수 있다. 그러나, 소자를 더욱 대형화했을 때에는, 활성층 전체에 대한 캐리어의 균일한 주입이 곤란하여, 결과적으로 균일한 발광이 실현되지 않는다. 또, 특허 문헌 1 에 기재된 발광 소자는, 일방의 전극이 타방의 전극을 완전히 둘러싸고 있기 때문에, 고출력화에 유효한 플립칩 마운트에는 본질적으로 적합하지 않다.

예를 들어, 히트 싱크 블록에 발광 소자를 플립칩 마운트하여 탑재하는 것을 생각해 보면, 중심 전극으로의 어프로치는 반드시 주변 전극 부분과 교차하게 되어 3 차원적인 배선을 요구한다. 3 차원적인 배선은 전극과 리드의 금속 재료에 의한 접속의 단면적을 감소시켜, 발광 소자에서 히트 싱크 블록으로의 방열 효율을 저하시킴으로써 고출력화를 곤란하게 한다.

<21> 특허 문헌 2 에서는 소자를 상사(相似)적으로 크게 하면, 전극의 폭이 장소마다 상이하기 때문에, 소자의 대형화와 함께 균일한 발광의 실현이 곤란해진다.

<22> 특허 문헌 3, 4 에 기재된 구조도 또한 일방의 전극이 타방의 전극을 완전히 둘러싸고 있기 때문에, 고출력화에 유효한 플립칩 마운트에는 본질적으로 적합하지 않다. 예를 들어, 히트 싱크 블록에 소자를 플립칩 마운트하여 탑재하는 것을 생각해 보면, 중심 부분에 있는 전극으로의 어프로치는 반드시 주변 전극 부분과 교차하게 되어, 상기와 같은 문제가 있다.

<23> 또한, 특허 문헌 1 ~ 4 에는 복수의 발광부를 배열함으로써 발광 소자의 전체적인 치수를 대형화하려고 하는 사상은 개시되어 있지 않다.

<24> 특허 문헌 5 ~ 7 에는 먼 광원의 제공에 관한 개시가 있는데, 특허 문헌 5 ~ 7 은 먼 광원을 제공하기 위한 개개의 발광 부분에 있어서의 발광 강도의 균일화와는 관계가 없다.

<25> 본 발명은 예를 들어, 발광 영역의 대면적화, 발광 강도의 면내 균일성의 향상 및 방열성의 향상에 유리한 발광 소자를 제공하는 것을 목적으로 한다.

<26> 과제를 해결하기 위한 수단

<27> 본 발명의 제 1 측면에 관련된 발광 소자는, III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치되어 있다. 상기 발광 소자는 상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과, 상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비한다. 상기 제 1 도전형층 전극은 개구를 갖는다. 상기 제 2 도전형층 전극은 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 갖는다. 상기 주 전극부는 정폭 도형의 일부로 구성되고, 상기 주 전극부의 외측 가장자리와 상기 제 1 도전형층 전극의 내측 가장자리 사이의 간격은 거의 일정하다.

<28> 본 발명의 바람직한 실시형태에 의하면, 상기 활성층 구조, 상기 제 2 도전형 클래드층 및 상기 제 2 도전형층 전극은 상기 제 1 도전형 클래드층의 제 1 방향측의 면상에 배치될 수 있으며, 상기 제 1 도전형층 전극은 상기 제 1 도전형 클래드층의 상기 제 1 방향측의 면상에 상기 활성층 구조, 상기 제 2 도전형 클래드층 및 상기 제 2 도전형층 전극을 부분적으로 둘러싸도록 배치될 수 있다.

- <29> 본 발명의 바람직한 실시형태에 의하면, 상기 발광 소자는 지지 기판을 추가로 구비할 수 있다. 상기 제 1 도전형 클래드층, 상기 활성층 구조, 상기 제 2 도전형 클래드층, 상기 제 1 도전형층 전극 및 상기 제 2 도전형층 전극을 포함하는 구조체는, 그 2 개의 면 중 상기 제 1 도전형층 전극 및 상기 제 2 도전형층 전극이 노출된 면측으로부터 상기 지지 기판에 의해 지지될 수 있다.
- <30> 본 발명의 바람직한 실시형태에 의하면, 상기 정폭 도형은 예를 들어, 원, 쉘로의 다각형 (예를 들어, 쉘로의 삼각형) 을 포함할 수 있다.
- <31> 본 발명의 바람직한 실시형태에 의하면, 상기 주 전극부의 폭을 W 로 했을 때, (6) 식을 만족시키는 것이 바람직하다.
- <32>  $400\mu\text{m} \leq W \leq 2500\mu\text{m} \dots (6)$  식
- <33> 본 발명의 바람직한 실시형태에 의하면, 상기 인출부는 상기 주 전극부에 근접함에 따라 폭이 좁아진 부분을 포함할 수 있다.
- <34> 본 발명의 바람직한 실시형태에 의하면, 상기 인출부는 직사각형부를 포함할 수 있다.
- <35> 본 발명의 바람직한 실시형태에 의하면, 상기 주 전극부의 폭을 W, 상기 주 전극부와 상기 인출부가 접촉하고 있는 부분의 폭을  $L_1$  로 했을 때, (7) 식을 만족시키는 것이 바람직하다.
- <36>  $W/20 \leq L_1 \leq W \dots (7)$  식
- <37> 본 발명의 바람직한 실시형태에 의하면, 상기 제 2 도전형층 전극 중 상기 제 1 도전형층 전극에 의해 둘러싸여 있는 부분의 외측 가장자리 길이를  $L_2$ , 상기 제 2 도전형층 전극 중 정폭 도형의 일부로 구성되어 있는 부분의 외측 가장자리 길이를  $L_3$  으로 했을 때, (8) 식을 만족시키는 것이 바람직하다.
- <38>  $L_2/2 \leq L_3 \leq L_2 \dots (8)$  식
- <39> 본 발명의 바람직한 실시형태에 의하면, 상기 주 전극부의 외측 가장자리와 상기 제 1 도전형층 전극의 내측 가장자리 사이의 간격을 x 로 했을 때, (9) 식을 만족시키는 것이 바람직하다.
- <40>  $3\mu\text{m} \leq x \leq 500\mu\text{m} \dots (9)$  식
- <41> 본 발명의 바람직한 실시형태에 의하면, 복수의 상기 주 전극부가 배열되어 있는 것이 바람직하다.
- <42> 본 발명의 바람직한 실시형태에 의하면, 상기 제 2 도전형층 전극의 주변부가 절연막으로 덮여 있는 것이 바람직하다.
- <43> 본 발명의 바람직한 실시형태에 의하면, 상기 제 1 도전형층 전극은 절연막에 형성된 개구부를 통과하여 상기 제 1 도전형 클래드층에 캐리어를 주입하도록 배치되어 있는 것이 바람직하다.
- <44> 본 발명의 바람직한 실시형태에 의하면, 상기 절연막은  $\text{SiO}_x$ ,  $\text{AlO}_x$ ,  $\text{TiO}_x$ ,  $\text{TaO}_x$ ,  $\text{HfO}_x$ ,  $\text{ZrO}_x$ ,  $\text{SiN}_x$ ,  $\text{AlN}_x$ ,  $\text{AlFx}$ ,  $\text{BaFx}$ ,  $\text{CaFx}$ ,  $\text{SrFx}$  및  $\text{MgFx}$  로 이루어지는 그룹에서 선택되는 적어도 1 개의 재료를 함유하는 것이 바람직하다.
- <45> 본 발명의 바람직한 실시형태에 의하면, 상기 절연막은 복수의 층으로 구성될 수 있다.
- <46> 본 발명의 바람직한 실시형태에 의하면, 상기 제 1 도전형 클래드층, 상기 활성층 구조, 상기 제 2 도전형 클래드층은 In, Ga, Al, B 및 N 으로 이루어지는 그룹에서 선택되는 어느 하나의 원소를 함유하는 것이 바람직하다.
- <47> 본 발명의 바람직한 실시형태에 의하면, 상기 활성층 구조는 양자 우물층과 배리어층으로 이루어지고, 배리어층의 수를 B, 양자 우물층의 수를 W 로 했을 때, (10) 식을 만족시키는 것이 바람직하다.
- <48>  $B = W + 1 \dots (10)$  식
- <49> 본 발명의 바람직한 실시형태에 의하면, 상기 발광 소자는 상기 제 1 도전형 클래드층과 상기 제 1 도전형층 전극 사이에 제 1 도전형 콘택트층을 추가로 구비해도 된다.
- <50> 본 발명의 바람직한 실시형태에 의하면, 상기 발광 소자는 상기 제 2 도전형 클래드층과 상기 제 2 도전형층 전

극 사이에 제 2 도전형 콘택층을 추가로 구비해도 된다.

<51> 본 발명의 바람직한 실시형태에 의하면, 상기 제 1 도전형 클래드층이 n 형 반도체층이고, 상기 제 2 도전형 클래드층이 p 형 반도체층인 것이 바람직하다.

<52> 본 발명의 제 2 측면에 관련된 발광 소자는 III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치되어 있다. 상기 발광 소자는 상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과, 상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비하고, 상기 제 1 도전형층 전극은 개구를 갖고, 상기 제 2 도전형층 전극은 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 가지며, 상기 인출부는 상기 개구를 통과하는 제 1 인출부와, 상기 제 1 도전형층 전극의 외측 가장자리의 일부를 따라 배치된 제 2 인출부를 포함한다.

<53> 본 발명의 제 3 측면에 관련된 발광 소자는 III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 상기 제 1 도전형 클래드층과 상기 제 2 도전형 클래드층 사이에 상기 활성층 구조가 배치되어 있다. 상기 발광 소자는 상기 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극과, 상기 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극을 구비하고, 상기 제 1 도전형층 전극은 그 외측 가장자리가 직선으로 구성된 직선부를 포함하고, 상기 제 1 도전형층 전극은 상기 직선부의 거의 중앙부에 개구를 갖고, 상기 제 2 도전형층 전극은 상기 제 1 도전형층 전극에 의해 부분적으로 둘러싸이는 주 전극부와, 상기 개구를 통과하여 상기 주 전극부를 상기 제 1 도전형층 전극의 외측으로 인출하는 인출부를 갖는다.

<54> 발명의 효과

<55> 본 발명에 의하면, 예를 들어, 발광 영역의 대면적화, 발광 강도의 면내 균일성의 향상 및 방열성의 향상에 유리한 발광 소자를 제공할 수 있다.

### 실시예

<89> 발명을 실시하기 위한 최선의 형태

<90> 본 발명은 III-V 족 화합물 반도체 발광 소자에 관한 것으로서, 보다 구체적으로는, 본 발명은 III-V 족 화합물 반도체를 포함하여 각각 구성된 제 1 도전형 클래드층, 활성층 구조, 제 2 도전형 클래드층을 갖고, 그 제 1 도전형 클래드층과 제 2 도전형 클래드층 사이에 활성층 구조가 배치된 발광 소자에 관한 것이다. III-V 족 화합물 반도체는 V 족으로서 N (질소) 을 함유하는 화합물 반도체, 예를 들어, GaN (질화갈륨) 계 재료인 것이 바람직하다.

<91> 본 명세서에 있어서, 클래드층에 캐리어를 주입하는 전극의 형상이나 치수에 관한 설명은, 전극의 단면 전체가 클래드층에 캐리어를 주입하도록 기능하지 않는 경우에는, 전극의 단면 전체 중 클래드층에 캐리어를 주입하도록 기능하는 영역의 형상이나 치수에 관한 것이다. 예를 들어, 절연막에 개구부를 형성하고, 그 개구부를 매립하도록 형성된 전극은 단면 전체가 아니라 개구부를 통과하여 클래드층에 직접 또는 다른 층을 개재하여 간접적으로 접촉하는 부분이 클래드층에 대한 캐리어의 주입에 기여하기 때문에, 전극의 형상이나 치수에 관한 설명은 이러한 접촉 부분, 즉 캐리어 주입 영역의 형상이나 치수에 관한 설명이다. 또한, 전극의 가장 넓은 영역과 캐리어 주입 영역이 일치하는 경우도 있다. 이하에서는, 오해를 방지하기 위해, 여러 곳에서 캐리어 주입 영역에 관해서도 언급하는데, 이러한 언급의 유무에 관계없이 상기와 같이 해석되어야 한다.

<92> 본 명세서에 있어서 층, 부재, 구조물 등의 물체끼리의 위치 관계를 표현하는 기재, 예를 들어, 물체 상에 다른 물체가 배치되는 기재가 있을 때에는, 특별히 명시하는 경우를 제외하고, 양 물체가 접촉된 상태에서의 위치 관계를 의미하는 경우가 있는 것 외에, 양 물체가 접촉하지 않는 상태 (예를 들어, 양 물체 사이에 다른 물체 또는 공간이 개재하는 상태)에서의 위치 관계도 의미한다.

<93> 본 명세서에 있어서 에피택셜 성장층이란, 에피택셜 성장 후에 어떠한 처리, 예를 들어, 열처리, 하전 입자, 플라즈마 등에 의한 캐리어의 활성화 처리 등이 실시된 층까지도 포함할 수 있다.

<94> 본 명세서에 있어서 각 층의 평균 굴절률 ( $n_{av}$ ) 은, 그 층을 구성하는 n 종류의 재료의 각 굴절률을  $n_x$ , 그 재료의 물리적인 두께를  $t_x$  (여기에서, x 는 1 ~ n 에 대응) 로 하면, (11) 식으로 주어진다.

- <95>  $n_{av} = (n_1 \times t_1 + n_2 \times t_2 + \dots + n_n \times t_n) / (t_1 + t_2 + \dots + t_n) \dots$  (11) 식
- <96> 이하, 첨부 도면을 참조하면서 본 발명의 바람직한 실시형태의 화합물 반도체 발광 소자의 구조 및 그 제조 방법을 구체적으로 설명한다.
- <97> 도 1 ~ 도 5 는 본 발명의 5 개의 바람직한 실시형태의 화합물 반도체 발광 소자의 구조를 각각 나타내는 평면도이다. 전형적으로는, 본 발명의 바람직한 실시형태의 발광 소자는, 도 1 ~ 도 5 의 지면 뒤쪽이 주요 광 취출 방향이 될 수 있다. 또한, 도 3 ~ 도 5 에서는 발광 소자의 전극 형상만이 나타나 있다. 도 6a 는 도 1 ~ 도 2 의 aa' 선에 있어서의 모식적인 단면도이다. 도 6b 는 도 1 의 bb' 선에 있어서의 모식적인 단면도이다. 도 6c 는 도 1 ~ 도 5 에 나타내는 실시형태에 바람직한 활성층 구조를 모식적으로 나타내는 도면이다. 또한, 이들 도면은 발명의 특징적인 요소를 설명하는 것을 주 목적으로 하는 것이기 때문에, 층, 부재, 구조 등의 물체의 위치 관계를 모식적으로 나타내는 것을 의도한 것으로서, 실제로 제조될 수 있는 발광 소자의 구조를 확대한 것은 아니다.
- <98> 본 발명의 바람직한 실시형태의 반도체 발광 소자는, 화합물 반도체를 포함하여 구성될 수 있다. 화합물 반도체는 예를 들어, V 족으로서 질소 원자를 함유하는 III-V 족 화합물 반도체를 포함할 수 있다. 기판 (1) 은 발광 소자가 발생시키는 광의 파장 대역을 투과하는 재료 (또는 투명한 재료) 로 구성될 수 있다. 전형적으로는, 기판 (1) 은 발광 소자로부터의 광 출력이 기판 (1) 에 의한 흡수로 인하여 50% 이상 저하되지 않는 재료로 구성되는 것이 바람직하다.
- <99> 기판 (1) 은 절연성 기판인 것이 바람직하다. 기판 (1) 으로서 절연성 기판을 채용함으로써, 발광 소자를 지지체에 플립칩 마운트했을 때에 땀납재 등의 도전성 물질이 기판 (1) 에 부착된 경우에도 발광 소자의 기능이 저해되지 않는다. 구체적으로는, 기판 (1) 상에 GaN, InGaN, AlGaN, InAlGaN 계 발광 재료 또는 InAlBaN 계 재료를 에피택셜 성장시키는 경우, 기판 (1) 은 사파이어, SiC, GaN, LiGaO<sub>2</sub>, ZnO 및 ScAlMgO<sub>4</sub> 로 이루어지는 그룹에서 선택되는 재료로 구성되는 것이 바람직하고, 사파이어로 구성되는 것이 가장 바람직하다.
- <100> 기판 (1) 은, 이른바 면 지수에 의해 완전히 확정되는 저스트 기판뿐만 아니라, 에피택셜 성장시의 결정성을 제어하는 관점에서는, 이른바 오프 기판 (miss oriented substrate) 이어도 된다. 오프 기판은 스텝 플로우 모드에서의 양호한 결정 성장을 촉진시키는 효과를 갖기 때문에, 소자의 모폴로지 개선에도 효과가 있어, 기판 으로서 널리 사용된다. 예를 들어, 사파이어의 c+면 기판을 GaN 계 재료의 결정 성장용 기판으로서 사용할 때에는, m+ 방향으로 0.2 도 정도 기울어진 면을 사용하는 것이 바람직하다. 오프 기판으로는 0.1 ~ 0.2 도 정도의 미경사를 갖는 것이 널리 일반적으로 사용될 수 있는데, 사파이어 상에 형성된 GaN 계 재료에서는, 활성층 구조 내의 발광 포인트인 양자 우물층에 이러한 압전 효과에 의한 전계를 없애기 위해 비교적 큰 오프 각도를 줄 수도 있다.
- <101> 기판 (1) 은 MOCVD 나 MBE 등의 결정 성장 기술을 이용하여 화합물 반도체 발광 소자를 제조하기 위해, 미리 화학 에칭이나 열 처리 등을 실시해 두어도 된다. 또, 기판 (1) 의 표면에는 의도적으로 요철을 형성해도 되고, 이로써, 기판 (1) 과 그 위에 형성되는 에피택셜층의 계면에서 발생하는 관통 전이 (threading dislocation) 가 발광 소자의 활성층 구조 또는 그 근방에 도입되는 것을 저감시킬 수 있다.
- <102> 기판 (1) 은 발광 장치의 제조 공정 중에 제거되어도 된다. 예를 들어, 발광 소자를 지지체에 대해 플립칩 마운트한 경우에는, 전체 구조체로부터 기판 (1) 을 박리 등에 의해 제거해도 된다. 기판 (1) 을 제거함으로써, 소자 특성을 향상시키기 위한 가공 등을 버퍼층 (2) 에 실시할 수 있게 된다.
- <103> 버퍼층 (2) 의 2 개의 면 중 기판 (1) 이 박리된 면은, 버퍼층 (2) 이 GaN 계 재료로 구성되는 경우에는 질소 면인 경우가 많다. 질소 면은 사파이어 기판 또는 Ga 면보다 조면화 등의 가공이 용이하다.
- <104> 또, 기판 (1) 의 두께는, 발광 소자의 제조 프로세스의 초기 단계에서는, 전형적으로는 350 ~ 700 $\mu$ m 정도가 되어, 프로세스에서 요구되는 기계적 강도가 확보된다. 기판 (1) 을 제거하지 않고 발광 소자 구조체 중에 남기는 경우에는, 일련의 프로세스의 도중에 있어서 연마 공정에 의해 기판 (1) 을 박화(薄化)하여, 최종적인 발광 소자에서는 100 $\mu$ m 정도의 두께가 되는 것이 바람직하다.
- <105> 발광 소자를 지지체에 플립칩 마운트하는 경우에 있어서는, 기판 (1) 의 2 개의 면 중 에피택셜 성장이 실시되어 있지 않은 면이 주요 광 취출 방향이 된다. 이 면을 광 취출면으로 부르기로 하면, 광 취출면은 평탄하지 않은 면 또는 조면(粗面)인 것이 바람직하다. 광 취출면을 평탄하지 않은 면 또는 조면으로 함으로써, 양자 우물층 내에서 발광된 광을 고효율로 취출할 수 있어, 소자의 고효율화, 고효율화의 관점에서 바람직하다.

- <106> 또, 기판 (1) 을 제거하는 실시 형식에서는, 버퍼층 (2) 의 노출면이 평탄하지 않은 면 또는 조면인 것이 바람직하다.
- <107> 버퍼층 (2) 은 기판 (1) 상에 클래드층이나 활성층 구조를 에피택셜 성장시킬 때에, 전이의 억제, 기판 결정의 불완전성의 완화, 기판 결정과 에피택셜 성장층의 각종의 상호 부정합의 경감 등을 목적으로 하여 기판 (1) 과 클래드층 사이에 형성될 수 있다.
- <108> InAlGaN 계 재료, InAlBaN 계 재료, InGaN 계 재료, AlGaN 계 재료 및 GaN 계 재료로 이루어지는 그룹에서 선택되는 재료를 기판 (1) 상에 헤테로 에피택셜 성장시킬 때에는, 에피택셜 성장층과 기판 (1) 사이에서 격자 상수가 매칭되지 않기 때문에, 버퍼층 (2) 은 특히 중요하다.
- <109> 버퍼층 (2) 상에 에피택셜 성장층을 유기 금속 기상 성장법 (MOVPE 법) 으로 성장시키는 프로세스에서는, 버퍼층 (2) 으로서, 600℃ 근방의 저온에서 성장시킨 AlN 층이나 500℃ 근방의 저온에서 성장시킨 GaN 층을 이용하는 것이 바람직하다. 또, 800℃ ~ 1000℃ 정도의 고온에서 성장시킨 AlN, GaN, AlGaN, InAlGaN, InAlBaN 등도 버퍼층 (2) 으로서 적합하다. 이러한 버퍼층은 일반적으로 5 ~ 40nm 정도의 얇은 것이다.
- <110> 버퍼층 (2) 은 반드시 단일한 층일 필요는 없으며, 저온에서 성장시킨 GaN 버퍼층 상에, 결정성을 보다 개선시키기 위해, 도핑을 실시하지 않는 1000℃ 정도의 온도에서 성장시킨 GaN 층을 수 μm 정도 형성해도 된다. 실제로는 이러한 후막의 버퍼층을 갖는 것이 보통으로, 그 두께는 예를 들어 0.5 ~ 7μm 정도이다.
- <111> 버퍼층 (2) 의 형성에 관해서는, 이른바 마이크로 채널 에피택시의 1 종인 횡방향 성장 기술 (ELO ; Epitaxial Lateral Overgrowth) 도 사용할 수 있으며, 이로써 사파이어 등의 기판과 InAlGaN 계 재료 사이에서 발생하는 관통 전이 밀도를 대폭 저감시킬 수도 있다.
- <112> 제조 프로세스 중에 기판 (1) 이 활성층 구조 (4) 를 포함하는 주 구조체로부터 분리되는 경우에는, 그에 따라 노출되는 버퍼층 (2) 의 면이 주요 광 추출면이 된다. 기판 (1) 의 박리는, 예를 들어, 기판 (1) 을 투과하여 버퍼층 (2) 에서 흡수되는 파장을 갖는 광을 사용하여, 버퍼층 (2) 의 일부를 광화학적으로 분해함으로써 실시될 수 있다. 예를 들어, 기판 (1) 이 사파이어로 구성되고, 버퍼층 (2) 이 GaN 으로 구성되는 경우에는, 248nm 의 엑시머 레이저광을 기판 (1) 을 통과하여 버퍼층 (2) 에 조사함으로써, GaN 을 Ga 와 N 으로 분해하여 기판 (1) 을 활성층 구조 (4) 를 포함하는 주 구조체로부터 박리할 수 있다.
- <113> 제 1 도전형 클래드층 (4) 은 제 2 도전형 클래드층 (5) 과 함께 활성층 구조 (4) 를 삽입하여 캐리어와 광을 공간적으로 가두는 것을 효율적으로 실현하여, 양자 우물층에 있어서의 발광을 고효율로 실현한다. 이를 위해, 일반적으로는, 제 1 도전형 클래드층 (3) 은 활성층 구조 (4) 의 평균적 굴절률보다 작은 굴절률을 갖는 재료로, 그리고, 활성층 구조 (4) 의 평균적인 밴드 갭보다 큰 재료로 구성된다.
- <114> 또한, 제 1 도전형 클래드층 (3) 은, 활성층 구조 (4) 내의 특히 배리어층 (4b) 과의 관계에 있어서, 이른바 타입 I 형의 밴드 라인업이 되는 재료로 구성되는 것이 바람직하다. 이러한 지침 하에서, 제 1 도전형 클래드층 (3) 의 재료는 원하는 발광 파장을 실현시키기 위해 선택되는 기판 (1), 버퍼층 (2), 활성층 구조 (4) 에 따라 적절히 선택될 수 있다.
- <115> 제 1 도전형 클래드층 (3) 은 예를 들어, 기판 (1) 으로서 C+면 사파이어를 사용하고, 버퍼층 (2) 으로서 저온 성장된 GaN 을 사용하는 경우에는, GaN 계 재료, AlGaN 계 재료, AlGaInN 계 재료 또는 InAlBaN 계 재료, 또는, 이들 전부 또는 일부의 다층 구조로 형성될 수 있다.
- <116> 제 1 도전형 클래드층 (3) 의 캐리어 농도는, 하한은  $1 \times 10^{17} \text{ cm}^{-3}$  이상인 것이 바람직하고,  $5 \times 10^{17} \text{ cm}^{-3}$  이상인 것이 보다 바람직하며,  $5 \times 10^{17} \text{ cm}^{-3}$  이상인 것이 가장 바람직하다. 제 1 도전형 클래드층 (3) 의 캐리어 농도의 상한은,  $1 \times 10^{19} \text{ cm}^{-3}$  이하인 것이 바람직하고,  $7 \times 10^{18} \text{ cm}^{-3}$  이하인 것이 보다 바람직하며,  $5 \times 10^{18} \text{ cm}^{-3}$  이하인 것이 가장 바람직하다.
- <117> 제 1 도전형이 n 형인 경우, 제 1 도전형 클래드층 (3) 의 도펀트로는 Si 가 가장 바람직하다. 상기의 도핑 레벨은 발광 소자 전체를 균일한 휘도로 발광시키기 위해 중요하다.
- <118> 제 1 도전형 클래드층 (3) 은, 도 6a, 6b 에 나타내는 예와 같이, 단일한 층으로 구성되어도 되고, 2 층 이상의 적층 구조로서 구성되어도 된다. 후자에서는, 예를 들어, 제 1 층을 GaN 계 재료로 구성하고, 제 2 층을

AlGa<sub>n</sub> 계 재료, InAlGa<sub>n</sub> 계 재료 및 InAlBGa<sub>n</sub> 계 재료로 이루어지는 그룹에서 선택되는 재료로 형성할 수 있다.

제 1 도전형 클래드층 (3) 은 이종(異種) 재료의 적층 구조로 이루어지는 초격자 구조가 되어도 된다. 또한, 제 1 도전형 클래드층 (3) 내에서 캐리어 농도를 변화시켜도 된다.

- <119> 제 1 도전형 클래드층 (3) 이 다층 구조를 갖는 경우에는, 제 1 도전형층 전극 (7) 과 접촉하는 층의 캐리어 농도를 의도적으로 높게 하여 전극 (7) 과의 접촉 저항을 저감시키는 것이 바람직하다.
- <120> 제 1 도전형 클래드층 (3) 은 볼록부 (메사부 ; 3m) 를 갖는다. 볼록부 (3m) 는 예를 들어, 거의 균일한 두께의 제 1 도전형층을 형성한 후에, 볼록부 (3m) 로 해야 하는 영역의 주위를 에칭함으로써 형성될 수 있다. 볼록부 (3m) 의 측벽 (3s), 및, 볼록부 (3m) 를 둘러싸는 주변부 (3o) 는, 제 1 캐리어 주입 영역 (7a) 을 제외하고, SiN 등의 절연막 (8) 으로 덮여 있는 것이 바람직하다. 제 1 도전형층 전극 (7) 에 의해 제 1 도전형 클래드층 (3) 에 캐리어가 주입되는 영역인 제 1 캐리어 주입 영역 (7a) 은, 절연막 (8) 에 형성되는 개구부에 의해 규정된다.
- <121> 제 1 도전형 클래드층 (3) 상에는 활성층 구조 (4) 가 형성되어 있다. 활성층 구조 (4) 는 제 1 도전형 클래드층 (3) 과 제 2 도전형 클래드층 (5) 으로부터 주입되는 전자와 정공 (또는, 정공과 전자) 이 재결합하여 발광하는 층인 1 또는 복수의 양자 우물층 (4w) 과, 복수의 배리어층 (4b) 을 포함할 수 있다. 배리어층 (4b) 은 양자 우물층 (4w) 과 양자 우물층 (4w) 사이, 양자 우물층 (4w) 과 제 1 도전형 클래드층 (3) 사이, 및 양자 우물층 (4w) 과 제 2 도전형 클래드층 (5) 의 사이에 배치된다.
- <122> 여기에서, 발광 소자의 고출력화, 고효율화를 실현하기 위해서는, 활성층 구조 (4) 중의 양자 우물층 (4w) 의 층수를 W, 배리어층 (4b) 의 층수를 B 로 하면, (12) 식을 만족시키는 것이 바람직하다.
- <123>  $B = W + 1 \dots (12)$  식
- <124> 즉, 클래드층 (3, 5) 과 활성층 구조 (4) 의 적층 구조는 제 1 도전형 클래드층 (3)/활성층 구조 (4)/제 2 도전형 클래드층 (5) 으로 구성되고, 활성층 구조 (4) 는 배리어층 (4b)/양자 우물층 (4w)/배리어층 (4b), 또는, 배리어층 (4b)/양자 우물층 (4w)/배리어층 (4b)/양자 우물층 (4w)/배리어층 (4b) 과 같이, 배리어층 (4b)/양자 우물층 (4w)/... /양자 우물층 (4w)/배리어층 (4b) 과 같이 형성되는 것이 바람직하다. 도 6c 에 상기와 같은 구조를 갖는 활성층 구조 (4) 의 일례가 나타나 있다. 도 6c 에 나타내는 예에서는, 양자 우물층 (4w) 이 5 층이고, 배리어층 (4b) 이 6 층이다.
- <125> 여기에서, 양자 우물층 (4w) 에서 양자 사이즈 효과를 발현시켜 발광 효율을 높이기 위해, 그 층 두께는 드브로이 파장과 동일한 정도로 얇아진다. 이 때문에, 고출력화를 실현하기 위해서는, 단층의 양자 우물층이 아니라, 복수의 양자 우물층을 적층하는 것이 바람직하다. 이 때에, 각 양자 우물층 (4w) 사이의 결합을 제어하면서 분리되는 층이 배리어층 (4b) 이다. 배리어층 (4b) 은 클래드층 (3, 5) 과 양자 우물층 (4w) 을 분리하기 위해서도 존재하는 것이 바람직하다.
- <126> 예를 들어, 제 1 도전형 클래드층 (3) 및 제 2 도전형 클래드층 (5) 이 AlGa<sub>n</sub> 을 함유하고, 양자 우물층 (4w) 이 InGa<sub>n</sub> 으로 이루어지는 경우에는, AlGa<sub>n</sub> 과 InGa<sub>n</sub> 사이에 Ga<sub>n</sub> 으로 이루어지는 배리어층 (4b) 이 존재하는 것이 바람직하다. 이러한 배리어층 (4b) 의 배치로 인하여, 양자 우물층 (4w) 과 클래드층 (3, 5) 에서 결정 성장의 최적 온도가 상이한 경우에 있어서 일련의 프로세스에 있어서의 온도의 변경을 용이하게 할 수 있기 때문에, 에피택셜 성장을 제어하는 관점에서도 바람직하다.
- <127> 또, 제 1 도전형 클래드층 (3) 및 제 2 도전형 클래드층이 가장 밴드 갭이 넓은 InAlGa<sub>n</sub> 으로 이루어지고, 양자 우물층 (4w) 이 가장 밴드 갭이 좁은 InAlGa<sub>n</sub> 으로 이루어지는 경우에는, 배리어층 (4b) 에 그 중간 밴드 갭을 갖는 InAlGa<sub>n</sub> 을 사용하는 것이 바람직하다.
- <128> 또한, 일반적으로 클래드층 (3, 5) 과 양자 우물층 (4w) 사이의 밴드 갭의 차는, 배리어층 (4b) 과 양자 우물층 (4w) 사이의 밴드 갭의 차보다 크고, 양자 우물층 (4w) 으로의 캐리어의 주입 효율을 생각해 봐도, 양자 우물층 (4w) 은 클래드층 (3, 5) 에 직접 접촉하지 않는 것이 바람직하다.
- <129> 양자 우물층 (4w) 에는 의도적인 도핑은 실시하지 않는 편이 바람직하다. 한편, 배리어층 (4b) 에는 도핑을 실시하여 활성층 구조 전체의 저항을 낮추는 것이 바람직하다. 특히, 배리어층 (4b) 에는 n 형의 도펀트, 특히 Si 를 도핑 하는 것이 바람직하다. p 형의 도펀트로서 유용한 Mg 는 소자 내에서 확산되기 쉬워, 고출력 동작시에는 Mg 의 확산을 억제하는 것이 중요해진다. Si 는 Mg 의 확산의 억제에 유효하다. 단, 양자 우물층 (4w) 과 배리어층 (4b) 의 계면에서는 도핑을 실시하지 않는 편이 좋다.

- <130> 활성층 구조 (4) 의 측벽은 절연막 (8) 으로 덮여 있는 것이 바람직하다. 이것은 발광 소자를 플립칩 본드할 때에 활성층 구조 (4) 의 측벽에 땀납 등이 부착되어 단락이 발생하는 것을 방지할 수 있기 때문이다.
- <131> 활성층 구조 (4) 는 제 1 도전형 클래드층 (3) 과 제 2 도전형 클래드층 (5) 사이에 배치된다. 이로써 활성층 구조 (4) 에 캐리어와 광이 공간적으로 갇혀, 양자 우물층 (4w) 에 있어서의 발광을 고효율로 실현할 수 있다.
- <132> 이를 위해, 제 2 도전형 클래드층 (5) 은 활성층 구조 (4) 의 평균적 굴절률보다 작은 굴절률을 갖는 재료로, 또한, 활성층 구조 (4) 의 평균적인 밴드 갭보다 큰 재료로 구성되는 것이 바람직하다. 또한, 제 2 도전형 클래드층 (5) 은, 활성층 구조 (4) 내의 특히 배리어층 (4b) 과의 관계에 있어서, 이른바 타입 I 형의 밴드 라인업이 되는 재료로 구성되는 것이 바람직하다. 이러한 지침 하에서, 제 2 도전형 클래드층 (5) 의 재료는, 원하는 발광 파장을 실현하기 위해 선택되는 기판 (1), 버퍼층 (2), 활성층 구조 (4) 에 따라 적절히 선택할 수 있다.
- <133> 예를 들어, 기판 (1) 으로서 C+면 사파이어를 사용하고, 버퍼층 (2) 으로서 GaN 을 사용하는 경우에는, 제 2 도전형 클래드층 (5) 으로서 GaN 계 재료, AlGaIn 계 재료, AlGaInN 계 재료 또는 AlGaBiInN 계 재료, 또는, 이들 전부 또는 일부의 재료를 적층 구조로서 형성될 수 있다. 또, 제 1 도전형 클래드층 (3) 과 제 2 도전형 클래드층 (5) 은 동일한 재료로 구성되어도 된다.
- <134> 제 2 도전형 클래드층 (5) 의 캐리어 농도의 하한은  $1 \times 10^{17} \text{ cm}^{-3}$  이상이 바람직하고,  $5 \times 10^{17} \text{ cm}^{-3}$  이상이 보다 바람직하며,  $5 \times 10^{17} \text{ cm}^{-3}$  이상이 가장 바람직하다. 제 2 도전형 클래드층 (5) 의 캐리어 농도의 상한은  $7 \times 10^{18} \text{ cm}^{-3}$  이하가 바람직하고,  $2 \times 10^{18} \text{ cm}^{-3}$  이하가 가장 바람직하다. 제 2 도전형이 p 형인 경우, 도펀트로는 Mg 가 가장 바람직하다. 이들 도핑 레벨은 발광 소자 전체를 균일한 강도로 발광시키기 위해 중요한 통과 저항을 결정하는 요소가 되기 때문에 중요하다.
- <135> 제 2 도전형 클래드층 (5) 은 단일한 층으로 구성되어도 되고, 2 층 이상의 적층 구조로 구성되어도 된다. 이 경우에는 예를 들어, GaN 계 재료와 AlGaIn 계 재료를 사용하는 것 등이 가능하다. 제 2 도전형 클래드층 (5) 은 이종 재료의 적층 구조로 이루어지는 초격자 구조가 되어도 된다. 또한, 제 2 도전형 클래드층 (5) 내에서 캐리어 농도를 변화시켜도 된다.
- <136> 일반적으로, GaN 계 재료에서는, n 형 도펀트가 Si 이고, 또한 p 형 도펀트가 Mg 인 경우에는, p 형 GaN, p 형 AlGaIn, p 형 AlInGaIn 의 결정성은 각각 n 형 GaN, n 형 AlGaIn, n 형 AlInGaIn 일 필요는 없다. 이 때문에, 소자 제조에 있어서는, 결정성이 떨어지는 p 형 클래드층을 활성층 구조 (4) 의 결정 성장 후에 형성하는 것이 바람직하다. 이 관점에서 제 1 도전형이 n 형이고, 제 2 도전형이 p 형인 것이 바람직하다.
- <137> 또, 결정성이 떨어지는 p 형 클래드층 (이것은 바람직한 형태에 있어서의 제 2 도전형 클래드층 (5) 에 상당한다) 의 두께는, 발광 소자를 플립칩 마운트하는 경우에는, 페이스 업 마운트하는 경우보다 얇아도 된다. 플립칩 마운트에 있어서는, 제 1 도전형 클래드층 (3) 측이 주요 광의 취출 방향이 되어, 제 2 도전형측 전극 (6) 측으로부터 광의 취출을 고려할 필요가 없어, 대면적이고 그리고 두꺼운 제 2 도전형측 전극 (6) 을 형성할 수 있다. 이 때문에, 플립칩 마운트의 경우에는, 페이스 업 마운트의 경우에 있어서의 같이, 제 2 도전형 클래드층 (5) 에 있어서의 횡방향으로의 캐리어 확산을 기대할 필요가 없다. 단, 제 2 도전형 클래드층 (5) 을 지나치게 얇게 하면, 캐리어의 주입 효율이 저하된다. 따라서, 제 2 도전형측 클래드층의 두께는 예를 들어,  $0.02 \mu\text{m} \sim 0.3 \mu\text{m}$  의 범위 내인 것이 바람직하고,  $0.03 \mu\text{m} \sim 0.15 \mu\text{m}$  의 범위 내인 것이 보다 바람직하며,  $0.04 \mu\text{m} \sim 0.1 \mu\text{m}$  의 범위 내인 것이 가장 바람직하다.
- <138> 제 2 도전형 클래드층 (5) 이 다층 구조를 갖는 경우에는, 제 2 도전형측 전극 (6) 과 접촉하는 층의 캐리어 농도를 의도적으로 높게 하여, 전극 (6) 과의 접촉 저항을 저감시키는 것이 바람직하다.
- <139> 제 2 도전형 클래드층 (5) 은 제 2 도전형측 전극 (6) 이 형성되는 부분을 제외하고 절연막 (8) 으로 덮이는 것이 바람직하다. 제 2 도전형 클래드층 (5) 상에 제 2 도전형측 전극 (6) 이 형성된 후에 절연막 (8) 이 형성되는 경우에는, 제 2 도전형측 전극 (6) 의 단면과 제 2 캐리어 주입 영역 (6a) 이 일치한다.
- <140> 도 6a, 6b, 6c 에 나타내는 구조를 형성하는 프로세스는, 기판 (1) 상에 에피택셜층을 형성하는 공정을 포함한 다. 에피택셜층은 버퍼층 (2) 과, 제 1 도전형 클래드층 (3) 과, 양자 우물층 (4w) 및 배리어층 (4b) 의 적층 구조를 포함하는 활성층 구조 (4) 와, 제 2 도전형 클래드층 (5) 을 포함할 수 있다. 또한, 에피택셜층

은 추가로 다른 층을 포함해도 된다.

- <141> 에피택셜층의 형성에는 MOCVD 법을 적용하는 것이 바람직하다. 그러나, 에피택셜층의 형성에 있어서는 MBE 법, PLD 법, 스퍼터법을 적용할 수도 있다. 또, 다층 구조의 에피택셜층의 형성에 있어서 MOCVD 법, MBE 법, PLD 법, 스퍼터법 등의 여러 가지 방법 중 적어도 2 가지 방법을 적용해도 된다. 또, 에피택셜층의 구성은 발광 소자의 용례 등에 맞추어 적절히 변경될 수 있다.
- <142> 제 2 도전형 클래드층 (5) 이 p 형 화합물 반도체층 (예를 들어, p 형 GaN 층) 인 경우에는, 제 2 도전형 클래드층 (5) 의 형성 (제 2 도전형 클래드층 (5) 을 성장시킨 후의 열처리 등을 포함할 수 있다) 후, 절연막 (8) 및 제 1 도전형층 전극 (7) 의 형성보다 먼저 제 2 도전형층 전극 (6) 을 형성하는 것이 바람직하다.
- <143> GaN 계 재료를 예로 들면, p 형으로 도핑된 GaN 계 재료는 n 형으로 도핑된 GaN 계 재료보다 활성화율이 떨어진다. 제 2 도전형 클래드층 (5) 으로서 p 형 화합물 반도체층, 예를 들어, p 형 GaN 계 반도체층을 채용하는 경우, 이것이 각종의 프로세스에 노출되면, p 형 GaN 계 클래드층 중의 정공 농도가 프로세스 데미지로 인하여 저하될 수 있다. 예를 들어, p-CVD 에 의한 절연층 (8) 의 형성 공정을 제 2 도전형층 전극 (6) 의 형성보다 먼저 실시하면, 제 2 도전형 클래드층 (6) 의 표면에 플라즈마 데미지를 받는다.
- <144> 그래서, 제 2 도전형 클래드층 (5) 을 형성한 후에는, 제 2 도전형층 전극 (6) 의 형성이 다른 프로세스보다 먼저 실시되는 것이 바람직하다. 여기에서, 다른 프로세스는 예를 들어, 제 2 도전형 클래드층 (5) 의 일부, 활성층 구조 (4) 의 일부, 제 1 도전형 클래드층 (3) 의 일부를 에칭하여 볼록부 (3m) 를 형성하는 공정, 절연막 (8) 에 제 1 캐리어 주입 영역 (콘택트 영역 ; 7a) 을 규정하는 개구를 형성하는 공정, 제 1 도전형층 전극 (7) 을 형성하는 공정 등을 포함할 수 있다.
- <145> 제 2 도전형 클래드층 (5) 이 p 형인 경우에는, 제 2 도전형층 전극의 표면은 Au 로 구성될 수 있다. 제 2 도전형층 전극 (5) 의 표면이 Au 등의 비교적 안정된 금속으로 구성되는 경우에는, 그 후의 프로세스에 의해 당해 표면이 받는 프로세스 데미지는 작다. 이 관점에서 제 2 도전형 클래드층 (5) 을 형성한 후에는, 가능한 한 다른 프로세스보다 먼저 제 2 도전형층 전극 (6) 의 형성 프로세스가 실시되는 것이 바람직하다.
- <146> 또한, 제 2 도전형 클래드층 (5) 상에 다른 층, 예를 들어, 제 2 도전형 콘택트층이 형성되고, 이 제 2 도전형 콘택트층 상에 제 2 도전형층 전극 (6) 이 형성되는 경우에는, 프로세스 데미지를 피력하는 층은 제 2 도전형 콘택트층이다. 요컨대, 에피택셜층의 최표면층 상에 제 2 도전형층 전극 (6) 을 형성하는 프로세스를 가능한 한 다른 프로세스보다 이전에 실시하는 것이 바람직하다.
- <147> 제 2 도전형층 전극 (6) 은, 제 2 도전형의 질화물 화합물 반도체와 양호한 음성 접촉을 제공하고, 또한 플립칩 마운트를 했을 때에는, 발광 파장대역에 있어서의 반사 미러가 됨과 함께 댄납재 등에 의한 서브 마운트, 소자 지지용 기판 등과의 양호한 접착성을 제공해야 한다. 제 2 도전형층 전극 (5) 의 재료 및 구조는 이러한 관점에서 결정될 수 있다. 여기에서, 제 2 도전형층 전극 (5) 은 단일한 층으로 구성되어도 되고, 복수의 층으로 구성되어도 되는데, 전형적으로는, 상기와 같은 복수의 기능을 제공하기 위해 복수의 층으로 구성될 수 있다.
- <148> 제 2 도전형이 p 형이고, 제 2 도전형층 클래드층 (5) 의 2 개의 면 중 제 2 도전형층 전극 (6) 측의 면이 GaN 로 구성되는 경우에는, 제 2 도전형층 전극 (6) 은 Ni, Pt, Pd, Mo 및 Au 로 이루어지는 그룹에서 선택되는 재료로 구성되는 것이 바람직하다. 특히, 제 2 도전형층 전극 (6) 의 제 1 층 (제 2 도전형 클래드층 (5) 에 접촉하는 층) 은 Ni 층인 것이 바람직하고, 제 2 도전형층 전극 (6) 의 최종층 (제 2 도전형 클래드층 (5) 에서 가장 먼 층) 은 Au 층인 것이 바람직하다. Ni 는 일함수의 절대값이 크고, p 형 재료와의 접합에 적합하여, Au 는 프로세스 이력에 대한 내성이 높고, 또 마운트에서도 적절하다.
- <149> 제 2 도전형층 전극 (6) 의 형성에는 스퍼터, 진공 증착 등 여러 가지의 성막 기술을 적용할 수 있다. 또, 원하는 형상의 전극 (6) 을 형성하기 위한 기술로는, 포토리소그래피 기술을 사용한 리프트 오프법이나, 메탈 마스크 등을 사용한 장소 선택적인 증착 등을 적용할 수 있다.
- <150> 제 2 도전형층 전극 (6) 을 형성한 후에는, 제 1 도전형 클래드층 (3) 에 볼록부 (3m) 가 형성되도록, 볼록부 (3m) 가 형성되어야 하는 영역의 주변부 (3o) 를 에칭한다. 이 때에 제 2 도전형 클래드층 (5), 활성층 구조 (4) 및 제 1 도전형 클래드층의 주변부 (3o) 를 연속적으로 에칭한다. 여기에서, 제 2 도전형 클래드층 (5) 상에 제 2 도전형 콘택트층이 형성되어 있는 경우에는, 콘택트층도 에칭된다.
- <151> 에칭 방법으로는 예를 들어, SiNx 등으로 에칭 마스크를 형성한 후에, Cl<sub>2</sub>, SiCl<sub>4</sub>, BCl<sub>3</sub> 등을 에칭 가스로서 실

시되는 드라이 에칭이 적합하다.

- <152> 제 2 도전형층 전극 (6) 은 p-CVD 등에 의해 형성될 수 있는 SiNx 마스크의 형성 이력, 에칭 공정 후에 실시되는 당해 SiNx 마스크 제거 공정을 피력하는데, 제 2 도전형층 전극 (6) 의 표면이 Au 등의 안정된 금속으로 형성되어 있는 경우에는, 제 2 도전형층 전극이 받는 프로세스 데미지는 적어진다.
- <153> 상기의 에칭 공정에 이어, 예를 들어, 기관 (1) 에 소자 분리홀을 형성하는 추가적인 에칭 공정 (제 2 에칭 공정) 이 실시되어도 된다.
- <154> 제 1 도전형 클래드층 (3) 의 주변부 (오목부 ; 3o) 가 에칭된 후에, 기관 (1) 상의 구조물 전체면에 절연막 (8) 이 형성된다. 절연막 (8) 은 발광 소자를 지지체에 플립칩 마운트했을 때에, 마운트용 뿔납이나 도전성 페이스트재가 예를 들어, 제 1 도전형층 전극 (7) 과 제 2 도전형층 전극 (6) 사이, 활성층 구조 (4), 전극 (7 또는 6) 사이 등을 단락시키는 것을 방지한다.
- <155> 절연막 (8) 의 재료 또는 구조는 특별히 한정되지 않지만, 예를 들어, 단층의 산화물, 질화물 또는 불화물 등으로 구성되는 것이 바람직하다. 구체적으로는, 절연막 (8) 은 SiOx, AlOx, TiOx, TaOx, HfOx, ZrOx, SiNx, AlNx, AlFx, BaFx, CaFx, SrFx 및 MgFx 로 이루어지는 그룹에서 선택되는 재료로 구성되는 것이 바람직하다. 이들 재료로 구성되는 절연막 (8) 은 장기간에 걸쳐 안정적으로 절연성을 제공한다.
- <156> 한편, 다층 구조의 절연막 (8) 을 채용할 수도 있다. 이 경우, 절연막 (8) 을 구성하는 복수의 절연층 (유전체) 의 굴절률을 적절히 조정함으로써, 발광 소자 내에서 발생된 광에 대해 광학적으로 비교적 높은 반사율을 갖는 이른바 고반사 코팅 기능도 제공될 수 있다. 예를 들어, 발광 소자의 발광 파장의 중심값이  $\lambda$  인 경우에는, SiOx 와 TiOx 를 각각 광학 두께를  $\lambda/4n$  (여기에서, n 은 파장  $\lambda$  에 있어서의 각각의 재료의 굴절률) 으로 하여 적층하거나 함으로써 높은 반사 특성을 실현할 수 있다.
- <157> 이와 같이 하면, 발광 소자를 지지체에 플립칩 본드한 때에는, 주요 취출 방향측으로의 광의 취출 효율을 높일 수 있게 되어, 소자의 고출력화, 고효율화의 관점과 뿔납재 등에 의한 의도하지 않는 단락 등을 방지하는 것을 양립시킬 수 있다. 구체적으로는, 발광 소자의 발광 파장에 있어서, 절연막 (8) 의 반사율을 R1, 버퍼층 (2) 의 반사율을 R2 로 하면, R1 과 R2 가  $R2 < R1$  을 만족시키는 것이 바람직하다. 이것은 다층 구조의 절연막 (8) 이 광학적인 반사 미러로서 효율적으로 기능하기 위한 조건이다.
- <158> 다층 구조의 절연막 (8) 을 구성하는 층에는, 그 재료의 안정성 및 굴절률의 범위에서 생각하여, SiOx, SiNx, TiOx, MgF2 로 이루어지는 그룹에서 선택되는 재료가 함유되는 것이 바람직하다.
- <159> 절연막 (8) 의 형성 공정에 이어, 제 2 도전형층 전극 (6) 의 일부가 노출되도록 절연막 (8) 에 개구부를 형성하는 것이 바람직하다. 또, 이 때에 동시에 제 1 도전형 클래드층 (3) 의 캐리어 주입 영역 (7a) 이 노출되도록 절연막 (8) 을 제거하는 것이 바람직하다. 여기에서, 이러한 프로세스에 의해 형성되는 경우에는, 제 2 캐리어 주입 영역 (6a) 의 형상은 제 2 도전형층 전극 (6) 의 단면 형상과 동일해지고, 또 제 1 캐리어 주입 영역 (7a) 의 형상은 제 1 도전형층 전극 (7) 과 제 1 도전형 클래드층 (3) 의 콘택트를 위해 절연층 (8) 에 형성되는 개구부에 의해 규정된다. 단, 제 1 도전형층 전극 (7) 의 형상과 제 1 캐리어 주입 영역 (7a) 의 형상은 서로 유사한 것이 바람직하다.
- <160> 제 2 도전형층 전극 (6) 상의 절연막 (8) 의 제거는, 제 2 도전형층 전극 (6) 의 주변 부분이 절연막 (8) 에 의해 덮인 그대로 남도록 실시하는 것이 바람직하다. 즉, 제 2 도전형층 전극 (6) 의 노출 부분의 표면적은, 제 2 캐리어 주입 영역 (6a) 의 면적보다 작은 것이 바람직하다. 이 경우, 발광 소자를 플립칩 마운트하여 서브 마운트 또는 소자 지지 기관 등과 일체화할 때에 사용하는 뿔납재 등에 의한 의도하지 않는 단락, 예를 들어, 제 1 도전형층 전극 (7) 과 제 2 도전형층 전극 (6) 의 단락, 발광 유닛 간의 단락 등을 효과적으로 방지할 수 있다.
- <161> 제 2 도전형층 전극 (6) 은 Ni, Pt, Pd, Mo 및 Au 중 어느 하나로 이루어지는 그룹에서 선택되는 적어도 1 개의 재료를 구성 원소로서 함유하는 것이 바람직하고, 특히 절연막 (8) 과 접하는 면은 Au 로 구성되는 것이 바람직하다. 이 경우, 절연막 (8) 을 제거하는 공정에 있어서, 제 2 도전형층 전극 (6) 은, 그 프로세스 데미지를 받는 경우가 적기 때문에, 제 2 도전형층 전극 (6) 의 형성 공정은 절연막 (8) 의 형성 공정보다 먼저 실시되어 있는 것이 바람직하다.
- <162> 또한, 제 2 도전형층 전극 (6) 의 노출 부분의 형성, 제 1 캐리어 주입 영역 (7a) 을 노출시키기 위한 절연막 (8) 의 제거, 또는 발광 소자를 구획하기 위한 소자 분리홀을 형성하는 경우에는 절연막 (8) 에 대한 소자 분리

홈의 형성은 동시에 실시되는 것이 바람직하다.

- <163> 절연막 (8) 의 부분적인 제거에는 절연막 (8) 의 재질에 따라 드라이 에칭, 웨트 에칭 등의 각종 에칭 수법, 에칭 가스, 에칭액을 선택할 수 있다. 예를 들어, 절연막이 SiN<sub>x</sub> 단층인 경우에는, SF<sub>6</sub> 등의 에칭 가스를 사용한 드라이 에칭도 또는 플루오르화수소계 에칭액을 사용한 웨트 에칭도 가능하다. 또, 절연막 (8) 이 SiO<sub>x</sub> 와 TiO<sub>x</sub> 로 구성되는 다층 구조인 경우에는, Ar 이온 밀링에 의해 원하는 부분의 다층막을 제거할 수도 있다.
- <164> 도 6a, 도 6b 에 나타난 상태는 제 1 캐리어 주입 영역 (7a) 을 규정하는 개구부를 절연막 (8) 에 형성한 후에 제 1 도전형층 전극 (7) 을 형성함으로써 완성한다. 제 1 도전형층 전극 (7) 은 제 1 도전형의 질화물 화합물 반도체와 양호한 음성 접촉을 제공하는 재료로 구성되는 것이 바람직하다. 또, 제 1 도전형층 전극 (7) 은, 플립칩 마운트에서는, 양호한 발광 파장대역에 있어서의 반사 미러가 되고, 또 뿔납재에 의한 서브 마운트, 디바이스 소자 지지용 기관 등과의 양호한 접착성을 제공하는 재료로 구성되는 것이 바람직하다. 제 1 도전형층 전극 (7) 은 단일한 층으로 구성되어도 되고, 복수의 층으로 구성되어도 된다. 전형적으로는, 전극에 요청되는 복수의 목적을 달성하기 위해, 제 1 도전형층 전극 (7) 은 복수의 층으로 구성될 수 있다.
- <165> 제 1 도전형이 n 형이라고 하면, 그것에 콘택트하는 제 1 도전형층 전극 (7) 은 Ti, Al 및 Mo 로 이루어지는 그룹에서 선택되는 적어도 1 개의 재료를 구성 원소로서 함유하는 것이 바람직하다. 이들 금속은 일함수의 절대값이 작기 때문에, n 형 재료와의 접합에 적합하다. 제 1 도전형층 전극 (7) 이 복수의 층으로 구성되는 경우에는, 최종층 (제 1 도전형 클래드층 (3) 에서 가장 먼 층) 은 Al 로 구성되는 것이 바람직하다.
- <166> 제 1 도전형층 전극 (7) 은 제 1 캐리어 주입 영역 (7a) 의 크기보다 큰 면적으로 형성되는 것이 바람직하다. 이로써, 캐리어 주입 영역 (7a) 을 규정하기 위해 절연막 (8) 에 형성되는 개구부에 대한 제 1 도전형층 전극 (7) 의 미스 얼라인을 방지할 수 있는 것 외에, 플립칩 마운트에 있어서 제 1 도전형층 전극 (7) 에서 서브 마운트로의 방열성 (열 이동량) 을 향상시킬 수 있다. 또, 제 1 도전형층 전극 (7) 은 제 2 도전형층 전극 (6) 과 공간적으로 중첩을 갖지 않도록 배치되는 것이 바람직하다. 이로써, 플립칩 마운트시에 제 1 도전형층 전극 (7) 과 제 2 도전형층 전극 (6) 이 뿔납재 등에 의해 단락될 가능성을 저감시킬 수 있다.
- <167> 제 1 도전형층 전극 (7) 의 형성에는, 예를 들어, 스퍼터, 진공 증착 등의 여러 가지 성막 기술을 적용할 수 있으며, 또 원하는 형상의 전극 (7) 을 형성하기 위한 기술로는, 포토리소그래피 기술을 사용한 리프트 오프법이나, 메탈 마스크 등을 사용한 장소 선택적인 증착 등을 적용할 수 있다.
- <168> 제 1 도전형층 전극 (7) 은 제 1 도전형 클래드층 (3) 에 접촉하여 제 1 캐리어 주입 영역 (7a) 을 형성할 수 있는데, 제 1 도전형층 전극 (7) 은 제 1 도전형 콘택트층을 개재하여 제 1 도전형 클래드층 (3) 에 캐리어를 주입하도록 구성되어도 된다. 요컨대, 제 1 도전형층 전극 (7) 은 제 1 도전형 클래드층 (3) 에 캐리어를 주입할 수 있도록 배치되면 된다.
- <169> 이어서, 도 1 ~ 도 6a, 도 6b 를 참조하면서 본 발명의 바람직한 실시형태의 발광 소자 디바이스 소자의 전극 형상 등에 관하여 설명한다. 먼저, 도 1 및 도 6a, 도 6b 를 참조하면서 1 개의 실시형태를 설명한다.
- <170> 본 발명의 바람직한 실시형태의 발광 디바이스는 제 1 도전형층 전극 (7) 및 제 2 도전형층 전극 (6) 을 갖는다. 제 2 도전형층 전극 (6) 은 주 전극부 (6-0), 제 1 인출부 (6-1), 제 2 인출부 (6-2) 를 갖는다. 여기에서, 주 전극부 (6-0) 는 제 1 도전형층 전극 (7) 에 의해 부분적으로 둘러싸이는 영역이다. 제 1 인출부 (6-1) 는 주 전극부 (6-0) 를 제 1 도전형층 전극 (7) 의 외측으로 인출하는 영역이다. 제 2 인출부 (6-2) 는 제 1 도전형층 전극 (7) 의 외측 가장자리의 일부를 따라 배치된 영역이다. 제 2 인출부 (6-2) 는 복수 개의 주 전극부 (6-0) 를 배열할 때에, 복수 개의 주 전극부 (6-0) 를 연결하도록 기능할 수 있다.
- <171> 제 1 도전형층 전극 (7) 은 제 2 도전형층 전극 (6) 전체 중 주 전극부 (6-0) 를 둘러싸도록 구성되고, 주 전극부 (6-0) 를 둘러싸지 않는 부분으로서 개구부 (절단부 ; 7p) 를 갖는다. 제 1 도전형층 전극 (7) 은, 그 외측 가장자리가 직선으로 구성된 직선부를 포함할 수 있으며, 제 1 도전형층 전극 (7) 은 그러한 직선부의 거의 중앙부에 개구 (7p) 를 가질 수 있다.
- <172> 제 2 도전형층 전극 (6) 의 제 1 인출부 (6-1) 는 제 1 도전형층 전극 (7) 의 개구부 (7p) 를 통과하여 주 전극부 (6-0) 를 제 1 도전형층 전극 (7) 의 외측으로 인출하고, 게다가, 제 1 도전형층 전극 (7) 의 외측에 배치된 제 2 인출부 (6-2) 로 인출한다. 제 2 인출부 (6-2) 는 전원 라인으로서도 기능할 수 있다.

- <173> 주 전극부 (6-0) 는 제 1 인출부 (6-1) 의 존재로 인하여 변형을 받는 부분을 제외하고, 예를 들어, 원 등의 정폭 도형으로 구성될 수 있다. 주 전극부 (6-0) 의 외측 가장자리와 그것을 둘러싸는 제 1 도전형층 전극 (7) 의 제 1 캐리어 주입 영역 (7a) 의 내측 가장자리는 일정한 폭을 갖는 것이 바람직하다. 즉, 주 전극부 (6-0) 의 정폭 도형 부분을 둘러싸는 제 1 캐리어 주입 영역 (7a) 의 내측 가장자리도, 주 전극부 (6-0) 의 정폭 도형 부분과 중심이 동일하고 유사한 정폭 도형인 것이 바람직하다.
- <174> 이하, 주 전극부 (6-0) 및 제 1 도전형층 전극 (7) 을 중심이 동일하고 유사한 정폭 도형으로 하는 것에 대하여 더욱 상세하게 설명한다.
- <175> 제 1 도전형을 n 형, 제 2 도전형을 p 형으로 하여 설명한다. 본 발명의 바람직한 실시형태의 발광 소자는 V 족으로서 질소 (N) 원자를 함유하는 III-V 족 화합물 반도체를 주요부로 하여 구성될 수 있다. 예를 들어, GaN 계, AlN 계, InN 계, InGaN 계, AlGaN 계, InAlN 계, InAlGaN 계, InAlBGaN 계 재료 등을 사용하여 화합물 반도체 발광 소자를 제조하면, n 형 반도체층의 전극 근방의 영역으로부터의 발광보다 p 형 반도체층의 전극 근방의 영역으로부터의 발광이 강해진다. 이 때에 p 형 반도체층에 대한 캐리어 주입 영역 (전극) 이 어느 정도의 크기를 넘으면, p 형 반도체의 전극 근방의 영역으로부터의 발광 강도가 불균일해진다.
- <176> 이에 대해, p 형 반도체층에 대해 캐리어를 주입하는 캐리어 주입 영역의 형상을 원이나 쉘로의 다각형 등의 정폭 도형으로 함으로써, 삼각형, 사각형, 오각형, 그 밖의 다각형 등의 비정폭 도형으로 한 경우와 비교하여, 그 캐리어 주입 영역 또는 전극 형상을 대형화한 경우에도 발광 강도의 면내 균일성의 저하가 억제되고, 특히 그 캐리어 주입 영역의 중심부 및 그 부근에 있어서의 발광 강도의 저하가 억제된다.
- <177> 여기에서, p 형 반도체층에 캐리어를 주입하는 영역의 외측 가장자리에 대해 일정한 폭 x 를 두도록, n 형 반도체층에 캐리어를 주입하는 영역의 내측 가장자리를 배치함으로써, p 형 반도체층에 캐리어를 주입하는 영역을 대형화한 경우에도 p 형 반도체층의 전극의 근방을 균일하게 발광하게 할 수 있다.
- <178> 바꾸어 말하면, 비교적 대형의 비정폭 도형을 p 측 전극 또는 캐리어 주입 영역의 형상으로서 갖는 소자 구조에서는, p 형 반도체의 전극 근방, 특히 그 중심 부근으로부터의 발광이 약해진다. 이에 대해, p 형 반도체층에 대해 캐리어를 주입하는 p 측의 캐리어 주입 영역의 형상을 원이나 쉘로의 다각형 등의 정폭 도형으로 함으로써, 또 p 형 반도체층에 캐리어를 주입하는 영역의 외측 가장자리에 대해 적절한 일정한 폭 x 를 두도록, n 형 반도체층에 캐리어를 주입하는 영역의 내측 가장자리를 배치함으로써 p 형 반도체층의 전극 근방, 특히 그 중심 부근으로부터의 발광이 약해지지 않아, p 형 반도체층의 전극의 근방을 균일하게 발광하게 할 수 있다.
- <179> 도 1, 도 6a, 도 6b 를 참조하여 설명하면, p 형 클래드층 (5) 에 캐리어를 주입하는 주 전극부 (6-0) 는, 상기 서술한 바와 같이, 제 1 인출부 (6-1) 의 존재로 인하여 변형을 받는 부분을 제외하고 정폭 도형으로 구성될 수 있다. 또, 주 전극부 (6-0) 를 그 외측 가장자리로부터 일정한 폭을 두고 둘러싸도록, n 형 클래드층 (3) 에 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 이 배치될 수 있다. 이러한 구성에 의하면, 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 의 내측 가장자리 사이의, 제 2 도전형층 전극 (6) 의 중심 (정폭 도형의 중심) 을 통과하는 폭을 일정하게 할 수 있기 때문에, 활성층 구조 (4) 에 대한 캐리어의 주입을 균일화할 수 있어, 제 2 도전형층 전극 근방의 발광 강도의 면내 균일성을 향상시킬 수 있다.
- <180> 여기에서, 주 전극부 (6-0) 의 외측 가장자리 및 캐리어 주입 영역 (7a) 의 내측 가장자리의 각 형상을 정폭 도형으로 하는 것은, 상기 서술한 바와 같이, 개개의 발광 부분에 있어서의 발광 강도의 면내 균일성의 향상에 기여한다. 한편, 제 1 도전형층 전극 (7) 의 개구부 (7p) 를 통과하여 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 를 제 1 도전형층 전극 (7) 의 외측으로 인출하는 제 1 인출부 (6-1) 를 형성함으로써, 발광 소자를 서브 마운트 (히트 싱크 블록) 에 플립칩 마운트하는 구성에 있어서, 주 전극 (6-0) 에 어프로치하는 서브 마운트층의 리드를 제 1 도전형층 전극 (7) 과 교차시킬 필요가 없어진다. 이것은 서브 마운트에 배치된 1 쌍의 리드 (플러스측, 마이너스측) 에 의한 주 전극 (6-0) (제 2 도전형층 전극 (6)) 및 제 1 도전형층 전극 (7) 으로 어프로치를 3 차원적인 배선이 아니라 2 차원적인 배선으로 실시할 수 있게 한다. 이러한 구성에 의하면, 전극 (6, 7) 과 리드의 금속 재료 (전형적으로는, 금속 땀납) 에 의한 접속의 단면적을 증가시킬 수 있다. 이로써, 발광 소자에서 서브 마운트로의 방열 효율을 높일 수 있어, 고출력화를 용이하게 할 수 있다.
- <181> 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 의 정폭 도형 부분의 폭 (W) 이 2500 $\mu$ m 이하인 경우에는, 활성층 구조 (4) 의 p 측 전극 (6) 근방 영역의 전체면에서 균일한 발광이 실현되는 것이 확인되고 있다. 여기에서, 발광 강도의 면내 균일성을 향상시키기 위해서는, 인출부 (6-1) 를 형성함에 따른 엄밀한 정폭 도형으로부터의

주 전극부 (6-0) 나 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 의 어긋남 (변형) 을 상대적으로 최소화 해야 한다. 이것을 고려하면, 인출부 (6-1) 에 의한 정폭 도형의 엄밀성의 파괴를 작게 하기 위해서는, 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 의 폭 (W) 은 상대적으로 어느 크기 이상인 것이 바람직하고, 400 $\mu$ m 이상인 것이 바람직하다. 따라서, 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 가 정폭 도형 부분을 포함하여 구성되는 경우에는, 그 정폭 도형 부분의 폭 (W) 은, (13) 식을 만족시키는 것이 바람직하다.

<182>  $400\mu\text{m} \leq W \leq 2500\mu\text{m} \dots (13) \text{ 식}$

<183> 또, 보다 바람직하게는, 정폭 도형 부분의 폭 (W) 은 (14) 식을 만족시키는 것이 바람직하다.

<184>  $700\mu\text{m} \leq W \leq 2000\mu\text{m} \dots (14) \text{ 식}$

<185> 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 의 외측 가장자리와 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 의 내측 가장자리의 간격 (x) 은 (15) 식을 만족시키도록 결정되는 것이 바람직하고, (16) 식을 만족시키도록 결정되는 것이 보다 바람직하며, 전형적으로는 (17) 식을 만족시키도록 결정될 수 있다.

<186>  $3\mu\text{m} \leq x \leq 500\mu\text{m} \dots (15) \text{ 식}$

<187>  $10\mu\text{m} \leq x \leq 300\mu\text{m} \dots (16) \text{ 식}$

<188>  $30\mu\text{m} \leq x \leq 100\mu\text{m} \dots (17) \text{ 식}$

<189> 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 를 구성하는 정폭 도형 부분은, 발광 강도의 면내 균일성의 관점에서 는, 도 1, 도 2, 도 3 에 예시적으로 나타내는 바와 같이 원인 것이 바람직하다. 이것은, 주변에서부터 그 중심을 향하여 캐리어가 균일하게 주입되기 쉽기 때문이다.

<190> 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 를 구성하는 정폭 도형 부분은 도 4, 도 5 에 예시적으로 나타나도록 필로의 다각형이어도 된다. 또한, 도 4, 도 5 는 전극 형상을 나타내고 있는데, 캐리어 주입 영역도 이 형상을 따른다. 이러한 경우에도 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 의 내측 가장자리 사이의 제 2 도전형층 전극 (6) 의 중심 (정폭 도형의 중심) 을 통과하는 폭을 일정하게 할 수 있기 때문에, 활성층 구조 (4) 에 대해, 주변에서부터 그 중심을 향하여 캐리어가 균일하게 주입되기 쉬워, 발광 부분의 균일한 발광에 바람직하게 기여한다.

<191> 정폭 도형으로서 필로의 다각형을 채용하면, 원형을 채용하는 경우보다 정폭 도형 부분을 포함하는 복수의 p 측 전극의 고밀도 배치에 있어서 유리하다. 즉, 필로의 다각형은 원형보다 고밀도로 배치할 수 있다. 이것은 발광 장치의 전체 면적에 있어서의 발광 부분의 면적의 향상을 의미한다. 필로의 다각형 중에서도, 도 4 에 예시적으로 나타내는 바와 같은 필로의 삼각형이 집적화에 있어서 특히 유리하다. 필로의 삼각형에 따르는 주 전극부 (6-0) (캐리어 주입 영역 (6a)) 및 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 을 채용하여 복수의 발광 부분을 배열하여 발광 소자를 구성함으로써, 개개의 발광 부분에 있어서의 발광 강도의 면내 균일성을 높임과 함께, 발광 부분의 고밀도 배치에 의해, 비교적 대형인 발광 장치 전체에 있어서도 발광 강도의 면내 균일성을 높일 수 있다.

<192> 여기에서, 이 명세서에 있어서 「정폭 도형」으로서 설명되고 있는 형상은, 엄밀한 정폭 도형에 한정되는 것이 의도된 것은 아니며, 예를 들어, 폭이 기준값에 대해  $\pm 10$  퍼센트 정도의 어긋남 (허용도) 를 갖는 형상을 포함할 수 있다. 또, 인출부 (6-1) 의 존재로 인하여 주 전극부 (6-0) 의 정폭 도형의 일부가 영향 또는 변형을 받는다는 것은 당연하며, 이 명세서에 있어서의 「정폭 도형」이란, 엄밀 또는 상기 서술한 바와 같은 허용도 하에서의 정폭 도형의 일부가 절제된 형상을 포함할 수 있다.

<193> 제 1 인출부 (6-1) 의 폭 ( $L_1$ ) 은 정폭 도형의 폭 (W) 을 초과하지 않는 것이 바람직하다. 인출부 (6-1) 의 폭 ( $L_1$ ) 을 지나치게 작게 하면, 전극 저항이 커지기 때문에,  $L_1$  은 정폭 도형의 폭 (W) 의 5% 이상인 것이 바람직하다. 따라서, p 형 클래드층 (5) 에 캐리어를 주입하기 위한 제 2 도전형층 전극 (6) 은 (18) 식을 만족시키는 것이 바람직하고, (19) 식을 만족시키는 것이 보다 바람직하다.

<194>  $W/20 \leq L_1 \leq W \dots (18) \text{ 식}$

<195>  $W/5 \leq L_1 \leq W/2 \dots (19) \text{ 식}$

<196> 도 3 의 정폭 도형 부분은 원 (반원) 이고, 인출부와와의 접촉에 따른 정폭 도형의 파괴의 한계의 바람직한 경우

를 모식적으로 나타내고 있다. 또한, L1 은 캐리어의 주입에 관계된 양으로서, 캐리어 주입 영역의 폭으로 정의해야 하는 양이다.

<197> 인출부 (6-1) 의 존재에 따른 주 전극부 (6-0) 의 변형이 과도하게 나타나지 않도록 하기 위해서는, 제 2 도전형층 전극 (6) 의 캐리어 주입부 (6a) 가 외측의 캐리어 주입 영역 (7a) 에 의해 둘러싸여 있는 부분의 외측 가장자리 길이를  $L_2$ , 제 2 도전형층 전극 (6) 의 캐리어 주입부 (6a) 가 정폭 도형으로 구성되어 있는 부분의 외측 가장자리 길이를  $L_3$  으로 하면, (20) 식을 만족시키는 것이 바람직하다. 또한,  $L_2, L_3$  도 캐리어의 주입에 관계된 양으로서, 캐리어 주입 영역에 있어서의 길이로 정의해야 하는 양이다.

<198>  $L_2/2 \leq L_3 \leq L_2 \dots$  (20) 식

<199> 인출부는 임의의 형상이 될 수 있는데, 도 2, 도 4, 도 5 와 같이 직사각형 부분을 갖는 것은, 서브 마운트나 소자 지지용 기관과의 접합, 또는, 전극 형상의 집적화, 캐리어 주입 영역의 집적화를 고려하는 데에 있어서 바람직하다. 또, 인출부는, 도 3 에 예시적으로 나타내는 바와 같이, 제 2 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 의 정폭 도형 부분측에 근접함에 따라 폭이 좁아지는 부분을 가져도 된다. 이것은 배선 저항의 과도한 증가와 인출부에 의한 캐리어 주입의 불균일성의 저감을 양립시킨다. 또, 폭이 넓은 부분은 다른 전극 또는 서브 마운트나 소자 지지용 기관과의 접합에 유리하다.

<200> 주요 광 취출 방향과는 반대의 방향에서부터 소자 형상을 본 평면도에 있어서, 제 1 도전형층 전극 (7) (캐리어 주입 영역 (7a)) 과 제 2 도전형층 전극 (6) (캐리어 주입 영역 (6a)) 사이에 활성층 구조 (4) 의 측면이 위치하는 것이 바람직하다. 특히, 평면도에 있어서, 정폭 도형 부분의 모든 p 층 캐리어 주입 영역 (6a) 과 n 층 캐리어 주입 영역 (7a) 사이에 활성층 구조 (4) 의 측면이 위치하는 것이 바람직하다. 이 경우, 캐리어의 주입 효율이 높아져, 발광 효율이 향상된다.

<201> 이어서, 도 7a, 도 7b, 도 8, 도 9a, 도 9b 를 참조하여 본 발명의 바람직한 실시형태인, 정폭 도형 부분을 포함하는 복수의 전극이 배치된 발광 소자에 대하여 설명한다. 도 7a, 도 7b, 도 8, 도 9a, 도 9b 에는 전극의 형상과 캐리어 주입 영역의 형상이 일치하는 예가 나타나 있는데, 캐리어 주입 영역은 상기 서술한 바와 같이 절연막에 의해 규정되어도 된다. 여기에서는, 제 1 도전형을 n 형, 제 2 도전형을 p 형으로 하여 설명한다.

<202> p 형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극 (6) 은 주 전극부 (정폭 도형 부분) 와 인출부를 포함한다. 주 전극부는 개개의 발광 부분에 있어서 균일한 발광에 기여한다. 인출부는 복수의 발광 부분의 주 전극부를 연결한다.

<203> 도 7a 에 나타내는 예에서는, 전극 (6) 은 원형의 주 전극부를 갖는다. 도 7b 에 나타내는 예에서는, 전극 (6) 은 뿔로의 삼각형의 주 전극부를 갖는다. 뿔로의 삼각형에 따른 전극 (6) 은 집적화면에서 우수하여, 고밀도로 배치할 수 있다.

<204> 도 8 은 복수 종류의 정폭 도형의 전극이 혼재한 발광 장치의 일례를 나타내는 도면이다. 복수의 발광 소자를 집적한 발광 장치에 있어서, 발광 소자의 전극의 형상으로서 복수의 형상 종류의 형상이 포함되어도 된다. 또한, 이러한 경우에는, 상이한 형상의 전극에 있어서의 저항의 차는, 인출부의 형상에 따라 보상되는 것이 바람직하다.

<205> 도 9a, 도 9b 는 각각 도 7 의 aa' 선, bb' 선에 있어서의 모식적인 단면도이다.

<206> 또한, 여기까지는, 제 1 도전형층을 n 층, 제 2 도전형을 p 층으로 하여 설명했는데, 반대이어도 상관없다.

<207> 이와 같이 하여, 예를 들어, 도 1 ~ 도 9b 에 나타난 구조가 형성된 후에는, 특별히 기관 박리를 예정하지 않는 경우에 있어서는, 소정 개수 (1 또는 복수) 의 발광 부분을 단위로 하여 스크라이브가 이루어진다. 이때, 다이아몬드 스크라이브, 레이저 스크라이브 등이 실시될 수 있다.

<208> 스크라이브 (선 내기) 가 종료되면, 브레이킹 공정에서 기관이 분할되어, 땀납 재료 등에 의해 서브 마운트 또는 디바이스 소자용 지지 기관에 탑재될 수 있다.

<209> 여기에서, 서브 마운트 또는 소자용 지지 기관은 금속면을 갖고, 플립칩 마운트된 발광 소자로의 캐리어 주입과 방열의 기능을 겸비하는 것이 바람직하다. 발광 소자는 각종 땀납재, 페이스트제에 의해 서브 마운트 상의 금속면에 접합될 수 있는데, 화합물 반도체 발광 소자는, 특히 금속 땀납에 의해 접합되는 것이 바람직하다. 금속 땀납은 방열성이 우수하기 때문에, 발광 소자의 고효율 동작과 고효율인 발광에 기여한다. 또, 다른

에피택셜층의 측벽도, 특히 언도프 부분을 제외하고 절연막으로 보호되는 것이 바람직하고, 이 경우, 뿔납이 배어 나오거나 해도 에피택셜층 내, 예를 들어, 활성층 구조 측벽에 있어서의 단락, 발광 유닛 사이의 단락 등도 방지된다.

<210> 또한, 이 때에는, 본 발명의 발광 소자는, 제 2 도전형 클래드층에 캐리어를 주입하는 제 2 도전형층 전극과 제 1 도전형 클래드층에 캐리어를 주입하는 제 1 도전형층 전극이 공간적으로 중첩되지 않는 배치로 되어 있는 것이 바람직하고, 또한, 제 1 도전형층 전극이 제 1 캐리어 주입 영역보다 크고, 충분한 면적을 가지고 있는 것이 바람직하다. 이 경우, 의도하지 않는 단락의 방지와 높은 방열성의 확보가 양립된다. 또, 다른 에피택셜층의 측벽도 절연막으로 보호되어 있는 것이 바람직하고, 이 경우, 뿔납이 배어 나오거나 해도 에피택셜층 내, 예를 들어, 활성층 구조 측벽에 있어서의 단락, 발광 유닛 사이의 의도하지 않는 단락 등이 방지된다. 서브 마운트와 소자의 접합에 사용하는 뿔납재는 금속 뿔납, 예를 들어, In, InAg, PbSn, SnAg, AuSn, AuGe, AuSi 등이 바람직하다. 이들 뿔납재는 사용 온도 환경 등에 비추어 적절히 선택할 수 있다.

<211> 한편, 기판 박리를 예정하는 경우에 있어서는, 도 1 ~ 도 9b 에 나타난 구조는, 기판 전체 또는 일부가, 우선, 소자 지지용 기판에 접합되는 것이 보통이다. 이것은 기판을 박리하면, 에피택셜층 전체라고 해도 기껏해야 15 $\mu$ m 정도로서, 기계적 강도가 부족하기 때문이다.

<212> 여기에서, 소자 지지용 기판은, 기판 박리시의 에피택셜층의 지지체로서의 역할을 할 수 있는 것이 필수이지만, 게다가 소자 지지용 기판은, 소자 완성 후의 진류 도입과 방열의 기능을 겸비하는 것이 바람직하다. 이 관점에서, 소자 지지용 기판은, 모재가 AlN, SiC, 다이아몬드, BN, CuW 중 어느 하나인 것이 바람직하다. 이들 재료는 방열성이 우수하고, 고출력의 발광 소자에 불가피한 방열의 문제를 효율적으로 억제할 수 있어 바람직하다. 또, Al<sub>2</sub>O<sub>3</sub>, Si, 유리 등도 저렴하여 디바이스 소자 지지용 기판으로서 이용 범위가 넓어 바람직하다. 또, 후술하는 기판 제거시에 레이저 조사에 의해 에피택셜층의 일부를 금속 Ga 와 질소로 분해한 때에는, 금속 Ga 를 제거할 때에 웨트 에칭을 실시하는 것이 바람직하지만, 이 때에도 디바이스 소자 지지용 기판은 에칭되지 않는 재질인 것이 바람직하다.

<213> 디바이스 소자 지지용 기판은, 추가로 소자 완성 후의 캐리어 도입과 방열의 기능을 겸비한다는 관점에서는, 모재 상에, 캐리어 도입용 전극 배선을 갖는 것이 바람직하고, 또 이 전극 배선 상의 소자를 탑재하는 부분에는 적절히 소자와 지지체의 접합용 접착층을 갖는 것이 바람직하다. 여기에서, 접착층은 Ag 를 함유한 페이스트, 금속 범프 등을 사용하는 것도 가능한 하지만, 금속 뿔납으로 구성되어 있는 것이 방열성의 관점에서 매우 바람직하다. 금속 뿔납은 Ag 를 함유하는 페이스트재, 금속 범프 등과 비교하여 압도적으로 방열성이 우수한 플립칩 마운트를 실현할 수 있다. 여기에서, 금속 뿔납은 In, InAg, InSn, SnAg, PbSn, AuSn, AuGe 및 AuSi 에서 선택되는 재료를 함유하는 것이 바람직하고, 특히, AuSn, AuSi, AuGe 등의 고용점 뿔납인 것이 보다 바람직하다. 이것은 발광 소자를 초고출력 동작시키기 위해 대전류를 주입하면, 소자 근방의 온도가 200 도 정도로 상승하기 때문으로, 뿔납재의 용점으로서 구동시의 소자 온도보다 높은 용점을 갖는 금속 뿔납이 보다 바람직하다. 또, 경우에 따라서는, 플립칩 마운트시의 소자의 단차를 없애기 위해, 범프를 사용하고, 추가로 금속 뿔납재로 그 주위를 메우면서 접합하는 것도 바람직하다.

<214> 디바이스 소자 지지용 기판에 소자를 접합한 후에는, 기판을 박리할 수 있다. 기판의 박리에는 연마, 에칭, 레이저 본딩 등의 모든 방법을 사용할 수 있다.

<215> 사파이어 기판을 연마하는 경우에는, 다이아몬드 등의 연마재를 사용하여 기판을 제거할 수 있다. 또, 드라이 에칭에 의해 기판을 제거할 수도 있다. 게다가, 예를 들어, 사파이어가 기판이고 InAlGaN 계 재료에 의해 에피택셜 성장 부분이 형성되어 있는 경우에는, 사파이어 기판측으로부터, 사파이어 기판은 투과 하고, 예를 들어, 버퍼층에 사용되는 GaN 에는 흡수되는 248nm 의 엑시머 레이저를 사용하여, 버퍼층의 일부의 GaN 를 금속 Ga 와 질소로 분해하고, 기판을 박리하는 레이저 본딩을 실시할 수도 있다.

<216> 또, ZnO 가 기판인 경우에는, HCl 등의 에천트를 사용하여 기판을 웨트 에칭할 수도 있다.

<217> <실시예>

<218> 이하에 실시예를 들어 본 발명의 특징을 더욱 구체적으로 설명한다. 이하의 실시예에 나타내는 재료, 사용량, 비율, 처리 내용, 처리 순서 등은 본 발명의 취지를 일탈하지 않는 한 적절히 변경할 수 있다. 따라서, 본 발명의 범위는, 이하에 나타내는 구체예에 의해 한정적으로 해석되어야 하는 것은 아니다. 또, 이하의 실시예에서 참조하는 도면은, 구조를 파악하기 쉽게 하기 위해 일부러 치수를 바꾼 부분이 있는데, 실제 치수는

이하의 문장 중에 기재된 바와 같다.

<219> (실시예 1)

<220> 도 1 에 예시적으로 나타내는 반도체 발광 장치를 도 10 과 같이 플립칩 마운트하기 위해 이하의 순서로 제조하였다. 도 10 은 도 1 의 bb' 선의 모식적 단면에 상당한다.

<221> 두께가 430 $\mu\text{m}$  인 c+면 사파이어 기판 상에, MOCVD 법을 사용하여, 제 1 버퍼층으로서 10nm 두께의 저온 성장된 언도프의 GaN 을 형성하고, 그 후에 제 2 버퍼층으로서 두께 2 $\mu\text{m}$  의 언도프 GaN 을 1040 도에서 형성하였다.

또한, 제 1 도전형 제 2 클래드층으로서 Si 도프 (Si 농도  $1 \times 10^{18} (\text{cm}^{-3})$ ) 의 GaN 층을 2 $\mu\text{m}$  형성하고, 제 1 도전형 콘택트층으로서 Si 도프 (Si 농도  $2 \times 10^{18} (\text{cm}^{-3})$ ) 의 GaN 층을 0.5 $\mu\text{m}$  형성하고, 또한 제 1 도전형 제 1 클래드층으로서 Si 도프 (Si 농도  $1.5 \times 10^{18} (\text{cm}^{-3})$ ) 의 Al<sub>0.15</sub>Ga<sub>0.85</sub>N 층을 0.1 $\mu\text{m}$  형성하였다. 또한, 활성층 구조로서, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.1</sub>Ga<sub>0.9</sub>N 층을 720 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm 를 형성하였다. 또한, 성장 온도를 1025 도로 하여, 제 2 도전형 제 1 도전형 클래드층으로서 Mg 도프 (Mg 농도  $5 \times 10^{19} (\text{cm}^{-3})$ ) Al<sub>0.15</sub>Ga<sub>0.85</sub>N 을 0.1 $\mu\text{m}$  형성하였다. 또한, 연속해서 제 2 도전형 제 2 클래드층으로서 Mg 도프 (Mg 농도  $5 \times 10^{19} (\text{cm}^{-3})$ ) GaN 을 0.05 $\mu\text{m}$  형성하였다. 마지막으로 제 2 도전형 콘택트층으로서 Mg 도프 (Mg 농도  $1 \times 10^{20} (\text{cm}^{-3})$ ) GaN 을 0.02 $\mu\text{m}$  형성하였다.

<222> 그 후에 MOCVD 성장로 안에서 서서히 온도를 낮추어 웨이퍼를 꺼내어, 에피택셜 성장을 종료하였다.

<223> 에피택셜 성장이 종료된 웨이퍼에 대해 p 측 전극을 형성하기 위해, 포토리소그래피법을 사용하여 p 측 전극을 리프트 오프법으로 패터닝할 준비를 하여 레지스트 패턴을 형성하였다. 여기에서, 예정하고 있는 p 측 전극을 구성하는 정폭 도형이 원형이고 그 직경이 800 $\mu\text{m}$ , 또한 p 측 전극을 구성하는, 정폭 도형에 가까운 부분의 직사각형으로 이루어지는 제 1 인출부와 정폭 도형 부분이 접하고 있는 길이가 200 $\mu\text{m}$  인 형상으로 하고, 그 다른 일방의 폭을 75 $\mu\text{m}$  로 하도록, 또 추가로 p 측 전극을 구성하는, 정폭 도형에서 떨어져 있는 직사각형 부분으로 이루어지는 제 2 인출부의 긴 길이 방향의 길이를 1150 $\mu\text{m}$ , 짧은 길이 방향의 폭을 75 $\mu\text{m}$  로 하도록, Ni 를 200Å, Au 를 5000Å 의 두께로 진공 증착법에 의해 형성하고, 아세톤 중에서 불필요한 부분을 리프트 오프법에 의해 제거하였다. 이어서, 그 후 열처리를 실시하여 p 측 전극을 완성시켰다. 여기에서, p 측 캐리어 주입 영역에는 플라즈마 프로세스 등에 피력하지 않고 p 측 전극을 형성했기 때문에, 데미지가 생기지 않았다.

<224> 이어서, 제 1 에칭 공정을 실시하기 위해, 에칭용 마스크의 형성을 실시하였다. 여기에서는, p-CVD 법을 사용하여 0.4 $\mu\text{m}$  두께의 SiNx 를 기판 온도 400 도로 웨이퍼 전체면에 성막하였다. 여기에서, p 측 전극 표면에는 Au 가 노출되어 있었기 때문에, p-CVD 에 의한 SiNx 성막 프로세스에 의해서도 전혀 변질되지 않았다. 다음으로, 다시 포토리소그래피 공정을 실시하여 SiNx 마스크를 패터닝하여, SiNx 에칭 마스크를 제조하였다. 이 때에는, SiNx 막의 불필요 부분의 에칭은 RIE 법을 사용하여 SF<sub>6</sub> 플라즈마를 사용하여 실시하고, 후술하는 제 1 에칭 공정에서 에피택셜층의 에칭을 실시하지 않는 부분은 마스크를 남기고, 또한 예정되어 있는 에피택셜층의 에칭 부분에 상당하는 부분의 SiNx 막은 제거하였다.

<225> 이어서 제 1 에칭 공정으로서, p-GaN 콘택트층, p-GaN 제 2 클래드층, p-AlGaN 제 1 클래드층, InGaN 양자 우물층과 GaN 배리어층으로 이루어지는 활성층 구조, n-AlGaN 제 1 클래드층, n-GaN 콘택트층 도중까지 Cl<sub>2</sub> 가스를 사용한 ICP 플라즈마 에칭을 실시하여, n 형 캐리어의 주입 부분이 되는 n 형 콘택트층을 노출시켰다.

<226> ICP 플라즈마 에칭 종료 후에는, SiNx 마스크를 버퍼 플루오르화수소산을 사용하여 모두 제거하였다. 여기에서도 p 측 전극 표면에는 Au 가 노출되어 있었기 때문에, p-CVD 에 의한 SiNx 성막 프로세스에 의해서도 전혀 변질되지 않았다.

- <227> 이어서, 웨이퍼 전체면에 p-CVD 법에 의해 SiNx 와 SiOx 로 이루어지는 유전체 다층막을 절연막으로 하여 웨이퍼 전체면에 형성하였다. 이 때에는, SiNx 와 SiOx 는 각각 소자의 발광 파장에 대해 광학 파장으로서는 1/4 이 되는 두께로 1 층씩 형성하고, 발광 파장에 대해 비교적 높은 반사율을 갖도록 하였다.
- <228> 이어서, Ni-Au 로 이루어지는 p 측 전극 상으로의 p 측 전극 노출 부분의 형성, n 측 콘택트층 상으로의 n 측 캐리어 주입 영역의 형성을 동시에 실시하기 위해, 포토리소그래피 기술을 사용하여 레지스트 마스크를 형성하였다.
- <229> 이어서, SF<sub>6</sub> 가스의 RIE 플라즈마를 사용하여 레지스트 마스크를 형성하지 않은 유전체 다층막 (절연막) 을 제거하였다. 여기에서는, p 측 전극의 정폭 도형 부분의 주변은 SiNx 와 SiOx 로 이루어지는 절연막에 150 $\mu$ m 덮여 있도록 하고, 제 1 인출부는 모두 절연막에 덮이도록 하고, 또 제 2 인출부 부분은 주변이 SiNx 와 SiOx 로 이루어지는 절연막에 15 $\mu$ m 덮여 있도록 하였다.
- <230> 그 후에, 불필요해진 레지스트 마스크는 아세톤으로 제거하고, 또한 RIE 법에 의한 산소 플라즈마로 애싱하여 제거하였다. 이 때에도 p 측 전극 표면에는 Au 가 노출되어 있었기 때문에, p-CVD 에 의한 SiNx 성막 프로세스에 의해서도 전혀 변질되지 않았다.
- <231> 이어서, n 측 전극을 형성하기 위해, 포토리소그래피법을 사용하여 n 측 전극을 리프트 오프법으로 패터닝할 준비를 하여 레지스트 패턴을 형성하였다. 이 때에, n 측 전극이 p 측 전극의 원형의 정폭 도형을 둘러싸는 부분에 관해서는, 도 1 의 거리 X, 즉, p 측 전극이 p 측 콘택트층과 접하고 있는 곳에서부터, n 측 전극이 n 측 콘택트층과 직접 접하고 있는 부분까지의 최단 거리를 75 $\mu$ m 가 되도록 하였다. 여기에서, n 측 전극으로서 Ti 를 200Å, Al 을 3000Å 의 두께로 진공 증착법으로 웨이퍼 전체면에 형성하고, 아세톤 중에서 불필요 부분을 리프트 오프법으로 제거하였다. 이어서, 그 후 열처리를 실시하여 n 측 전극을 완성시켰다. n 측 전극은 그 면적이 n 측 캐리어 주입 영역보다 커지도록, 절연막에 그 주변이 20 $\mu$ m 정도 접하도록 하고, 또한 p 측 전극과의 중첩을 갖지 않도록 형성하고, 금속 뱀납에 의한 플립칩 본딩이 용이하고, 또한 방열성 등도 배려하였다. Al 전극은 플라즈마 프로세스 등에 의해 변질되기 쉽고, 또한 플루오르화수소산 등에 의해서도 에칭되는데, 소자 제작 프로세스의 마지막에 n 측 전극의 형성을 실시했기 때문에, 전혀 데미지를 받지 않았다.
- <232> 이어서, 웨이퍼 상에 형성된 하나하나의 발광 장치를 분할하기 위해, 다이아몬드 스크라이버를 사용하여 기관측으로부터 스크라이브 라인을 형성하고, 소자의 외형으로는 가로 세로 1200mm 의 소자가 되도록 하였다. 또한 이 스크라이브 라인을 따라 브레이킹하여, 하나하나의 화합물 반도체 발광 장치를 완성시켰다. 이어서, 당해 장치를 AuSn 뱀납을 사용하여 디바이스 소자 지지용 기관에 탑재하여 발광 장치를 완성시켰다. 당해 소자에 캐리어를 주입한 결과, 주요 광 취출 방향으로부터 출사된 p 측 전극 상에서의 광은 p 측 전극의 사이즈가 대형이었음에도 불구하고 균일했다.
- <233> (실시에 2)
- <234> 도 7b 에 전극 형상을 나타낸 소자를, 도 11 과 같이 기관을 박리한 형상으로 플립칩 마운트하기 위해 이하의 순서로 제조하였다. 도 11 은 도 7b 의 cc' 에 상당한다.
- <235> 두께가 430 $\mu$ m 인 c+면 사파이어 기관 상에, MOCVD 법을 사용하여, 제 1 버퍼층 (1) 으로서 20nm 두께의 저온 성장된 언도프의 GaN 을 형성하고, 그 후에 제 2 버퍼층 (2) 으로서 두께 1 $\mu$ m 의 언도프 GaN 을 1040 도에서 형성하였다. 연속해서, 제 1 도전형 제 2 클래드층으로서 Si 도프 (Si 농도  $1 \times 10^{18} \text{ (cm}^{-3}\text{)}$ ) 의 GaN 층을 2 $\mu$ m 형성하고, 제 1 도전형 콘택트층으로서 Si 도프 (Si 농도  $2 \times 10^{18} \text{ (cm}^{-3}\text{)}$ ) 의 GaN 층을 0.5 $\mu$ m 형성하고, 또한 제 1 도전형 제 1 클래드층으로서 Si 도프 (Si 농도  $1.5 \times 10^{18} \text{ (cm}^{-3}\text{)}$ ) 의 Al<sub>0.15</sub>Ga<sub>0.85</sub>N 층을 0.1 $\mu$ m 형성하였다. 또한, 활성층 구조로서, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.13</sub>Ga<sub>0.87</sub>N 층을 715 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.13</sub>Ga<sub>0.87</sub>N 층을 715 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm, 양자 우물층으로서 언도프 In<sub>0.13</sub>Ga<sub>0.87</sub>N 층을 715 도에서 2nm, 배리어층으로서 언도프 GaN 층을 850 도에서 13nm 를 형성하였다.
- <236> 또한, 성장 온도를 1025 도로 하여, 제 2 도전형 제 1 도전형 클래드층으로서 Mg 도프 (Mg 농도  $5 \times 10^{19} \text{ (cm}^{-3}\text{)}$ )

<sup>3</sup>)  $Al_{0.15}Ga_{0.85}N$  을  $0.1\mu m$  형성하였다. 또한, 연속해서 제 2 도전형 제 클래드층으로서 Mg 도프 (Mg 농도  $5 \times 10^{19} (cm^{-3})$ ) GaN 을  $0.05\mu m$  형성하였다. 마지막으로, 제 2 도전형 콘택트층으로서 Mg 도프 (Mg 농도  $1 \times 10^{20} (cm^{-3})$ ) GaN 을  $0.02\mu m$  형성하였다.

- <237> 그 후에 MOCVD 성장로 안에서 서서히 온도를 낮추어 웨이퍼를 꺼내어, 에피택셜 성장을 종료하였다.
- <238> 에피택셜 성장이 종료된 웨이퍼에 대해 p 측 전극을 형성하기 위해, 포토리소그래피법을 사용하여 p 측 전극을 리프트 오프법으로 패터닝할 준비를 하여 레지스트 패턴을 형성하였다. 여기에서, 예정하고 있는 복수의 p 측 전극을 구성하기 위해, 복수의 정폭 도형 부분을 필로의 삼각형으로 하고, 복수의 인출 전극 부분을 직사각형의 조합으로서, 1 개의 필로의 삼각형의 폭을  $500\mu m$ , 또한 p 측 전극을 구성하는, 정폭 도형에 가까운 부분의 직사각형으로 이루어지는 인출 부분 1 과 정폭 도형 부분이 접하고 있는 길이가  $50\mu m$  인 형상으로 하고, 그 폭도  $50\mu m$  로 하기로 하였다. 여기에서, 각각의 정폭 도형을 가능한 범위에서 고밀도로 배치하기 위해, 정폭 도형에서 떨어진 직사각형 부분으로 이루어지는 제 2 인출부의 길이 방향의 길이를 조정하였다.
- <239> 이어서, Pd 를  $200\text{\AA}$ , Au 를  $10000\text{\AA}$  의 두께로 진공 증착법에 의해 형성하고, 아세톤 중에서 불필요한 부분을 리프트 오프법으로 제거하였다.
- <240> 이어서, 그 후 열처리를 실시하여 p 측 전극을 완성시켰다. 여기에서, p 측 캐리어 주입 영역에는 플라즈마 프로세스 등에 피력하지 않고 p 측 전극을 형성했기 때문에, 데미지가 생기지 않았다.
- <241> 이어서, 제 1 도전형측 전극을 형성하기 전준비로서 제 1 도전형 콘택트층을 노출시키는 제 1 에칭 공정을 실시하기 위해, 에칭용 마스크의 형성을 실시하였다. 여기에서는, 진공 증착법을 사용하여  $SiNx$  를 웨이퍼 전체면에 성막하였다. 다음으로, 다시 포토리소그래피 공정을 실시하여  $SiNx$  마스크를 패터닝하여, 제 1 에칭용 마스크를 제조하였다. 이어서, 제 1 에칭 공정으로서, p-GaN 콘택트층, p-GaN 제 2 도전형 클래드층, p-AlGaIn 제 1 도전형 클래드층, InGaIn 양자 우물층과 GaN 배리어층으로 이루어지는 활성층 구조, n-AlGaIn 제 1 클래드층, n-GaN 콘택트층 도중까지  $Cl_2$  가스를 사용한 ICP 플라즈마 에칭을 실시하여, n 형 캐리어의 주입 부분이 되는 n 형 콘택트층을 노출시켰다.
- <242> ICP 플라즈마 에칭 종료 후에는,  $SiNx$  를 모두 제거하였다. 여기에서도 p 측 전극 표면에는 Au 가 노출되어 있었기 때문에, 이들 프로세스에 의해서도 전혀 변질되지 않았다.
- <243> 이어서, n 측 전극을 형성하기 위해, 포토리소그래피법을 사용하여 n 측 전극을 리프트 오프법으로 패터닝할 준비를 하여 레지스트 패턴을 형성하였다. n 측 전극이 p 측 전극의 필로의 정폭 도형을 둘러싸는 부분에 관해서는, 도 7b 의 거리 x, 즉, p 측 전극이 p 측 콘택트층과 접하고 있는 곳에서부터, n 측 전극이 n 측 콘택트층과 직접 접하고 있는 부분까지의 최단 거리를  $75\mu m$  가 되도록 하였다.
- <244> 여기에서, n 측 전극으로서 Ti 를  $200\text{\AA}$ , Al 을  $15000\text{\AA}$  의 두께로 진공 증착법으로 웨이퍼 전체면에 형성하고, 아세톤 중에서 불필요 부분을 리프트 오프법 으로 제거하였다. 이어서, 그 후 열처리를 실시하여 n 측 전극을 완성시켰다.
- <245> 이어서, 기관 박리를 실시하기 전준비로서, 당해 발광 장치가 제조된 웨이퍼 전체를  $AlN$  으로 형성되고, 표면에 Ti/Pt/Au 로 이루어지는 금속 배선이 형성되어 있는 디바이스 소자 지지용 기관에 AnSn 뿔납을 사용하여 접합하였다. 접합시에는, 디바이스 소자 지지용 기관과 발광 소자가 제조된 웨이퍼를 300 도로 가열하여 p 측 전극과 n 측 전극이, 각각 설계된 지지체 상의 금속 배선에 AuSn 뿔납으로 용착되도록 하였다.
- <246> 이어서, 기관 박리를 실시하기 위해, 파장  $248nm$  의 엑시머 레이저를 사용하여, 에피택셜 성장을 실시하지 않은 기관면으로부터 당해 레이저를 조사하여, 기관 박리 (레이저 본딩) 를 실시하였다. 그 후에, GaN 버퍼층의 일부가 질소와 금속 Ga 로 분해됨으로써 발생된 Ga 금속을 웨트 에칭에 의해 제거하였다.
- <247> 이어서, 기관 박리되고, 지지체에 금속 뿔납으로 용착되어 있는 극박막의 발광 소자를 분할하여, 원하는 수의 정폭 도형 부분을 포함하는 발광 소자로 하기 위해, 다이싱소를 사용하여 디바이스 소자 지지용 기관과 발광 소자가 제조된 웨이퍼를 커팅하였다. 이와 같이 하여, 정폭 도형 부분을 포함하는 복수의 주 전극과 복수의 인출 전극을 갖는 화합물 반도체 발광 소자를 완성시켰다. 당해 소자에 캐리어를 주입한 결과, 주요 광 취출 방향으로부터 출사된 p 측 전극 상에서의 광은, p 측 전극의 사이즈가 대형이고, 또한 소자의 외형도 대형인 경우에도 균일했다.

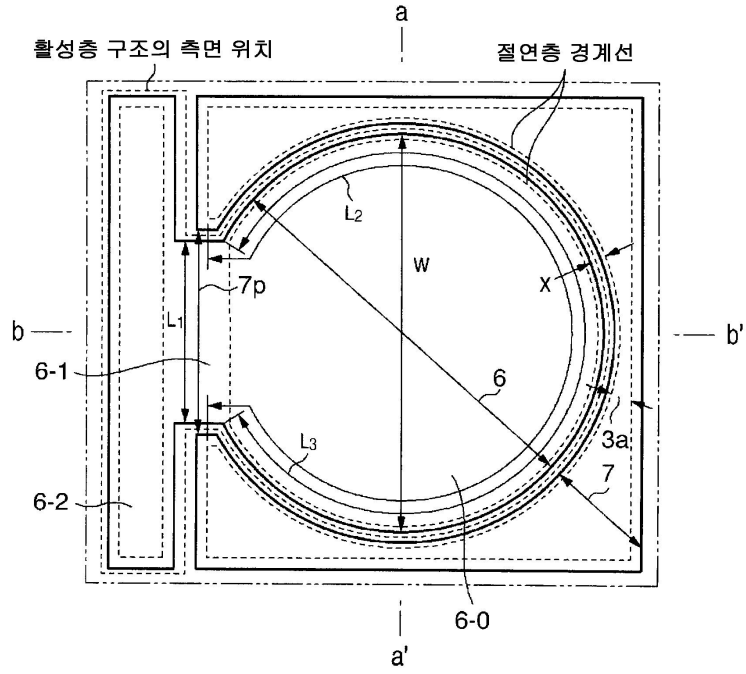
**도면의 간단한 설명**

- <56> 도 1 은 본 발명의 제 1 실시형태의 화합물 반도체 발광 소자의 구조를 나타내는 평면도이다.
- <57> 도 2 는 본 발명의 제 2 실시형태의 화합물 반도체 발광 소자의 구조를 나타내는 평면도이다.
- <58> 도 3 은 본 발명의 제 3 실시형태의 화합물 반도체 발광 소자의 구조를 나타내는 평면도이다.
- <59> 도 4 는 본 발명의 제 4 실시형태의 화합물 반도체 발광 소자의 구조를 나타내는 평면도이다.
- <60> 도 5 는 본 발명의 제 5 실시형태의 화합물 반도체 발광 소자의 구조를 나타내는 평면도이다.
- <61> 도 6a 는 도 1 ~ 도 2 의 aa' 선에 있어서의 모식적인 단면도이다.
- <62> 도 6b 는 도 1 의 bb' 선에 있어서의 모식적인 단면도이다.
- <63> 도 6c 는 도 1 ~ 도 5 에 나타내는 실시형태에 적합한 활성층 구조를 모식적으로 나타내는 도면이다.
- <64> 도 7a 는 본 발명의 바람직한 실시형태의 복수의 주 전극 부분이 배치된 발광 소자의 제 1 예를 나타내는 도면이다.
- <65> 도 7b 는 본 발명의 바람직한 실시형태의 복수의 주 전극 부분이 배치된 발광 소자의 제 2 예를 나타내는 도면이다.
- <66> 도 8 은 본 발명의 바람직한 실시형태의 복수의 주 전극 부분이 배치된 발광 소자의 제 3 예를 나타내는 도면이다.
- <67> 도 9a 는 도 7a 의 aa' 선에 있어서의 모식적인 단면도이다.
- <68> 도 9b 는 도 7a 의 bb' 선에 있어서의 모식적인 단면도이다.
- <69> 도 10 은 본 발명의 바람직한 실시형태의 발광 소자의 플립칩 마운트의 제 1 예를 나타내는 도면이다.
- <70> 도 11 은 본 발명의 바람직한 실시형태의 발광 소자의 플립칩 마운트의 제 2 예를 나타내는 도면이다.
- <71> \*부호의 설명\*
- <72> 1 : 기판
- <73> 2 : 버퍼층
- <74> 3 : 제 1 도전형 클래드층
- <75> 3m : 불록부
- <76> 3o : 주변부
- <77> 3s : 측벽
- <78> 4 : 활성층 구조
- <79> 5 : 제 2 도전형 클래드층
- <80> 6 : 제 2 도전형층 전극
- <81> 6-0 : 주 전극부
- <82> 6-1 : 제 1 인출부
- <83> 6-2 : 제 2 인출부
- <84> 6a : 제 2 캐리어 주입 영역
- <85> 7 : 제 1 도전형층 전극
- <86> 7a : 제 1 캐리어 주입 영역
- <87> 7p : 개구부 (절단부)

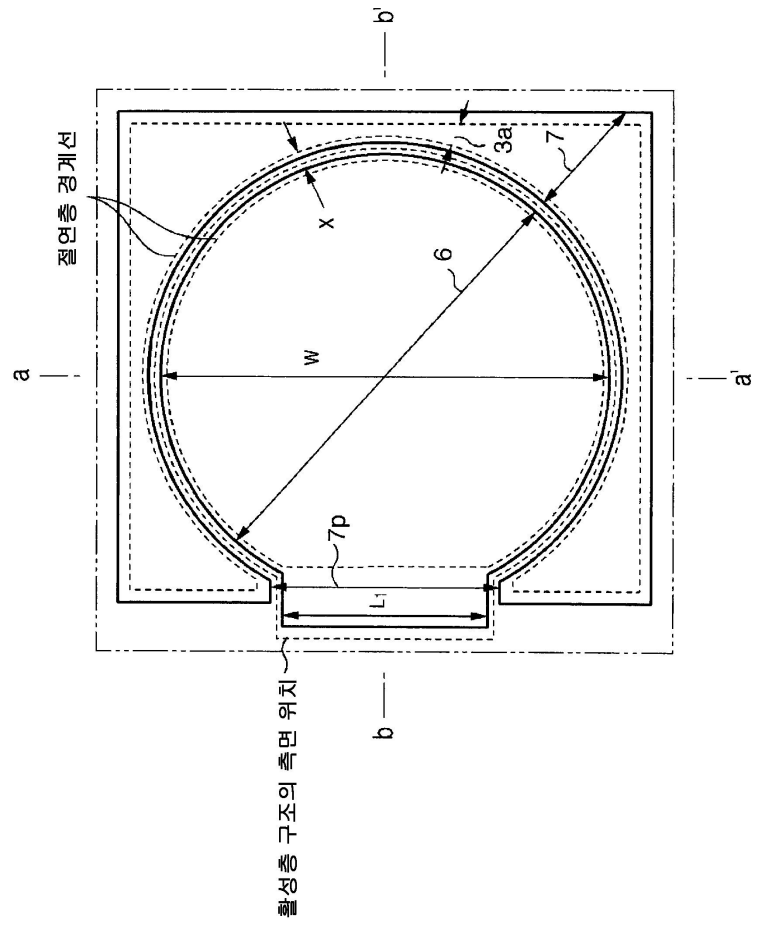
<88> 8 : 절연막

도면

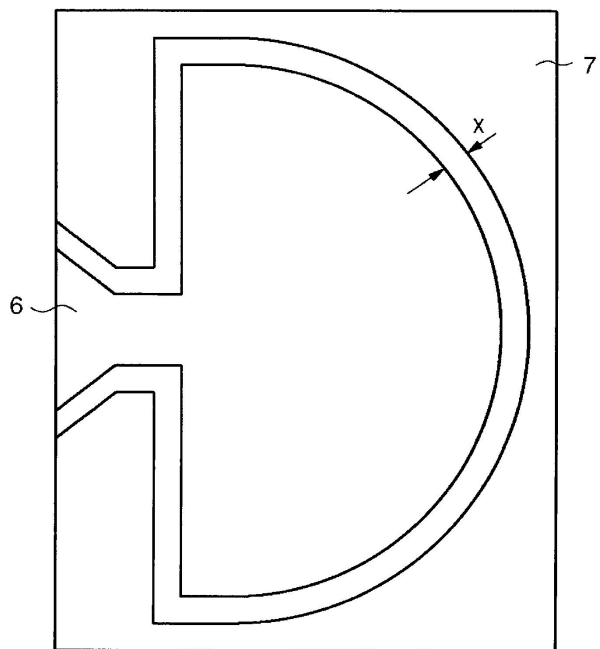
도면1



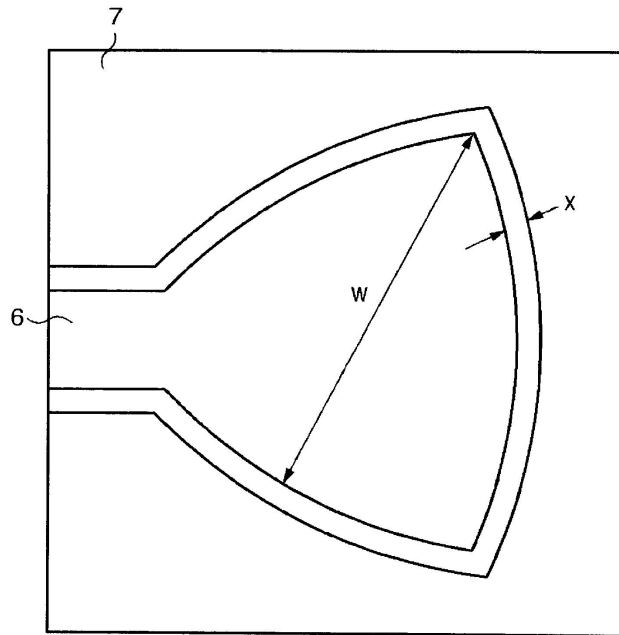
도면2



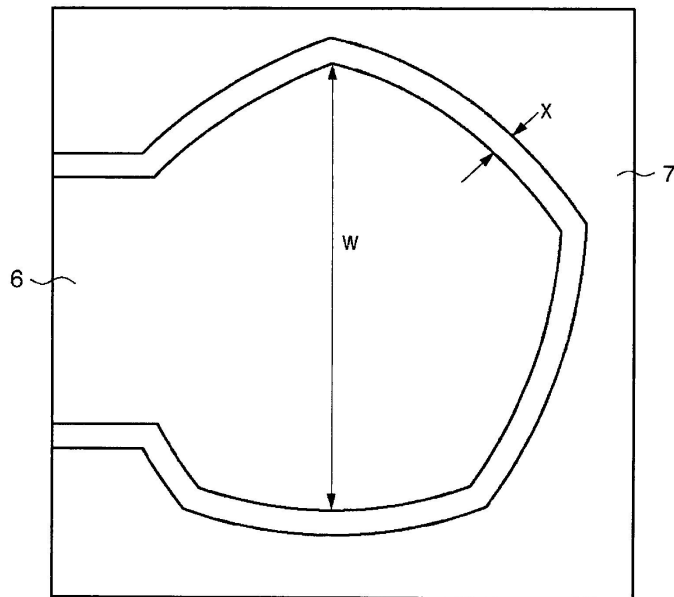
도면3



도면4

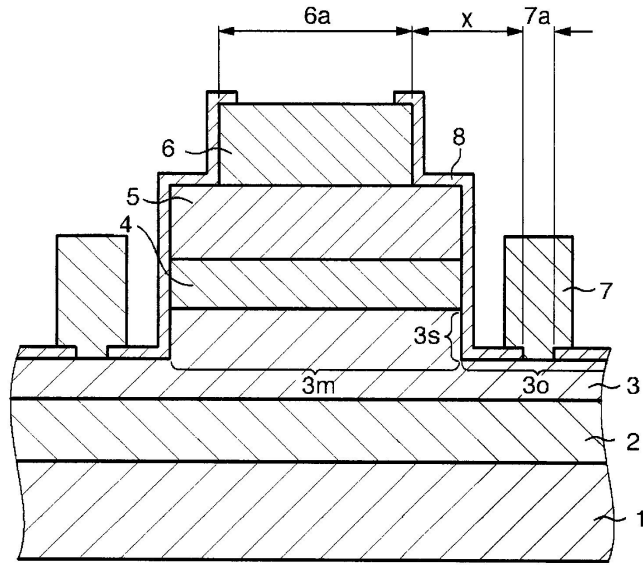


도면5



도면6a

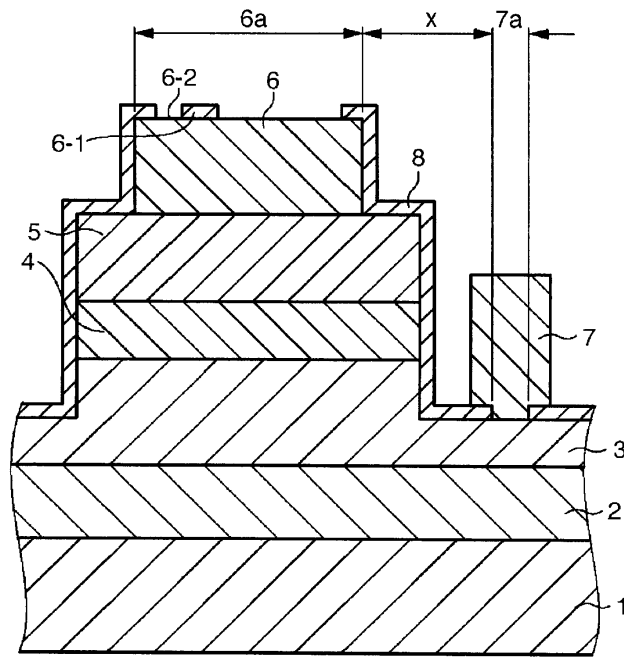
a-a' 단면



주요 광 취출 방향

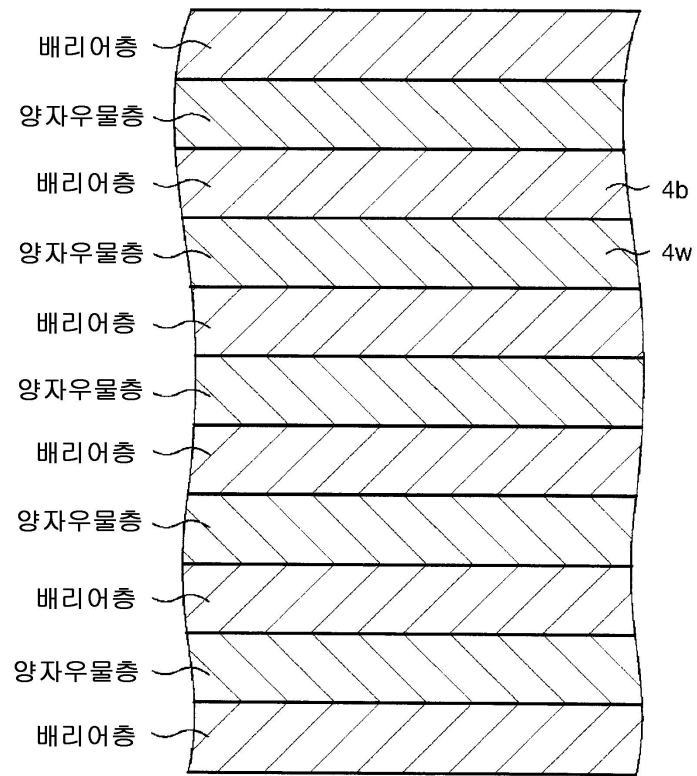
도면6b

b-b' 단면

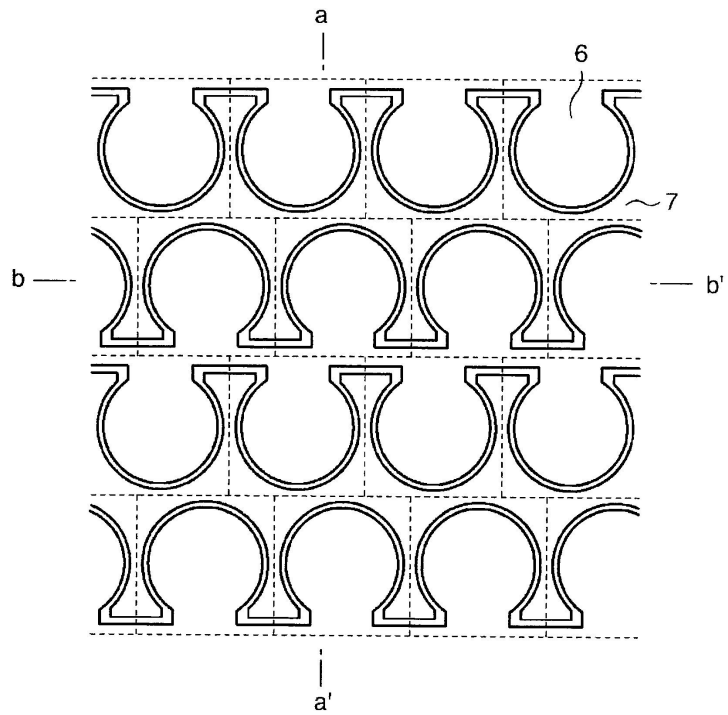


주요 광 취출 방향

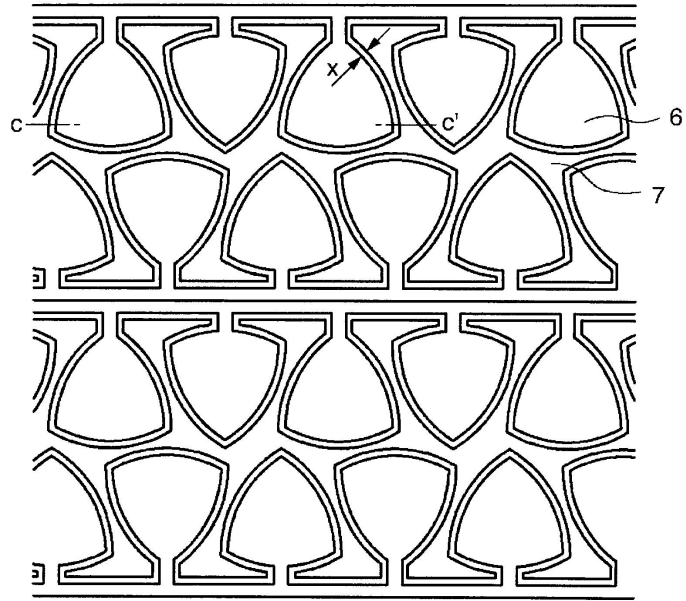
도면6c



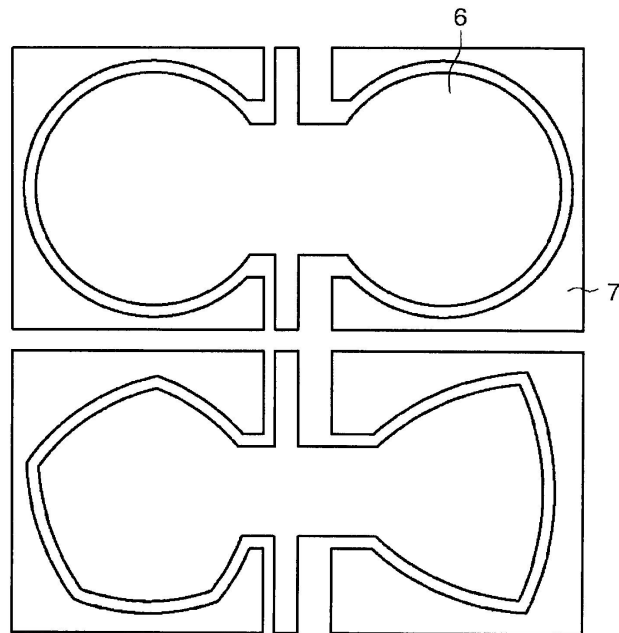
도면7a



도면7b

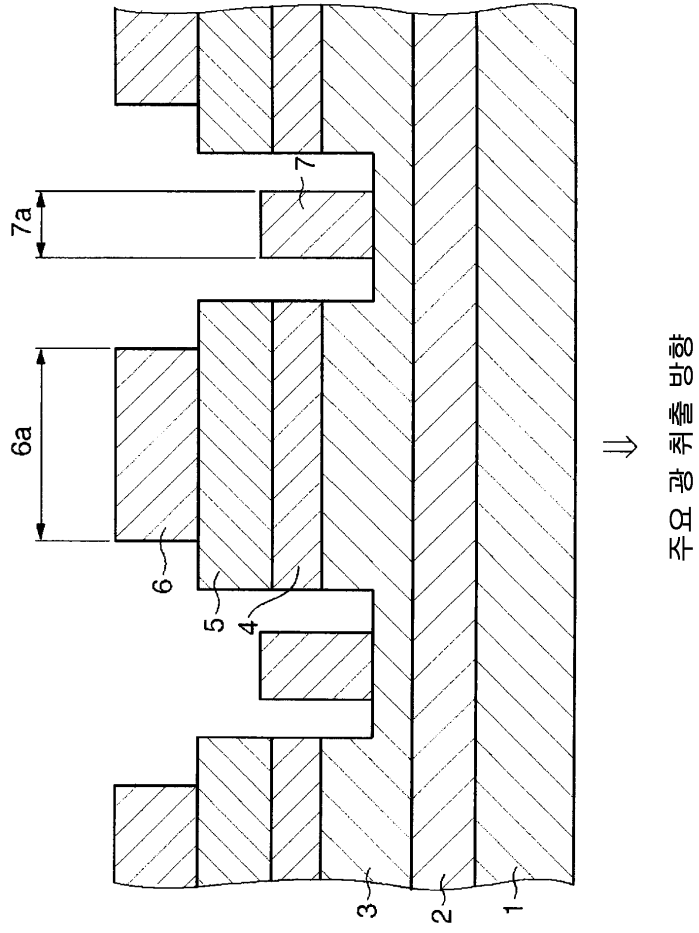


도면8

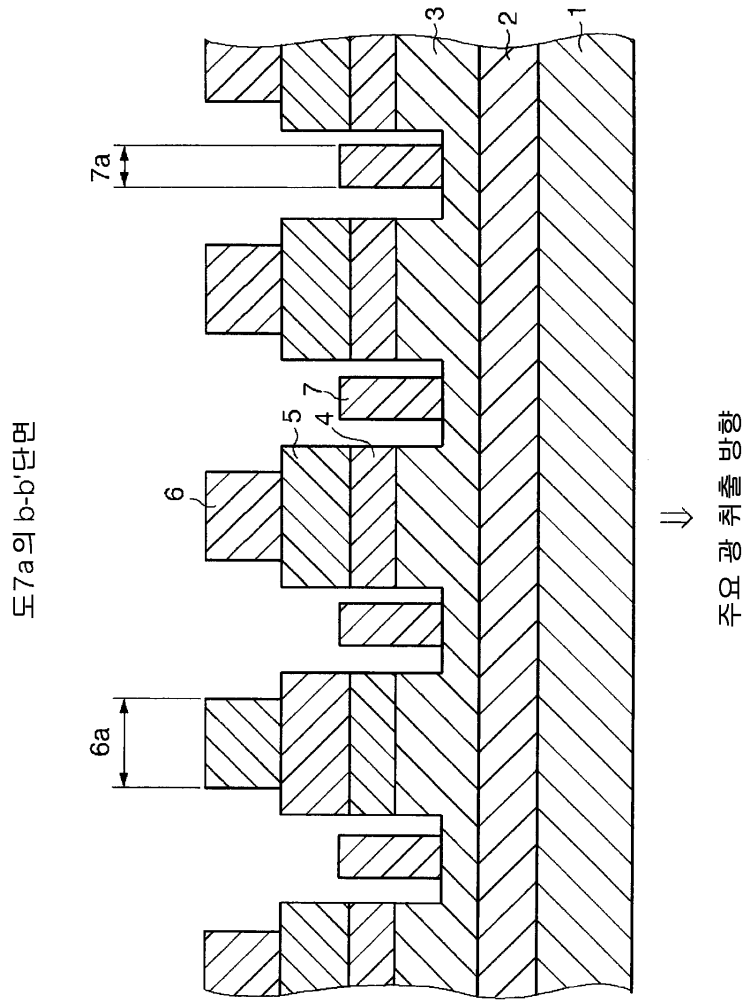


도면9a

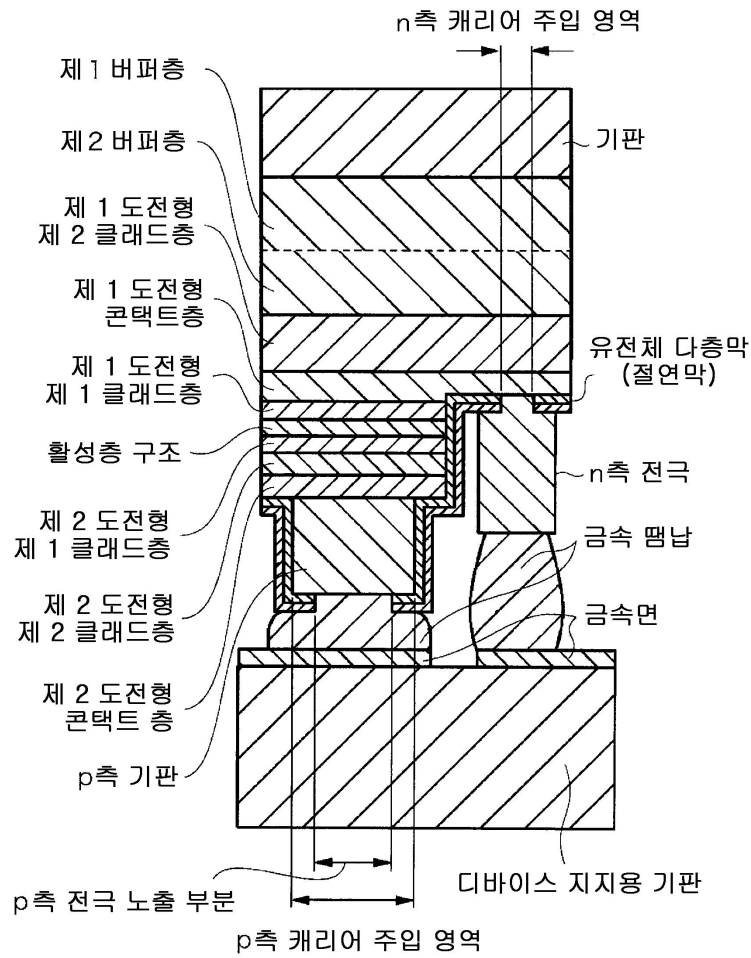
도 7a의 a-a' 단면



도면9b



도면10



도면11

