發明專利說明書200403588

（填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫）

※ 申請案號：91132297　※IPC 分類：G06F 9/46

※ 申請日期：91-12-25

壹、發明名稱

(中文) 暫停一多重線串處理器中一線串之執行

(英文) SUSPENDING EXECUTION OF A THREAD IN A MULTI-THREADED PROCESSOR

貳、發明人（共 6 人）

發明人 1 （如發明人超過一人，請填**說明書發明人續頁**）

姓名：(中文) 戴伯拉 T. 瑪爾

(英文) DEBORAH T. MARR

住居所地址：(中文) 美國俄勒岡州波特蘭市佩蒂園街西北 2564 號

(英文) 2564 NW PETTYGROVE STREET, PORTLAND, OREGON 97210, U.S.A.

國籍：(中文) 美國　(英文) U.S.A.

參、申請人（共 1 人）

申請人 1 （如申請人超過一人，請填**說明書申請人續頁**）

姓名或名稱：(中文) 美商英特爾公司

(英文) INTEL CORPORATION

住居所或營業所地址：(中文) 美國加州聖塔卡拉瓦市米遜大學路 2200 號

(英文) 2200 MISSION COLLEGE BOULEVARD, SANTA CLARA, CALIFORNIA 95052, U.S.A.

國　籍：(中文) 美國　(英文) U.S.A.

代表人：(中文) 大衛 賽門

(英文) DAVID SIMON

462

說明書發明人續頁

發明人 2

姓名：(中文) 迪恩 羅傑斯

(英文) DION RODGERS

住居所地址：(中文) 美國俄勒岡州希爾斯玻羅市布魯克林路西南 452 號

(英文) 452 SW BROOKWOOD AVENUE, HILLSBORO, OREGON 97123, U.S.A

國籍：(中文) 美國 (英文) U.S.A.

發明人 3

姓名：(中文) 大衛 L. 希爾

(英文) DAVID L. HILL

住居所地址：(中文) 美國明尼蘇達州聖保羅市桑米路 1995 號

(英文) 1995 SUMMIT AVENUE, ST. PAUL, MINNESOTA 55105, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

發明人 4

姓名：(中文) 希福 考西克

(英文) SHIV KAUSHIK

住居所地址：(中文) 美國俄勒岡州波特蘭市布萊克里路西北 15417 號

(英文) 15417 NW BLAKELY LANE, PORTLAND, OREGON 97229, U.S.A.

國籍：(中文) 印度 (英文) INDIA

發明人 5

姓名：(中文) 詹姆士 B. 克羅斯蘭

(英文) JAMES B. CROSSLAND

住居所地址：(中文) 美國俄勒岡州班克斯市大衛森路西北 16744 號

(英文) 16744 NW DAVIDSON ROAD, BANKS, OREGON, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

463

說明書發明人續頁

發明人 6

姓名：(中文) 大衛 A. 庫法提

(英文) DAVID A. KOUFATY

住居所地址：(中文) 美國俄勒岡州波特蘭市 163 路西北 6030 號

(英文) 6030 NW 163RD PLACE, PORTLAND, OREGON 97229, U.S.A.

國籍：(中文) 美國 (英文) U.S.A.

捌、聲明事項

☐ **本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：** _____

☑ **本案已向下列國家（地區）申請專利，申請日期及案號資料如下：**

【格式請依：申請國家（地區）；申請日期；申請案號　順序註記】

1. 美國；2001 年 12 月 31 日；10/039,777
2. _____
3. _____

☑ **主張專利法第二十四條第一項優先權：**

【格式請依：受理國家（地區）；日期；案號　順序註記】

1. 美國；2001 年 12 月 31 日；10/039,777
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ **主張專利法第二十五條之一第一項優先權：**

【格式請依：申請日；申請案號　順序註記】

1. _____
2. _____
3. _____

☐ **主張專利法第二十六條微生物：**

☐國內微生物　【格式請依：寄存機構；日期；號碼　順序註記】

1. _____
2. _____
3. _____

☐國外微生物　【格式請依：寄存國名；機構；日期；號碼　順序註記】

1. _____
2. _____
3. _____

☐熟習該項技術者易於獲得，不須寄存。

467

(1)

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

相關申請案

本申請案係相關於申請案編號 ___/___，___，其標題為"一種用以暫停一線串的執行直到發生一特定記憶體存取"；申請案編號 ___/___，___，其標題為"用以暫停一線串的執行直到發生一特定記憶體存取之同步技術"；申請案編號 ___/___，___，其標題為"用以暫停一線串的執行直到發生一特定記憶體存取的指令序列"。所有申請案都係以與本申請案相同的日期歸檔。

技術領域

本發明係相關於處理器的範圍。更特別地，本發明係相關於用以暫時暫停在一多線串處理器中一線串的處理之多線串處理器及技術。

先前技術

一多線串處理器能夠同時處理多重不同指令順序。一主要驅動在一單一處理器中多重指令流的執行的激勵因素係在於處理器運用所導致的改良。高度平行架構已經發展多年，但是常常地還是難以從一單一指令流中擷取出足夠的平行性，以運用該等多重執行單元。同步多線串處理器可以讓多重指令流能夠以該不同執行資源同時執行，以試圖更佳地運用這些資源。多線串處理係特別地有利於遭遇到長等待時間的延遲或經常等待事件發生的程式。當一線串係等待著一待完成的長等待時間的任務或是一特殊的事件時，可以使用一不同的線串。

許多不同用以控制當一處理器在線串之間的切換的技術已經提出。例如，某些處理器偵測特別久的等待時間事件，像是L2快取遺漏，則會切換線串以回應這些偵測到的長等待時間事件。在某些狀況下，該等長等待時間事件的偵測係為有效時，該事件偵測係不可能偵測到在所有的點都能夠有效率地切換線串。特別地，事件基的線串切換可能會無法偵測到在程式中程式員故意要延遲的地方。

事實上，經常該程式員係處於決定何時能夠有效率地切換線串以避免浪費的旋轉等待環(spin-wait loops)或其他消耗資源的延遲技術的位置。因此，允許程式可以控制線串的切換可以促進程式更有效率地操作。明確可以影響線串選擇的程式對該目的是有利的。例如，一"暫停"指令係描述在美國專利申請案編號09/489,130，於1/21/2000歸檔。該暫停指令允許一線串能夠暫時地停止，直到達到一計數或是直到一指令已經透過該處理器管線傳送。然而，描述於上面所參考的申請案中的暫停指令並沒有制定線串可分割的資源有被交出。不同技術係有助於讓程式員能夠更有效率地利用多線串處理器的資源。

發明內容

下文中描述用以暫停在一多線串處理器中一線串的執行的技術。在該下面描述中，許多特定細節像是邏輯實行、運算碼(opcodes)、制定運算元的方法、資源分割/共享/複製實行、系統組件的類型及相互關係、及邏輯分割/整合選擇係在此提出，以提供本發明更詳盡的了解。然

而，熟悉該項技藝者應了解的是本發明可以在沒有該等特定細節下實行之。在其他案例中，控制架構、閘位準電路及完全軟體指令順序並沒有非常詳細地顯示以防混淆本發明。一般熟悉該項技藝者以該等包含的描述將能夠在沒有過度的驗證下實施適當的功能。

本揭露技術可以允許一程式員能夠在使得其他線串利用處理資源時，實行一等待機制於一線串中。因此，先前專用於該暫停線串的分割可以在該線串係暫停時交出。這些及/或其他揭露技術可以便利地改良整體處理器的傳輸量。

圖1說明一具有暫停邏輯110的多線串處理器100的實施例，其允許一線串能夠回應一指令而暫停。一"處理器"在某些實施例中可以當作為一單一積體電路。在其他實施例中，多積體電路可以共同形成一處理器，及在尚有其他實施例中，硬體及軟體常式(routines)(例如二元轉換常式)可以共同形成該處理器。該暫停邏輯可以係為微碼(microcode)、各種形式的控制邏輯、或該描述功能的其他實行，可能包含轉換、軟體等等。

該處理器100係耦合到一記憶體195，以允許該處理器能夠檢索來自該記憶體195的指令，然後執行這些指令。該記憶體及該處理器係以點對點的方式耦合，其係經由匯流排橋接、經由一記憶體控制器或經由其他已知或其他可用的技術。該記憶體195儲存各種程式線串，包含一第一線串196及一第二線串198。該第一線串196包含一SUSPEND

指令。

在圖1的實施例中，一匯流排/記憶體控制器120提供用以到一前端130的執行的指令。該前端130根據指令指標170來管理來自各種線串的指令檢索。指令指標邏輯係被複製以支援多線串。該前端130將指令饋送到線串分割資源140以進一步處理。當多線串在該處理器100內係活動的時候，該等線串分割資源140包含專用於特定線串的邏輯獨立分割。在一實施例中，每個獨立分割只有包含來自該部分所專用的線串的指令。該線串分割資源140可以包含例如指令佇列。當在一單一線串模式時，該等線串分割資源140的分割可以組合以形成一專用於該單一線串的大分割。

該處理器100也包含複製狀態180。該複製狀態180包含足夠以維持一邏輯處理器的背景的狀態變數。以複製狀態180，多線串能夠無須在狀態變數儲存的競爭來執行。此外，暫存器配置邏輯會為了每個線串複製。該複製狀態相關的邏輯係以該等是當資源分隔來操作，以準備用以執行的即將到來的指令。

該等線串分割資源140將指令向前傳送到共享資源150。該共享資源150不考慮其來源執行指令。例如，排程器及執行單元可以係為不考慮線串(thread-unaware)的共享資源。該等分割資源140係藉由以在每個活動線串上提供連續的進展的公平方式，在該等線串之間交替使用，將指令從多重線串饋送到該共享資源150。因此，該等共享資

471

源可以在不考慮該線串混合，將該等提供的指令執行於適當的狀態上。

該等共享資源150係讓其他組的線串分割資源160跟隨在後。該等線串分割資源160係包含退而不用的資源，像是一重新排列的緩衝區及相似的東西。因此，該等線串分割資源160係確保來自每個線串的指令的執行能夠合適地決定，以及該線串的適當狀態能夠適當地更新。

如同上面所提，這係要提供程式員一種無須要求一記憶體位置的經常輪詢(polling)及一環指令的均勻執行來實行一延遲的技術。因此，圖1的處理器100包含該暫停邏輯110。該暫停邏輯110係為可程式化以提供一特定期間，該線串在該期間能夠暫停或是提供一固定的延遲。該暫停邏輯110包含管線清除(flush)邏輯112及分割/退火(anneal)邏輯114。

圖1的實施例的操作可以參考該圖2的流程圖作進一步的解釋。在一實施例中，該處理器100的指令組包含一SUSPEND運算碼(指令)以造成線串的暫停。在方塊200中，該SUSPEND運算碼係接收以作為一第一線串(T1)的指令順序的部分。線串T1執行係如同方塊210所示般暫停。該線串暫停邏輯110包含管線清除邏輯112，其會耗盡該處理器管線，以便如同方塊220所示般清除所有指令。在一實施例中，一旦該管線已經耗盡，分割/退火邏輯114會造成任何專門與線串T1有關的分割資源能夠交出以供其他線串使用，這如同方塊230所示。這些交出資源係被退火

472

以形成一組較大的資源，以供該其餘活動線串運用。

如同方塊235所示，在線串T1係在暫停的期間，其他線串可以執行(假設指令可用以執行)。因此，處理器資源可以繼續使用，實質上並不會受到來自線串T1的干擾。當線串T1具有少量或沒用的工作要完成的時候，或是當一程式決定在線串T1的完成任務並不是第一優先的時候，對其他線串更完整的該等處理器資源的專用可以便利地促進其他有用的執行流的處理。

通常，利用線串T1暫停，該處理器輸入一實行依賴狀態，其允許其他線串能夠更完整地運用該等處理器資源。在某些實施例中，該處理器係交出一些或所有係為T1所專用的該分割資源140及160的分割。在其他實施例中，該SUSPEND運算碼的不同排列或與此有關的設定會指示哪些資源要被釋放，假如有的話。例如，當一程式員預先考慮到需要一較短的等待時間時，該線串可以暫停，但是維持最大的資源分割。因為在該線串暫停期間的時間，該等共享的資源係為其他線串所專用，所以仍然可以增大傳輸量。當需要一較長的等待時間時，交出所有與該暫停線串有關的分割允許其他線串能夠有額外的資源，可能會增加該等其他線串的傳輸量。然而，當線串係分別地暫停及恢復執行的時候，該額外傳輸量係以與移除與添增有關的冗餘工作的代價來達成。

在方塊240中，執行一測試以決定該暫停狀態是否應該結束。假如該制定的延遲已經發生(即已經過足夠的時

473

候)，則該線串可以恢復執行。該線串所暫停的時間可以利用許多的方法來制定，如同圖3a所示。例如，一處理器300係包含由一例行的微碼310所制定的一延遲時間(D1)。當已經經過該特定大小的時間時，一計時器或計數器312係實行該延遲及將該微碼發出信號。或者，一或更多的保險絲(fuse)330可以用以制定一延遲(D2)，或是一暫存器340可以儲存一延遲(D3)。一延遲(D4)係利用一暫存器或一儲存器位置，像是在一橋接或記憶體控制氣302中的一組態暫存器，其係耦合到該處理器。一延遲"(D5)也可利用該基本輸入/輸出系統(BIOS)322。或者依然是，該延遲(D6)能夠儲存在一記憶體304中，其係耦合到該記憶體控制器302。當該SUSPEND運算碼係由一執行單元320所執行的時候，該處理器300係檢索該延遲值，以將其對該SUSPEND運算碼作為一隱性或顯性的運算元。有關制定一數值的其他已知或其他可用的或便利的技術也可以用以制定該延遲。

回頭參考圖2，假如該延遲時間沒有到達，則所使用的該計時器、計數器、或其他延遲量測機制會持續追蹤該延遲，及該線串仍然保持暫停，如同該回到方塊240所示。假如該延遲時間已經到達，則線串T1恢復則會開始於方塊250。如同方塊250所示，該管線係被清除(flush)，以釋放資源給線串T1。在方塊260，資源係重新分割，使得線串T1具有該等線串可分割資源的部分，其係用以執行操作。最後，線串T1會重新開始執行，如同在方塊270所示。

474

因此，圖1及2的實施例提供允許一線串能夠利用一程式暫停一特定期間的技術。在一實施例中，其他事件也能夠造成T1恢復執行。例如，一中斷會導致T1恢復執行。圖3b說明一允許其他事件能夠導致該暫停狀態能夠結束的實施例的一流程圖。在方塊360中，該執行已經根據前面的操作而暫停。在方塊370中，會測試是否已經達到足夠時間(如圖前面相對圖2所討論)。在該事件中，已經經過足夠的時間，則線串T1會恢復執行，如同在方塊380中所示。

另一方面，假如在方塊365中並沒有經過足夠時間，則在方塊370及375中會偵測到任何打破暫停狀態的事件。在某些實施例中，具有運算元、組態設定、該SUSPEND指令的排列等等，其制定是否任何事件會導致該暫停狀態結束。因此，方塊370測試任何(及在某些實施例中)事件是否係啟動以打破該暫停狀態。假如沒有啟動任何事件以打破該暫停狀態，程序便會回到方塊356。假如有啟動任何事件發生，如同方塊375所測試，則線串T1會恢復執行，如同方塊380所示。否則，該處理器以線串T1保持在該暫停狀態中，及該程序會返回到方塊365。

圖4根據一實施例說明資源的分割、複製、及共享。分割的資源係根據在該機器中的活動線串的衰落(ebb)及流動(flow)來分割及退火(anneal)(向後混合(fused back)一起用以供其他線串重新使用)。在圖4的實施例中，複製資源包含在該管線的指令取得(fetch)部分的指令指標邏

輯、在該管線的重新命名部分的暫存器重新命名邏輯、狀態變數(未顯示，但是參考該管線中各種階段)，及一中斷控制器(未顯示，通常係與管線非同步)。在圖4的實施例中的共享資源包含在該管線的排程階段中的排程器(scheduler)、在該管線的暫存器讀取及寫入部分中的一池(pool)的暫存器、在該管線的執行部份中的執行資源。此外，一追蹤快取區及一L1資料快取區係為根據記憶體存取而無關線串背景下所植入的(populated)共享式資源。在其他實施例中，線串背景的考慮係使用在快取決定時。在圖4的實施例中的分割的資源，包含在該管線的佇列階段中的佇列、在該管線的退休(retirement)階段中的重新排序緩衝區、及一儲存緩衝區。線串選擇多工邏輯係在該各種複製及分割資源之間輪流使用以提供對兩者線串合理的存取。

在圖4的實施例中，當一線串係暫停時，所有與線串1有關的指令係從兩者佇列排除。每對的佇列接著會組合在一起以提供給該第二線串更大的佇列。相似地，更多來自該暫存器池的暫存器係可供該第二線串使用，更多來自該儲存緩衝區的項目(entries)係為了該第二線串所釋放，及更多在該重新排列的緩衝區中的項目係可供該第二線串使用。本質上，這些架構會返回到兩倍於該大小的單一專用架構。當然，不同比例係起因於使用不同數目的線串的實行。

在某些實施例中，該等分割的資源、該等複製的資源、

476

及該等共享的資源可以不同地安排。在某些實施例中，或許在該等共享的資源的兩端可能沒有分割的資源。在某些實施例中，該等分割的資源並沒有嚴格地分割，但是卻可以允許某些指令能夠橫跨分割或是可以允許分割能夠根據所執行在分割中的線串或是正被執行的線串的總數來變化其大小。此外，資源的不同混合可以標示成共享、複製、及分割的資源。

圖5說明各種用以使用該等揭露技術的設計的模擬、仿效、及製造的設計的代表或是格式。代表一設計的資料係以一些方式來表示該設計。首先，其係有用於模擬，該硬體可以使用一硬體描述語言或其他功能性描述語言來表示，其基本上能夠提供一期望如何執行該設計硬體的電腦化模式。該硬體模式1110係儲存在一儲存媒體1100，像是一電腦記憶體，使得該模式可以使用將一特定測試套件1130施加在該硬體模式1110的模擬軟體1120來模擬，以決定其功能是否真的如同所需。在某些實施例中，該模擬軟體並沒有紀錄、抓取、或包含在該媒體內。

此外，一具有邏輯及/或電晶體閘的電路位準模式可以在該設計過程的某些階段製造。該模式係為相似地模擬，有時係藉由使用可程式化邏輯來形成該模式的專用硬體模擬器。該類型的模擬進一步係為一仿效的技術。在任意範例中，可重新組態的硬體係為其他包含一儲存著一採用該等揭露技術的模式的機器可讀式媒體的實施例。

再者，在某些階段大部分的設計會達到代表著在該硬體

477

模式中各種裝置的實體佈置的資料的位準。在該例中，會使用常見的半導體製造技術，代表著該硬體模式的資料係為制定在不同光罩層上用以製造該積體電路的光罩的各種特徵的存在或不存在的資料。此外，代表該積體電路的資料能夠實現所揭露的技術，因為在該資料中的電路或邏輯能夠模擬或製造以執行這些技術。

在本發明的任意表示中，該資料可以利用任何形式的電腦可讀式媒體來儲存。一光學或電波1160經過調變或其他方式所產生用以傳輸該資訊，一記憶體1150或一磁性或光學儲存1140，像是一碟片可以係為該媒體。描述著該設計或該設計的特定部分的該組位元係一篇論文，其本身可以賣出或是該其他人用以進一步設計或製造來使用。

因此，用以暫停執行在一多線串處理器中的線串的技術係已揭露。在一定的示範實施例已經描述且表示在該等伴隨圖式中時，應了解的是該等實施例係只有用以說明而非限制廣大的發明，及本發明並非限制於所表現及描述的該等特定架構及安排，因為各種其他修正有可能係為一般熟悉該項技藝者利用研讀本發明而出現。

圖式簡單說明

本發明利用範例來說明並且不限於該伴隨圖式的圖面。

圖1說明一多執行緒處理器的實施例，其具有用以回應一指令，暫停一執行緒，及交出與該執行緒有關的資源的邏輯。

圖2係根據一實施例，為一說明圖1的多執行緒處理器的

操作的流程圖。

圖3a說明各種用以制定一多執行緒處理器可能暫停的時間量的選擇。

圖3b說明一有關利用已經到達所選擇的時間量或一事件的發生以離開該暫停狀態的流程圖。

圖4說明根據一實施例，有關資源的分割、共享、及複製。

圖5說明各種設計的代表，或是使用本發明技術的設計的模擬、仿效、製造的格式。

圖式代表符號說明

100	多執行緒處理器
110	暫停邏輯
112	管線清除邏輯
114	分割/退火邏輯
120	匯流排/記憶體控制器
130	前端
140	執行緒可分割資源
150	共享資源
160	執行緒可分割資源
170	指令指標
180	複製狀態
195	記憶體
196	一第一執行緒
198	一第二執行緒

479

300	處理器
D1、D2、D3、D4	延遲時間
302	記憶體控制器
304	一記憶體
310	微碼
312	計時器或計數器
320	執行單元
322	基本輸入輸出系統
330	保險絲
340	暫存器
510、520、530、54、550、560	未顯示
1130	特定測試套件
	儲存媒體

肆、中文發明摘要

本發明揭示一種用以暫停在一多線串(thread)處理器中一線串之執行。在一實施例中，一處理器包含能分割於多線串之間的資源。處理器邏輯檢索在執行的一第一線串中的指令，及回應該指令，交出(relinquish)供其他線串使用的該等分配資源的部分。

伍、英文發明摘要

Techniques for suspending execution of a thread in a multi-threaded processor. In one embodiment, a processor includes resources that can be partitioned between multiple threads. Processor logic receives an instruction in a first thread of execution, and, in response to that instruction, relinquishes portions of the portioned resources for use by other threads.

拾、申請專利範圍

1. 一種處理器，包含：

複數個線串可分割資源，其每個在複數個線串之間為可分割的；

邏輯，以接收一來自該複數個線串的一第一線串的程式指令，及回應該程式指令，造成該處理器能夠暫停該第一線串的執行，及能夠交出用以供該複數個線串的其他線串所使用，與該第一線串有關的複數個線串可分割資源的部分。

2. 如申請專利範圍第1項之處理器，其中該程式指令係為一暫停指令。

3. 如申請專利範圍第1項之處理器，其中該邏輯係要造成該處理器能夠暫停該第一線串一段選擇時間。

4. 如申請專利範圍第3項之處理器，其中該選擇段時間係為固定大小的時間。

5. 如申請專利範圍第3項之處理器，其中該處理器係在該第一線串係暫停的同時，執行來自一第二線串的指令，。

6. 如申請專利範圍第3項之處理器，其中該選擇段的時間藉由從一組技術中選出至少一技術係為可程式化，包含：

提供一與該程式指令相關的運算元；

燒斷保險絲(blowing fuses)以設定該選擇時間量；

在解碼該程式指令之前，程式化在一儲存媒體中的選擇時間量；

以微碼設定該選擇時間量。

481

7. 如申請專利範圍第1項之處理器，其中該複數個線串可分割資源，包含：

一指令佇列；

一暫存器池。

8. 如申請專利範圍第7項之處理器，尚包含：

複數個共享資源，該複數個共享資源包含：

複數個執行單元；

一快取區；

一排程器；

複數個複製資源，該複數個複製資源包含：

複數個處理器狀態變數；

一指令指標；

暫存器重新命名邏輯。

9. 如申請專利範圍第8項之處理器，其中該複數個線串可分割資源尚包含：

複數個重新排列緩衝區；

複數個儲存緩衝區項目。

10. 如申請專利範圍第1項之處理器，其中該邏輯係進一步造成該處理器能夠回應一事件，恢復該第一線串的執行。

11. 如申請專利範圍第3項之處理器，其中該邏輯係進一步造成該處理器能夠忽略事件，直到已經經過該選擇的時間量。

12. 如申請專利範圍第1項之處理器，其中該處理器係以數

位格式實行於一電腦可讀式媒體上。

13.一種方法，包含：

接收在執行的一第一線串中的一第一運算碼；

回應該第一運算碼，暫停該第一線串一段選擇時間；

回應該第一運算碼，交出複數個線串可分割資源。

14.如申請專利範圍第13項之方法，其中交出包含：

退火(annealing)該複數個線串可分割資源，以變成讓較少線串使用較大的結構。

15.如申請專利範圍第14項之方法，其中交出該複數個線串可分割資源，包含：

交出一指令佇列的分割；

交出來自一暫存器池的複數個暫存器。

16.如申請專利範圍第15項之方法，其中交出該複數個線串可分割資源尚包含：

交出複數個儲存緩衝區項目；

交出複數個重新排列緩衝區項目。

17.如申請專利範圍第13項之方法，其中該選擇的時間量係可以利用從一組技術中所選出的至少一技術為可程式化，包含：

提供與該第一運算碼有關的運算元；

燒斷保險絲(blowing fuses)以設定該選擇的時間量；

在解碼該程式指令之前，程式化在一儲存位置中的該選擇的時間量；

以微碼設定該選擇的時間量。

18.一種系統，包含：

一儲存記憶體，用以儲存複數個程式線串，包含一第一線串及一第二線串，該第一線串包含一第一指令；

一處理器耦合到該記憶體，該處理器包含複數個線串可分割資源及複數個共享資源，該處理器以執行來自該記憶體指令，該處理器，回應該第一指令的執行以暫停該第一線串，及交出該複數個線串可分割資源的部分。

19.如申請專利範圍第18項之系統，其中該處理器係用以在該第一線串暫停的同時，執行來自該記憶體的該第二線串。

20.如申請專利範圍第19項之系統，其中該處理器係用以回應該第一指令，暫停該第一線串的執行一選擇的時間量，該選擇的時間量係利用從一組技術中選出至少一技術來選擇，包含：

提供一與該程式指令有關的運算元；

燒斷保險絲(blowing fuses)以設定該選擇的時間量；

在解碼該程式指令之前，程式化在一儲存位置中的該選擇的時間量；

以微碼設定該選擇的時間量。

21.如申請專利範圍第18項之系統，其中該複數個線串可分割資源，包含：

一指令佇列；

一暫存器池。

22.如申請專利範圍第21項之系統，其中該處理器尚包含：

484

複數個共享資源，該複數個共享資源包含：

複數個執行單元；

一快取區；

一排程器；

複數個複製資源，該複數個複製資源包含：

複數個處理器狀態變數；

一指令指標；

暫存器重新邏輯。

23.如申請專利範圍第22項之系統，其中該複數個線串可分割資源，尚包含：

複數個重新排列緩衝區；

複數個儲存緩衝區項目。

24.一種裝置，包含：

接收裝置，用以接收來自一第一線串的一第一指令；

暫停裝置，用以回應該第一指令，暫停該第一線串；

交出裝置，用以交出複數個資源的複數個分割；

重新分割裝置，用以在經過一選擇時間量之後，重新分割該複數個資源。

25.如申請專利範圍第24項之裝置，其中該第一指令係為來自一使用者可執行程式的一巨指令(macro-instruction)。

26.如申請專利範圍第25項之裝置，其中該複數個資源包含一暫存器池及一指令佇列。

485

拾壹、圖式

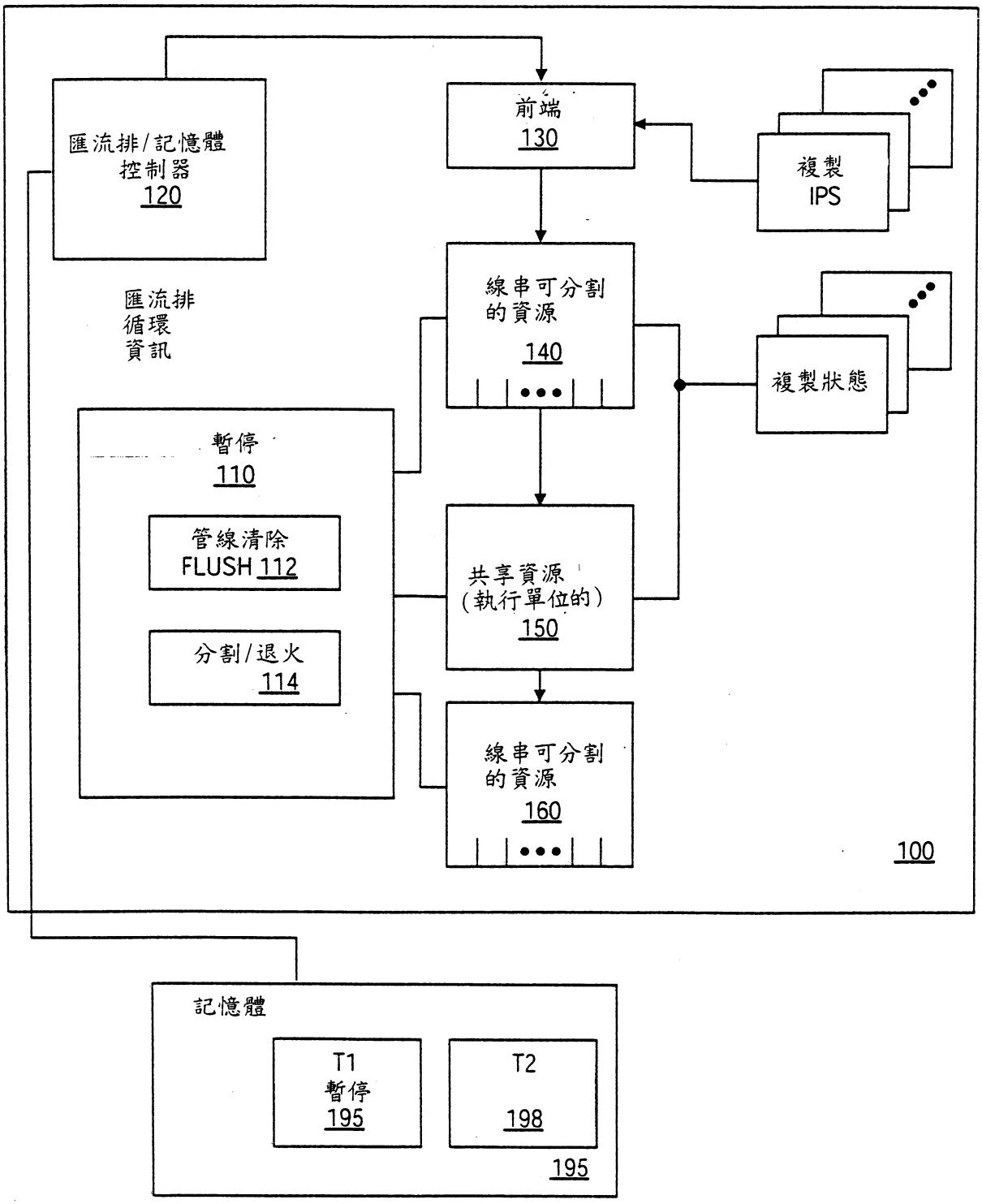

匯流排/記憶體
控制器
120
匯流排
循環
資訊
前端
130
複製
IPS
線串可分割
的資源
140
複製狀態
暫停
110
管線清除
FLUSH 112
分割/退火
114
共享資源
(執行單位的)
150
線串可分割
的資源
160
100
記憶體
T1
暫停
195
T2
198
195

圖 1

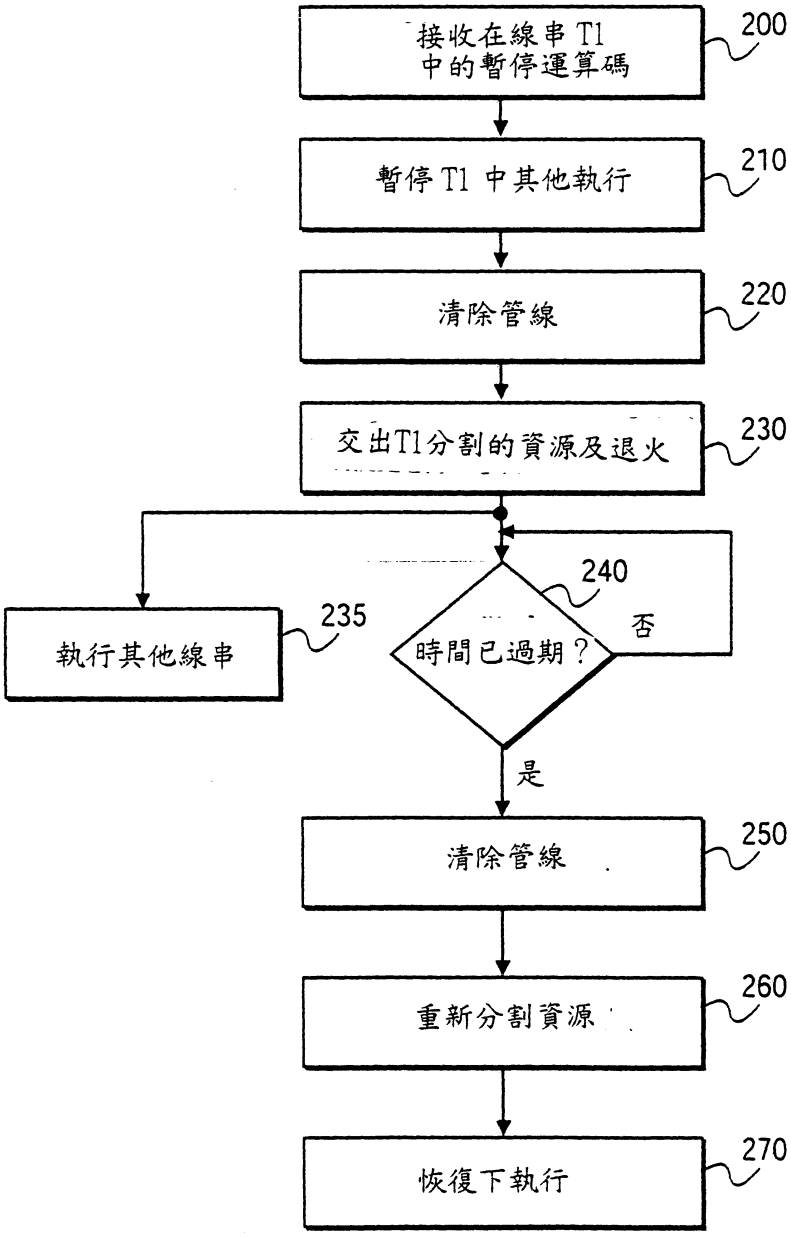

接收在線串 T1
中的暫停運算碼
200
暫停 T1 中其他執行
210
清除管線
220
交出T1分割的資源及退火
230
240
時間已過期？
否
是
執行其他線串
235
清除管線
250
重新分割資源
260
恢復下執行
270

圖 2

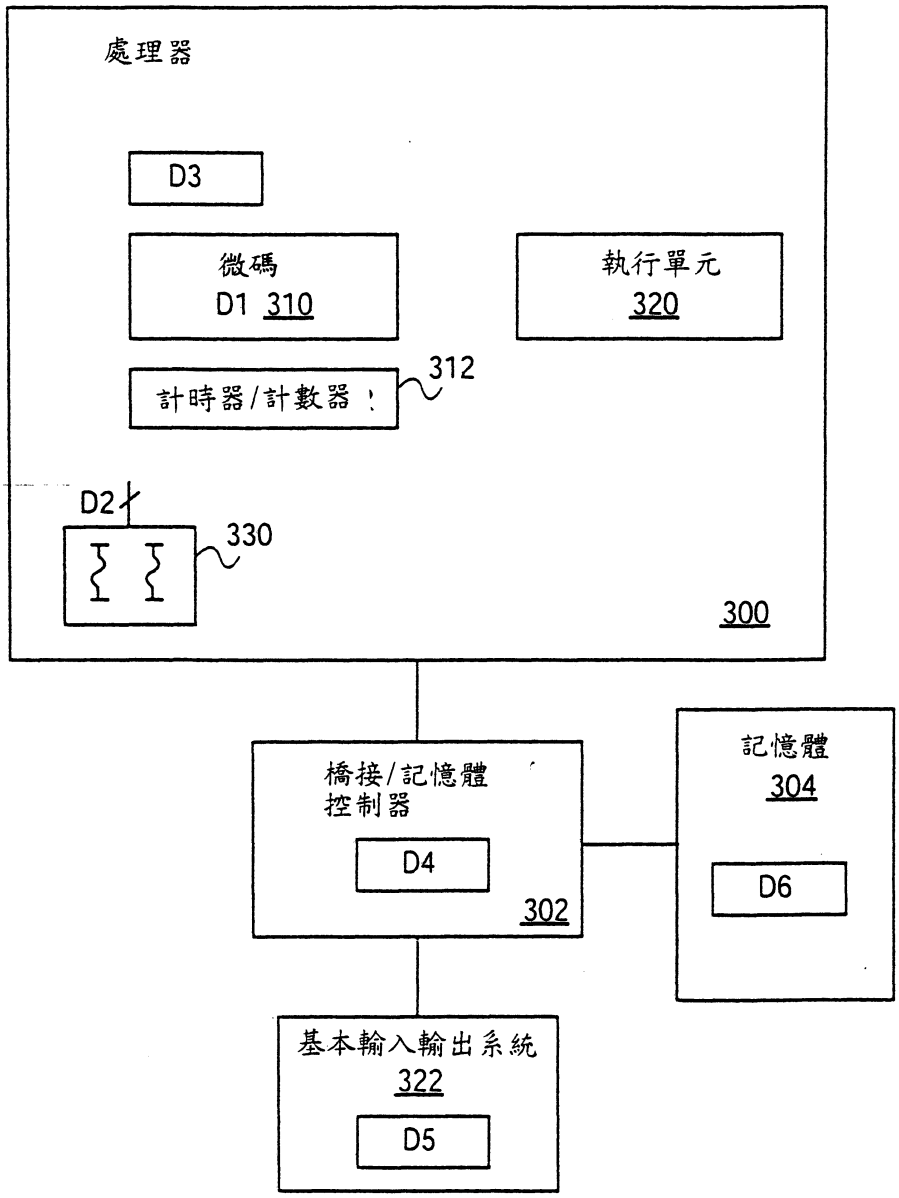

處理器
D3
微碼
D1 310
執行單元
320
計時器/計數器
312
D2
330
300
橋接/記憶體
控制器
D4
302
記憶體
304
D6
基本輸入輸出系統
322
D5

圖 3A

圖式續頁

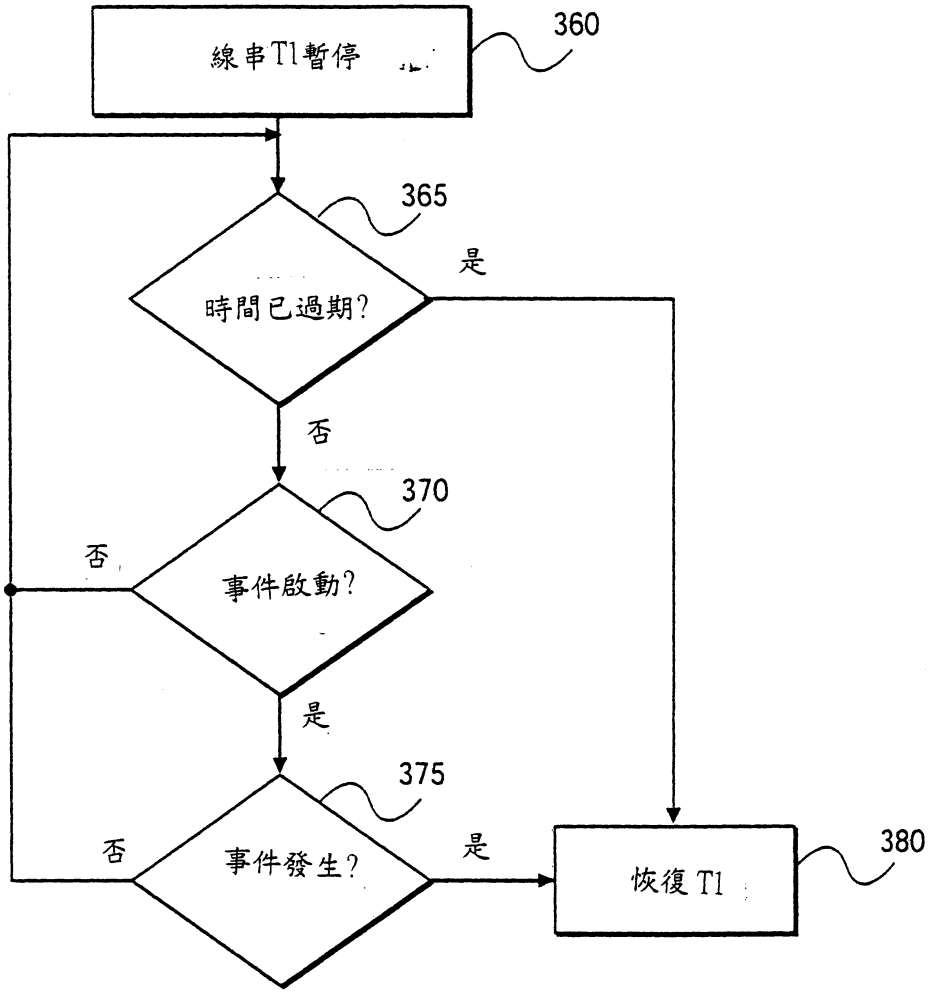


圖 3B

圖式代表圖

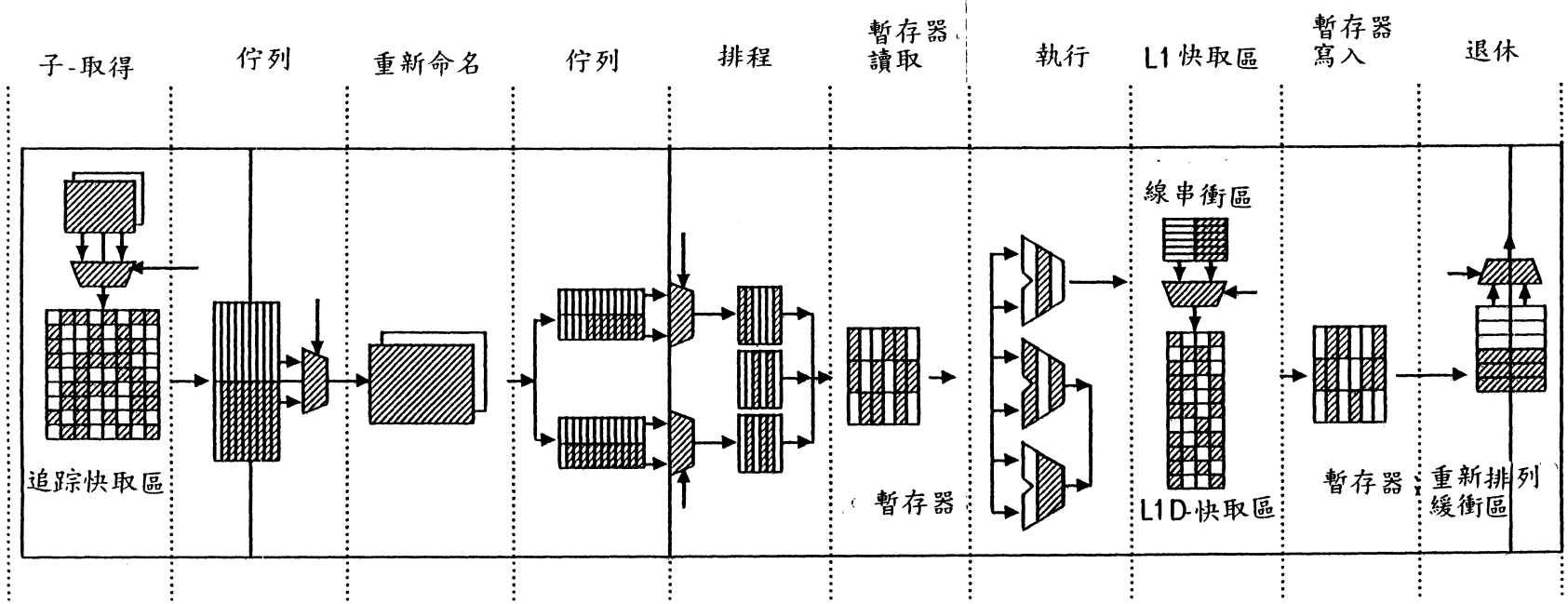

子-取得
佇列
重新命名
佇列
排程
暫存器讀取
執行
L1 快取區
暫存器寫入
退休
線串衝區
追踪快取區
暫存器
L1D-快取區
暫存器
重新排列緩衝區

圖 4

圖式頁

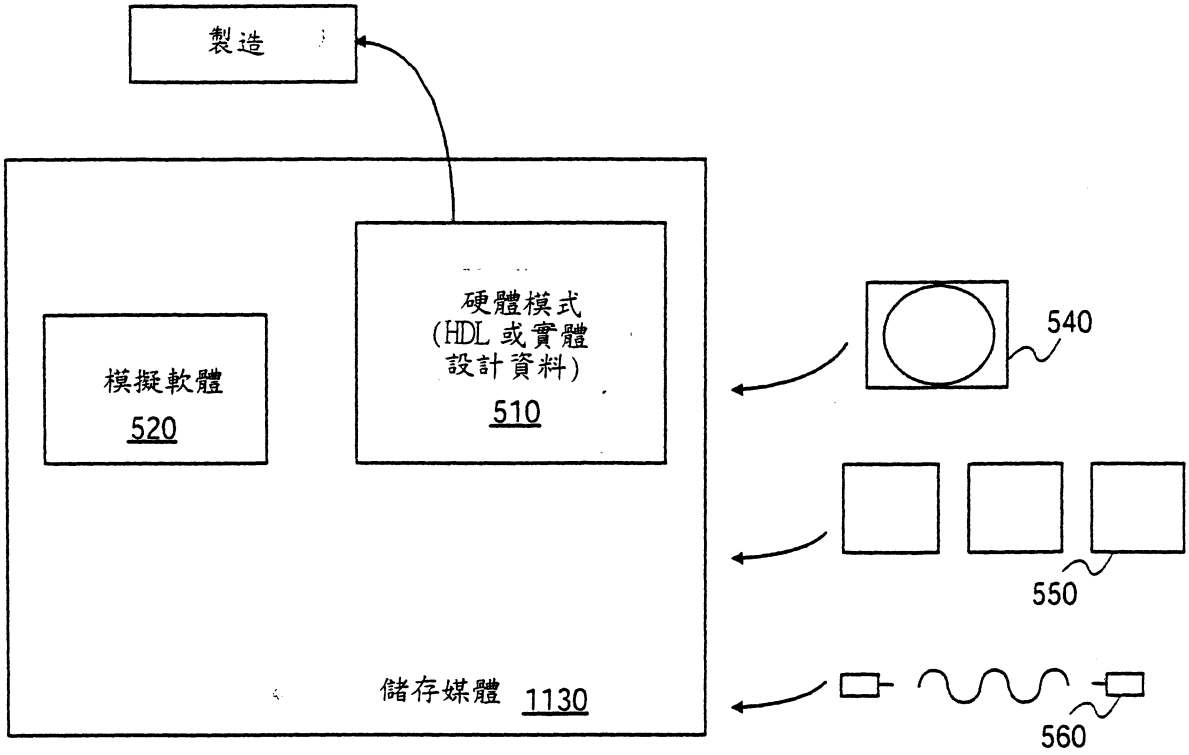


圖 5

陸、(一)、本案指定代表圖為：第 1 圖

(二)、本代表圖之元件代表符號簡單說明：

100 多執行緒處理器

110 暫停邏輯

112 管線清除邏輯

114 分割/退火邏輯

120 匯流排/記憶體控制器

130 前端

140 執行緒可分割資源

150 共享資源

160 執行緒可分割資源

170 指令指標

180 複製狀態

195 記憶體

196 一第一執行緒

198 一第二執行緒

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

說明書發明人續頁

第 091137297 號專利申請案
中文說明書替換頁(92 年 6 月)

修正補充 92年6月17日

發明人 2

姓名：(中文) 迪恩　羅傑斯
(英文) DION RODGERS

住居所地址：(中文) 美國俄勒岡州希爾斯玻羅市布魯克林路西南 452 號
(英文) 452 SW BROOKWOOD AVENUE, HILLSBORO, OREGON 97123, U.S.A

國籍：(中文) 美國　(英文) U.S.A.

發明人 3

姓名：(中文) 大衛　L.　希爾
(英文) DAVID L. HILL

住居所地址：(中文) 美國俄勒岡州康奈利斯市 SW 葛德路 37000 號
(英文) 37000 SW GODDARD ROAD, CORNELIUS, OREGON 97113, U.S.A.

國籍：(中文) 美國　(英文) U.S.A.

發明人 4

姓名：(中文) 希福　考西克
(英文) SHIV KAUSHIK

住居所地址：(中文) 美國俄勒岡州波特蘭市布萊克里路西北 15417 號
(英文) 15417 NW BLAKELY LANE, PORTLAND, OREGON 97229, U.S.A.

國籍：(中文) 印度　(英文) INDIA

發明人 5

姓名：(中文) 詹姆士　B.　克羅斯蘭
(英文) JAMES B. CROSSLAND

住居所地址：(中文) 美國俄勒岡州班克斯市大衛森路西北 16744 號
(英文) 16744 NW DAVIDSON ROAD, BANKS, OREGON, U.S.A.

國籍：(中文) 美國　(英文) U.S.A.