

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04L 12/50 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월06일 10-0556603 2006년02월23일
---	-------------------------------------	--

(21) 출원번호	10-2000-7006827	(65) 공개번호	10-2001-0033360
(22) 출원일자	2000년06월19일	(43) 공개일자	2001년04월25일
번역문 제출일자	2000년06월19일		
(86) 국제출원번호	PCT/SE1998/002325	(87) 국제공개번호	WO 1999/33320
국제출원일자	1998년12월15일	국제공개일자	1999년07월01일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기스스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크멘, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 크로아티아, 인도네시아, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨, 그라나다, 인도,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기스스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장	60/071,010	1997년12월19일	미국(US)
	60/086,619	1998년05월22일	미국(US)
	09/188,101	1998년11월09일	미국(US)

(73) 특허권자 텔레폰악티에볼라겟엘엠에릭슨(펍)
스웨덴왕국 스톡홀름 에스-164 83

(72) 발명자 피터스라르스괴란
스웨덴왕국툼바에스-14742훅스버스베겐5

(74) 대리인 최재철
서장찬
박병석
권동용

심사관 : 이정수

(54) 비동기 전송 모드 스위치

요약

비동기 전송 모드(ATM) 스위치(20)는 스위치 코어(22)의 각각의 양방향 링크(27, 28)에 의해 접속되는 복수의 스위치 포트(24)를 갖는다. 각 스위치 포트에는 대응하는 행렬 유닛(40)이 접속되고, 각 행렬 유닛은 교차점 유닛(32)의 하나의 행으로 서비스 셀의 기록 및 교차점 유닛의 하나의 열로부터 서비스 셀의 관독을 관리한다. 각 스위치 포트 및 스위치 코어의 대응하는 행렬 유닛 사이의 양방향 링크는 서비스 셀 및 제어 셀을 모두 반송한다. 상이한 크기의 셀이 스위치 코어 및 스위치 포트 사이의 양방향 링크로 반송된다. 서비스 셀은 제어 셀과 상이한 셀 크기를 가지고, 서비스 셀의 셀 크기는 균일할 필요는 없다. 상이한 유형의 제어 셀, 즉 링크 접속 제어(LCC) 셀 및 링크 동기화 제어(LSC) 셀이 제공된다. 링크 접속 제어 셀(LCC)은 예컨대, 스위치 코어의 제어 레지스터로부터 그리고 상기 레지스터로 제어 데이터의 관독 및 기록을 위해 사용된다. 링크 접속 제어 셀(LCC)은 2개의 포맷, 즉 비트맵핑된 포맷(비트맵핑된 제어 레지스터에 대하여 관독/기록용) 및 "부호화" 포맷(일부 비트맵핑된 레지스터 뿐만 아니라 비트맵핑되지 않은 레지스터에 대해 입/출력 동작용으로 사용)의 셀을 포함한다.

대표도

도 1

색인어

비동기 전송 모드(ATM) 스위치, 스위치 포트, 스위치 코어, 교차점 유닛, 행렬 유닛

명세서

기술분야

본 발명은 ATM 셀을 라우팅시키는 전기 통신 스위치와 같은 스위치에 관한 것이다.

배경기술

다중 매체 애플리케이션, 주문형 비디오, 비디오 전화 및 원격지간 회의와 같은 고대역 서비스에 대한 증가된 관심이 광대역 통합 서비스 디지털망(B-ISDN)의 개발을 촉진시켜 왔다. B-ISDN은 비동기 전송 모드(ATM)로 공지되어 있는 기술에 기초하고, 전기 통신 성능을 크게 확장시켰다.

ATM은 비동기 시분할 다중화 기술을 사용하는 패킷-지향형 전송 모드(packet-oriented transfer mode)이다. 패킷은 셀이라 칭해지고, 통상적으로 고정된 크기를 갖는다. 통상적인 ATM 셀은 53개의 옥테트(octet)를 포함하며, 그중 5개는 헤더를 형성하고 그중 48개는 "페이로드(payload)" 또는 셀의 정보 부분을 구성한다. ATM 셀의 헤더는 셀이 이동하는 ATM망의 접속을 식별하는데 사용되는 2개의 양, 특히 VPI(가상 경로 식별자) 및 VCI(가상 채널 식별자)를 포함한다. 일반적으로, 가상 경로는 네트워크의 2개의 스위칭 노드 사이에 정의된 주요 경로이고; 가상 채널은 각 주요 경로 상의 하나의 특정 접속이다.

그 종단 지점에서, ATM망은 단말 장치 예컨대, ATM망 사용자에게 접속된다. 통상적으로 ATM망 종단 포인트 사이에는, 물리적인 송신 경로 또는 링크에 의해 함께 접속되는 포트를 갖는 복수의 스위칭 노드가 존재한다. 따라서, 발신 단말 장치로부터 수신 단말 장치로의 이동 시에, 메시지를 형성하는 ATM 셀은 여러 개의 스위칭 노드를 통해 이동할 수 있다.

스위칭 노드는 복수의 포트를 갖는데, 각 포트는 링크 회로 및 다른 노드로의 링크를 통해 접속될 수 있다. 링크 회로는 링크 상에서 사용되는 특정 프로토콜에 따라서 셀의 패키징(packaging)을 실행한다. 스위칭 노드로 착신하는 셀은 제1 포트

에서 스위칭 노드로 입력될 수 있고 제2 포트로부터 링크 회로를 통해 다른 노드에 접속된 링크 상으로 출력될 수 있다. 각 링크는 복수의 접속에 셀을 반송할 수 있으며, 이런 접속은 예컨대, 호출하는 가입자 또는 가입자국(party), 및 호출되는 가입자 또는 가입자국(party) 사이의 송신이다.

스위칭 노드 각각은 일반적으로, 그 주요부가 스위치 코어인 여러 개의 기능부를 갖는다. 스위치 코어는 근본적으로 스위치의 포트 사이의 교차 접속과 같이 기능한다. 스위치 코어 내부의 경로는 선택적으로 제어되어, 스위치의 특정 포트가 메시지를 스위치의 입구측으로부터 스위치의 출구측으로 및 최종적으로는 발신 단말 장치로부터 수신 단말 장치로 이동하도록 함께 접속된다.

Petersen에게 허여된 미국 특허 5,467,347호는 근본적으로 모두 균일한 길이의 다양한 유형의 ATM 셀이 스위치 코어 및 스위치의 포트 사이에서 송신되는 ATM 스위치를 개시하고 있다. 셀의 유형은 트래픽 셀, 운용 및 보수 셀 및 유틸리티 셀을 포함한다. 모든 유형의 셀이 근본적으로 동일한 길이를 갖지만, 모든 셀이 반드시 완전하지는 않으므로, 송신 효율의 일부 손실을 초래한다. 트래픽 셀은 스위치 매트릭스의 교차점에서 발신 스위치 포트로부터 버퍼로 공급되고, 버퍼로부터 또는 목표 스위치 포트에 로딩되지 않는다. 발신 스위치 포트로부터 스위치로 전송되는 트래픽 셀은 각 비트가 목표 스위치 포트에 대응하는 중계 어드레스 필드를 갖는다. 스위치 코어로부터 로딩되지 않고 목표 스위치 포트에 전송되는 트래픽 셀은 각각 목표 스위치 포트가 점유되고 그 포트가 프리(free)임을 나타내는 중계 폴(poll) 필드를 갖는다. 따라서, 각 트래픽 셀은 스위치 포트의 상태를 반영하는 정보를 차단하고 있다.

따라서, 요구되는 것, 즉 본 발명의 목적은 상이한 유형의 ATM 셀을 적절하게 포맷하거나 및 이용하는 효율적인 ATM 스위칭 시스템이다.

발명의 상세한 설명

비동기 전송 모드(ATM) 스위치는 각각의 양방향 링크에 의해 스위치 코어에 접속되는 복수의 스위치 포트를 갖는다. 스위치 코어는 교차점 유닛의 2개의 버퍼 매트릭스를 포함하는 메모리 어레이 유닛을 포함한다. 각 스위치 포트에는 대응하는 행렬(row column) 유닛이 접속되고, 각 행렬 유닛은 교차점 유닛의 하나의 행에 대한 서비스 셀의 기록 및 교차점 유닛의 하나의 열로부터의 서비스 셀의 관독을 관리한다.

스위치 코어의 대응하는 행렬 유닛 및 각 스위치 포트 사이의 양방향 링크는 서비스 셀 및 제어 셀을 모두 반송한다. 착신 또는 발신 스위치 포트에서 획득되는 또한 트래픽 셀 또는 정보 셀로 공지되어 있는 서비스 셀은 스위치 코어를 통해 발신 또는 수신지 스위치 포트에 라우팅된다. 제어 셀은 스위칭된 정보를 포함하지 않지만, 대신에 스위칭 시스템의 관리 및 운용을 위해 사용되는 정보를 반송하기 위해 전용적으로 사용된다.

본 발명의 ATM 스위칭 시스템은 상이한 크기의 셀이 자체의 스위치 코어 및 스위치 포트 사이의 양방향 링크를 통해 반송되도록 한다. 예를 들어, 서비스 셀은 제어 셀과 다른 셀 크기를 갖고, 서비스 셀의 셀 크기는 반드시 균일할 필요는 없다.

서비스 셀은 2개의 연속적인 서비스 셀이 동일한 길이 또는 동일한 크기의 페이로드를 가질 필요가 없도록 상이한 셀 크기로 이루어질 수 있다. 양방향 길이로 송신되는 서비스 셀은 셀 크기 필드를 포함하는데, 이 셀 크기 필드는 이를 포함하는 각 서비스 셀의 셀 크기를 나타낸다. 일 실시예에서, 서비스 셀은 아래의 셀 크기(바이트 단위): 8, 16, 24, 32, 40, 48 및 56 중 어느 하나일 수 있다.

대조적으로, 전형적인 실시예에서 이용되는 제어 셀은 각각 4 바이트의 길이이다. 상이한 유형의 제어 셀(예컨대, LCC 셀 및 LSC 셀)이 제공되는데, 각 제어 셀 유형은 상이한 포맷을 갖는다. LCC 제어 셀은 링크 접속 제어 셀로서 공지되어 있으며, LSC 제어 셀은 링크 동기화 제어 셀로서 공지되어 있다.

스위치 코어에 있어서의 스위치 포트 및 이에 대응하는 행렬 유닛은 동기화 상태 머신을 갖는데, 이런 머신은 LSC 제어 셀을 교환한다. LSC 제어 셀은 2개의 상태 머신의 동작을 동기화시키는 정보를 포함한다. 특히, LSC 제어 셀은 LSC 제어 셀을 생성하는 머신(machine)의 복수의 동기화 상태 중 하나를 나타내는 필드를 포함하는 포맷을 갖는다. 미리 설정된 프로토콜에서 짧은 동기화 전용 LSC 제어 셀을 사용함으로써, 스위치 포트 및 스위치 코어의 동기화가 경제적이고 신속하게 달성되고 유지된다.

각 행렬 유닛은 교차점 상태 유닛의 일부로서 제어 레지스터의 세트를 포함한다. 제어 레지스터의 세트는 교차점 유닛의 버퍼와 구별되는데, 이에 의해서 서비스 셀은 스위칭된다. 각 스위치 포트는 적어도 부분적으로 비-서비스 정보를 예컨대, 제어 정보를 제어 레지스터의 세트로부터 판독 및 제어 레지스터 세트에 기록함으로써 스위치 코어의 관련된 행렬 유닛을 제어할 수 있다.

제어 레지스터 중 일부는 "비트맵핑된(bitmapped)"레지스터로서 공지되는데, 그 이유는 그러한 제어 레지스터의 각 비트가 스위치 코어에 접속되는 복수의 스위치 포트 중 하나와 관련되기 때문이다. 비트맵핑된 제어 레지스터 중에는 폴스태이트(pollstate)_상태 레지스터 및 폴스태이트_해제(release) 레지스터가 있다. 주어진 행렬 유닛은 코어 매트릭스의 동일한 행(row)내의 교차점 버퍼가 "점유"되어 있는지 "프리"인지를 나타내도록 세트된 폴스태이트_상태 레지스터의 비트를 갖는다. 행렬 유닛의 폴스태이트_해제 레지스터는 행내의 버퍼가 관리되어 "점유"로부터 "프리"로 전이되는지 또는 버퍼가 전이되지 않는지를 나타내도록 세트된 비트를 갖는다.

여러 가지 제어 레지스터가 예컨대, 스위칭 시스템의 다양한 동작 파라미터를 세팅하는데 사용된다. 그러한 파라미터는 예컨대, 임의의 동작 순서(예컨대, 폴 인에이블, 스캔 인에이블), 임의의 타이밍 정보(예컨대, 플레이트, 스캔레이트) 및 임의의 오버라이드(override) 정보(예컨대, 스캔블록)를 포함할 수 있다.

링크 접속 제어 셀(LCC)은 2개의 포맷, 즉 비트맵핑된 포맷(비트맵핑된 레지스터용) 및 부호화 포맷(일부 비트맵핑된 레지스터 뿐만 아니라 비트맵핑되지 않은 레지스터의 입/출력 동작을 위해 사용)의 "부호화된" 포맷의 셀을 포함한다. 부호화된 LCC 셀은 데이터가 기록될 특정 제어 레지스터의 어드레스 뿐만 아니라 그 특정 제어 레지스터로부터 저장/획득될 비-서비스 데이터를 모두 포함한다.

셀 크기가 상이하지만, 서비스 셀 및 제어 셀은 물리적인 라우트 식별자(PRI)로서 공지되어 있는 공통 포맷 필드를 갖는다. 미리 설정된 값의 제1 세트 중 어느 하나가 PRI 필드에 저장될 때, 하나의 셀은 서비스 셀로서 인식된다. 일 실시예에서, PRI 필드의 값이 복수의 스위치 포트 중 하나를 나타내는 값에 대응할 때, 하나의 셀은 서비스 셀로서 인식된다. 반면에, PRI 필드내의 값이 제어 셀에 의하여 영향을 받는 제어 레지스터(예컨대, 제어 셀을 사용하여 판독 또는 기록되는 제어 레지스터)의 동일성 또는 번호 부여에 대응하기 때문에, 제어 셀의 적어도 일부가 인식 가능하다.

스위치의 각 스위치 포트는 스위치 코어의 여러 개의 교차점 유닛의 상태, 즉, 이들 여러 개의 교차점 유닛이 "점유되어 있는" 또는 "프리"인가의 상태의 여러 종류의 결합에 의한 통지를 받아야 한다. 특히, 각 스위치 포트에 포함되어 있는 교차점 유닛은 서비스 셀을 전송하는 유닛(예컨대, 포트와 동일한 행의 유닛) 및 셀을 검색하는 교차점 유닛(예컨대, 포트에 의해 관리되는 열의 유닛)이다. 결국, 대응하는 폴스태이트 제어 셀을 준비하는데 이용되는 비트맵핑된 폴스태이트 레지스터가 사용된다. 폴스태이트_상태 레지스터는 스위치 포트에 의해 서비스 셀이 전송되는 교차점 유닛의 점유/프리 전이를 반영하도록 갱신되는 비트맵을 갖는다. 제1 행렬 유닛이 셀을 특정 교차점 유닛(XPU)에 전송할 때, 행렬 유닛은 폴스태이트_상태 레지스터내에 적절한 비트를 세팅할 뿐만 아니라, 특정 교차점 유닛(XPU)으로부터의 셀의 독출을 조정하는 다른 행렬 유닛의 스캔스태이트 레지스터에 비트가 세팅되도록 한다. 독출 검출을 조정하는 행렬 유닛이 셀을 독출하도록 허용될 때, 제1 행렬 유닛의 폴스태이트_상태 레지스터 뿐만 아니라 스캔스태이트 레지스터를 리세트한다. 제1 행렬 유닛의 폴스태이트_상태 레지스터의 리세팅은 제1 행렬 유닛의 폴스태이트_해제 레지스터의 비트의 세팅이 "점유"로부터 "프리" 상태로의 전이를 나타내게 한다. 제1 행렬 유닛의 폴스태이트_해제 레지스터의 상태의 변화는 제1 행렬 유닛으로부터의 폴스태이트_해제 셀의 발부(issuance)가 스위치 포트를 향하게 한다.

종래 기술에서는, 폴스태이트 정보가 스위치 포트에 규칙적으로 전송되거나 서비스 셀에 자동적으로 포함되는 반면에, 본 발명은 폴스태이트 정보를 송신하기 위해 근본적으로 전용되는 폴스태이트 셀의 발생을 위한 특정 시나리오를 사용한다. 특히, 본 발명에서는, 폴스태이트 정보가 폴스태이트 제어 셀에서 송신되고, 폴스태이트 제어 셀이 발신되어 (1) 폴스태이트 정보를 환기하는 특정 제어 셀에 응답하며, 또는 (2) 교차점 유닛의 부재/존재(예컨대, 프리/점유 상태)의 변화시에 송신된다.

예를 들어, 발신원 스위치 포트가 셀을 스위치 코어로 전송할 수 있는 교차점 유닛의 상태를 알기 원할 때, 발신원 스위치 포트는 폴스태이트 상태 검색 제어 셀을 스위치 코어로 송신한다. 폴스태이트 상태 검색 제어 셀에 응답하여, 적절한 접합점에서, 스위치 코어가 폴스태이트 상태 제어 셀을 준비하여 요구하는(발신원의) 스위치 포트에 전송한다. 서비스 셀이 교차점 유닛으로부터 로딩되지 않을 때, 폴스태이트 해제 제어 셀이 준비되어, 로딩되지 않은 교차점 유닛이 비워(vacancy)있다는 것을 스위치 포트에 송신되어 알려진다. 폴스태이트 상태 제어 셀 및 폴스태이트 해제 제어 셀 모두에 의해 공급되는 폴스태이트 정보를 사용하여, 스위치 포트는 스위치 코어내의 어느 교차점 유닛이 추가의 서비스 셀을 수신하는데 사용할 수 있는지를 결정할 수 있다.

제어 셀의 나머지들은 스위치의 다양한 동작 파라미터를 세팅하기 위해 이용된다. 이들 동작 파라미터는 스위치 포트가 제어 셀을 관련 행렬 유닛으로 송신할 때 각 스위치 포트에 대하여 설정된다. 그러한 제어 셀은 일반적으로 자체내에 대응하는 제어 레지스터에 저장되고 시퀀싱 또는 스위치 코어의 다른 동작에 관련하여 스위치 코어에 의해 참조되는 파라미터 또는 데이터를 포함하고 있다. 예를 들어, 폴 인에이블 제어 셀(LCC)이 폴 인에이블 레지스터에 복수의 선택 가능 폴링 모드 중 어느 모드가 관련 행렬 유닛을 동작시키는 지를 나타내는 값을 저장하는데 이용된다. 다양한 이들 폴링 모드는 링크상에 송신되는 폴스테이트 셀의 수에 관련된 서비스 셀의 송신에 소정의 최소 주파수를 필요로 한다.

따라서, 본 발명의 ATM 스위치는 스위치 코어의 시퀀스 동작을 위하여 제어 셀의 상호작용식 교환을 수행한다. 특히 제어 셀 생성에 의존하는 동작은 스위치 코어로부터의 서비스 셀의 송신, 스위치 코어로부터 폴스테이트 셀의 송신, 스위치 코어에 의해 유지되는 임의의 제어 레지스터의 내용의 검색 및 동기화 절차를 포함한다.

본 발명의 전술한 및 다른 목적, 특징 및 장점은 여러 도면에서 동일한 부품을 동일한 참조 번호에 나타내는 첨부하는 도면에 예시되어 있는 바와 같은 이하의 바람직한 실시예의 특정 설명으로부터 명백해진다. 도면은 본 발명을 원리를 나타내기 위하여 강조된일 뿐 반드시 원래의 크기로 할 필요는 없다.

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따르는 ATM 스위칭 시스템의 개략도.

도 2는 도 1의 ATM 스위칭 시스템의 스위치 코어에 포함되는 교차점 유닛(XPU)의 부분을 도시한 도면.

도 3은 도 1의 ATM 스위칭 시스템의 스위치 코어 및 스위치 포트 보드(SPB) 사이의 셀 흐름을 도시한 도면.

도 4a는 도 1의 ATM 스위칭 시스템에 이용되는 서비스 셀의 포맷을 도시한 도면.

도 4b는 도 1의 ATM 스위칭 시스템에 이용되는 제어 셀의 일반적인 포맷을 도시한 도면.

도 4b1은 비트맵핑된-포맷된 링크 접속 제어(LCC) 셀의 포맷을 도시한 도면.

도 4b2는 부호화 링크 접속 제어(LCC) 셀의 포맷을 도시한 도면.

도 4b3은 링크 상태 제어(LSC) 셀의 포맷을 도시한 도면.

도 5는 도 1의 ATM 스위칭 시스템에 포함되는 행렬 유닛(RCU)의 개략도.

도 5a는 도 1의 ATM 스위칭 시스템에 포함되는 라인 인터페이스 유닛(LIU)의 개략도.

도 5b는 도 1의 ATM 스위칭 시스템에 포함되는 셀 동기화 장치 유닛(CSU)의 개략도.

도 5c는 도 1의 ATM 스위칭 시스템에 포함되는 셀 분석기 유닛(CAU)의 개략도.

도 5d는 도 1의 ATM 스위칭 시스템에 포함되는 셀 기록 유닛(CWU)의 개략도.

도 5e는 도 1의 ATM 스위칭 시스템에 포함되는 운용 및 보수 유닛(OMU)의 개략도.

도 5f는 도 1의 ATM 스위칭 시스템에 포함되는 셀 판독 유닛(CRU)의 개략도.

도 5g는 도 1의 ATM 스위칭 시스템에 포함되는 셀 발생기 유닛(CGU)의 개략도.

도 5h1 및 도 5h2는 도 1의 ATM 스위칭 시스템의 교차점 상태 유닛을 상이하게 실시하는 개략도.

도 5i는 도 1의 ATM 스위칭 시스템에 포함되는 시스템 클럭 유닛(SCU)의 개략도.

- 도 6은 도 1의 행렬 유닛(RCU)의 요소로의 CSB 버스의 부분의 접속을 도시하는 개략도.
- 도 6a 내지 도 6e는 도 1의 ATM 스위칭 시스템의 코어를 통해 서비스 셀의 전송 시의 일련의 사상(event)을 도시하는 개략도.
- 도 7은 도 1의 ATM 스위칭 시스템의 초기화 절차에 포함되는 기본 단계를 도시한 플로우차트.
- 도 8은 도 1의 ATM 스위칭 시스템의 셀 동기화 장치 유닛(CSU)에 포함되는 상태 머신을 도시한 도면.
- 도 9는 도 8의 상태 머신의 동작을 도시한 타이밍도.
- 도 10은 도 1의 ATM 스위칭 시스템에서의 셀 송신을 도시한 도면.
- 도 11은 교차점 유닛 및 플레이트 레지스터의 비트 사이의 결합을 도시한 도면.
- 도 12는 플레이트 레지스터 세팅의 시나리오를 도시한 도면.
- 도 13은 교차점 유닛 및 스캔레이트 레지스터의 비트 사이의 결합을 도시한 도면.
- 도 14는 스캔레이트 레지스터 세팅의 시나리오를 도시한 도면.
- 도 15는 "점유"로부터 "프리" "상태"로 변화하는 큐(queue)의 표시의 전송의 타이밍에 대한 폴링 선택을 도시한 도면.
- 도 16은 속이 빈 상태에서부터 "셀 사용가능" "상태"로 변화하는 큐의 표시의 전송의 타이밍에 대한 스캔 선택을 도시한 도면.
- 도 17은 스캐닝 프로세스의 기본 단계를 도시한 플로우차트.
- 도 18은 서비스 셀의 에러 검사 동작을 도시한 도면.
- 도 19는 도 1의 ATM 스위칭 시스템에서의 시스템 클럭 분배를 도시한 개략도.

실시예

이하의 설명은 본 발명을 제한하는 것이 아니라 설명하기 위한 것으로, 본 발명의 보다 완전하게 이해하도록 특정 구조, 인터페이스, 기술 등의 특정 상세가 개시되어 있다. 그러나, 당업자는 본 발명이 이들 특정 상세로부터 벗어나는 다른 실시예에서 실시될 수 있음을 이해할 것이다. 다른 예에서, 널리 공지되어 있는 장치, 회로 및 방법의 불필요한 상세한 설명으로 인해 본 발명의 설명을 불명료하게 하지 않기 위해 생략된다.

1.0 개관

도 1은 스위치 코어 또는 패브릭(fabric)(22) 뿐만 아니라 복수의 스위치 포트 보드(SPB)(24) 상에 놓이는 요소를 포함하는 ATM 스위칭 시스템(20)을 도시한다. 예시된 실시예에서는, 16개의 스위치 포트 보드(SPB)(24₀-24₁₅)가 스위치 코어(22)에 접속될 수 있다. 스위칭 시스템(20)을 포함하는 각 스위치 포트 보드(24) 상의 요소는 예시된 실시예에서 "스위치 포트"로서 공지되어 있고, 스위치 포트 집적 회로(SPIC)(26)로 구현되며, SPIC(26₀-26₁₅)는 도 1에 도시되어 있다.

이하 설명되는 바와 같이, 스위치 포트 보드(SPB)(24)는 그 위에 설치된 SPIC와 다른 복수의 장치를 각각 가질 수 있으므로, 스위치 포트 보드(SPB)(24)는 또한 "장치 보드"라고 칭해진다. 하나 이상의 이들 장치는 전화, 데이터, 비디오 등과 같은 하나 이상의 유형의 통신 신호를 수신하기 위해 전기 통신 송신 라인에 접속될 수 있다. 다른 방법으로는, 스위치 포트 보드(SPB) 상의 장치가 다른 장치 예컨대, 다른 스위치 포트 보드(SPB) 상의 다른 장치를 구성 또는 제어하는데 유용한 제어 신호 등을 발생할 수 있다.

스위칭 시스템(20)의 하나의 목적은 스위치 코어(22)를 통해 그러한 통신 신호 또는 제어 신호를 포함하는 ATM 셀을 라우팅하는 것이다. 이와 관련하여, 그렇지 않다면, ATM 셀에서 미리, 스위치 포트 보드(SPB)(24) 중 하나에 위치되는 장치에서 수신되는 착신 신호 또는 이 장치에 의해 발생하는 신호가 ATM 셀로 맵핑된다. 이 셀들은 스위치 코어(22)에 인가되고 스위치 코어(22)를 통해 전송되므로, 이 셀들은 다른 스위치 포트 보드(SPB)(24)에 인가하기 위해 스위치 코어(22)로부터 나타난다. 예를 들어, 전화 통화시에 호출자로부터 피호출자로의 음성 신호는 스위치 포트 보드(SPB)(24₀)(예로서, 결국 호출자에게 접속됨)에서 수신될 수 있고, 스위치 코어(22)를 통해 전송될 수 있으며, 피호출자(이 예에서는 스위치 포트 보드(SPB)(24₁₅)에 결국 접속되는 사람)에게 송신하기 위해 스위치 포트 보드(SPB)(24₁₅)에 인가될 수 있다.

따라서, ATM 셀은 각 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이에서 전송된다. 도 1의 예에서는, 셀 전송이 각 스위치 포트 보드(SPB)(24) 및 스위치 코어(22)를 접속하는 2개의 링크를 통해 발생한다. 스위치 코어(22)를 향하여 스위치 포트 보드(SPB)(24)로부터 전송되는 셀은 포트 대 코어 링크(27) 상으로 전송되는 반면에, 스위치 포트 보드(SPB)(24)를 향하여 코어(22)로부터 발신하는 셀은 코어 대 포트 링크(28) 상에 인가된다. 16개의 포트 대 코어 링크(27) 및 16개의 코어 대 포트 링크(28)가 서비스하는 특정 스위치 포트 보드에 따라서 아래 첨자가 붙여진다. 포트 대 코어 링크(27) 및 그 대응 코어 대 포트 링크(28)는 집합적으로 "양방향성 링크"를 구성한다.

스위치 코어 또는 패브릭(22)은 메모리 어레이 유닛(MAU)(30) 및 복수의 행렬 유닛(RCU)(40)을 포함한다. 메모리 어레이 유닛(MAU)(30)은 행 및 열의 어레이로 배열되는 것으로서 개념화된 교차점 유닛(XPU)(32)을 포함한다. 복수의 교차점 유닛(XPU)(32)은 각각 위치/어드레싱을 이하와 같이 나타내는 아래 첨자로 표시된다: XPU(32_{0,0})는 행 0, 열 0이며; XPU(32_{0,1})는 행 0 열 1이며; XPU(32_{0,15})는 행 0 열 15이며; 최대 XPU(32_{15,15})는 행 15, 열 15이다.

행렬 유닛(RCU)(40)이 각 스위치 포트 보드(SPB)(24), 즉 메모리 어레이 유닛(MAU)(30)의 각 행에 대응하여 제공된다. 도 1의 예에 그러한 16개의 스위치 포트 보드가 도시되어 있기 때문에, 16개의 행렬 유닛(RCU)(40₀₋₁₅)이 또한 도시되어 있다. 각 행렬 유닛(RCU)(40)은 기록 버스에 의해 동일 행내의 모든 교차점 유닛(XPU)(32)의 입력 단자에 접속되고, 판독 버스(44)에 의해 주어진 열내의 모든 교차점 유닛(XPU)(32)의 출력 단자에 접속된다. 예를 들어, RCU(40₀)는 기록 버스(42₀)에 의해 교차점 유닛(XPU)(32_{0,0} 내지 32_{0,15})의 입력 단자에 접속되고, 판독 버스(44₀)에 의해 교차점 유닛(XPU)(32_{0,0} 내지 32_{0,15})의 출력 단자에 접속된다. 유사하게, RCU(40₁₅)는 기록 버스(42₁₅)에 의해 교차점 유닛(XPU)(32_{15,0} 내지 32_{15,15})의 입력 단자에 접속되고, 판독 버스(44₁₅)에 의해 교차점 유닛(XPU)(32_{15,0} 내지 32_{15,15})의 출력 단자에 접속된다. 기록 버스(42) 및 판독 버스(44)에 추가하여, 행렬 유닛(RCU)(40)은 또한 시스템 클록 버스(SCB)(46) 및 교차점 상태 버스(CSB)(48)에 의해 접속된다.

도 2에 도시되어 있는 바와 같이, 각 교차점 유닛(XPU)(32)은 실제로 교차점에서 2개의 버퍼를 포함한다. 이들 버퍼 중 하나는 버퍼₀ 또는 버퍼(CBQ₀)라 하며; 이들 버퍼 중 다른 하나는 버퍼₁ 또는 버퍼(CBQ₁)로서 공지되어 있다. 각 교차점 유닛(XPU)(32)에서 이들 2개의 버퍼 각각은 56 바이트 길이이다. 각 교차점 유닛(XPU)(32)에서, 버퍼(CBQ₀ 및 CBQ₁)는 서로 병렬로 접속되어 있다. 각 버퍼(CBQ₀ 및 CBQ₁)는 대응하는 기록 버스(42) 상에서 수신되는 셀의 입력을 위해 이용되는 입력 게이트 및 대응하는 판독 버스(44) 상에서 셀을 방전시키기 위해 이용되는 출력 게이트를 갖는다. 임의의 접합점에서, 메모리 어레이 유닛(MAU)(30)내의 모든 교차점 유닛(XPU)(32)의 버퍼(CBQ₀)는 총칭하여 "매트릭스 0"이라 하는 반면에, 메모리 어레이 유닛(MAU)(30)내의 모든 교차점 유닛(XPU)(32)의 버퍼(CBQ₁)는 총칭하여 "매트릭스 1"이라 한다.

1.1 제어 레지스터

각 행렬 유닛(RCU)(40)은 교차점 상태 유닛(XSU)(50)을 갖는다. 교차점 상태 유닛(XSU)(50)은 상태 정보 및 코어 동작 정보를 포함하는 3개의 특정 레지스터를 포함하는 복수의 제어 레지스터를 포함한다. 이들 제어 레지스터는 스위치 코어(22)의 버퍼 예컨대, 버퍼(CBQ₀ 및 CBQ₁)와 구별되며, 이를 통해 사용자 데이터가 서비스 셀의 페이로드에서 스위칭된다(이하 설명되는 바와 같음). 스위치 코어(22)의 로딩 및 언로딩하는데 수반되는 3개의 제어 레지스터는 폴스태이트 레지스터 및 스캔스태이트 레지스터를 모두 포함한다. 폴스태이트 레지스터는 폴스태이트_상태 레지스터 및 폴스태이트_해제 레지스터를 모두 포함한다. 폴스태이트_상태 레지스터는 행렬 유닛(RCU)(40)에 의해 관리되는 행의 교차점 유닛(XPU)(32)내의 버퍼가 "프리" 또는 "점유"인지에 대한 표시를 그 내에 저장하도록 갱신된다. 폴스태이트_해제 레지스터는 행렬 유닛

(RCU)(40)에 의해 관리되고 판독 버스(44)에 의해 판독되는 열상의 교차점 유닛(XPU)(32)내의 버퍼가 "접유"로부터 "프리"로 전이되거나 불변 상태를 유지하는지를 나타내기 위해 갱신된다. 따라서, 폴스테이트_상태 레지스터 및 폴스테이트_해제 레지스터는 총칭하여 "폴스테이트 레지스터"라고 한다. 폴스테이트 레지스터는 이하 설명되는 방식으로 교차점 상태 버스(CSB)(48)를 사용하여 갱신된다.

도 6은 교차점 상태 버스(CSB)(48)의 일부 및 2개의 표시 행렬 유닛(RCU)(40)으로 특히 RCU(400) 및 RCU(4015)로의 상기 상태 버스의 접속의 일부를 도시한다. 행렬 유닛(RCU)(40)의 더욱 상세한 논의는 이후 섹션 3.0에 제공되지만, 도 6은 각 행렬 유닛(RCU)(40)의 교차점 상태 유닛(XSU)(50)를 3개의 제어 레지스터를 포함하는 것으로 도시한다. 그러한 3개의 제어 레지스터는 폴스테이트_상태 레지스터(50-2), 스캔스테이트 레지스터(50-4) 및 폴스테이트_해제 레지스터(50-8)를 포함한다. 도 6에 도시되어 있는 바와 같이, 각각의 이들 제어 레지스터는 이들 제어 레지스터가 위치하는 행렬 유닛(RCU)(40)에 의해 제어되는 16개의 교차점 유닛(XPU)(32), 즉 행렬 유닛(RCU)(40)과 행에서 정렬되는 16개의 교차점 유닛(XPU)(32)에 대응하는 16 비트를 갖는다.

1.2 CSB 버스

각 행렬 유닛(RCU)(40)에 대하여, 교차점 상태 버스(CSB)(48)는 폴스테이트_상태 레지스터(50-2)의 비트의 상태를 출력하는 리드(lead)를 갖는다. 예를 들어, 도 6에서는, 참조 번호 (48-1₀)이 폴스테이트_상태 레지스터(50-2₀)의 비트의 상태를 출력하는 교차점 상태 버스(CSB)(48)의 리드를 나타낸다. 예를 들어, 폴스테이트_상태 레지스터(50-2₀)내의 최종 비트의 상태는 행렬 유닛(RCU)(40₁₅)이 메모리 어레이 유닛(MAU)(30)의 최종 열내의 교차점 유닛(XPU)(32)의 독출을 제어하기 때문에, 스캔스테이트 레지스터(50-4₁₅)의 제1 비트와 통신된다. 이에 대하여, 참조 번호 (48-2₁₅)는 스캔스테이트 레지스터(50-4₁₅)의 각각의 16 비트를 세팅하기 위해 상이한 16개의 행렬 유닛(RCU)(40)의 폴스테이트_상태 레지스터(50-2)로부터 교차점 상태 버스(CSB)(48)내의 리드를 나타낸다. 유사하게, 참조 번호 (48-3₁₅)로 표시되어 있는 리드는 폴스테이트_상태 레지스터(50-2₁₅)내의 비트의 세팅을 여러 가지 다른 스캔스테이트 레지스터(50-4)와 통신시키는데 이용된다. 참조 번호 (48-4₀)으로 표시되어 있는 리드는 다른 행렬 유닛(RCU)(40)의 폴스테이트_상태 레지스터(50-2)내의 대응 비트의 세팅을 행렬 유닛(RCU)(40₀)의 스캔스테이트 레지스터(50-4₀)와 통신시키는데 사용된다.

교차점 상태 버스(CSB)(48)는 또한 셀이 교차점 유닛(XPU)(32)에서 판독될 때 폴스테이트_상태 레지스터(50-2)내의 비트를 리세팅하기 위한 리드를 갖는다. 예를 들어, 셀이 교차점 유닛(XPU)(32_{0,15})에서 판독될 때, 참조 번호 (48-5₁₅)로 표시되는 그룹내의 리드 중 하나가 리세트 신호를 폴스테이트_상태 레지스터(50-2₀)의 최종 비트에 반송하도록 스캔스테이트 레지스터(50-4₁₅)의 제1 비트에 접속한다. 폴스테이트_상태 레지스터(50-2₀)에 착신하는 리세트 신호는 참조 번호 (48-6₀)으로 표시되는 리드에 반송된다. 유사하게, 제1 행의 교차점 유닛(XPU)(32)으로부터의 셀의 독출은 리세트 신호가 참조 번호 (48-7₀)으로 표시되는 리드 상의 스캔스테이트 레지스터(50-4₀)로부터 전송되게 한다. 참조 번호 (48-8₁₅)는 행렬 유닛(RCU)(40₁₅)의 폴스테이트_상태 레지스터(50-2₁₅)내의 비트를 리세팅하기 위한 리드를 나타낸다.

이어서, 2개의 제어 레지스터의 세트(예컨대, 폴스테이트_상태 레지스터(50-2); 스캔스테이트 레지스터(50-4); 및 폴스테이트_해제 레지스터(50-8))가 각 행렬 유닛(RCU)(40)에 제공된다. 하나의 제어 레지스터의 세트는 매트릭스 0의 버퍼(CBQ₀)에 대한 것이고, 다른 제어 레지스터의 세트는 매트릭스 1의 버퍼(CBQ₁)에 대한 것이다. 제어 레지스터의 세트를 특정하기 위해, 비트 세팅 또는 비트 리세팅 신호가 교차점 상태 버스(CSB)(48)에 전송되고, 교차점 상태 버스(CSB)(48)는 또한 각 행렬 유닛(RCU)(40)에 대한 매트릭스 표시 리드를 포함한다. 따라서, 교차점 상태 버스(CSB)(48)는 도 6에 도시되어 있고 상기 언급된 비트 세팅 및 비트 리세팅 리드 뿐만 아니라 16개의 매트릭스 표시 리드를 포함한다.

2.0 셀 유형

전술한 바와 같이, ATM 셀은 여러 가지 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이에서 송신된다. 본 발명의 ATM 스위칭 시스템(20)은 상이한 길이의 셀을 이용한다. 도 3은 대표적인 스위치 포트 보드 및 스위치 코어(22), 특히 포트 대 코어 링크(27₀) 및 코어 대 포트 링크(28₀)에 의해 스위치 코어(22)에 접속되는 스위치 포트 보드(SPB)(24₀) 사이의 셀 전송을 도시한다.

각각의 포트 대 코어 링크(27₀) 및 코어 대 포트 링크(28₀)는 서비스 셀 및 제어 셀을 포함하는 복수의 셀 유형을 반송한다. 트래픽 셀 또는 사용자 정보로 또한 공지되어 있는 서비스 셀은 애플리케이션을 위해 스위치 코어(22)를 통해 다른 스위치 포트 보드(SPB)(24)에 전송되는 전화, 데이터, 비디오 등과 같은 사용자 데이터를 (자체의 페이로드 부분내에) 포함한다. LCC 셀 및 LSC 셀과 같은 도 3에 도시되어 있는 제어 셀은 ATM 스위칭 시스템(20)의 제어 및 관리를 위해 이용된다.

도 4a를 참조하여 이하 설명되는 바와 같이, 서비스 셀은 상이한 길이로 이루어질 수 있으므로, 2개의 연속적인 서비스 셀이 페이로드의 동일한 길이 또는 크기를 가질 필요가 없다. 또한, 제어 셀은 서비스 셀과 상이한 크기를 갖는다. 더욱이, 본 발명은 각 제어 셀 유형이 상이한 포맷을 갖는 상이한 유형의 제어 셀(예컨대, LCC 셀 및 LSC 셀)을 제공한다. 도 3은 스위치 코어(22)로의 단지 하나의 스위치 포트 보드(SPB)(24₀)의 접속만을 도시하고 있지만, 스위치 코어(22) 및 다른 스위치 포트 보드(SPB)(24) 사이의 링크가 유사하게 서비스 셀 및 제어 셀을 모두 반송하는 것을 이해할 것이다.

2.1 서비스 셀

서비스 셀은 스위치 코어(22)에 접속된 유닛에 대한 사용자 데이터를 반송한다. 모든 서비스 셀은 하나의 스위치 포트 보드(SPB)(24)로부터 하나 이상의 다른 스위치 포트 보드(SPB)(24)로 스위치 코어(22)를 통해 라우팅된다. 서비스 셀의 크기는 변화할 수 있다. 예시된 실시예에서, 유효 크기의 예는 2 바이트 헤더(셀의 제1 2 바이트)를 포함하는 8, 16, 24, 32, 40, 48 및 56 바이트이다. 예시된 실시예에서, 최대 셀 크기는 56 바이트이다.

도 4a에 도시되어 있는 바와 같이, 서비스 셀은 2 바이트 헤더(서비스 셀의 제1의 2 바이트) 및 페이로드를 갖는다. 2 바이트 헤더는 원하거나 적절한 수신지(스위치 포트 보드)에 사용자 데이터를 라우팅하기 위해 스위치 코어(22)에 의해 사용되고, 나머지 셀(즉, 페이로드)은 스위치 코어(22)를 통해 및 스위치 코어에 투명한 사용자 데이터이다. 서비스 셀의 임의의 필드가 이하 논의된다.

2.1.1 PRI, 셀 유형 및 물리적 경로 식별자

스위치 포트 보드(SPB)(24)로부터 포트 대 코어 링크(27)에 수신되는 셀에서, 수신된 서비스 셀의 PRI 필드는 셀 데이터가 저장되는 교차점 유닛(XPU)(동일한 행에서 수신하는 교차점 유닛(XPU)(32)과 같은) 또는 특정 버퍼를 나타내는 값을 포함한다. 예를 들어, 스위치 포트 보드(SPB)(24₀)로부터 수신된 셀이 자체의 PRI 필드에 5의 값을 갖는 경우, 셀은 XPU_{0,5}에 저장된다.

예시된 실시예에서, 0-19의 범위의 PRI값은 서비스 셀을 나타낸다. 그러나, 단지 16개의 XPU(32)만이 메모리 어레이 유닛(30)의 행마다 제공되기 때문에(도 1 참조), 0-15의 PRI값만 유효하다. 이 범위를 벗어난 PRI값을 갖는 서비스 셀은 폐기된다. 그러나, 지원되지 않는 서비스 셀(PRI=16-19)의 크기는 셀 경계를 찾기 위해 검사된다. 이후 설명되는 바와 같이, 20보다 큰 PRI값은 제어 셀에서 상이한 목적으로 이용된다.

이후 설명되는 바와 같이, 스위치 포트 보드(SPB)(24)로부터 스위치 코어(22)로 셀이 송신되기 직전에, PRI 필드값은 셀을 발신하는 스위치 포트 보드에 대응하는 값으로 대체된다. 예를 들어, 셀이 스위치 포트 보드(SPB)(24₀)로부터 스위치 코어(22)를 통해 스위치 포트 보드(SPB)(24₁₅)로 송신되는 경우, 스위치 코어(22)로 라우팅하는 스위치 포트 보드(SPB)(24₀)를 떠나기 전에, 셀은 15에서 0으로 변화된 PRI값을 갖는다.

2.1.2 CBQ 교차점 버퍼 큐 코드

도 2에 도시되어 있는 바와 같이, 각 교차점 유닛(XPU)(32)은 2개의 큐 또는 버퍼: CBQ₀ 및 CBQ₁을 갖는다. CBQ 필드의 목적은 특정 교차점에서 이들 2개의 큐 또는 버퍼 중 하나로 서비스 셀을 향하게 하는 것이다. CBQ 필드는 이들 버퍼중 어느 버퍼가 셀을 저장하는지를 나타낸다. 0의 CBQ값은 셀이 버퍼(CBQ₀)에 놓이는 것을 나타내고, 1의 CBQ값은 셀이 버퍼(CBQ₁)에 로딩되는 것을 나타낸다. 2 및 3의 CBQ값은 유효하지 않고, 그러한 무효값을 갖는 셀은 폐기된다.

2.1.3 FBP 및 SBP 패리티 비트

FBP는 서비스 셀의 헤더의 제1 바이트를 커버하는 제1 바이트 패리티 비트이다. SBP는 서비스 셀의 헤더의 제2 바이트를 커버하는 제2 바이트 패리티 비트이다. 서비스 셀 헤더의 제1 바이트 및 제2 바이트 모두에 대해, 패리티는 패리티 비트를 포함하는 기수이다.

2.1.4 TTI 필드

TTI(트래픽 유형 표시 코드) 필드는 3 비트이다. 수신된 서비스 셀에 대해, 이들 3 비트는 서비스 셀의 트래픽 유형 및 셀이 연결되는 경우를 특정한다. 트래픽 유형 또는 "캐스트(cast)" 유형은 셀이 유니캐스트(하나의 수신지), "멀티캐스트"(여러 개의 수신지) 또는 "브로드캐스트" 어드레스된 셀(브로드캐스트 셀은 모든 16개의 포트에 전송된다)이다. "연결된" 셀은 현재의 셀이 동일한 스위치 포트 보드(예컨대, 동일한 중단 엔티티)로 향하는 새로운 셀보다 앞서 있다는 것을 표시한다. 표 1은 TTI 필드에 대해 유효 포텐셜(potential)값이 0 내지 7이라는 것을 보여준다.

TTI 비트는 스위치 코어(22)에서 변환된다. 그러한 변환은 스위치 코어(22)(관련된 CBQ 및 행에 대한)내의 수신된 TTI값 및 버퍼 상태에 의존한다. 표 2는 수신된 TTI값 및 변환/송신된 TTI값을 나타낸다.

따라서, 송신된 셀내의 TTI 필드는 이러한 행의 모든 버퍼 및 관련 수신측의 실제의 CBQ값이 프리인지의 표시를 포함한다. 버퍼는 적어도 하나의 버퍼가 점유된 경우 프리가 아니다.

2.1.5 SCS 필드

SCS(서비스 셀 크기 코드) 필드는 3 비트이다. 이들 3 비트는 서비스 셀의 크기를 특정한다. 예시된 실시예에서 서비스 셀의 포텐셜 크기는 표 3에 도시되어 있다. 포텐셜 서비스 셀 시퀀스는 8, 16, 24, 32, 40, 48 및 56 바이트(헤더 포함)이다.

2.1.6 NU 필드

필드 NU(사용되지 않음)는 사용되지 않고, 스위치 코어(22)를 통해 투명하게 된다.

2.1.7 셀 페이로드

페이로드는 스위치 코어(22)를 통해 투명하게 전송되는 "사용자 데이터"이다. SCS 필드(도 4a 참조) 및 표 3으로부터 명백한 바와 같이, 페이로드의 크기는 6에서 54 바이트까지 변화 가능하다.

2.2 제어 셀

제어 셀은 행렬 유닛(RCU)(40)에서 착신 및 발신된다. 모든 제어 셀은 4 바이트 길이이다. 도 4b에 도시되어 있는 바와 같이, 모든 제어 셀은 서비스 셀에 대하여 상기 언급된 PRI(물리적인 경로 식별자) 필드, FBP(제1 바이트 패리티) 및 SBP(제2 비트 패리티) 필드를 갖는다. 또한, 제어 셀은 최종 워드 패리티 필드인 1 비트 LWP 필드를 갖는다. LWP는 최종 워드(3 및 4 바이트)를 커버한다. 최종 워드에 대한 패리티는 패리티 비트를 포함하는 기수이다.

제어 셀에 대한 가능한 PRI값은 20에서 31의 범위에 있다. 예시된 실시예에서, 유효 제어 셀은 PRI 필드의 값으로서 25, 26, 28, 30 및 31 중 하나를 갖는다. 본원에 추가로 설명되는 바와 같이, 이들 PRI값은 셀 포맷을 나타내고, 어떤 경우에는, 레지스터 관독 또는 기록 동작에 수반되는 교차점 유닛(XPU)(32)내의 특정 제어 레지스터의 어드레스를 나타낸다.

제어 셀은 행렬 유닛(RCU)(40)의 원격 제어 및 감시를 위해 및 스위치 포트 보드(SPB)(24)와의 접속의 동기화를 위해 사용된다. 2개의 유형의 제어 셀: 즉, 링크 접속 제어(LCC) 셀 및 링크 상태 제어(LSC) 셀이 있다.

2.2.1 링크 접속 제어(LCC) 셀

LCC 셀은 주로 스위치 포트 보드(SPB)(24)로부터 원격의 스위치 코어(22)를 제어 및 동작시키는데 주로 이용된다. 이점에 대하여, LCC 셀은 행렬 유닛(RCU)(40) 내부의 제어 레지스터의 관독 및 기록을 위해 사용된다. LCC 셀은 또한, 스위치 코어(22)로부터 영향을 받는 스위치 포트 보드(SPB)(24)로 교차점 유닛(XPU)(32)내의 버퍼의 해제, 즉 점유에서 프리

로의 버퍼 전환시에 관한 정보를 반송한다. LCC 셀의 2개의 포맷: 즉 비트맵핑된 포맷 및 부호화된 포맷이 있다. LCC 셀의 특정 포맷은 자체의 PRI값으로 표시된다. 25, 26, 28 및 30의 PRI값은 비트맵핑된 포맷 LCC 셀을 나타내고, 31의 PRI값은 부호화된 포맷 LCC 셀(또는 선택적으로 LSC 셀)을 나타낸다.

2.2.1.1 비트맵핑된 포맷 LCC 셀

도 4b1은 비트맵핑된 포맷 링크 접속 제어(LCC) 셀의 포맷을 도시한다. 비트맵핑된 포맷은 스위치 코어(22)의 행렬 유닛(RCU)(40) 내부의 제어/상태 레지스터 및 접속된 스위치 포트 보드(SPB)(24) 사이에서 고속 방식으로 동작 데이터를 전달한다. 최대 16 비트가 하나의 셀 전송시에 로딩 또는 로딩되지 않을 수 있다.

2.2.1.1.1 BCD 필드

하나의 셀 전송시에 로딩 또는 로딩되지 않을 수 있는 16 비트는 BCD(버퍼 제어 데이터) 필드에 저장된다. BCD 필드내의 각각의 16 비트는 "어드레스된" 제어 레지스터, 즉 PRI 필드에 의해 특정된 값을 갖는 제어 레지스터로부터 관독 또는 그 레지스터로 기록되는 데이터를 유지한다. BCD 필드가 비트맵으로서 사용될 때, BCD-N은 특정 행 또는 열의 버퍼에 관한 값을 유지한다.

2.2.1.1.2 CBQ, 교차점 버퍼 큐

CBQ 필드는 예컨대, 교차점 유닛(XPU)(32)내의 큐(CBQ₀ 또는 CBQ₁) 중 하나를 지시하는 서비스 셀에 대해서와 동일한 목적으로 서비스한다. 유효값은 0 및 1이고, 다른 값을 갖는 셀은 폐기된다.

2.2.1.1.3 RE 필드 및 NU 필드

도 4b1에 RE로 표시된 비트가 예약되고; 도 4b1에 NU로 표시된 비트는 사용되지 않는다. 따라서, RE 및 NU 비트는 모두 스위치 코어(22)에 대해 투명하다.

2.2.1.2 부호화 포맷 LCC 셀

LCC 셀의 부호화 포맷은 스위치 포트 보드(SPB)(24)가 대응하는(동일한 아래 첨자의) 행렬 유닛(RCU)(40) 내부의 모든 제어 레지스터를 어드레스하게 한다. 동시에 1 바이트가 부호화 포맷을 갖는 LCC 셀에 로딩/로딩되지 않을 수 있다. 부호화 LCC 셀의 포맷은 도 4b2에 도시되어 있다.

PRI내의 31의 값은 셀을 LSC 셀 또는 LCC 셀 중 어느 하나로 식별한다. 셀내의 부가적인 비트, LSI 비트는 LSC 셀 및 LCC 셀 사이를 구별한다. 특히, 0의 LSI값은 부호화 포맷의 LCC 셀을 나타내는 반면에, 1의 LSI값은 LSC 셀을 나타낸다.

부호화 LCC 셀내의 나머지 비트는 표 4에 따라서 해석된다. 표 4에서, 스위치 코어(22)를 향한 기록 및 관독의 모든 조합이 가능하다. 더욱이, 1/1과 동일한 기록/관독을 갖는 셀은 기록 후 관독을 제공한다.

2.2.2 링크 상태 제어(LSC) 셀

링크 상태 제어(LSC) 셀은 스위치 코어(22)의 행렬 유닛(RCU)(40) 및 대응(즉, 유사한 아래 첨자의) 접속된 스위치 포트 보드(SPB)(24) 사이의 접속을 동기화시키는데 사용된다. LSC 셀 포맷은 셀 흐름의 고속 및 신뢰할 수 있는 동기화를 촉진시킨다. 즉, 셀의 개시를 찾고, 각 방향으로 셀 흐름을 유지하며, 스위치 코어(22)를 향한 방향으로 셀 레이트 분리를 지원한다.

LSC 셀의 사용은 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이의 협력이다. LSC 셀은 양방향 송신(예컨대, 스위치 대 코어 링크(27) 및 코어 대 스위치 링크(28))을 수반한다. 이하에 LSC 셀의 사용 및 작용이 도 8 및 도 9와 링크(27, 28)의 양측에서 대응하는 동기 신호 상태 머신을 참조하여 더욱 상세히 설명된다. 링크 상태 제어(LSC) 셀의 포맷은 도 4b3에 도시되어 있다.

2.2.2.1 Synctag 필드

Synctag 필드는 LSC 셀을 식별하는데 사용되는 4 바이트의 패턴이다. Synctag 필드는 2개의 유효 값(16진법에서 바이트 0에서 시작)중 하나를 가질 수 있다. 제1 유효 Synctag 필드값은 LSC 셀이 PRESYNC 상태(SSC=11)를 나타내는 것을 의미하는 FE, 1F, 00, 7F이다. 제1 유효 Synctag 필드값은 LSC 셀이 SYNC 상태(SSC=00)를 나타내는 것을 의미하는 FE, 1C, 00, 7F이다. 셀의 개시는 비트클록의 정의(positive) 에지에서 이루어진다. 패리티 비트(FBP, SBP 및 LWP), 상태 코드 및 PRI는 이들 4 Synctag 필드 바이트에 포함된다.

2.2.2.2 SSC 필드

SSC(동기 상태 코드) 필드는 적절한 동기 신호 상태 머신의 상태를 한정하는 2 비트를 포함한다. LSC 셀이 스위치 포트 보드(SPB)(24)로부터 발신될 때, SSC 필드는 스위치 포트 보드(SPB)(24)내의 동기 신호 상태 머신의 상태를 한정한다. LSC 셀이 스위치 코어(22)로부터 발신될 때, SSC 필드는 스위치 코어(22)내의 동기 신호 상태 머신의 상태를 한정한다.

SSC 필드는 다음의 유효값: 0(LSC 셀을 전송하는 측면이 PRESYNC 상태를 벗어나 있는 것을 나타냄) 및 3(LSC 셀을 전송하는 측면이 PRESYNC 상태내에 있는 것을 나타냄)을 가질 수 있다.

LSC 셀을 적절한 상태로 전송하는 프로세스는 섹션 6.0에서 설명되며 도 8 및 도 9에 도시되어 있다.

3.0 스위치 포트 보드(SPB)

각 스위치 포트 보드(SPB)(24)의 스위치 포트 집적 회로(SPIC)(26)는 스위치의 각 매트릭스에 대해 교차점 상태 레지스터(26R)를 갖는다. 특정 스위치 포트 집적 회로(SPIC)(26)에 대한 교차점 상태 레지스터(26R)에는, 스위치 포트 집적 회로(SPIC)(26)에 대한 스위치 포트 보드(SPB)(24)와의 행 정렬시에 각 교차점 유닛(XPU)(32)에 대응하는 비트 위치가 존재한다. 예를 들어, 교차점 상태 레지스터(26R₀)에 대하여, 각각의 XPU(32_{0,0} 내지 32_{0,15})에 대한 비트 위치가 존재하고, 교차점 상태 레지스터(26R₁₅)에 대하여, 각각의 XPU(32_{15,0} 내지 32_{15,15})에 대한 비트 위치가 존재한다. 이후에 설명되는 바와 같이, 스위치 포트 보드(SPB)(24)가 셀을 XPU(32)에 기록할 때, 스위치 포트 집적 회로(SPIC)(26)는 셀이 기록되는 특정 XPU(32)에 대응하는 교차점 상태 레지스터(26R)내의 비트를 세트한다. 그 후에, 스위치 포트 보드(SPB)(24)는 그 후 상기 XPU의 비트가 교차점 상태 레지스터(26R)에서 리셋될 때까지 다른 셀을 특정 XPU(32)로 전송할 수 없다. 또한 이후에 설명되는 바와 같이, 교차점 상태 레지스터(26R)내의 비트는 스위치 포트 집적 회로(SPIC)(26)가 1 값을 갖는 대응 비트로 폴스테이트_해제 셀을 수신할 때 리셋된다. 따라서, 교차점 상태 레지스터(26R)는 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이의 핸드셰이킹(handshaking)을 용이하게 한다.

매트릭스 예컨대, 매트릭스 0 및 매트릭스 1의 상기 논의로부터 교차점 상태 레지스터(26R)가 각 매트릭스에 대한 각 스위치 포트 집적 회로(SPIC)(26)에 제공되는 것을 이해할 것이다.

4.0 행렬 유닛(RCU)

하나의 링크(27) 상의 스위치 포트 보드(SPB)(24)로부터 스위치 코어(22)로 착신하는 모든 셀은 대응하는 행렬 유닛(RCI)(40)에 전송된다(도 1 참조). 스위치 코어(22)에 의한 서비스 셀의 조정의 개관은 특히 행렬 유닛(RCU)(40)의 제어 레지스터를 참조하여 도 6a 내지 도 6e에 도시되어 있는 연속적인 프레임으로 나타내고 있다. 서비스 셀의 조정의 여러 가지 양태의 더욱 상세한 설명은 예컨대, 섹션 4.6.1.3에 제공된다.

전술한 바와 같이, 스위치 포트 집적 회로(SPIC)(26)가 셀을 대응하는 행렬 유닛(RCU)(40)에 전송할 때, 스위치 포트 집적 회로(SPIC)(26)가 교차점 상태 레지스터(26R)내에 비트를 세트한다. 상기 비트 세트는 셀이 수신되는 특정 교차점 유닛(XPU)(32)의 열 위치에 대응한다. 도 6a 내지 도 6e에 도시되어 있는 프레임에서, 스위치 포트 집적 회로(SPIC)(26₀)는 서비스 셀을 스위치 포트 집적 회로(SPIC)(26₁₅)에 전송하기를 원한다. 따라서, 스위치 포트 집적 회로(SPIC)(26₀)로부터 스위치 코어(22)로 전송되는 서비스 셀은 행렬 유닛(RCU)(40₀)에 의해 교차점 유닛(XPU)(32_{0,15})으로 라우팅된다. 따라서, 도 6a에 6-1로 라벨 붙여진 화살표는 서비스 셀(스위치 포트 집적 회로(SPIC)(26₁₅)에 수신되는)을 행렬 유닛(RCU)(40₀)에 전송하는 스위치 포트 집적 회로(SPIC)(26₀)를 나타낸다. 그러한 서비스 셀을 행렬 유닛(RCU)(40₀)으로 전송할 때, 도 6a에 도시되어 있는 바와 같이, 스위치 포트 집적 회로(SPIC)(26)는 교차점 상태 레지스터(26R)의 최종 비트를 세트한다(그 이유는 서비스 셀이 행의 최종 XPU, 즉 교차점 유닛(RCU)(32_{0,15})에 수신되기 때문이다).

서비스 셀은 행렬 유닛(RCU)(40)에 의해 분석된 후, 메모리 어레이 유닛(MAU)(30)의 동일한 행내의 교차점 유닛(RCU)(32)중 어드레스된 하나에 행렬 유닛(RCU)(40)을 통해 전달된다. 서비스 셀은 일시적으로 XPU(32)의 버퍼(CBQ₁ 또는 CBQ₂)중 적절하게 어드레스된 하나에 저장된다. 셀이 교차점 유닛(RCU)(32)에 저장될 때, 행렬 유닛(RCU)(40)은 셀이 저장된 특정 버퍼가 점유되어 있는 것을 나타내도록 자체의 교차점 상태 유닛(XSU)(50), 특히 적절한 폴스태이트_상태 레지스터를 갱신한다. 이점에 대하여, "점유된" 상태는 로딩되지 않는 셀이 존재한다는 것을 의미하고, "프리" 상태는 버퍼가 로딩될 수 있는 것을 나타낸다.

도 6b에 도시되어 있는 예에서, 교차점 유닛(RCU)(32_{0,15})으로의 서비스 셀의 기록과 일치하여(6-2로 라벨 붙여진 화살표로 표시되어 있는 바와 같이), 폴스태이트_상태 레지스터(50-2₀)의 비트 15가 세트된다. 폴스태이트_상태 레지스터(50-2₀)의 비트 15의 세팅은 교차점 유닛(RCU)(32_{0,15})이 점유되어 있는 것을 나타낸다. 또한, 행렬 유닛(RCU)(40₀)의 교차점 상태 유닛(XSU)(50)은 도 6b에 참조 번호 6-3을 갖는 파선으로 표시되어 있는 바와 같이, 교차점 상태 버스(CSB)(48)를 통해 스캔스태이트 레지스터(50-4₁₅)내의 비트 0에 세트 신호를 전송한다(도 6 참조). 이후에 설명되는 바와 같이, 2개의 스위치 포트 집적 회로(SPIC)(26₀ 및 26₁₅) 사이의 레이트를 기다리는 동안, 스캔스태이트 레지스터 비트는 제1 워드가 XPU 또는 최종 워드(이후 설명되는 스캔레이트 레지스터에서 비트 0의 세팅에 의해 미리 정해짐)로 기록될 때 세트된다.

각 행렬 유닛(RCU)(40)은 자체의 교차점 상태 유닛(XSU)(50)에 위치되는 자체의 스캔스태이트 레지스터(50-4)를 스캔한다. 스캔스태이트 레지스터(50-4)내의 한 위치가 세트될 때, 행렬 유닛(RCU)(40)은 대응하는 교차점 유닛(RCU)(32)으로부터 셀을 판독할 수 있다는 것을 안다. 행렬 유닛(RCU)(40)이 그러한 교차점 유닛(RCU)(32)으로부터 셀을 판독하기 시작할 때, 스캔스태이트 레지스터(50-4)내의 대응 비트가 리세트된다. 또한, 셀을 교차점 유닛(RCU)(32)에 기록한 행렬 유닛(RCU)(40)에 위치되는 대응하는 폴스태이트_상태 레지스터(50-2)가 리세트된다. 따라서, 도 6c에 도시되어 있는 시나리오에서, 라인 6-4는 스캔스태이트 레지스터(50-4₁₅)내의 제1 비트의 리세팅을 야기하는 교차점 유닛(RCU)(32_{0,15})으로부터 행렬 유닛(RCU)(40₁₅)으로의 서비스 셀의 판독을 나타낸다. 행렬 유닛(RCU)(40₁₅)의 교차점 상태 유닛(XSU)(50₁₅)은 라인 6-5로 나타내는 바와 같이 교차점 상태 버스(CSB)(48)를 통해 리세트 신호를 전송한다(도 6 참조). (50-4₁₅)로부터 발부된 신호는 행렬 유닛(RCU)(40₁₅)이 교차점 유닛(RCU)(32_{0,15})으로부터 획득된 서비스 셀을 도 6c에 참조 번호 6-6으로 라벨 붙여진 라인에 의해 나타내는 바와 같이, 스위치 포트 집적 회로(SPIC)(26₁₅)에 인가하게 한다. 교차점 유닛(RCU)(32)으로부터의 셀의 판독 및 스위치 포트 집적 회로(SPIC)(26)로의 인가는 섹션 4.7에서 더욱 상세히 설명된다.

행렬 유닛(RCU)(40)의 교차점 상태 유닛(XSU)(50)이 점유에서 프리 상태로(예컨대, 1에서 0으로) 자체의 폴스태이트_상태 레지스터(50-2)의 변화를 검출할 때, 교차점 상태 유닛(XSU)(50)은 시간의 제1 가능 점에서 폴스태이트 해제 LCC 셀(섹션 2.2.1 참조)을 발신한다. 이점에 대하여, 행렬 유닛(RCU)(40)은 대응하는 폴스태이트_상태 레지스터(50-2)에서의 상태 전이를 포착하는 내부 폴스태이트_해제 레지스터(50-8)를 갖는다. 기본적으로, 당해의 비트에 대한 리세트 신호가 교차점 상태 버스(CSB)(48)에 나타날 때, 비트 위치에 대응하는 폴스태이트_해제 레지스터(50-8)가 세트된다. 도 6d에 도시되어 있는 상황에서, 도 6c의 라인 6-5로 표시된 리세트 신호가 폴스태이트_상태 레지스터(50-2₀)의 최종 비트를 리세트한 후에, 교차점 상태 유닛(XSU)(50₀)이 (50-8₀)의 최종 비트를 세트한다. 교차점 상태 유닛(XSU)(50)은 폴스태이트_해제 레지스터(50-8₀)내의 임의의 비트 위치가 세트되는 지를 검사한다. 어떤 비트가 세트된 경우(도 6d에 나타낸 바와 같은 최종 비트), 폴스태이트 해제 LCC 셀을 발신하라는 요구가 행해진다. 폴스태이트 해제 LCC 셀이 스위치 포트 집적 회로(SPIC)(26₀)(도 6d에 라인 6-6으로 표시됨)로 발부될 때, 폴스태이트_해제 레지스터(50-8₀)가 판독되고 클리어된다. 도 6e는 폴스태이트_해제 레지스터(50-8₀)의 클리어 뿐만 아니라 폴스태이트 해제 LCC 셀(도 6d에 라인 6-6으로 나타내는 바와 같이 스위치 포트 집적 회로(SPIC)(26₀)에서 수신됨)의 수신시에 교차점 상태 레지스터(26R₀)내의 최종 비트의 클리어링을 도시한다. 이러한 접합점에서, 새로운 셀이 스위치 포트 집적 회로(SPIC)(26₀)에 의해 동일한 교차점 유닛(XPU)(32), 즉 교차점 유닛(XPU)(32_{0,15})에 기록될 수 있다.

그러므로, 스캐닝 프로세스에서, 각 행렬 유닛(RCU)(40)은 MAU(30)의 열에(예컨대, 판독 버스(44)에) 접속되는 교차점 유닛(XPU)(32)의 상태를 검사하고, 교차점 유닛(XPU)(32)에 포함되는 적절한 폴스태이트_해제 레지스터를 갱신한다. 셀을 포함하는 교차점 유닛(XPU)(32)은 발신 셀로서 열 버스(예컨대, 판독 버스(44)에) 버퍼 출력 게이트를 통해 로딩되지

않는다. 교차점 유닛(XPU)(32)의 게이트가 개방될 때, 하나의 셀만이 방전된다. 교차점 상태 유닛(XSU)(50)은 셀이 로딩되지 않은 교차점 유닛(XPU)(32)내의 버퍼가 현재 "프리"인 것을 나타내도록 갱신된다. 로딩되지 않은 셀은 수신하는 행렬 유닛(RCU)(40)을 통해 수신하는 스위치 포트 보드(SPB)(24)에 전송된다. 이러한 방식으로, 셀을 포함하는 모든 교차점 유닛(XPU)(32)이 하나씩 로딩되지 않는다.

전술한 방식으로 스위치 코어(22)로부터의 셀의 관독이 수신하는 스위치 포트 보드(SPB)(24)에 의해 요구되는 것보다 느린 속도로 발생하는 것이 판명되는 경우, 수신하는 행렬 유닛(RCU)(40)은 기대되는 서비스 셀 대신에 제어 셀을 발생한다. 스위치 포트 보드(SPB)(24)가 교차점 상태 레지스터(26R)내의 대응 비트가 세트된 교차점 유닛(XPU)(32)에 셀을 전송하는 것을 시도하는 경우, 셀은 기록 버스에 입력되기 전에 행렬 유닛(RCU)(40)에서 폐기된다.

각 행렬 유닛(RCU)(40)은 또한 시스템 클록 유닛(SCU)(52)을 포함한다. 시스템 클록 유닛(SCU)(52)은 시스템 클록 분배를 위한 논리를 포함하고, 시스템 클록 버스(SCB)(46)에 접속된다.

행렬 유닛(RCU)(40)은 시스템 클록을 교차점 유닛(XPU)(32)내의 게이트로 통과시킨다. 각 교차점 유닛(XPU)(32)의 게이트 상태는 개방 또는 폐쇄에 관계없이 반영구적인 상태로 세트된다. 게이트 상태는 열로부터 세트되므로 접속을 방지한다.

기록 버스(42) 및 관독 버스(44)는 교차점 유닛(XPU)(32) 및 대응하는 행렬 유닛(RCU)(40) 사이에 논리적인 상호 접속을 제공한다. 버스(42, 44)는 버퍼 충전 상태, 관독 및 기록 버퍼 제어 및 데이터와 같은 정보를 제공한다.

따라서, 행렬 유닛(RCU)(40)의 기본 기능은 교차점 유닛(XPU)(32)으로부터의 서비스 셀의 로딩 및 언로딩, 스위치 코어(22) 및 대응하는 스위치 포트 보드(SPB)(24)(셀 레이트 분리 포함) 사이의 셀 흐름 정렬 및 동기화, 및 교차점 유닛(XPU)(32)이 중복 기록되지 않도록 교차점 유닛(XPU)(32)에 관한 상태 정보를 스위치 포트 보드(SPB)(24)에 제공하는 것을 포함한다. 또한, 스위치 포트 보드(SPB)(24)로부터 제어되는 행렬 유닛(RCU)(40)에 의해 실행되는 다수의 보수 기능이 있다.

도 5는 각 행렬 유닛(RCU)(40)에 포함되는 기본 성분을 도시한다. 앞서 설명된 교차점 상태 유닛(XSU)(50) 및 시스템 클록 유닛(SCU)(52)에 부가하여, 각 행렬 유닛(RCU)(40)은 라인 인터페이스 유닛(LIU)(53), 셀 동기화 유닛(CSU)(54), 셀 분석기 유닛(CAU)(55), 셀 기록 유닛(CWU)(56), 운용 및 보수 유닛(OMU)(57), 셀 발생기 유닛(CGU)(58) 및 셀 관독 유닛(CRU)(59)을 포함한다.

4.1 라인 인터페이스 유닛(LIU)

라인 인터페이스 유닛(LIU)(53)은 차동 신호를 디지털 레벨로 변환하는 LVDS/GLVDS 인터페이스를 포함한다. 도 5a에 도시되어 있는 바와 같이, 각 행렬 유닛(RCU)(40)은 Vcc 및 접지를 포함하는 전력 접속의 세트 및 또한 GLVDS용 바이어스 전압을 갖는다. 또한 도 5a에 도시되어 있는 바와 같이, 행렬 유닛(RCU)(40)의 라인 인터페이스 유닛(LIU)(53)은 5개의 차동 증폭기 쌍(53-1 내지 53-5) 뿐만 아니라 Vcc, 접지 및 바이어스용의 3개의 전력 핀 및 메모리 어레이 유닛(MAU)(30)에 Vcc 및 접지를 제공하는 부가적인 2개의 핀을 갖는다.

차동 쌍(53-1, 53-2)은 포트 대 코어 링크(27)에 각각 포함되는 신호(DCLK, SPSC)를 조정하는데 이용된다. DCLK를 수신하는 차동 쌍(53-1)은 직렬 클록 신호(serclk)를 출력한다. 차동 쌍(53-2)의 출력은 라인(s-데이터-in) 상에 직렬 데이터 입력 신호를 생성하는 비트 동기화 기능(53-6)에 결합된다. 라인(s-데이터-in) 상의 직렬 데이터 입력 신호 및 직렬 클록 신호(serclk)는 도 5b에 도시되어 있는 바와 같이 셀 동기화 유닛(CSU)(54)에 인가된다.

차동 쌍(53-3)은 코어 대 포트 링크(28)에 포함되는 신호(D-SCSP)를 출력하는데 이용된다. 차동 쌍(53-3)은 라인(s-데이터-out) 상에 수신되는 직렬 출력 데이터 신호를 사용하여 신호(D-SCSP)를 출력한다. 이후에 도 5b에 대하여 도시되어 있는 바와 같이, 라인(s-데이터-out) 상의 직렬 출력 데이터 신호는 셀 동기화 유닛(CSU)(54)으로부터 발신한다.

시스템 클록 버스(SCB)(46)는 각 행렬 유닛(RCU)(40)에 대해 라인(sysclk-in, sysclk-out) 상의 신호를 클록킹하기 위한 라인을 포함한다. 이후 시스템 클록 유닛(SCU)(52) 및 도 5i를 참조하여 설명되는 바와 같이, 라인(sysclk-in) 상의 클록킹 신호는 라인(sysclk-out)에 클록킹 신호를 발생하기 위해 이용된다. 신호(SCLK)는 신호(sysclk-in)를 발생하는데 사용된다. 신호(SCLK)는 SPIC(스위치 포트 보드중 하나의)를 통해 발생 및 분배되는 시스템 클록으로부터 기인한다. 시스템 클록은 통상적으로, 네트워크내의 외부 링크(예컨대, T1 링크)로부터 도출된다. 시스템 클록의 속도는 대부분의 경우에, 8 KHz의 배수이다.

4.2 셀 동기화 유닛(CSU)

셀 동기화 유닛(CSU)(54)은 직렬 대 병렬 변환 뿐만 아니라 하프워드(halfword) 및 셀 정렬을 행한다. 그러한 변환은 착신 방향으로 특정 셀 동기 신호 패턴을 사용하여 달성된다. 발신 방향으로, 병렬 대 직렬 변환이 비트 스트림에서 이루어진다.

셀 동기화 유닛(CSU)(54)은 라인 인터페이스 유닛(LIU)(53)으로부터 라인(s-데이터-in)을 통해 직렬 비트 스트림을 수신하고 버스(p-데이터-in) 상에 16 비트 병렬 신호를 생성하는 직렬 대 병렬 변환기(54-1)를 포함한다. 직렬 대 병렬 변환기(54-1)에 의해 발생하는 16 비트 병렬 신호는 또한 BIP-8 테스터 및 발생기(54-2) 및 동기 신호 태그 검출기 또는 셀 정렬기(54-3)에 인가된다.

셀 동기화 유닛(CSU)(54)은 또한 버스(p-데이터-out)를 통해 16 비트 병렬 신호를 수신하고 라인(s-데이터-out)(라인 인터페이스 유닛(LIU)(53)에 접속되는)에 인가되는 직렬 비트 스트림으로의 변환을 행하는 병렬 대 직렬 변환기(54)를 포함한다. 버스(p-데이터-out)상의 16 비트 병렬 신호는 BIP-8 테스터 및 발생기(54-2)에 또한 인가된다. 이후 도 5g를 참조하여 설명되는 바와 같이, 버스(p-데이터-out)상의 16 비트 병렬 신호는 셀 발생기 유닛(CGU)(58)으로부터 획득된다.

또한, 셀 동기화 유닛(CSU)(54)은 라인 인터페이스 유닛(LIU)(53)(도 5a 참조)의 차동 쌍(53-1)으로부터 출력되는 라인(serclk)를 통해 직렬 클럭 신호를 수신하고 병렬 클럭 신호(pclk)를 생성하기 위해 16의 인수(factor)로 착신 직렬 클럭 신호(serclk)를 분할하는 클럭 디바이더(54-5)를 포함한다. 병렬 클럭 신호(pclk)는 행렬 유닛(RCU)(40)의 다수의 소자에 인가된다. 클럭 디바이더(54-5) 및 직렬 대 병렬 변환기(54-1)는 라인(serclk)상의 직렬 클럭 신호의 양쪽 에지에서 작업한다.

동기 태그 검출기(54-3)는 동기 셀(LSC 셀)을 탐색하는 비교기 및 상태 머신을 포함한다. 이하 도 8 및 도 9와 관련하여 더욱 상세히 논의되는 바와 같이, 동기 태그 검출기(54-3)의 상태 머신은 3개의 상태: PRESYNC, SYNC0 및 SYNC1을 갖는다. LSC 셀의 검출시에, 동기 태그 검출기(54-3)는 이하 도 5g에 대하여 설명되는 바와 같이, 셀 발생기 유닛(CGU)(58)에 인가하기 위해 라인(sync-셀)에 신호를 출력한다.

BIP-8 테스터 및 발생기(54-2)는 라인 품질을 결정하기 위해 장기간을 기초로 하여 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이의 링크를 검사한다. 바이트의 각 비트는 이전의 바이트의 대응 비트의 예약 패리티와 배타적으로 비교된다(XOR). 그 결과는 기대되는 결과를 포함하는 제어 셀에 대하여 검사된다. 반대의 기능은 p-데이터-out 방향으로 적용한다.

4.3 셀 분석기 유닛(CAU)

도 5c에 도시되어 있는 바와 같이, 셀 분석기 유닛(CAU)(55)은 셀 동기화 유닛(CSU)(54)으로부터 버스(p-데이터-in)를 통해 16 비트 신호를 수신한다. 버스(p-데이터-in)를 통해 착신하는 셀 스트림내의 셀이 셀 분석기 유닛(CAU)(55)에서 수신될 때, 셀은 (1) 셀 기록 유닛(CWU)(56)에 전송되는 서비스 셀이거나, (2) 운용 및 보수 유닛(OMU)(57)에 핸드오버되는 제어 셀 중 하나이다(도 5 참조).

셀 분석기 유닛(CAU)(55)은 셀의 PRI 필드를 조사함으로써 셀 유형을 검사하는 PRI 디코드 유닛(55-1)을 포함한다(예컨대, 도 4a 및 도 4b 참조). 앞서 설명된 바와 같이, 서비스 셀은 1-19의 유효 PRI값을 갖는 반면에, 제어 셀은 20-31의 PRI값을 갖는다. 결정되면, 셀 유형은 셀의 처리 기간동안 셀 유형 레지스터(55-2)에 저장되고, 라인 "셀 유형"을 통해 행렬 유닛(RCU)(40)의 다른 유닛에 인가된다. 도면에 도시되어 있지는 않지만, 라인 "셀 유형" 상의 신호는 셀 기록 유닛(CWU)(56) 및 운용 및 보수 유닛(OMU)(57)에 셀의 유형을 지시하므로, 이들 유닛이 셀 유형 분석을 반복해야 한다. 셀 분석기 유닛(CAU)(55)에 의해 발생하는 것과 같은 셀 유형 신호는 셀 기록 유닛(CWU)(56) 및 운용 및 보수 유닛(OMU)(57)에 이들 유닛이 결합되어야 하는지를 지시한다. 셀 기록 유닛(CWU)(56)은 셀이 서비스 셀인 경우 결합되고, 운용 및 보수 유닛(OMU)(57)은 셀이 LCC 셀인 경우 결합된다. 셀이 LSC 셀인 경우, 셀 기록 유닛(CWU)(56) 및 운용 및 보수 유닛(OMU)(57)중 어느 하나가 결합된다.

셀 분석기 유닛(CAU)(55)은 또한 무결성 검사기(integrity checker)(55-3)을 포함한다. 무결성 검사기(55-3)는 제1 바이트, 제2 바이트 및 최종 16 바이트내의 제어 셀의 패리티 에러에 대해 검사한다(도 4b의 필드 FBP, SBP 및 LWP 참조). 모든 서비스 셀은 제1 바이트내의 그리고 셀이 가변 셀 포맷으로 이루어진 경우 제2 바이트내의 패리티 에러에 대해 검사된다. 에러가 임의의 유형의 셀에서 검출되는 경우, 폴트 신호(fault signal)가 발생된다. 그러한 패리티 에러는 즉시 재동

기화를 유도하고, 그러한 패리티 에러의 원인을 저장한다. 제1 또는 제2 바이트내의 패리티 폴트를 갖는 셀은 금지되고 셀 기록 유닛(CWU)(56)으로 전송되지 않는다. 또한, 교차점 상태 유닛(XSU)(50)내의 레지스터는 손상되어 있을 수 있고 재 동기화 후에 스위치 포트 보드(SPB)(24)로부터 갱신된다. 여러 가지 셀 무결성 검사 동작이 섹션 11.0에서 설명된다.

셀 분석기 유닛(CAU)(55)은 PRI 교환 유닛(55-4)을 더 포함한다. 서비스 셀에 대하여, PRI 교환 유닛(55-4)은 PRI 필드의 수신값을 앞서 설명된 바와 같은 소스값으로 변화시킨다. PRI 필드의 수신값은 셀 기록 유닛(CWU)(56)에 의해 사용하기 위해 저장되고, 라인(dest-PRI)을 통해 인가된다. 서비스 셀 자체는 16 비트 버스(기록 데이터)를 통해 셀 기록 유닛(CWU)(56)으로 송신된다.

4.4 셀 기록 유닛(CWU)

셀 기록 유닛(CWU)(56)은 교차점 유닛(XPU)(32)의 어드레스된 하나에 서비스 셀을 저장한다. 도 5d에 도시되어 있는 셀 기록 유닛(CWU)(56)은 셀 크기 논리 유닛(56-1), 기록 어드레스 카운터(56-2), 교차점 선택 유닛(56-3) 및 버퍼 선택 유닛(56-4)을 포함한다. 서비스 셀은 셀 분석기 유닛(CAU)(55)으로부터 16 비트 버스 "기록 데이터"를 통해 수신되어 셀 기록 유닛(CWU)(56)의 모든 유닛에 인가된다. 스위치 포트 보드(SPB)(24)에 셀이 송신되는 것을 근본적으로 지시하는 셀 분석기 유닛(CAU)(55)으로부터 라인(dest-PRI)을 통해 획득되는 수신지 PRI값은 교차점 선택 유닛(56-3)에 인가된다.

이하 설명되는 바와 같이, 교차점 선택 유닛(56-3)은 서비스 셀의 조정 기간동안 서비스 셀이 기록될 특정 교차점 유닛(XPU)(32)을 선택 및 가능하게 한다. 서비스 셀의 필드(CBQ)의 값에 기초하여, 버퍼 선택 유닛(56-4)은 서비스 셀이 기록될 특정 교차점 유닛(XPU)(32)의 버퍼(CBQ0 또는 CBQ1)(도 2 참조)중 하나를 선택하고 선택된 버퍼에 버퍼 가능 신호를 인가하며 우선 순위 신호를 발생한다. 특정 교차점 유닛(XPU)(32) 및 버퍼에 따라서, 기록 어드레스 카운터(56-2)는 착신 서비스 셀의 제1 16 비트 워드에 대한 기록 어드레스를 발생하여 버스(기록 어드레스)상에 인가한다. 서비스 셀의 각 후속 16 비트 워드에 대하여, 기록 어드레스 카운터(56-2)는 셀의 모든 워드가 어드레스된 교차점 유닛(XPU)(32)에 기록될 때까지 어드레스를 더 발생한다. 기록 어드레스 카운터(56-2)는 셀 크기 논리(56-1)에 의해 결정되는 바와 같은 셀 크기에 따라서 서비스 셀의 각 워드에 대한 어드레스를 더 발생한다. 셀 크기 논리(56-1)는 필드(SCS)(도 4a 참조)에 기초하여 서비스 셀의 크기를 안다. 기록 어드레스 카운터(56-2)는 0에서 시작하고 셀 크기에 대해 카운트한다.

기록 어드레스 카운터(56-2)는 또한 교차점 유닛(XPU)(32)의 점유 상태를 세트하기 위해 교차점 상태 유닛(XSU)(50)에 의해 이용되는 개시_기록 및 종료_기록 신호를 전송한다(도 5h1 및 도 5h2 참조). 그러한 신호는 또한 언로딩 목적으로 영향을 받은 교차점 유닛(XPU)(32)을 관리하는 다른 행렬 유닛(RCU)(40)의 스캔스태이트 레지스터(50-4)에 교차점 상태 버스(XPU)(48)를 통해 인가된다(도 6 참조).

교차점 선택 유닛(56-3)은 가능 레지스터 및 멀티캐스트 레지스터를 모두 포함한다. 가능 레지스터는 디코딩된 PRI값 또는 멀티캐스트 레지스터중 하나로부터 셀의 시작시에 로딩된다. 멀티캐스트 레지스터는 영향을 받은 서비스 셀의 수신 이전에 제어 셀에 의해 목표 교차점 유닛(XPU)(32)에 어드레스를 가지고 미리 로딩되어야 한다. 멀티캐스트 레지스터는 스위치 코어(22)가 지점 대 다지점 접속을 지원하는 경우에만 필요하다.

4.5 운용 및 보수 유닛(OMU)

운용 및 보수 유닛(OMU)(57)은 기본적으로 제어 셀을 종료시키고 교차점 상태 유닛(XSU)(50)내의 레지스터중 목표 레지스터를 선택하도록 서비스한다. 도 5e에 도시되어 있는 바와 같이, 운용 및 보수 유닛(OMU)(57)은 비트맵핑된 목표 코드 레지스터(57-1), 목표 코드 레지스터(57-2), 트래픽 모드 레지스터(57-3), 물품 번호 PRI 코드 유닛(57-4), 0 충전 बैं크 유닛(57-5), 비트맵핑된 디코드 유닛(57-6) 및 목표 디코드 유닛(56-7)을 포함한다. 16 비트 버스(p-데이터-in)이 셀 동기화 유닛(CSU)(54)으로부터 비트맵핑된 목표 코드 레지스터(57-1), 목표 코드 레지스터(57-2) 및 트래픽 모드 레지스터(57-3)로 인가된다.

3개의 포텐셜 동작 중 하나는 운용 및 보수 유닛(OMU)(57)에 송신되는 셀에 대하여 취해진다. 제1 동작으로서, 유휴 셀이 낭비된다. 제2 동작으로서, 동기 신호 셀(예컨대, LSC 셀)이 낭비된다(그러나, LSC 셀내의 셀 sync 상태가 세트되는 경우, LSC 셀은 저장되어야 하고 복귀하는 LSC 셀이 전송된다). 제3 동작으로서, LCC 제어 셀이 처리된다(비트맵핑된 포맷 또는 부호화 포맷이든간에).

이와 관련하여, 제어 셀은 비트맵핑된 목표 코드 레지스터(57-1) 및 목표 코드 레지스터(57-2)에 병렬로 전송된다. 제어 셀이 비트맵핑된 포맷 셀인 경우(도 4b1 참조), 비트맵핑된 목표 코드 레지스터(57-1)가 그것을 결정하여 셀이 디코딩되는 비트맵핑된 디코드 유닛(57-6)에 셀을 전송한다. 셀의 선택된 내용은 비트맵핑된 제어 레지스터의 목표 레지스터에

(라인 "비트맵핑된 로드"를 통해) 로딩된다(표 5 및 섹션 4.6.1 참조). 목표 코드 레지스터(57-2)는 목표 제어 레지스터에 비트맵핑된 포맷 셀이 전송되어야 하는지를 결정하도록 목표 디코드 유닛(57-7)을 가능하게 하는 기능을 서비스한다. 이러한 결정에 따라서, 목표 디코드 유닛(57-7)은 라인 "레지스터 선택"을 통해 신호를 출력한다. 레지스터중 목표 레지스터는 비트맵핑된 LCC 제어 셀의 PRI 필드내의 값으로부터 확인된다.

부호화 포맷으로 이루어지는 LCC 제어 셀은 목표 제어 레지스터에 대한 어드레스 및 목표 제어 레지스터에 저장되거나 이 레지스터로부터 검색되는 데이터를 포함할 수 있다(표 6 참조). 그러한 레지스터는 예컨대, 섹션 4.6.2에 전체적으로 설명되어 있다. 목표 레지스터 필드내의 코드는 또한 이 문맥에서는 예컨대, 표 6의 클리어 명령에 관한 직접 명령을 유지한다. 직접 명령은 즉시 실행되고 임의의 레지스터에 저장되지 않는 명령이다. 직접 명령의 예는 클리어 명령 및 검색_폴스테이트 명령이다. 클리어 명령은 근본적으로 XSU내의 폴스테이트_상태 레지스터(50-2) 및 스캔스태이트 레지스터(50-4)를 클리어한다(도 5h2 참조). 검색_폴스테이트 명령은 스위치 포트가 폴스테이트_상태 LCC를 대상으로 발신하게 한다.

로드 및 언로드 마커(marker)를 갖는 목표 레지스터 필드는 목표 레지스터가 중복기록될 때까지 목표 레지스터에 저장된다. 로드 및 언로드 마커는 동적이고 이들이 실행되면 클리어된다. 목표 레지스터로부터 데이터의 검색을 나타내는 언로드 마커는 제어 셀이 스위치 포트 보드(SPB)(24)를 향해 전송될 때 먼저 실행된다.

0 충전 बैं크 유닛(57-5)은 교차점 상태 유닛(XSU)(50)내에 목표 레지스터를 수반하는 검색 동작을 위해 0 충전을 제공한다. 더 많은 게이트를 포함하는 대체 실시예에서, 0 충전은 목표 레지스터 자체에서 행해진다.

4.6 교차점 상태 유닛(XSU)

교차점 상태 유닛(XSU)(50)은 비트맵핑된 링크 접속 제어(LCC) 셀을 사용하는 레지스터(표 5 참조) 및 부호화 링크 접속 제어(LCC) 셀을 사용하는 레지스터(표 6 참조)를 포함하는 다수의 제어 레지스터를 포함한다. 또한, 교차점 상태 유닛(XSU)(50)은 RCU가 접속되는 기록 버스(42) 및 행렬 유닛(RCU)(40)에 접속되는 각 교차점 유닛(XPU)(32)에 대한 현재의 충전 상태에 대한 정보를 유지하는 레지스터를 갖는다.

4.6.1 비트맵핑된 LCC 셀을 사용하는 레지스터

표 5에 도시되어 있는 바와 같이, 비트맵핑된 LCC 셀을 스위치 코어(22)에 전송함으로써 갱신되는 세가지 유형의 레지스터가 있다. 이들 세가지 유형의 레지스터는 멀티캐스트 레지스터, 스캔블록 레지스터 및 폴스테이트 레지스터이다.

비트맵핑된 LCC 셀을 사용하는 것으로 표 5에 도시되어 있는 레지스터는 16 비트 폭이다(그 이유는 비트맵핑된 LCC 셀이 16 비트를 반송하기 때문이다(도 4b1 참조)). 전체 레지스터는 하나의 비트맵핑된 LCC 셀을 교차점 상태 유닛(XSU)(50)으로 전송함으로써 갱신될 수 있다. 표 5의 레지스터의 언로드는 섹션 4.6.2에 설명되어 있는 바와 같이, 코딩된 LCC 셀에 의해 이루어질 수 있다. 표 5에서, X의 값은 무관한 값을 나타낸다. 정확한 CBQ값을 가지는 경우 셀은 폐기된다.

4.6.1.1 멀티캐스트 레지스터

행렬 유닛(RCU)(40)의 16 비트 멀티캐스트 레지스터는 서비스 셀이 표시 "멀티캐스트"를 가질 때 사용되는 비트맵을 유지한다. 비트맵의 각 비트는 스위치 코어(22)의 포트, 즉 스위치 포트 보드(SPB)(24) 중 하나에 대응한다. 예를 들어, 비트 0은 포트 0(스위치 포트 보드(SPB)(24₀))에 대응하고, 최대 비트 15는 포트 15(스위치 포트 보드(SPB)(24₁₅))에 대응한다. 멀티캐스트 레지스터의 비트맵에서, 1에 대한 비트 세트는 셀이 프리인 경우 멀티캐스트의 일부로서 대응 버퍼로 로딩되는 것을 의미한다. 0에 대한 멀티캐스트 레지스터의 비트는 대응 버퍼가 멀티캐스트에 포함되지 않는 것을 나타낸다. 하나의 레지스터 위치는 2개의 큐(CBQ₀ 및 CBQ₁)에 대해 사용되므로, 이러한 레지스터에 대한 CBQ의 값은 중요하지 않다.

4.6.1.2 스캔블록 레지스터

각 행렬 유닛(RCU)(40)의 교차점 상태 유닛(XSU)(50)에 대하여, 스캐닝 프로세스에서 버퍼를 마스크 아웃(mask out)하는데 사용되는 2개의 16 비트 스캔블록 레지스터(59-6)(도 5f 참조)이 있다. 하나의 스캔블록 레지스터(59-6)는 행렬 유닛(RCU)(40)에 의해 관리되는 CBQ₀ 버퍼에 대한 비트맵핑된으로서 작용하고, 다른 하나의 스캔블록 레지스터는 행렬 유닛(RCU)(40)에 의해 관리되는 CBQ₀ 버퍼에 대한 CBQ₁ 버퍼에 대한 비트맵핑된으로서 작용한다.

스캔블록 레지스터(59-6)가 임의의 CBQ_0/CBQ_1 버퍼의 스캔을 배제하도록 세트될 수 있지만, 그러한 버퍼의 로드는 여전히 능동이고, 즉 셀이 스캔블록 비트 세트를 갖는 버퍼로 로딩될 수 있다. 셀은 비트가 클리어될 때까지 버퍼에 남아 있다. 비트가 리세트될 때, 버퍼는 스캐닝 프로세스에 다시 링크되고 셀은 적절한 시간에 스위치 포트로부터 송신된다.

멀티캐스트 레지스터의 비트맵핑에 따라서, 스캔블록 레지스터 비트 0은 포트 0(스위치 포트 보드(SPB)(24₀))에 대응하고 최대 비트 15는 포트 15(스위치 포트 보드(SPB)(24₁₅))에 대응한다. 스캔블록 레지스터의 비트맵핑된에서 비트를 1로 세팅하는 것은 버퍼가 차단되는 것을 나타낸다.

4.6.1.3 폴스테이트 레지스터

표 5의 폴스테이트_상태 레지스터 및 폴스테이트_해제 레지스터는 총칭하여 폴스테이트 레지스터라 한다. 각 행렬 유닛(RCU)(40)에 대하여, 스위치 코어(22)내의 각 매트릭스에 대해 폴스테이트_상태 레지스터(50-2) 및 폴스테이트_해제 레지스터가 있다(또한 도 6 참조). 주어진 행렬 유닛(RCU)(40)에 대하여, 따라서 2개의 폴스테이트_상태 레지스터 및 2개의 폴스테이트_해제 레지스터가 있다. 제1 폴스테이트_상태 레지스터는 기록 라인(42)에 의해 RCU에 접속되는 교차점 유닛(XPU)(32)내의 각 버퍼(CBQ_0)(코어 매트릭스 0의)에 대해 "점유" 또는 "프리"의 비트맵핑된 표시를 포함하고, 제2 폴스테이트_상태 레지스터는 기록 라인(42)에 의해 RCU에 접속되는 교차점 유닛(XPU)(32)내의 각 버퍼(CBQ_1)(코어 매트릭스 0의)에 대해 "점유" 또는 "프리"의 비트맵핑된 표시를 포함한다. 제1 폴스테이트_해제 레지스터는 "점유"에서 "프리"로의 전이가 판독 라인(44)에 의해 RCU에 접속되는 교차점 유닛(XPU)(32)내의 버퍼(CBQ_0)(코어 매트릭스 0의)에서 발생하는지의 비트맵핑된 표시를 포함하고, 제2 폴스테이트_해제 레지스터는 판독 라인(44)에 의해 RCU에 접속되는 교차점 유닛(XPU)(32)내의 각 버퍼(CBQ_1)(코어 매트릭스 0의)에 대하여 유사한 비트맵핑된 표시를 포함한다. 폴스테이트 레지스터에 영향을 주는 셀은 이후 섹션 9.0에서 설명되는 바와 같이 송신된다.

그러므로, 각 행렬 유닛(RCU)(40)에 대하여, 동일한 행의 16 버퍼가 프리 또는 점유되는지의 표시를 유지하는 2개의 폴스테이트_상태 레지스터가 있다. 각 행렬 유닛(RCU)(40)은 자신이 관리하는 16 CBQ_0 버퍼에 대한 폴스테이트_상태 레지스터 및 자신이 관리하는 16 CBQ_1 버퍼에 대한 분리 폴스테이트_상태 레지스터를 갖는다. 폴스테이트_상태 레지스터 비트 0은 행렬 유닛(RCU)(40)에 의해 관리되는 제1 교차점 유닛(XPU)(32)에 대응하고, 최대 비트 15는 행렬 유닛(RCU)(40)에 의해 관리되는 최종 교차점 유닛(XPU)(32)에 대응한다. 각 폴스테이트_상태 레지스터에서, 0으로의 비트 세트는 대응하는 교차점 유닛(XPU)(32)의 큐(특정된 바와 같이 CBQ_0 또는 CBQ_1 중 하나)가 프리인 것을 나타내는 반면에, "1"로의 비트 세트는 버퍼가 점유되어 있는 것을 나타낸다. 이하 섹션 9.0과 관련하여 더욱 상세히 설명되는 바와 같이, 비트맵핑된 폴스테이트_상태 레지스터의 내용은 스위치 포트 보드(SPB)(24)로부터 발생된 검색 폴스테이트 명령에 대한 응답으로서 전송된다. 검색 폴스테이트 명령은 25의 ADR 필드값을 갖는 부호화 LCC 셀을 갖는 스위치 코어(22)에 전송된다. 폴스테이트_상태 레지스터용 비트맵핑된 LCC에 사용되지 않는 비트는 0과 동일하게 세트되고, 예약 비트는 1과 동일하다.

폴스테이트_해제 LCC 셀은 일반적으로, 행렬 유닛(RCU)(40)에 의해 관리되는 열의 버퍼중 하나가 폴스테이트_해제 레지스터(50-8)에 대응하는 전이로 표시되어 있는 바와 같이, 점유에서 프리로 변화할 때마다, 행렬 유닛(RCU)(40) 특히 셀 발생기 유닛(CGU)(58)으로부터 전송된다. 교차점 유닛(XPU)(32)용의 양 레지스터(CBQ_0 및 CBQ_1)가 변화된 경우, CBQ_0 에 대응하는 폴스테이트_상태 레지스터의 내용을 나타내는 셀이 먼저 전송되는데, 그 이유는 이 셀이 더 높은 우선순위를 갖기 때문이다. 발신 "폴스테이트_해제" 셀 동안의 모든 변화가 포착되어 또 다른 "폴스테이트_해제" 셀로 된다. 각 폴스테이트_해제 레지스터에서, 1로의 비트 세트는 폴스테이트_해제 레지스터의 상태가 점유에서 프리로 변화되는 것을 나타내는 반면에, 0으로의 비트 세트는 현재의 상태(점유 또는 프리 중 어느 하나일 수 있음)가 유지되는 것을 나타낸다. 폴스테이트_해제 레지스터에 대한 비트맵핑된 LCC에 사용되지 않는 비트는 0과 동일하게 세트되고 예약 비트는 1과 동일하다.

도 6a 내지 도 6e를 참조하여 앞에서 설명된 바와 같이, 각 SPIC(26)는 제어되는 각 교차점 유닛(XPU)(32)에 대해 1 비트 위치를 갖는 레지스터(26R)(도 1 및 도 6 참조)를 갖는다. SPIC(26)가 셀을 교차점 유닛(XPU)(32)에 기록할 때마다, SPIC(26)는 레지스터(26R)에 대응하는 비트를 세트한다. 레지스터(26R)에 기록된 비트의 위치는 비트맵핑된 LCC 셀에 제공된 비트 위치에 대응한다(표 5 및 도 4b1 참조). 비트가 레지스터(26R)내의 XPU(32)를 위하여 세트되는 한, SPIC(26)는 이 XPU(32)에 새로운 셀을 전송할 수 없다. 대응하는 XPU(32)에 대한 비트가 리세트된 후에만 레지스터(26R)내에서 다른 셀이 XPU(32)에 전송될 수 있다. 레지스터(26R)내의 비트는 SPIC(26)가 폴스테이트_해제 레지스터내의 당해

의 XPU(32)에 대한 비트가 1로 세트된 것을 나타내는(예컨대, 점유에서 프리 상태로의 전이를 나타내는) 셀을 수신할 때 리세트된다. 그러므로, 핸드셰이킹이 SPIC(26) 및 스위치 코어(22) 사이에서 발생한다. 이러한 핸드셰이킹은 XPU(32)가 결국 중복기록되지 않게 한다. 레지스터(26R) 및 스위치 코어(22) 사이에 불일치가 없게 하기 위해, SPIC(26)는 현재의 교차점 상태를 프롬프트할 수 있다. 이러한 현재의 교차점 상태에 대한 프롬프트는 예컨대, 자신의 레지스터(26R)의 위치가 리세트할 수 없는 타임 아웃에 의해 검출되는 경우 행해져야 한다. 그 후, SPIC(26)는 (또는 정규 기간에) 검색 폴스테이트_명령을 발부할 수 있다. 스위치 코어(22)는 폴스테이트_상태 LCC 셀(표 5 참조)를 SPIC(26)에 전송함으로써 응답한다.

각 교차점 유닛(XPU)(32)의 각 버퍼에 대한 현재의 충전 상태에 대한 정보를 유지하는 교차점 상태 유닛(XSU)(50)에 포함되는 레지스터 예컨대, 폴스테이트_상태 레지스터 및 폴스테이트_해제 레지스터는 교차점 상태 버스(CSB)(48)를 통해 갱신된다(도 6 참조). 교차점 유닛(XPU)(32)의 레지스터의 정보는 근본적으로 두가지 목적으로 서비스한다. 제1 목적은 (폴스테이트_상태 레지스터를 사용하여) 점유되고 따라서 로딩되지 않을 수 있는 교차점 유닛(XPU)(32)을 식별하는 것이다. 제2 목적은 (폴스테이트_해제 레지스터를 사용하여) 새로운 셀이 교차점 유닛(XPU)(32)에 전송될 수 있도록 "점유"에서 "프리"로 전이된 교차점 유닛(XPU)(32)을 식별하는 것이다.

각 행렬 유닛(RCU)(40)은 섹션 10.0에서 설명되는 바와 같이, 관련 열에 대해 스캐닝 프로세스를 실행한다. SPIC(26)는 스캔 인에이블 카운터를 세팅함으로써 관련 RCU(40)에서 스캔 프로세스의 지속 기간을 제어할 수 있다(섹션 4.6.2.4 참조). 스캐닝 프로세스는 도 18에 설명되어 있고, 도 10에 도시되어 있는 동작의 전체 흐름의 일부이다.

도 5h2는 폴스테이트 레지스터(50-2), 폴레이트 레지스터(50-3), 스캔스테이트 레지스터(50-4) 및 스캔레이트 레지스터(50-5)를 포함하는 실시예를 나타낸다. 라인 DH-L의 위에 도시되어 있는 도 5h2의 부분은 특정 교차점 상태 유닛(XSU)(50)에 접속되는 기록 버스(42)에 부착되는 각 교차점 유닛(XPU)(32)내의 각 버퍼(CBQ₀ 및 CBQ₁)에 제공된다. 상기 라인 DH-L의 아래에 도시되어 있는 도 5h2의 부분은 특정 교차점 상태 유닛(XSU)(50)에 접속되는 판독 버스(44)에 부착되는 각 교차점 유닛(XPU)(32)내의 각 버퍼(CBQ₀ 및 CBQ₁)에 제공된다.

도 5h2에서, 셀 동기화 유닛(CSU)(54)으로부터 획득되는 라인(p-데이터-in)상의 병렬 입력 데이터는 폴레이트 레지스터(50-3) 및 스캔레이트 레지스터(50-5) 모두의 입력 단자에 인가된다. 이하 섹션 4.6.2.8 및 섹션 10.0을 참조하여 설명되는 바와 같이, 라인(p-데이터-in)상의 병렬 입력 데이터는 2개의 폴링 옵션이 수행되는 것을 나타내도록 폴레이트 레지스터(50-3)에 인가된다. 유사하게, 이하 섹션 4.6.2.9 및 섹션 10.0을 참조하여 설명되는 바와 같이, 라인(p-데이터-in)상의 병렬 입력 데이터는 2개의 스캔 옵션이 수행되는 것을 나타내도록 스캔레이트 레지스터(50-5)에 인가된다. 폴레이트 레지스터(50-3)의 단자(Q)에서 신호는 2개의 폴링 옵션이 선택되는 것에 따라서 스위치(50-6)에 출력 선택 신호로서 인가된다. 스캔레이트 레지스터(50-5)의 단자(Q)에서 신호는 2개의 스캔 옵션이 선택되는 것에 따라서 스위치(50-7)에 출력 선택 신호로서 인가된다.

폴스테이트 레지스터(50-2)는 세트 단자(S), 리세트 단자(R) 및 출력 단자(Q)를 갖는다. 폴스테이트 레지스터(50-2)의 세트 단자(S)는 셀 기록 유닛(CWU)(56)으로부터 라인 "개시 기록"상에서 신호를 수신한다(도 5d 참조). 폴레이트 레지스터(50-3)의 내용에 따라서, 스위치(50-6)는 라인 "개시-판독" 및 "종료-판독"상의 신호들 중 하나를 폴스테이트 레지스터(50-2)의 리세트 단자(R)에 인가한다. 라인 "개시-판독" 및 "종료-판독"상의 신호는 이하 도 5f를 참조하여 설명되는 바와 같이, 셀 판독 유닛(CRU)(59)으로부터 획득된다. 라인 "개시-판독" 및 "종료-판독"이 선택되는 것에 의존하는 타이밍에 따라서, 폴스테이트 레지스터(50-2)의 Q 단자는 라인 "폴 데이터"상에 신호를 인가한다.

도 5h2의 폴스테이트 레지스터(50-2)의 상태는 신호 "폴 데이터"에 의해 폴스테이트_상태 레지스터(50-2)의 적절한 비트에 인가된다. 예를 들어, 도 5h2에서 라인 DH-L 위에 도시되어 있는 구조가 행렬 유닛(RCU)(40₀)의 교차점 상태 유닛(XSU)(50₀)내에 포함되고, 특히 교차점 유닛(XPU)(32_{0,1})에 속하면, 교차점 유닛(XPU)(32_{0,1})에 폴스테이트 레지스터(50-2)의 세팅에 의해 나타내는 바와 같은 서비스 셀이 로딩될 때, 라인 폴 데이터 상의 신호가 비트맵핑된 폴스테이트_상태 레지스터의 비트 BCD1(바이트 6, 비트 2)을 세트한다(도 4b1 및 표 5 참조).

스캔스테이트 레지스터(50-4)는 유사하게 세트 단자(S), 리세트 단자(R) 및 출력 단자(Q)를 갖는다. 스캔스테이트 레지스터의 리세트 단자(R)는 셀 판독 유닛(CRU)(59)으로부터 라인 "개시 판독"을 통해 신호를 수신한다(도 5f 참조). 스캔레이트 레지스터(50-5)의 내용에 따라서, 스위치(50-7)는 라인 "개시-기록" 및 "종료-기록"상의 신호 중 하나를 스캔스테이트 레지스터(50-4)의 세트 단자(S)에 인가한다. 라인 "개시-기록" 및 "종료-기록"상의 신호는 도 5d를 참조하여 설명되는 바

와 같이, 셀 기록 유닛(CWU)(56)으로부터 획득된다. 라인 "개시-기록" 및 "종료-기록"이 선택되는 것에 의존하는 타이밍에 따라서, 스캔스태이트 레지스터(50-4)의 Q 단자는 이하 도 5f를 참조하여 설명되는 바와 같이 셀 판독 유닛(CRU)(59)에 인가되는 라인 "스캔 데이터"상에 신호를 인가한다.

도 5h2의 스캔스태이트 레지스터(50-4)의 상태는 신호(스캔 데이터)에 의해 폴스태이트_해제 레지스터의 적절한 비트에 인가된다(도 6 참조). 예를 들어, 도 5h2의 라인 DH-L 아래에 도시되어 있는 구조가 행렬 유닛(RCU)(40₀)의 교차점 상태 유닛(XSU)(50₁)내에 포함되고, 특히 교차점 유닛(XPU)(32_{0,1})에 속하면, 교차점 유닛(XPU)(32_{0,1})으로부터 (스캔스태이트 레지스터(50-4)의 세팅에 의해 나타내는 바와 같이) 서비스 셀이 로딩되지 않을 때, 라인 스캔 데이터상의 신호가 비트 맵핑된 폴스태이트_해제 레지스터의 비트 BCD1(바이트 6, 비트 2)을 세트한다(도 4b1 및 표 5 참조).

도 5h1은 폴스태이트 및 스캔스태이트 레지스터 기능이 모두 교차점 상태 유닛(XSU)(50)에 포함되는 교차점 상태 기능 레지스터(50-1)에 의해 실행되는 또 다른 보다 간략화된 실시예를 도시한다. 그러한 2개의 레지스터(50-1)는 2개의 버퍼(그러한 각 XPU에 대한 버퍼 CBQ0 및 CBQ1)가 존재하기 때문에, 판독 버스(44)에 부착되는 각 교차점 유닛(XPU)(32)에 대해 존재하는 것을 이해해야 한다. 레지스터(50-1)의 세트 단자는 신호가 셀 기록 유닛(CWU)(56)의 기록 어드레스 카운터(56-2)로부터 인가되는 라인 "개시-기록"에 접속된다(도 5d 참조). 레지스터(50-1)의 리셋 단자는 신호가 셀 판독 유닛(CRU)(59)의 판독 어드레스 카운터(59-1)로부터 인가되는 라인 "종료-판독"에 접속된다. 레지스터(50-1)의 Q 단자는 라인 "폴-데이터" 및 "스캔-데이터"에 접속되고, 그 두번째는 교차점 상태 버스(CSB)(48)에 포함된다. 라인 "스캔-데이터"는 도 5f를 참조하여 이하 설명되는 바와 같이, 셀 판독 유닛(CRU)(59)에 인가된다.

4.6.2 부호화 LCC 셀을 사용하는 레지스터

부호화 LCC 셀을 사용하는 교차점 상태 유닛(XSU)(50)에 포함되는 명령 레지스터는 표 6에 도시되어 있다. 표 6에서, "어드레스" 열 아래의 보조열 CBQ, ADR 및 4.6.2는 공지된 특정 레지스터를 어드레싱하는데 필요한 부호화 LCC 셀(도 4b2 참조)의 유사한 명칭의 필드의 값에 관한 것이다. "기록" 및 "판독"으로 표시된 열은 부호화 LCC 셀에 의해 로딩 및/또는 로딩되지 않을 수 있는 레지스터를 나타낸다. 임의의 열에서 "X"의 값은 무관한 상태를 나타낸다(예컨대, 어떤 값은 수용 가능하다).

4.6.2.1 폴 인에이블 레지스터

폴 인에이블 레지스터는 셀 전송 프로세스동안 행렬 유닛(RCU)(40)에 의해 사용되는 모드 코드를 포함한다. 이러한 모드 코드는 셀 송신을 참조하여 보다 상세히 설명된다(섹션 9.0 및 도 10 참조). 폴 인에이블 레지스터의 2개의 최하위 비트의 값만이 사용된다. 폴 인에이블 레지스터의 2개의 최하위 비트의 값은 상기 모드(예컨대, 모드 0, 1, 2, 또는 3 중 어느 하나)에 대응한다. 예를 들어, 폴 인에이블 레지스터에서 0의 값은 모드 0(예컨대, LSC 셀만을 전송)에 관한 것이다. 내부 레지스터는 모드 0에서 판독될 수 없다. 레지스터를 판독하려는 시도가 진행 중이고 폴 인에이블이 모드 1, 2, 또는 3으로 변화되자마자 실행된다. 레지스터를 기록하려는 시도는 폴 인에이블 레지스터에 저장된 값이 0일 때 가능하다.

4.6.2.2 LCC 패리티 모드 레지스터

LCC 패리티 모드 레지스터의 최하위 비트는 패리티 모드를 제어하는데 사용된다. 후속 코드는 정상 패리티가 발생하는 것을 의미하는 "0"; 반전된 패리티 FBP, SBP 및 LWP가 발생하는 것을 의미하는 "1"을 송신된 LCC 셀에 인가한다.

4.6.2.3 셀 무결성 레지스터

셀 무결성 레지스터는 스위치 코어(22)에서 검출된 여러 가지 폴트에 의해 초래되는 에러 표시를 유지한다. 무결성 검사 동작은 예컨대, 섹션 X0에서 설명된다. 검출된 폴트는 레지스터의 대응하는 비트를 세트한다. 이 비트들은 레지스터의 인로드시에 클리어된다. 세트할 때 비트 0은 스위치 코어(22)의 수신측에서 검출되는 FBP, SBP, 또는 LWP 에러를 나타낸다. 세트할 때 비트 1은 연결된 스트림 또는 초과된 교차점 버퍼 크기의 수신된 셀 또는 변화된 CBQ값의 지원되지 않는 PRI값을 나타내거나 교차점 버퍼에서의 중복기록 시도(유니캐스트 및 멀티캐스트, 브로드캐스트는 아님)를 나타낸다. 비트 2는 사용되지 않는다. 세트할 때, 비트 3은 버퍼로부터 서비스 셀의 인로드시에 FBP 또는 SBP 에러를 나타낸다. 비트 4-7은 사용되지 않는다.

4.6.2.4 스캔 인에이블 레지스터

셀 크기 논리(59-2)의 일부를 형성하는 스캔 인에이블 레지스터(도 5f 참조)는 스캔 프로세스의 개시 및 정지를 제어한다. 스캔 인에이블 레지스터는 0에서 255까지의 어느 값으로 프리세트될 수 있는 8 비트 카운터이다. 이 카운터는 대응하는 포트에 송신되는 서비스 셀의 매 8(8번째) 바이트에 대해 1씩 증가시킨다. 카운터가 0에 도달할 때 스캔 프로세스는 정지한다. 카운터가 255로 프리세트된 경우, 카운트 다운은 불가능하고, 스캔 프로세스는 새로운 값(255 미만이고 0을 초과한 값)이 레지스터에 로딩될 때까지 항상 가능하다.

4.6.2.5 시스템 클록 레지스터

시스템 클록 레지스터(52-2)(도 5i 참조)는 각 포트의 시스템 클록 출력에 대한 멀티플렉서를 제어한다. 값 0-15는 시스템 클록 소스의 포트 수를 세트한다. 시스템 클록 레지스터에서, 비트 0-3은 클록 소스의 포트 수를 포함하고, 비트 4-7은 사용되지 않는다. 시스템 클록 레지스터는 스위치 코어(22)로부터 판독시에 0과 동일하게 세트된다.

4.6.2.6 자체의 PRI 레지스터

자체의 PRI 레지스터는 4 비트의 판독 전용 메모리이다. 판독시에 값은 실제의 포트 수와 동일하다. 자체의 PRI 레지스터에서, 비트 0-3은 자체의 포트 수를 포함하고, 비트 4-7은 0과 동일하게 세트된다.

4.6.2.7 수정 번호 레지스터

수정 번호 레지스터는 스위치 코어(22)의 수정 번호에 관한 정보를 유지하는 8 비트 판독 전용 레지스터이다. 스위치 코어(22)의 제1 수정은 1이다. 수정 번호 레지스터에서, 비트 0-7은 1에서 시작하는 수정 번호를 포함한다.

4.6.2.8 플레이트 레지스터

스위치 코어(22)를 통해 서로에 서비스 셀을 전송하고 있는 스위치 포트 보드(SPB)(24)(스위치포트)는 상이한 속도를 가질 수 있다. 스위치 코어(22)를 통해 서비스 셀의 최대 처리량을 달성하기 위해, 교차점 유닛(XPU)(32)의 버퍼의 프리 표시가 서비스 셀의 언로드의 개시시 또는 종료시에 형성되는 것이 필요하다. 스위치 포트 보드(SPB)(24) 사이의 속도차에 의존하여 선택이 이루어진다.

스위치 코어(22)내의 각 행렬 유닛(RCU)(40)에는, 앞서 폴스테이트_상태 레지스터(50-2)로서 설명된 2개의 16 비트 레지스터(CBQ당 1, 즉 버퍼 CBQ₀에 대해 1 및 버퍼 CBQ₁에 대해 1)가 존재한다. 플레이트 레지스터(50-3)는 도 5h2에 도시되어 있다. 하나의 행 상의 버퍼는 대응하는 폴스테이트_상태 레지스터(50-2)에서 "프리" 또는 "점유"로서 표시된다. 폴스테이트_상태 레지스터(50-2)의 내용은 검색 폴스테이트 명령에 응답하여 행렬 유닛(RCU)(40)으로부터 스위치 포트 보드(SPB)(24)로 전송되는 비트맵핑된 LCC 셀에 의해 송신된다.

플레이트 레지스터는 관련 버퍼가 프리로서 표시될 때를 정의한다. 각 행렬 유닛(RCU)(40)에 대해, 플레이트 레지스터내에 행렬 유닛(RCU)(40)에 접속되는 열의 각 교차점 유닛(XPU)(32)에 대해 1 레지스터 비트가 존재한다. 이 레지스터 비트는 교차점 유닛(XPU)(32)에서 2개의 CBQ 버퍼에 대해 동일하다. 하위 8 비트는 RPC=0에 위치되고, 최상위 바이트는 RPC=1에 위치되며, 이들 모두 어드레스 14에 있다.

버퍼에 대한 폴스테이트_상태 레지스터(50-2)의 점유/프리 표시는 셀의 제1 바이트가 버퍼에 입력할 때 항상 "점유"로 세트된다. 이러한 표시는 셀의 언로드의 개시시 또는 종료시에 "프리"로 세트된다. 상기 표시가 셀의 언로드의 개시 또는 종료시에 프리로 세트될 것인지는 플레이트 레지스터의 대응하는 비트의 세팅에 의해 결정된다. "0"의 세팅은 "프리" 표시가 버퍼로부터 최종 워드의 언로드시에 제공되게 하는 반면에, 플레이트 레지스터의 대응하는 비트의 "1"로의 세팅은 "프리" 표시가 버퍼로부터 제1 워드의 언로드시에 제공되게 한다.

도 11은 특정 행렬 유닛(RCU)(40_x)에 대하여, 행렬 유닛(RCU)(40)에 의해 관리되는 교차점 유닛(XPU)(32) 및 플레이트 레지스터내에서의 비트의 결합을 도시한다. 도 11에 도시되어 있는 특정 행렬 유닛(RCU)(40_x)은 메모리 어레이 유닛(MAU)(30)의 열 x를 관리한다.

이하의 시나리오는 도 12와 함께 스위치포트 X 및 Y로서 참조되는 2개의 스위치 포트 보드(SPB)(24)가 서로에 서비스 셀을 전송하도록 셋업될 때 플레이트 레지스터가 어떻게 세트되는지를 설명한다. 먼저, 반대의 스위치포트의 비트레이트는

비공지 상태이다. 따라서, "프리" 표시가 버퍼로부터 최종 워드의 언로드시에 형성된다. 스위치포트가 서비스 셀을 자체에 전송할 때, 프리 표시는 이 경우의 비트레이트가 항상 동일하기 때문에, 버퍼로부터의 제1 바이트의 언로드시에 형성되어야 한다. 플레이트 레지스터는 이러한 상황에 대해 LCC 셀을 통해 시작된다.

도 12의 수평 파선 아래의 상태에 도시되어 있는 바와 같이, 2개의 스위치포트 X 및 Y는 서로에 서비스 셀을 전송할 수 있다. 도면에서, 스위치포트 X의 속도는 스위치포트 Y의 속도보다 매우 큰 것으로 가정되며, 플레이트 레지스터의 대응 비트는 그에 따라 세트된다.

X로부터 Y까지 서비스 셀을 유지하는 버퍼의 "프리" 표시는 버퍼로부터의 최종 워드의 언로드시에 세트된다. Y로부터 X까지 서비스 셀을 유지하는 버퍼의 "프리" 표시는 서버로부터의 제1 워드의 언로드시에 세트된다.

4.6.2.9 스캔레이트 레지스터

스위치 코어(22)를 통해 서비스 셀의 최대 처리량을 달성하기 위해, 서비스 셀의 로드의 개시 또는 종료시에 셀_사용 가능의 표시가 형성될 수 있는 것이 또한 필요하다. 스위치 포트 보드(SPB)(24) 사이의 속도차에 의존하여 선택이 이루어진다.

스캔레이트 레지스터는 관련 버퍼내의 셀이 "사용 가능"으로 표시될 때를 정의한다. 이 표시는 스캔 프로세스에 사용되는 내부 스냅샷 레지스터(snapshot register)로 로딩된다.

도 13은 스캔레이트 레지스터 비트 및 교차점 유닛(XPU)(32) 사이의 결합을 도시한다. 이 행렬 유닛(RCU)(40)에 접속된 행의 각 교차점 유닛(XPU)(32)에 대해 스캔레이트 레지스터에 1 레지스터 비트가 존재한다. 이러한 레지스터 비트는 2개의 CBQ값에 대해 공통이다(총 16 비트). 하위 8 비트는 RPC=0에 위치되고 최상위 바이트는 RPC=1에 위치된다. 이들은 모두 어드레스 15에 있다.

버퍼에 대한 "셀_사용 가능"의 표시는 셀의 로드의 개시 또는 종료시에 형성될 수 있다. 버퍼에 대한 "셀_사용 가능"의 표시가 셀의 로드의 개시 또는 종료시에 형성될 수 있는지는 버퍼에 대응하는 스캔레이트 레지스터의 비트의 세팅에 의존한다. 이점에 대하여, "0"의 스캔레이트 비트 세팅은 "셀_사용 가능" 표시가 버퍼로의 최종 워드의 로드시에 제공되는 것을 나타내는 반면에, "1"의 스캔레이트 비트 세팅은 "셀_사용 가능" 표시가 버퍼로의 제1 워드의 로드시에 제공되는 것을 나타낸다. 상기 표시의 리셋트는 셀의 제1 바이트의 언로드시에 항상 이루어진다.

이하의 시나리오는 도 14와 함께, 2개의 스위치포트 X 및 Y가 서로에 서비스 셀을 전송하도록 셋업될 때 스캔레이트 레지스터가 어떻게 세트되는지를 설명한다. 먼저, 반대의 스위치포트의 비트레이트는 비공지 상태이다. 따라서, "셀_사용 가능" 표시는 버퍼로의 최종 워드의 로드시에 세트된다. 스위치포트가 서비스 셀을 자체에 전송할 때, "셀_사용 가능" 표시는 이 경우의 비트레이트가 항상 동일하기 때문에, 버퍼로의 제1 바이트의 로드시에 이루어진다. 스캔레이트 레지스터는 LCC 셀을 통해 시작된다.

도 14의 제2 상태에서, 2개의 스위치포트는 서로에 서비스 셀을 전송할 수 있다. 스위치포트 X의 속도는 스위치포트 Y의 속도보다 매우 높은 것으로 가정되고, 스캔레이트 레지스터의 대응하는 비트는 그에 따라 세트된다. X로부터 Y까지 서비스 셀의 "셀_사용 가능" 표시는 버퍼로의 제1 워드의 로드시에 형성된다. Y로부터 X까지 서비스 셀의 프리 표시는 버퍼로의 최종 워드의 로드시에 형성된다.

4.6.2.10 클리어 명령

클리어 명령이 스위치 코어(22)로 전송될 때, 이 포트의 대응하는 내부 레지스터가 즉시 클리어된다. LCC 셀의 데이터필드의 상이한 데이터비트는 스위치 코어(22)의 상이한 레지스터를 클리어한다.

이하의 맵핑은 클리어 명령에 적용한다:

"1"로 세트된 데이터비트(0)를 갖는 클리어 명령은 대응하는 CBQ값의 폴스테인트 레지스터를 클리어하고, 따라서 CLEAR_폴스테인트 명령으로서 작용한다.

"1"로 세트된 데이터비트(1)를 갖는 클리어 명령은 대응하는 CBQ값의 폴스테인트_해제(스캔스테인트) 레지스터를 클리어하고, 따라서 CLEAR_스캔스테인트 명령으로서 작용한다. 하나의 행에 접속된 포트가 존재하지 않고, 이 행의 교차점의

풀스태이트 비트가 세트되는 경우, 풀스태이트 비트는 높은 상태를 유지하고, 클리어 스캔스태이트는 이 교차점으로부터 셀을 발생한다. 풀스태이트 비트는 이 포트에 대한 클록이 존재하지 않고 때 새로운 "클리어 스캔스태이트"에 대해 하나의 셀이 발생되기 때문에, 높게 유지한다.

"1"로 세트되는 데이터비트(2)를 갖는 클리어 명령은 대응하는 CBQ값의 스냅샷 레지스터를 클리어하고, 따라서 CLEAR_스냅샷 명령으로서 작용한다.

"1"로 세트되는 데이터비트(3)를 갖는 클리어 명령은 대응하는 CBQ값의 스캔블록 레지스터를 클리어하고, 따라서 CLEAR_스캔블록 명령으로서 작용한다.

"1"로 세트되는 데이터비트(4)를 갖는 클리어 명령은 대응하는 CBQ값의 멀티캐스트 레지스터를 클리어하고, 따라서 CLEAR_멀티캐스트 명령으로서 작용한다. 권고:

4.6.2.11 검색_풀스태이트 명령

검색_풀스태이트 명령이 스위치 코어(22)에 전송될 때, 내부 풀스태이트 상태가 검색된다. 매트릭스 0의 CBQ₀ 버퍼에 대한 하나의 명령 및 매트릭스 1의 CBQ₁ 버퍼에 대한 다른 명령이 존재한다.

4.6.2.12 스캔블록 레지스터

스캔블록 레지스터의 판독은 28의 ADR 필드값을 갖는 부호화 LCC 셀을 스위치 코어(22)에 전송함으로써 이루어진다. LCC 셀의 RPC 필드 및 CBQ 필드값은 스캔블록 레지스터의 대응하는 데이터를 제공한다.

4.6.2.13 멀티캐스트 레지스터

멀티캐스트 레지스터의 판독은 30의 ADR 필드값을 갖는 부호화 LCC 셀을 스위치 코어(22)에 전송함으로써 이루어진다. LCC 셀의 RPC 필드값은 멀티캐스트 레지스터의 대응하는 데이터를 제공한다.

4.7 셀 판독 유닛(CRU)

서비스 셀은 스캔스태이트 프로세스에 따라서 스위치 코어(22)로부터 SPIC(26)에 공급된다. 따라서, SPIC(26)는 자체의 열 상의 모든 영향을 받는 교차점(XPU)를 차단함으로써 또는 스캔 인에이블 카운터를 0으로 세팅함으로써 도달하는 것으로부터의 서비스 셀만을 정지시킬 수 있다. 따라서, 스캔스태이트 프로세스(도 18 참조)는 XPU(32)(특히, 스캔스태이트 레지스터(50-4), 도 5h2 참조)를 검색하고, 대응하는 XPU로부터 검출하는 임의의 서비스 셀을 로딩하지 않는다. 셀 판독 유닛(CRU)(59)은 판독 버스(44)에 부착된 교차점 유닛(XPU)(32)중의 적절한 하나로부터의 발신 셀을 획득하고, 그 후 셀 발생기 유닛(CGU)(58)이 발신 서비스 셀을 링크(28) 상의 발신 셀 스트림에 인가하는 프로세스를 시작한다.

교차점 유닛(XPU)(32)이 점유 상태를 갖는 대응하는 스캔스태이트 레지스터(50-4)를 가지는 것으로 밝혀진 후에, 점유된 교차점 유닛(XPU)(32)의 버퍼는 로딩되지 않는다. 이어서, 로딩되지 않은 교차점 유닛(XPU)(32)에 대한 버퍼의 상태는 풀스태이트_해제 레지스터(50-8)에서 "프리"로 변화된다. 더욱이, 풀스태이트_상태 레지스터(50-2)의 상태는 "프리" 상태로 또한 변화된다. 진술한 동작은 행렬 유닛(RCU)(40)이 또한 접속되는 판독 버스(44)에 접속되는 모든 교차점 유닛(XPU)(32)에 대하여 행해진다.

도 5f에 도시되어 있는 바와 같이, 셀 판독 유닛(CRU)(59)은 판독 어드레스 카운터(59-1), 셀 크기 논리 유닛(59-2), 선택 유닛(59-3), 스냅샷 레지스터의 세트(59-4), 스캔 데이터 게이트의 세트(59-5) 및 스캔블록 레지스터의 세트(59-6)을 포함한다.

교차점 유닛(XPU)(32)이 로딩되지 않을 때, 교차점 상태 유닛(XSU)(50)은 셀 판독 유닛(CRU)(59)의 게이트(59-5)에 라인 "스캔 데이터"를 통해 신호를 인가한다. 도 5h2의 배열은 교차점 상태 유닛(XSU)(50)에 의해 관리되는 각 교차점 유닛(XPU)(32)에 대하여 반복되고, 이에 따라서 그러한 각 교차점 유닛(XPU)(32)에 대해 분리 라인 "스캔 데이터"가 존재한다. 라인 "스캔 데이터"상의 스캔 신호는 스캔블록 레지스터(59-6)의 세트의 대응하는 레지스터에 의해 허용되는 경우, 게이트(59-5)를 통과된다. 게이트된 스캔 신호는 스냅샷 레지스터(59-4) 중 대응하는 하나 및 선택 유닛(59-3)에 병렬로 인가된다.

게이트된 스캔 신호가 속하는 특정 교차점 유닛(XPU)(32)이 없는 선택 유닛(59-3)은 서비스 셀이 교차점 유닛(XPU)(32)으로부터 인출되도록 적절한 신호를 전송한다. 특히, 선택 유닛(59-3)은 판독 버스(44)의 라인(버퍼 가능)에 신호를 인가하고; 판독 어드레스 카운터(59-1)가 특정 교차점 유닛(XPU)(32)이 이용되는 특정 스캔 데이터 라인을 고려하여 어드레스되는지를 결정할 수 있도록 라인(판독 제어)상에 신호를 전송하며; 어드레스된 교차점 유닛(XPU)(32)에서 버퍼(CBQ₀ 및 CBQ₁)중 선택된 하나가 적절하게 표시되도록 판독 버스(44)의 라인(우선 순위)에 버퍼 선택 신호를 전송한다. 더욱이, 선택 유닛(59-3)은 서비스 셀이 사용 가능으로 되는 것을 나타내도록 셀 발생기 유닛(CGU)(58)(도 5g 참조)에 라인(서비스 셀)을 통해 신호를 전송한다.

판독 어드레스 카운터(59-1)는 선택 유닛(59-3)에서 수신된 게이트된 스캔 신호에 대응하는 교차점 유닛(XPU)(32)의 어드레스를 결정하도록 라인(판독 제어)상의 신호를 사용한다. 어드레스는 판독 버스(44)의 라인(판독 어드레스)에 인가된다. 판독의 시작시에, 판독 어드레스 카운터(59-1)는 교차점 상태 유닛(XSU)(50)에 인가하기 위해 라인(개시-판독)상의 신호를 세트한다(도 5h2 참조).

서비스 셀의 바이트는 판독 버스(44)의 라인(판독 데이터)을 통해 셀 판독 유닛(CRU)(59)에 의해 포착된다. 각 셀의 헤더가 수신되어 셀 크기 논리 유닛(59-2)에 인가될 때, 셀 크기 논리 유닛(59-2)은 셀의 길이(즉, 필드 SCS로부터의(도 4a 참조))를 결정한다. 셀 크기 논리 유닛(59-2)은 판독 어드레스 카운터(59-1)가 셀의 모든 바이트가 셀 크기 논리 유닛(59-2)에 의해 결정되는 바와 같이 획득될 때까지, 라인(판독 어드레스)에 인가되는 어드레스를 반복적으로 증가하게 한다. 그 후, 셀 크기 논리 유닛(59-2)은 판독 어드레스 카운터(59-1)가 교차점 상태 유닛(XSU)(50)에 인가하기 위해 라인(종료-판독)을 통해 신호를 발신하게 한다(도 5h2 참조).

셀 판독 유닛(CRU)(59)은 교차점 유닛(XPU)(32)의 버퍼로부터 셀의 언로드시에, 로딩되지 않은 버퍼에 대한 폴스태이트_상태 레지스터(50-2)가 프리 상태로 리세트되게 한다. 이 점에 대하여, 폴레이트 레지스터의 값에 의존하여 라인 "종료-판독" 또는 라인 "개시-판독"상의 신호 중 하나 또는 다른 하나가 폴스태이트_상태 레지스터(50-2)를 리세트하는데 이용된다(도 5h2 참조).

전술한 방법으로 선택 유닛(59-3)에 의해 어드레스할 때, 어드레스된 교차점 유닛(XPU)(32)의 선택된 버퍼의 셀은 판독 버스(44)의 판독 데이터 라인을 통해 셀 판독 유닛(CRU)(59) 및 셀 발생기 유닛(CGU)(58)에 모두 송신된다(도 5g 참조).

4.8 셀 발생기 유닛(CGU)

셀 발생기 유닛(CGU)(58)은 후속 셀 구간에 스위치 포트 보드(SPB)(24)에 전송할 셀을 결정한다. 셀 발생기 유닛(CGU)(58)에 의해 전송되는 셀은 버스(p-데이터_out)를 통해 시스템 클럭 유닛(SCU)(52)에 인가된다(도 5b 참조).

도 5G에 도시되어 있는 바와 같이, 셀 발생기 유닛(CGU)(58)은 후속 셀 제어 유닛(58-1), 폴 인에이블 레지스터(레지스터(58-2P)로 도시), 스캔 인에이블 레지스터(레지스터(58-2S)로 도시), 패리티 발생기(58-3), 제어 셀 충전 बैं크(58-4) 및 PRI 무결성 검사 유닛(58-5)을 포함한다. 후속 셀 제어 유닛(58-1)은 후속 셀 구간에 스위치 포트 보드(SPB)(24)에 전송될 후속 셀 유형을 결정하고, 이러한 결정을 하기 위해, 라인(sync-셀, 서비스-셀 및 OAM 셀)상의 신호 뿐만 아니라 폴 인에이블 레지스터(58-2P) 및 스캔 인에이블 레지스터(58-2S)의 내용을 나타내는 신호를 수신한다. 셀 동기화 유닛(CSU)(54)(도 5b 참조)에서 출력되는 라인(sync-셀)상의 신호는 동기화 셀(LSC 셀)이 스위치 포트 보드(SPB)(24)로부터 수신되는 것을 나타낸다. 운용 및 보수 유닛(OMU)(57)(도 5e 참조)으로부터 수신되는 라인(OAM)상의 신호는 비동기화 제어 셀이 스위치 포트 보드(SPB)(24)로부터 수신되는 것을 나타낸다. 셀 판독 유닛(CRU)(59)(도 5f 참조)으로부터 수신되는 라인(서비스-셀)상의 신호는 서비스 셀이 인출되고 PRI 무결성 검사 유닛(58-5)에서 라인 "판독-데이터"에서 사용 가능한 것을 나타낸다. 셀 발생기 유닛(58)은 예컨대, 섹션 9.0 및 도 10에 설명되어 있는 셀 송신 절차를 제어하기 위해 자체에 입력되는 신호를 사용한다.

셀 송신 절차에 따라서, 후속 셀 제어 유닛(58-1)은 라인 "제어-셀-언로드"를 통해 제어 셀 충전 बैं크(58-4)에, 그리고 라인 "판독-제어"를 통해 패리티 발생기(58-3)에 신호를 출력한다. 제어 셀 충전 बैं크는 목표 코드 레지스터(57-2)(도 5e 참조)로부터 라인 "OAM-셀 데이터"를 통해 신호를 수신한다. PRI 무결성 검사 유닛(58-5)은 셀 판독 유닛(CRU)(59)으로부터 라인 "판독-데이터"를 통해 서비스 셀을 수신하여, 무결성 검사를 실행하고, 셀 동기화 유닛(CSU)(54), 라인 인터페이스 유닛(LIU)(53) 및 스위치 포트 보드(SPB)(24)에 송신하기 전에 서비스 셀을 패리티 및 패리티 발생기(58-3)에 전달한다.

기본적으로, 셀은 이하의 우선 순위 법칙에 따라서 (내림차순의 우선 순위 순서로) 셀 발생기 유닛(CGU)(58)로부터 전송된다:

1. 헌트(hunt) 상태가 나타나거나 LSC 셀 프롬프트가 발생하는 경우의 링크 상태 제어(LSC) 셀. LSC 셀은 SPIC(26) 및 대응하는 RCU(40) 사이의 링크 상에서 정렬을 유지하기 위해, 즉 셀 경계를 구별하기 위해 이용된다. 헌트 상태동안, RCU(40)는 셀 구조를 찾는 것이 불가능하고, 대신에 RCU(40)가 동기화되어 있지 않고 LSC 셀 전송을 중지할 때까지 LSC 셀을 수신할 필요가 있는 것을 나타내는 코드를 갖는 LSC 셀을 전송한다. 다른 방법으로는, SPIC(26)가 동기화 되어 있지 않고 대응하는 요구를 RCU(40)에 전송할 수 있으므로, RCU(40)가 연속적인 LSC 셀을 발신한다(RCU(40)가 동기화되어 있지 않는 것을 나타내는 코드를 가지지 않을 지라도).
2. 또한 SPIC(26)에 의해 프롬프트되는 진행되는 LCC 셀로서 또한 공지되어 있는 이전의 요구 또는 프롬프트된 폴링 스케줄에 따르는 OAM 셀.
3. 현재의 스캔 모드 스케줄에 의존하는 서비스 셀/제어 셀.
4. 프롬프트되지 않은 CCBR(일정한 비트율) 폴 데이터를 갖는 유틸리티 셀 또는 OAM 셀.

셀 발생기 유닛(CGU)(58)은 LSC 셀 프롬프트가 발생하는 경우 요구되는 OAM 셀의 해제를 유지할 수 있어야 한다. LSC 셀 및 유틸리티 셀은 제어 셀 충전 탱크(58-4) 뿐만 아니라 OAM 셀의 공통 부분에서 발생된다.

PRI 무결성 검사 유닛(58-5)은 표 6에 도시되어 있는 바와 같은 자체의 PRI 레지스터를 사용하여 셀의 PRI 필드내의 값이 자체의 PRI와 일치하는지를 테스트한다. 선택적으로, PRI 무결성 검사 유닛(58-5)은 또한 패리티 검사를 행할 수 있다. 패리티 발생기(58-3)는 모든 셀 유형에 대해 요구되는 패리티를 부가 또는 변경할 수 있다.

4.9 시스템 클록 유닛

도 5에 행렬 유닛(RCU)(40)을 포함하는 것으로 도시되어 있는 시스템 클록 유닛(SCU)(52)은 도 5i에 더 상세히 도시되어 있다. SCLK(도 5 참조)로부터 도출되는 신호(sysclk-in)은 각 행렬 유닛(RCU)(40)에 대해 존재하고 시스템 클록 유닛(SCU)(52)에 인가된다. mux(52-1)는 신호(sysclk-in)중 하나, 즉 적절한 행렬 유닛(RCU)(40)으로부터 라인 인터페이스 유닛(53)(도 5a 참조)에 신호(sysclk-out)으로서 인가될 신호를 선택한다. mux(52-1)에 의한 선택은 시스템 클록 레지스터(52-2)에 의해 제어된다. 시스템 클록 레지스터(52-2)는 부호화 포맷의 LCC 셀에 의해 세트될 수 있다. 원하는 경우, 슬루 레이트(slew rate) 레지스터(52-3)가 제공될 수 있고, 저(low)에서 고(high)로의 전이 속도(볼트/나노초)가 SCLK-OUT 및 D-SCSP 신호(도 5a 참조)에 대해 세트 가능한 4개의 속도로 제어될 수 있도록 세트될 수 있다.

5.0 초기화

도 7은 도 1의 ATM 스위칭 시스템에 대한 초기화 절차에 수반되는 기본 단계를 도시하는 플로우차트이다. 스위칭 시스템(20)의 전력 상승시에, 동기화 목적을 위해 및 도 7의 단계 7-1로 도시되어 있는 바와 같이, 각 스위치 포트 보드(SPB)(24)가 부호화 포맷을 갖는 적어도 5개의 링크 상태 제어 셀(LSC 셀)을 대응하는 행렬 유닛(RCU)(40)(도 5 참조)에 전송하는 것이 바람직하다. 스위칭 시스템(20)이 실행되고 몇 가지 이유로 동기화를 상실할 때와 같은 몇몇 경우에, 더 적은 LSC 셀(예컨대, 3개의 LSC 셀)이 스위칭 시스템(20)의 재동기화를 위해 필요하다. 초기화 또는 재동기화와 관련하여 송신된 최종 LSC 셀은 "SYNC"의 SSC 필드값을 가져야 한다(도 4b3 참조). 동기화는 섹션 6.0에서 더욱 상세히 논의된다.

동기화가 설정된 후에, 부호화 포맷의 일련의 LCC 셀은 자체의 각각의 스위치 포트 보드(SPB)(24)로부터 각 행렬 유닛(RCU)(40)으로 전송된다. 직렬로 각각의 부호화 LCC 셀의 발신은 도 7의 단계 7-2 내지 7-9에 반영된다.

단계 7-2에서 발부된 부호화 LCC 셀은 폴 인에이블 레지스터(표 6 참조)를 세트하는데 사용된다. 폴 인에이블 레지스터는 예컨대, 섹션 4.6.2.1에서 논의된다. 폴 인에이블 레지스터의 초기화를 달성하기 위해, 단계 7-2에서의 부호화 LCC 셀의 필드는 이하의 값(도 4b2 참조): PRI 필드=31; ADR 필드=4; RPC 필드=0; 필드 CBQ=X로 세트되고; 데이터 필드는 0(16진법)으로 세트되며; 기록 비트는 1로 세트되고 판독 비트는 0으로 세트된다.

단계 7-3 내지 7-7은 스위칭 시스템(20)내의 각 행렬 유닛(RCU)(40)에 대한 가 교차점 유닛(XPU)(32)에 대하여 실행된다. 단계 7-3에서, 클리어 명령 LCC 셀이 각각의 매트릭스 0 및 매트릭스 1로 전송된다. 이러한 클리어 명령 LCC 셀은 RCU(40)가 소유하는 XPU와 결합되는 폴스테이트 레지스터(50-2) 및 스캔스테이트 레지스터(50-4)(도 5h2 참조)의 위치를 리셋한다.

단계 7-4에서, 2개의 부호화 LCC 셀이 스캔레이트 레지스터를 높은 바이트로 그리고 스캔 레이트 레지스터를 낮은 바이트로 초기화하기 위해 전송된다(표 6 참조). 스캔레이트 레지스터는 예컨대, 섹션 4.6.2.9에서 논의된다. 단계 7-4의 제1 LCC 셀은 스캔 레이트 레지스터를 낮은 바이트로 초기화하고, 단계 7-4의 제2 LCC 셀은 스캔 레이트 레지스터를 높은 바이트로 초기화한다. 스캔레이트가 높은 바이트는 (메모리 어레이 유닛(MAU)(30)의 매트릭스 0내의) 교차점 유닛(XPU)(32)의 CBQ₀ 버퍼용으로 이용되고, 스캔레이트가 낮은 바이트는 (메모리 어레이 유닛(MAU)(30)의 매트릭스 1내의) 교차점 유닛(XPU)(32)의 CBQ₁ 버퍼용으로 이용된다. 이러한 바이트들은 비공지 속도(실제로 속도가 공지되어 있지 않다면)를 나타내도록 세트된다. 단계 7-4의 제1 셀에 대한 부호화 LCC 셀의 필드는 이하의 값(도 4b2 참조): PRI 필드=31; ADR 필드=15; RPC 필드=0; 필드 CBQ=X로 세트되고; 데이터 필드는 00(16진법)으로 세트되며; 기록 비트는 1로 세트되고 판독 비트는 0으로 세트된다. 단계 7-6의 제2 셀에 대한 부호화 LCC 셀의 필드는 RPC 필드=1인 것을 제외하고 유사하게 세트된다.

단계 7-5에서, 2개의 부호화 LCC 셀이 폴 레이트 레지스터를 높은 바이트로 그리고 폴 레이트 레지스터를 낮은 바이트로 초기화하기 위해 전송된다(표 6 참조). 폴레이트 레지스터는 예컨대, 섹션 4.6.2.8에서 설명된다. 스캔 레이트 레지스터와 유사한 방식으로, 바이트들은 비공지 속도(속도가 실제로 공지되어 있지 않으면)를 나타내도록 세트된다. 단계 7-5의 제1 셀에 대한 부호화 LCC 셀의 필드는 이하의 값(도 4b2 참조): PRI 필드=31; ADR 필드=14; RPC 필드=0; 필드 CBQ=X로 세트되고; 데이터 필드는 00(16진법)으로 세트되며; 기록 비트는 1로 세트되고 판독 비트는 0으로 세트된다. 단계 7-5의 제2 셀에 대한 부호화 LCC 셀의 필드는 RPC 필드=1인 것을 제외하고 유사하게 세트된다.

단계 7-6에서, 부호화 LCC 셀이 스캔 인에이블 레지스터를 가능하게 하도록 전송된다(표 6 참조). 스캔 인에이블 레지스터는 예컨대, 섹션 4.6.2.4에서 설명된다. 단계 7-6의 부호화 LCC 셀의 필드는 이하의 값(도 4b2 참조): PRI 필드=31; ADR 필드=7; RPC 필드=0; 필드 CBQ=X로서 세트되고; 데이터 필드는 FF(16진법)로 세트되며; 기록 비트는 1로 세트되고, 판독 비트는 0으로 세트된다.

단계 7-7에서, 부호화 LCC 셀은 폴 인에이블 레지스터를 세트하기 위해 전송된다(표 6 참조). 모드 1의 중요성이 도 10과 관련하여 설명된다. 단계 7-7의 부호화 LCC 셀의 필드는 이하의 값(도 4b2 참조): PRI 필드=31; ADR 필드=4; RPC 필드=0; 필드 CBQ=X로서 세트되고; 데이터 필드는 01(16진법)로 세트되며; 기록 비트는 1로 세트되고, 판독 비트는 0으로 세트된다.

단계 7-8은 32 최대 길이(예컨대, 56 바이트) 서비스 셀의 지속 기간과 필적할 만한 시간 기간동안의 대기를 요구한다. 이 대기 기간동안, 발생하는 임의의 셀은 무시된다. 단계 7-8의 대기 기간은 임의의 산재 서비스 셀(sporadic service cells) 또는 제어 셀이 스위칭 시스템(20)에서 방출되게 한다. 산재 서비스 셀은 다른 행렬 유닛(RCU)(40)의 폴스테이트 레지스터가 전력 상승시에 발생할 수 있는 판독하는데 사용 가능한 셀이 존재하는 것을 나타내거나 다른 행렬 유닛(RCU)(40)이 접속되는 스위치 포트 보드(SPB)(24)를 갖지 않는 경우 발생할 수 있다. 그러한 산재 서비스 셀은 링크가 동기화되고 폴 인에이블 모드가 모드 1, 2, 또는 3으로 세트된 후에 방출될 수 있다.

6.0 동기화

도 1에 도시되어 있는 바와 같이, 각 스위치 포트 보드(SPB)(24)는 스위치 코어(22) 양방향 링크, 특히 링크(27, 28)에 접속된다. 링크의 각 측면상에, 동기 신호 태그 검출기 또는 셀 정렬기가 있다. 예를 들어, 행렬 유닛(RCU)(40)에는, 동기 신호 태그 검출기(54-3)가 셀 동기화 유닛(CSU)(54)에 제공된다(도 5b 참조). 동기 신호 태그 검출기의 작업은 LSC 셀을 검출하는 것이다. 도 3에 도시되어 있는 바와 같이, 다양한 크기의 셀이 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이에서 각 방향으로 비트 스트림으로서 전송된다. 자체의 내부 내용과 달리, 셀 개시에 대한 명확하지 않은 정보가 링크(27, 28)에 있다. 양측, 즉 스위치 코어(22) 및 스위치 포트 보드(SPB)(24)는 따라서 링크(27 및 28)를 동기화하기 위해 셀 정렬을 행하는데 필요하다. 동기화는 필요한 경우 LSC 셀(도 4b3 참조)의 삽입에 의해 달성된다. 스위치 포트 보드(SPB)(24)로부터 스위치 코어(22)로 전송되는 LSC 셀은 동기 신호 태그 검출기(54-3)에서 분석되고; 스위치 코어(22)로부터 스위치 포트 보드(SPB)(24)로 전송되는 LSC 셀은 스위치 포트 보드(SPB)(24)내의 대응하는 유사하게 동작하는 동기 신호 태그 검출기에서 분석된다. 동기 신호 태그 검출기는 LSC가 아닌 셀에 영향을 미치지 않는다.

스위치 포트 보드(SPB)(24)내의 동기 신호 태그 검출기 및 동기 신호 태그 검출기(54-3)는 모두 도 8에 도시되어 있는 상태도에 따라서 동작하는 상태 머신을 포함한다. 고속 동기화 및 링크(27, 28)의 동작 상태를 유지하기 위해, 링크의 각 측면, 즉 스위치 코어(22) 및 스위치 포트 보드(SPB)(24)는 LSC 셀을 사용함으로써 자신의 상태의 통지가 가능해야 한다. 동기 신호 태그 검출기의 동작은 이하 포괄적으로 논의되고, 그러한 동작은 스위치 포트 보드(SPB)(24)내의 동기 신호 태그 검출기 및 동기 신호 태그 검출기(54-3)를 모두 설명할 수 있는 것으로 이해된다.

링크의 반대측으로부터의 착신 LSC 셀은 동기 신호 태그 검출기에 의해 LSC 셀에 대한 미리 정해진 패턴과 비교된다(도 4b2 및 섹션 2.2.2.1 참조). SSC 필드는 LSC 셀을 발생한 동기 신호 태그 검출기가 PRESYNC 상태(11의 SSC값으로 표시된 바와 같이) 또는 동기화 상태 예컨대, SYNC0 또는 SYNC1(SYNC, 즉 00의 SSC값으로 표시되는 바와 같이)에 있는지를 나타낸다. 도 8에 도시되어 있는 바와 같이, 동기 신호 태그 검출기는 3개의 연속적인 에러 프리 LSC 셀이 수신될 때까지 PRESYNC 상태에 있고, 2개의 SYNC 상태(SYNC0 또는 SYNC1)중 하나로 입력한다. 링크의 양측면, 즉 스위치 포트 보드(SPB)(24) 및 스위치 코어(22)가 SYNC1 상태에 도달할 때, 서비스 셀 및 LCC 셀은 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이에서 흐름을 개시할 수 있다.

각 서비스 셀은 특히 필드 SCS에 자신의 크기에 대한 정보를 포함한다(도 4A 참조). 크기 정보는 셀 동기화를 유지하기 위해 사용된다. 무결성 검사 유닛(55-3)(도 5c 참조)에 의해 검출되는 것과 같은 임의의 셀 폴트는 동기 신호 태그 검출기를 PRESYNC 상태로 둔다. 자신의 SSC 필드에 PRESYNC값을 갖는 LSC 셀이 SYNC1 상태 중에 수신되는 경우, 상태 머신은 상태 SYNC0으로 들어간다. 상태 SYNC0에서, 필드 SSC내에 SYNC값을 갖는 LSC 셀이 임의의 셀(필드 SSC내에 PRESYNC값을 갖는 LSC 셀 제외)이 수신될 때까지 항상 전송된다.

이하의 LSC 셀 전이 법칙은 도 8의 동기 신호 상태 머신의 동작을 설명한다:

전이 법칙 1: PRESYNC 상태에서, 이하의 동작이 취해진다:

- (1) PRESYNC의 SSC값을 갖는 LSC 셀을 전송하고, 수신되는 임의의 LSC가 아닌 셀을 폐기한다.
- (2) 3개의 연속적인 에러 프리 LSC 셀이 수신될 때 상태 SYNC0 상태로 진행하고, 그러한 제3 LSC 셀은 PRESYNC의 SSC값을 갖는다.
- (3) 3개의 연속적인 에러 프리 LSC 셀이 수신될 때 상태 SYNC1 상태로 진행하고, 제3 LSC 셀은 상태 SYNC를 갖는다.

전이 법칙 2: SYNC0 상태에서, 이하의 동작이 취해진다:

- (1) SYNC의 SSC값을 갖는 LSC 셀만이 전송되게 하고, 모든 LSC가 아닌 셀을 폐기한다.
- (2) PRESYNC의 SSC값을 갖는 LSC 셀을 제외하고 에러 프리 셀이 수신될 때 SYNC1 상태로 진행한다.
- (3) 에러가 수신된 셀에 존재할 때 PRESYNC 상태로 진행한다.

전이 법칙 3: SYNC1 상태에서, 이하의 동작이 취해진다:

- (1) 서비스 및 제어 셀이 전송되게 한다.
- (2) SYNC1 상태로 남아 있을 때, 스위치 코어(22)가 발신중인 셀 전송을 완료한다.
- (3) PRESYNC의 SSC값을 갖는 에러 프리 LSC 셀이 수신될 때 SYNC0 상태로 진행한다.
- (4) 에러가 수신된 셀에 존재할 때 PRESYNC 상태로 진행한다.

도 9는 예시적인 동기화 및 재동기화 시나리오에 있어서의 동기 신호 검출기(54-3)내의 가능한 상태 전이를 도시한다. 도 9에서, LSC의 SSC값 예컨대, LSC 셀을 발신한 동기 신호 태그 검출기의 상태는 괄호로 표시된다. SYNC의 괄호 표시는 일반적으로 동기화 예컨대, SYNC0 또는 SYNC1중 하나에 관한 것이다.

도 9에서 먼저 스위치 코어(22)가 PRESYNC 상태에 있는 것으로 가정되는 경우, 스위치 코어(22)는 PRESYNC의 SSC값을 갖는 LSC 셀을 수신하고, LSC 셀 SSC값 PRESYNC는 또한 스위치 코어(22)로부터 스위치 포트 보드(SPB)(24)로 전송된다. 3개의 연속적인 수신 LSC 셀 이후에, 동기 신호 태그 검출기(54-3)는 SYNC0 상태로 진행하고 SYNC의 SSC값을 갖는 LSC값을 전송한다. 스위치 포트 보드(SPB)(24)는 3개의 LSC 셀의 수신 후에 SYNC1 상태로 진행한다(예컨대, 전이 법칙 1, 조항 3 참조). 이어서, SYNC의 SSC값을 갖는 LSC 셀의 수신 후에, 상태 SYNC1이 입력되고 SYNC의 SSC값을 갖는 추가의 LSC 셀이 전송된다. 이제 스위치 코어(22) 및 스위치 포트 보드(SPB)(24)가 모두 SYNC1 상태에 있고, 서비스 셀이 링크(27, 28)를 통해 상호 교환될 수 있는 결과를 갖는다.

동기화가 설정된 후에, 스위치 코어(22)내의 동기 신호 태그 검출기(54-3)가 PRESYNC의 SSC값을 갖는 LSC 셀을 수신하는 경우, 동기 신호 태그 검출기(54-3)는 상태 SYNC0으로 반전하고 SYNC의 SSC값을 갖는 LSC 셀에 응답한다. PRESYNC를 갖는 연속적인 LSC 셀이 동기 신호 태그 검출기(54-3)에서 수신되는 경우, 동기 신호 태그 검출기(54-3)는 상태 SYNC0으로 반전하고 LSC 셀의 연속적인 스트림에 응답한다.

폴트가 수신된 서비스 셀에서 검출되는 경우, 스위치 코어(22)는 PRESYNC 상태로 진행하여 스위치 포트 보드(SPB)(24)에 PRESYNC의 SSC값을 갖는 LSC 셀을 전송하기 시작한다. 이들 LSC 셀은 스위치 포트 보드(SPB)(24)가 PRESYNC의 SSC값을 갖는 LSC 셀을 전송하게 한다. 3개의 연속적인 그러한 LSC 셀 이후에, 동기 신호 태그 검출기(54-3)는 상태 SYNC1로 진행하고 서비스 셀이 흐르기 시작할 수 있다.

도 3에 도시되어 있는 셀 스트림은 스위치 포트 보드(SPB)(24) 및 스위치 코어(22) 사이에서 일정하게 유지된다. 연속성은 셀 속도 분리에 의해 달성된다. 스위치 코어(22)에서 스위치 포트 보드(SPB)(24)로의 방향으로, 즉 코어 대 포트 링크(28)를 통해, 스위치 코어(22)(특히 셀 발생기 유닛(CGU)(58)(도 5g 참조))는 링크(28)를 통해 전송되는 서비스 셀 또는 LCC 셀이 존재하지 않을 때, LSC 셀(스위치 코어(22) 및 스위치 포트 보드(SPB)(24)의 현재의 동기화 상태로 세트된 SSC 필드를 가짐)을 전송한다. 스위치 포트 보드(SPB)(24)에서 스위치 코어(22)로의 방향으로, 즉 포트 대 코어 링크(27)를 통해, 스위치 포트 보드(SPB)(24)는 링크(27)를 통해 전송하는 서비스 셀 또는 LCC 셀이 존재하지 않을 때, 현재의 동기화 상태로 세트된 SSC 필드를 갖는 LSC 셀을 전송한다.

7.0 셀 수신

셀 스트림의 동기화후에, 서비스 셀 및 제어 셀이 이하 설명되는 바와 같이 상이하게 조정된다.

7.1 제어 셀 수신

서비스 셀과 다른 제어 셀, 즉 LSC 셀 및 LCC 셀은 모두 행렬 유닛(RCU)(40)에서 종료된다. 예컨대, 섹션 6.0에서 설명된 방식으로 동기화 목적으로 주로 사용되는 수신된 LSC 셀은 행렬 유닛(RCU)(40), 특히 전술한 방식으로 동기 신호 태그 검출기(54-3)의 상태 머신에 영향을 준다(예컨대, 도 8 및 도 9 참조). 부호화(도 4b1 참조)이든 비트맵핑된(도 4b2 참조)이든간에 LCC 셀은 자체에 접속되는 스위치 포트 보드(SPB)(24)로부터 스위치 코어(22)내의 하나의 행렬 유닛(RCU)(40)을 제어 및 동작시키는데 사용된다. 이 점에 대하여, 각 스위치 포트 보드(SPB)(24)는 자신의 행렬 유닛(RCU)(40)을 제어한다.

행렬 유닛(RCU)(40)을 제어할 때, 일부 LCC 셀은 행렬 유닛(RCU)(40)내부의 제어 레지스터, 특히 표 6에 도시되어 있는 바와 같은 교차점 상태 유닛(XSU)(50)내의 레지스터를 갱신하는데 이용된다. 수신된 LCC 셀은 이러한 목적의 데이터를 포함한다. 레지스터내의 최대 16 비트 데이터가 하나의 비트맵핑된 LCC 셀(섹션 2.2.1.1 참조)에 의해 갱신될 수 있다. 부호화 LCC 셀에서, 8 비트가 행렬 유닛(RCU)(40)내의 레지스터에 기록 또는 이 레지스터로부터 판독된다. 다른 LCC 셀은 행렬 유닛(RCU)(40)에 의해 실행되는 명령을 포함한다.

표 7은 행렬 유닛(RCU)(40)에서 수신되는 LCC 셀의 다양한 필드(PRI, ADR 기록, 판독(도 4b2 참조)) 및 이에 대하여 취해지는 동작, 즉 어떤 응답하는 LCC 셀의 발신을 포함하는 행렬 유닛(RCU)(40)에 의해 취해지는 동작을 포함하는 동작을 도시한다. 표 7에 도시되어 있는 바와 같이, 일반적으로 행렬 유닛(RCU)(40)에서 수신된 LCC 셀은 이하의 목적을 충족한다:

(1) 행렬 유닛(RCU)(40) 내부의 레지스터(표 6 참조)를 갱신하는 것. 수신된 LCC 셀은 레지스터에 대한 데이터 및 어드레스를 포함한다.

(2) 행렬 유닛(RCU)(40) 내부의 레지스터의 판독을 개시하는 것. 수신된 LCC 셀은 레지스터 어드레스를 포함하고, RCU는 어드레스된 레지스터에 저장된 실제의 데이터를 포함하는 LCC 셀에 응답한다.

(3) 행렬 유닛(RCU)(40) 내부의 레지스터를 갱신하고 동일한 레지스터의 판독을 개시하는 것. 수신된 LCC 셀은 갱신될 레지스터에 대한 어드레스 뿐만 아니라 어드레스된 레지스터내에 저장될 갱신 데이터를 포함한다. 갱신될 때, RCU는 레지스터에 기록되는 데이터를 확인하는 LCC 셀에 응답한다.

(4) 접속된 스위치 포트 보드(SPB)(24)로부터 행렬 유닛(RCU)(40)으로 명령을 로드하는 것. 수신된 LCC 셀은 명령 코드를 포함한다.

행렬 유닛(RCU)(40)의 레지스터에 기록하기 위한 연속적인 부호화 LCC 셀이 허용된다. 그러나, 행렬 유닛(RCU)(40)의 레지스터를 판독하기 위한 하나의 진행중인 부호화 LCC 셀만이 허용된다. 부호화 LCC 셀을 사용하는 행렬 유닛(RCU)(40)의 레지스터로의 기록은 "검색_폴스테이트_명령"(표 6 참조)을 제외하고 진행중인 판독중에 허용되지 않는다. 검색_폴스테이트_명령은 언제나 스위치 포트 보드(SPB)(24)로부터 전송될 수 있고, 행렬 유닛(RCU)(40)은 폴스테이트_상태(RCU가 동기 상태인 것으로 가정)에 응답한다. 이러한 참조 부호의 제공은 비트맵핑된 LCC 셀에 대해서가 아니라 부호화 LCC 셀에 대해서만 적용한다. 비트맵핑된 LCC 셀은 부호화 LCC 셀과 상충하지 않는다.

상기 언급된 바와 같이, 표 7은 가능한 LCC 흐름, 즉 행렬 유닛(RCU)(40)에서 LCC 셀의 수신 및 RCU에 의해 스위치 포트 보드(SPB)(24)로 발신되는 응답 LCC 셀을 도시한다. 표 7에서, 모든 셀 흐름은 스위치 코어(22)내의 내부 논리에 의해 시작되고 버퍼중 하나가 셀의 언로드에 의해 프리로 될 때 발생하는 최종 LCC 셀(폴스테이트)을 제외하고, 관련 행렬 유닛(RCU)(40)에 접속되는 스위치 포트 보드(SPB)(24)에 의해 시작된다.

7.2 서비스 셀

서비스 셀은 하나의 포트에서 다른 포트, 즉 하나의 스위치 포트 보드(SPB)(24)로부터 다른 스위치 포트 보드(SPB)(24)로 스위치 코어(22)를 통해 전송된다. 또한 여러 개의 또는 모든 다른 포트로의 서비스 셀의 카피가 가능하다. 여러 개의 포트로의 서비스 셀의 카피는 멀티캐스트로 공지되어 있고, 모든 포트로의 서비스 셀의 카피는 브로드캐스트로 공지되어 있다. 멀티캐스트 및 브로드캐스트는 예컨대, 이후의 섹션 8.0에서 논의된다.

8.0 셀 버퍼링

서비스 셀의 헤더는 PRI 필드(도 4a 참조)에 셀에 대한 수신 포트의 수를 포함한다. 예를 들어, 스위치 포트 보드(SPB)(24₁₅)가 수신 포트인 경우, 행렬 유닛(RCU)(40)에서 수신되는 것과 같이 셀의 PRI 필드는 "15"이다. 그러나, 셀이 교차점 유닛(XPU)(32)중의 적절한 하나(예컨대, 가정된 예에서 교차점 유닛(XPU)(32₁₅))에 저장되기 전에, 행렬 유닛(RCU)(40)에 의해 수신된 것으로서 셀에 원래 저장되어 있던 PRI값은 서비스 셀을 발신한 스위치 포트 보드(SPB)(24)의 포트 수에 대응하는 값으로 대체된다. 따라서, SPB(24₁₅)를 향해 전송하기 위해 15의 PRI값을 갖는 SPB(24₀)로부터 발신된 서비스 셀의 예에서, 서비스 셀의 PRI값은 XPU(32_{0,15})로 송신하기 전에 행렬 유닛(RCU)(40)에 의해 0으로 변화된다. PRI 변화는 셀 분석기 유닛(CAU)(55)(도 5c 참조)의 PRI 교환 유닛(55-4)에 의해 달성된다. PRI값(예컨대, 포트 번호) 대체가 패리티 비트에 의해 커버되는 서비스 셀의 바이트에서 발생하므로, 또한 새로운 패리티 비트(FBP)가 결정되어 서비스 셀로 대체되어야 한다(도 4a 참조).

서비스 셀의 헤더는 또한 서비스 셀이 로딩되는 PRI 어드레스 교차점 유닛(XPU)(32)의 2개의 버퍼(CBQ₀ 및 CBQ₁)중 하나로 위치를 정확히 나타내는 2 비트 CBQ를 포함한다. 또한, 서비스 셀의 헤더내의 제2 바이트는 트래픽 유형 표시기(TTI)(도 4a 참조)를 포함한다.

트래픽 유형 표시기(TTI)가 멀티캐스트를 나타낼 때, 셀은 여러 개의 교차점 유닛(XPU)(32)으로 카피된다. 특히, 멀티캐스트 서비스 셀을 수신할 교차점 유닛(XPU)(32)은 행렬 유닛(RCU)(40) 내부의 16 비트 레지스터, 특히 표 6에 도시되어 있는 멀티캐스트 레지스터(섹션 4.6.2.13 참조)에 의해 한정된다. 각 행렬 유닛(RCU)(40) 내부에 하나의 멀티캐스트 레지스터만 존재한다. 멀티캐스트 레지스터내의 각 비트는 셀 수신 행렬 유닛(RCU)(40)에 의해 서비스되는 행 상의 교차점 유닛(XPU)(32₀ 내지 32₁₅) 중 하나에 대응한다. 멀티캐스트 레지스터내의 활성 비트는 상기 행의 대응하는 XPU(32)가 셀에 로딩되는 것을 나타낸다. 따라서, 멀티캐스트 레지스터는 서비스 셀이 도달하기 전에 로딩되어야 한다.

트래픽 유형 표시기(TTI)가 브로드캐스트를 나타낼 때, 서비스 셀은 모든 스위치 포트 보드(SPB)(24)에 인가된다. 행렬 유닛(RCU)(40) 내부의 멀티캐스트 레지스터는 브로드캐스트용으로 사용되지 않는다.

멀티캐스트 중에, 서비스 셀은 프리 버퍼(CBQ₀ 또는 CBQ₁ 중 하나)를 갖는 교차점 유닛(XPU)(32)에 카피된다. 멀티캐스트 레지스터가 점유된 버퍼를 가지고 XPU(32)에 대한 로드를 요구하는 경우, 예러가 셀 무결성 레지스터(55-3)(도 5c 참조)에 의해 표시된다. 프리 버퍼(CBQ₀ 또는 CBQ₁)를 갖는 교차점 유닛(XPU)(32)은 여전히 로딩된다. 근본적으로, 동일한 절차가 브로드캐스트중에, 즉 프리 버퍼가 다른 버퍼와 무관하게 로딩되는 동안 사용된다. 그러나, 점유된 버퍼에 의해 야기되는 예러 표시가 브로드캐스트 중에는 제공되지 않는다.

9.0 셀 송신

행렬 유닛(RCU)(40)의 송신측에서, 상이한 소스로부터의 셀은 함께 다중화되고 셀 발생기 유닛(CGU)(58)(도 5 및 도 5g 참조)에 의해 출력되어 스위치 코어(22)로부터의 연속적인 셀 스트림을 형성한다. 행렬 유닛(RCU)(40)으로부터의 셀의 송신 속도는 수신 셀용으로 사용되는 동일한 클록 예컨대, DCLK에 의해 결정된다. DCLK는 이 포트에 접속되는 스위치 포트 보드(SPB)(24)에 의해 전송된다. 도 5a에 도시되어 있는 바와 같이, 신호(DCLK)는 결국 신호(pclk)를 생성하기 위해 (디바이더(54-5)에 의해(도 5b 참조)) 분할된다. 각 스위치 포트 보드(SPB)(24)는 따라서 결합된 RCU(40)에 자신의 DCLK 신호를 제공한다.

스위치 코어(22)로부터 발생하는 셀은 제어 셀 및 서비스 셀을 모두 포함한다. 후속 셀 제어 유닛(58-1)(도 5g 참조)은 각각의 라인의 명칭으로 표시된 각각의 셀을 수용하도록 요구될 때, 라인(sync-셀, 제어-셀 및 서비스-셀)을 통해 요구를 수신한다. 후속 셀 제어 유닛(58-1)은 이들 라인을 통해 회복되는 신호에 따라서 셀 출력에 대한 내부 요구를 세트하고 이들 요구를 도 10에 표시되어 있는 바와 같이 처리한다. 일단 특정 유형의 셀에 대한 요구가 충족되면, 이 요구는 클리어된다.

제어 셀이 행렬 유닛(RCU)(40)으로부터 결합된 스위치 포트 보드(SPB)(24)로 전송되기 전에, 패리티 비트가 결정되어 부가된다. 서비스 셀에 대한 패리티 비트는 PRI 무결성 검사 유닛(58-5)(도 5g 참조)에 의해 교차점 유닛(XPU)(32)으로부터 언로드시에 검사된다. 부정확한 패리티를 갖는 셀은 폐기되고, 셀 무결성 레지스터에서 표시가 행해진다.

도 10의 플로우차트는 스위치 코어(22)로부터의 셀 전송 프로세스를 도시한다. 상이한 옵션 또는 모드(1, 2 및 3)의 어느 것이 영향을 받는지가 폴 인에이블 레지스터(표 6 및 섹션 4.6.2.1 참조)의 내용에 의해 결정된다.

도 10의 모드 2 및 3은 주로 서비스 셀의 발생에 임의의 우선 순위를 제공하는 것에 의해 모드 1과 상이하다. 특히, 모드 2 및 3은 서비스 셀이 임의의 크기의 시간동안 폴스테이트 LCC 셀에 대한 우선 순위를 갖게 하는데 이용되는 특정 유형 카운터(특히 단계 10-18에서 언급)를 이용한다. 그러한 "시간"의 크기는 각각 모드 2 및 3에서 서비스 셀의 32 또는 64 바이트의 송신 시간으로 세트될 수 있다.

도 10은 송신 모드 1, 송신 모드 2 및 송신 모드 3을 포함하는 3개의 셀 송신의 모드를 각각 도시한다. 송신 모드 0은 단지 동기화 목적으로 단계 10-0에서 LSC 셀을 전송하는 것을 포함한다. 나머지 송신 모드에서 실행되는 동작은 이후에 논의된다. 도 10은 동작의 전체적인 방식을 도시하지만, 드문 경우, 즉 전력 상승, 비트 에러 등의 경우에, 어떤 예외가 허용되는 것을 이해해야 한다.

도 10과 관련하여, 섹션 4.6.1.3으로부터 폴스테이트 해제 LCC 셀은 해제된 교차점 유닛(XPU)(32) 또는 프리 버퍼를 나타낸다. 폴스테이트_해제 LCC 셀은 점유에서 프리로 버퍼(CBQ₀ 또는 CBQ₁ 중 하나)의 상태의 변화가 있을 때마다 전송된다. 상이한 우선 순위의 버퍼가 상태 변화되는 경우, 2개의 폴 스테이트 LCC 셀: 즉 큐(CBQ₀)에 대해 제1 셀이 그리고 큐(CBQ₁)에 대해 제2 셀이 전송된다.

또한, 8 바이트 서비스 셀 카운터, 즉 셀 크기 논리(59-2)(섹션 4.6.2.4 및 도 5f 참조)로 공지되어 있는 스캔 인에이블 레지스터가 존재한다. 신호 판독 데이터는 셀 크기를 결정하고, 또한 전체 서비스 셀이 독출될 수 있도록 교차점으로부터의 판독을 제어하는데 사용된다. 또한, 판독 데이터 신호는 스캔 인에이블 카운터를 감소시키는데 사용된다. 이러한 스캔 인에이블 카운터는 서비스 셀의 매 8번째 바이트가 전송될 때 1씩 감소된다. 이러한 8번째 바이트 서비스 셀 카운터의 값이 0과 같을 때, 서비스 셀은 완료된다. 그후에, 판독 제어가 후속 서비스 셀의 판독을 금지한다. 스캔 인에이블 레지스터가 새

로운(0이 아닌) 값으로 로딩된 후에, 라인내의 후속 서비스 셀은 로딩되지 않는다. 환언하면, 스캔 프로세스가 값(1-255)을 스캔 인에이블 레지스터(표 6 참조)에 기록함으로써 다시 개시된다. 8번째 바이트 서비스 셀 카운터의 값이 255로 프리셋될 때, 모든 감소가 불가능하게 되고, 스캔 프로세스가 항상 계속된다.

도 10에서, 발신중인 셀 송신은 항상 후속 셀이 높은 우선 순위를 가질지라도 후속 셀이 전송되기 전에 완료된다. 더욱이, 단지 1 바이트 카운터가 서비스 셀내의 CBQ값에 무관하게 사용된다.

9.1 셀 송신 모드 1

셀 송신 모드 1은 송신될 셀의 유형에 관한 우선 순위 방식을 따른다. 도 10에서 반영되는 셀 전송 우선 순위는 이하와 같이 가장 높은 우선 순위에서 시작한다.

(1) 라인(sync-셀)을 통해 LSC 셀 전송 요구를 수신할 때 행하도록 요구되는 경우(단계 10-1), LSC 셀은 링크 동기화 프로세스(예컨대, 섹션 6.0 참조)에 따라서 전송되고, 후속 셀 제어 유닛(58-1)의 LSC 셀 전송 요구는 클리어된다(단계 10-2).

(2) 교차점 상태 유닛(XSU)(50)의 레지스터(표 6에 도시)로부터 관독을 요구하는 LCC 셀의 단계 10-3에서의 수신시에 라인(제어-셀)을 통해 행하도록 요구되는 경우, 요구된 부호화 LCC 셀이 전송되고, 상기 요구는 클리어된다(단계 10-4). 단계 10-4는 폴스테이트_해제 LCC 셀에 의해 트리거되지 않는다.

(3) 폴스테이트 상태가 "검색_폴스테이트_명령"의 수신에 의해 단계 10-5에서 프롬프트되는 경우, 단계 10-6에서, 폴스테이트 상태를 갖는 비트맵핑된 LCC 셀이 발신된다. 비트맵핑된 LCC 셀의 내용은 폴스테이트_상태 레지스터(섹션 4.6.1.3 참조)로부터 도출된다. 더욱이, 그러한 버퍼에 대한 폴스테이트 변화가 클리어된다. CBQ₀ 버퍼에 대한 폴스테이트 상태 요구는 CBQ₁ 버퍼에 대한 폴스테이트 상태 요구보다 높은 패리티가 제공된다.

(4) 단계 10-7에서 폴스테이트 레지스터에서 "점유"에서 "프리"로 변화가 있음이 검출될 때, 단계 10-8에서 비트맵핑된 폴스테이트_해제 LCC 셀이 전송된다. 하나의 폴스테이트_해제 레지스터는 매트릭스 0에 버퍼의 비트맵핑된(예컨대, CBQ₀ 버퍼)을 가지고, 다른 폴스테이트_해제 레지스터는 매트릭스 1에 버퍼의 비트맵핑된(예컨대, CBQ₁ 버퍼)(섹션 4.6.1.3 및 표 5 참조)을 갖는다. 단계 10-7에서, 버퍼(CBQ₀)는 버퍼(CBQ₁)보다 높은 우선 순위가 제공된다. 단계 10-7에서 해제되는 비트맵핑된 LCC 셀은 최종 "폴스테이트_해제" 명령 이후에 해제되는 각각의 우선 순위의 모든 버퍼(CBQ₀ 및 CBQ₁)에 관한 정보를 반송한다.

도 10의 단계 10-9는 단계 10-2, 10-4, 10-6, 또는 10-8의 동작이 전혀 취해지지 않는 경우 스캔 프로세스 또는 동작이 행해지는 것을 도시한다. 스캔 프로세스는 예컨대, 섹션 10.0에서 설명된다.

단계 10-9의 스캔 후에, 단계 10-10에서 서비스 셀이 스위치 코어(22)로부터 공급되는 것을 셀 발생기 유닛(CGU)(58)(섹션 4.8 참조)에 대한 4개의 전송한 우선 순위 법칙이 필요로 하는지의 결정이 행해진다. 단계 10-10에서의 결정이 긍정적인 경우, 단계 10-11에서 서비스 셀이 전송된다.

10-10에서의 결정이 부정적인 경우, 단계 10-0에서 LSC 셀이 셀 발생기 유닛(CGU)(58)에 의해 전송된다. 환언하면, 전송 대기하는 다른 유형의 셀이 없는 경우, LSC 셀은 셀 속도 분리 프로세스에 따라서 송신된다.

9.2 셀 송신 모드 2

셀 송신 모드 2는 전송될 수 있는 폴스테이트 정보를 포함하는 비트맵핑된 LCC 셀의 수를 제한하고 더 많은 서비스 셀이 대신 전송되게 한다. 전송될 서비스 셀이 있는 경우, 폴스테이트 정보 셀은 서비스 셀의 최소 32 바이트가 이전의 폴스테이트 정보 셀이 전송되었기 때문에 송신되는 경우에만, 전송되게 한다.

모드 2 송신을 위해 실행되는 단계 10-12 내지 10-17은 모드 1에 대해 실행되는 단계 10-1 내지 10-6과 유사하다. 그러나, 단계 10-18에서 폴 인에이블 카운터가 만료되었는지의 검사가 행해진다. 폴 인에이블 카운터는 셀 크기 논리 유닛(58-2)(도 5h2 참조)이다. 단계 10-18에서 언급되는 폴 인에이블 카운터는 서비스 셀이 연속적으로(즉, 연속으로(back-to-back)) 전송될 수 있는 경우 매우 종종 폴스테이트_해제 LCC 셀이 발신되는 것을 방지한다. 예를 들어, 8 바이트 길이

의 서비스 셀이 하나의 열에서 교차점 유닛(XPU)(32)으로부터 연속으로 전송될 수 있는 경우, 서비스 셀 페이아웃(payout)의 속도는 폴스테이트_해제 LCC 셀이 그러한 서비스 셀 사이에서 산재되어 있는 경우, 느려진다. 모드 32가 세트된 경우, 폴스테이트_해제 LCC 셀은 연속적인 서비스 셀의 매 32 바이트보다 빈번하게 발부될 수 없다. 이것은 폴스테이트_해제 LCC 셀이 발부되기 전에 적어도 4개의 8 바이트 길이의 서비스 셀이 존재하는 것을 의미한다.

폴 인에이블 카운터는 셀 크기 논리 유닛(59-2)로부터의 신호에 따라서 각 서비스 셀의 바이트에 대해 감소된다. 폴스테이트_해제 LCC 셀이 발신되면, 폴 인에이블 카운터가 리셋된다. 폴 인에이블 카운터는 행렬 유닛(RCU)(40) 내부에 있고 스위치 포트 집적 회로(SPIC)(26)에 의해 제어되지 않는다. 스위치 포트 집적 회로(SPIC)(26)은 특정 모드에서 셀 발생이 일어나는 것만을 예측한다.

따라서, 폴 인에이블 카운터는 송신된 서비스 셀의 매 바이트에 대해 1의 값씩 감소된다. 이 카운터의 최종값은 (폴 인에이블 레지스터 값이 2 또는 3인지에 따라서) 32 또는 64중 하나이다. 프롬프트되지 않은 폴스테이트 LCC 셀은 이 바이트 카운터가 자신의 최종값에 도달할 때 또는 전송되는 서비스 셀이 존재하지 않는 경우에만 전송된다.

단계 10-18에서 언급되는 서비스 셀에 대한 폴 인에이블 카운터가 만료될 때, 예컨대, 모드 2에서 32 이상일 때, 셀 전송 우선 순위는 모드 1에서와 동일하다. 특히, 단계 10-24 내지 10-29중 적용 가능한 하나가 도 10에 도시되어 있는 바와 같이 잠재적으로 행해진다. 서비스 셀이 전송되는 단계 10-28은 또한 셀 길이에 따라서 (단계 10-18에서 언급된) 폴 인에이블 카운터를 증가시키는 것을 포함한다.

단계 10-18에서 언급된 서비스 셀에 대한 폴 인에이블 카운터가 만료되지 않는 경우, 스캔 프로세스가 행해진다(단계 10-19). 이어서, 단계 10-20에서, 서비스 셀이 요구되었는지가 (단계 10-10과 유사한 방식으로) 결정된다. 서비스 셀이 요구된 경우, 단계 10-21에서 서비스 셀이 공급되고, 단계 10-18에서 언급된 바이트 카운터가 셀 길이에 따라서 증가된다. 서비스 셀이 요구되지 않은 경우, 단계 10-22에서 어느 버퍼의 폴스테이트가 프리 상태로 변화되었는지가 결정된다. 상기 결정이 부정적인 경우, LSC 셀이 전송된다(단계 10-23). 그렇지 않은 경우, 단계 10-24에서, 폴스테이트_해제 LCC 셀이 단계 10-8과 유사한 방식으로 전송된다.

9.2 셀 송신 모드 3

이 모드는 이전의 폴스테이트 정보 셀이 전송되었기 때문에, 폴스테이트 정보 셀이 서비스 셀의 최소 64 바이트가 송신된 후에만 전송될 수 있는 것을 제외하고 모드 2와 동일하다.

10.0 스캐닝

스캐닝은 스위치 코어(22)가 셀이 교차점 유닛(XPU)(32)의 버퍼(CBQ₀ 및 CBQ₁)에서 게이트될 수 있을 때를 결정하는 프로세스이다. 전송한 바와 같이, 동기화(LSC) 셀이 도 9에 따라서 스위치 코어(22)로부터 전송된다(섹션 6.0 참조). 반면에, LCC 셀은 주로 스위치 포트 보드(SPB)(24)에 의해 발신되는 LCC 셀로부터의 응답으로서 스위치 코어(22)로부터 전송된다. LCC 셀의 상호 교환은 표 7에 도시되어 있고 섹션 7.0 및 9.0에서 설명된다.

스위치 코어(22)는 또한 다양한 교차점 유닛(XPU)(32)으로부터 서비스 셀의 사용 가능성을 스위치 포트 보드(SPB)(24)에 통지하는 LCC 폴스테이트 셀을 발신한다. 하나의 유형의 폴스테이트 셀은 또한 그 내용이 대응하는 폴스테이트_해제 레지스터(예컨대, 도 6의 폴스테이트_해제 레지스터(50-8) 참조)의 내용에 기초한다는 사실을 고려하여 폴스테이트_해제 셀로 공지되어 있다. 따라서, 폴스테이트 셀은 스위치 포트 보드(SPB)(24)에 동일한 행 상의 버퍼가 프리 또는 점유 상태인지의 표시를 제공한다.

스위치 포트 보드(SPB)(24)에 의해 감시되는 행 상의 16개의 교차점 유닛(XPU)(32) 중 어느 하나의 버퍼 예컨대, CBQ₀ 또는 CBQ₁이 해제될 때(즉, 점유에서 프리로 상태가 변화될 때), 폴스테이트_해제 LCC 셀이 도 10 및 섹션 9.0을 참조하여 상기 도시 및 설명된 셀 송신 방식에 따라서 전송된다. 버퍼는 버퍼로 새로운 셀의 로드를 개시할 가능성이 있을 때는 언제나 프리이다. 버퍼는 셀이 버퍼로 로딩될 때 점유로 표시된다.

전송 및 수신 스위치 포트(즉, 스위치 포트 보드(SPB)(24)) 사이의 속도차에 따라서, 버퍼의 프리 표시가 2개의 폴링 옵션 중 하나에 따라서 형성된다. 이들 2개의 폴링 옵션은 도 15에 도시되어 있다. 제1 폴링 옵션은 버퍼의 프리 표시가 버퍼로부터 셀의 언로드의 개시시에 형성되는 것이다(도 15의 포인트(P1) 참조). 제2 폴링 옵션은 버퍼의 프리 표시가 버퍼로부터 셀의 언로드의 종료시에 형성되는 것이다(도 15의 포인트(P2) 참조). 제1 또는 제2 폴링 옵션 중 어느 것이 수행되는가

하는 것은 플레이트 레지스터로 로딩되는 값에 의존한다(섹션 4.6.1.3 및 4.6.2.8 참조). 제1 폴링 옵션은 일반적으로 전송 스위치포트 속도가 수신 스위치포트 속도 이하일 때, 또는 속도차가 4% 미만일 때 수행된다. 제2 폴링 옵션은 일반적으로 전송 스위치포트 속도가 수신 스위치포트 속도 이상일 때, 또는 속도차가 비공지 상태일 때 수행된다.

각 행렬 유닛(RCU)(40)은 메모리 어레이 유닛(MAU)(30)(도 1 참조)의 할당된 열 상의 버퍼를 스캔한다. 상태 "셀_사용 가능"을 갖는 버퍼(예컨대, 교차점 유닛(XPU)(32)의 CBQ₀ 및 CBQ₁)는 스위치 코어(22)로부터 송신되는 서비스 셀을 사용하여 로딩되지 않고, 전송 버퍼는 "공백(empty)"으로 표시된다.

"셀_사용 가능"은 버퍼로부터 셀의 언로드의 개시 가능성이 있을 때마다 표시된다. 버퍼는 셀의 제1 워드가 버퍼로부터 로딩되지 않을 때 공백으로 표시된다.

수신 및 송신 RCU 사이의 속도차에 따라서, 버퍼의 "셀_사용 가능" 표시는 도 16에 도시되어 있는 바와 같은 2개의 스캔 옵션 중 하나에 따라서 형성된다. 제1 스캔 옵션에서, 버퍼의 "셀_사용 가능" 표시는 도 16에 포인트(Q1)로 표시된 바와 같은 셀의 로드의 시작시에 형성된다. 제2 스캔 옵션에서, 버퍼의 "셀_사용 가능" 표시는 도 16에서 포인트(Q2)로 표시된 바와 같은 셀의 로드의 시작시에 형성된다. 제1 스캔 옵션 또는 제2 스캔 옵션 중 어느 것이 이용되는가 하는 것은 스캔 레지스터로 로딩되는 값에 의존한다(섹션 4.6.1.3 및 4.6.2.9 참조). 도 15에서와 같이, 제1 스캔 옵션은 일반적으로 송신 스위치포트 속도가 수신 스위치포트 속도 이하일 때, 또는 속도차가 4% 미만일 때 수행된다. 제2 스캔 옵션은 송신 스위치포트 속도가 수신 스위치포트 속도 이상일 때, 또는 속도차가 비공지 상태일 때 수행된다.

상기 언급된 바와 같이(도 2 참조), 메모리 어레이 유닛(MAU)(30)의 각 행 상에 버퍼 큐의 2개의 매트릭스(CBQ₀ 및 CBQ₁이라 칭함)가 존재한다. CBQ₀은 CBQ₁보다 높은 우선 순위를 갖는다. 버퍼 큐(CBQ₀ 및 CBQ₁)와 함께, 큐당 하나씩 2개의 스냅샷 레지스터가 존재한다. 스냅샷 레지스터에는 실제의 버퍼 상태가 로딩된다. 버퍼 상태는 대응하는 스캔블록 레지스터의 내용에 의해 마스킹된다. 실제의 버퍼 상태는 스캔스테이트 레지스터(예컨대, 도 6의 스캔스테이트 레지스터(50-4) 참조)에 의해 유지된다. 각 버퍼에 대한 상태 "셀_사용 가능/공백"이 스냅샷 레지스터에 카피된다. 스냅샷 레지스터의 로드 후에, CBQ₀에 대응하는 모든 비트가 처리되고, 버퍼의 언로드시에 이들 비트가 클리어된다. 버퍼는 순차적으로, 즉 버퍼 0, 버퍼 1, 등으로 처리된다. CBQ₀에 대응하는 모든 비트가 클리어되는 경우, 이어서 루틴이 호출되어 CBQ₀의 새로운 스냅샷이 취해진다. 상기와 같은 처리는 이러한 스냅샷 레지스터의 모든 비트가 클리어될 때까지 행해진다. 스냅샷 레지스터의 모든 비트가 새로운 스냅샷에서 0인 경우, CBQ₁이 스케닝된다. 큐(CBQ₁)의 스케닝은 동일한 원리에 따른다.

도 17은 기본적으로 스케닝 프로세스(기호 17-0으로 표시)를 도시한다. 단계 17-1에서, 큐(CBQ₀)에 대한 스냅샷 레지스터가 공백인지의 결정이 이루어진다. 큐(CBQ₀)에 대한 스냅샷 레지스터가 공백인 경우, 단계 17-2에서 큐(CBQ₀)에 대한 스냅샷 레지스터에 큐(CBQ₀)의 상태(스캔블록 0에 의해 마스킹)가 로딩된다. 이어서, 단계 17-3에서, 큐(CBQ₀)에 대한 스냅샷 레지스터가 공백인지의 검사가 행해진다.

단계 17-3에서의 결정이 긍정인 경우, 단계 17-4에서 큐(CBQ₁)에 대한 스냅샷 레지스터가 공백인지의 결정이 이루어진다. 큐(CBQ₁)에 대한 스냅샷 레지스터가 공백인 경우, 단계 17-5에서 큐(CBQ₁)에 대한 스냅샷 레지스터에 큐(CBQ₁)의 상태(스캔블록 1에 의해 마스킹)가 로딩된다. 이어서, 단계 17-6에서, 큐(CBQ₁)에 대한 스냅샷 레지스터가 공백인지의 검사가 행해진다. 큐(CBQ₁)에 대한 스냅샷 레지스터가 공백인 경우, 서비스 셀 송신 요구가 발신되지 않는다(단계 17-7).

단계 17-1 또는 단계 17-3에서 큐(CBQ₀)에 대한 스냅샷 레지스터가 공백인 것으로 결정된 경우, 단계 17-8에서 후속 버퍼가 차례로 큐(CBQ₀)에 로딩되지 않고, 큐(CBQ₀)에 대한 스냅샷 레지스터가 클리어된다. 유사하게, 단계 17-4 또는 단계 17-6에서 큐(CBQ₁)에 대한 스냅샷 레지스터가 공백인 것으로 결정된 경우, 단계 17-9에서 후속 버퍼가 차례로 큐(CBQ₁)에 로딩되지 않고, 큐(CBQ₁)에 대한 스냅샷 레지스터가 클리어된다. 이어서, 단계 17-8 또는 단계 17-9에 따라서, 단계 17-10에서 스캔 인에이블 카운터가 0인지의 검사가 행해진다. 스캔 인에이블이 0인 경우, 서비스 셀 전송 요구는 발신되지 않는다(단계 17-7). 그렇지 않은 경우, 단계 17-11에 표시되어 있는 바와 같이, 서비스 셀 전송 요구가 발신된다.

11. 무결성 검사

무결성 검사는 근본적으로 셀 동기화를 유지하고 손상된 셀이 더 처리되거나 전송되는 것을 방지한다. 스위치 포트 보드 (SPB)(24)로부터 모든 셀의 수신시에, FBP 및 SBP 필드(예컨대, 도 4a 및 도 4b 참조)를 사용하여 제1 및 제2 바이트에 대한 패리티 검사가 행해진다. 최종 워드 패리티(LWP)도 또한 제어 셀에 대해 검사된다(도 4b 참조).

스위치 코어(22)에서 버퍼링되는 서비스 셀에 대해, 제1 바이트는 셀을 교차점 유닛(XPU)(32)에 전송하기 전에 발생하는 PRI 필드의 값의 변화를 고려하여 버퍼(들)에 셀이 저장되기 전에 조작된다(도 5c 및 PRI 교환 유닛(55-4)의 논의 참조). 조작의 결과, 새로운 FBP가 결정되어 교차점 유닛(XPU)(32)의 적절한 하나에 저장되기 전에 서비스 셀에 추가된다. 패리티(FBP 및 SBP)는 셀이 교차점 유닛(XPU)(32)의 버퍼로부터 로딩되지 않을 때 검사된다.

모든 셀의 송신과 관련하여, 제2 바이트(필드 SBP)에 대한 패리티 비트가 계산되어 추가되는데, 그 이유는 제2 바이트가 TTI 전환에 의해 변화되기 때문이다.

도 18은 서비스 셀에 대한 패리티 검사를 도시한다. 스위치 포트 보드(SPB)(24)로부터 서비스 셀의 수신시에, 전송한 바와 같이, 필드 FBP 및 SBP를 사용하여 S-1에 표시된 바와 같은 패리티 검사가 실행된다. 서비스 셀에서 에러가 검출되는 경우, 셀 폐기 프로세스(CDP)가 행해진다(S-2). 단계 S-3은 셀 분석기 유닛(CAU)(55)(도 5c 참조)에 의해 실행되는 PRI의 교환 및 새로운 FBP의 재계산을 도시한다. 단계 S-4는 메모리 어레이 유닛(MAU)(30)의 교차점 유닛(XPU)(32)의 적절한 하나에 서비스 셀의 저장을 반영한다. 교차점 유닛(XPU)(32)으로부터 셀의 언로드시에, FBP 및 SBP 비트(S-5에 표시된 바와 같은)를 사용하여 검사가 실행된다. 에러가 검출되는 경우, 셀 폐기 프로세스가 S-6에 도시되어 있는 바와 같이 행해진다. 단계 S-7은 S-8에 표시되어 있는 바와 같은 행렬 유닛(RCU)(40)으로부터 수신 스위치 포트 보드(SPB)(24)로의 셀의 송신이 후속하는 새로운 SBP의 계산 및 TTI 변환을 나타낸다.

최종 워드 패리티(LWP)가 또한 제어 셀에 추가된다.

표 8, 표 9 및 표 10은 스위치 코어(22)의 수신 및 전송측에서 이루어질 수 있는 가능한 폴트 검출 검사 및 동작(CDP 셀 폐기 프로세스, AIP=삽입 중단 프로세스 및 LSP=링크 동기화 프로세스)를 도시한다. 특히, 표 8은 제어 셀에 대한 폴트 및 동작을 나타내는 반면, 표 9 및 표 10은 서비스 셀에 대한 폴트 및 동작을 나타낸다. 표 9는 또한 연결된 스트림내의 제1 셀에 대한 것인 반면에, 표 10은 연결된 스트림내의 후속 및 최종 셀에 대한 것이다.

11.1 LSP, 링크 동기화 프로세스

LSP는 셀 동기화의 손실을 나타내는 폴트가 발생할 때 취해져야 하는 동작을 정의한다. LSP는 이하의 동작: (1) 임의의 추가의 처리로부터 진행중인 셀 폐기; (2) 동기 상태 머신을 presync 상태로 강제하는 것을 나타낸다.

11.2 CDP, 셀 폐기 프로세스

CDP는 서비스 셀 및 제어 셀을 모두 조정하는 것을 포함한다. CDP의 수신측에서는 수신 셀, 서비스 셀 또는 제어 셀이 추가의 처리로부터 폐기되는 것을 정의한다. CDP의 전송측에서는 교차점 버퍼로부터 로딩되지 않는 서비스 셀이 폐기되고 LSC 셀이 대신 삽입되는 것을 정의한다. 교차점 버퍼는 상태 "프리"로 세트된다.

연결된 셀에 대해, 수신측에서 CDP가 버퍼 크기를 초과함으로써 야기될 때, 전체 나머지 연결된 셀 스트림은 폐기된다. CDP가 변화된 PRI/TTI/CBQ 또는 연결된 셀 스트림내의 서비스 셀이 아닌 셀과 같은 다른 에러에 의해 행해질 때, 에러를 갖는 셀이 폐기된다. 스트림내의 나머지 연결된 셀은 새로운 연결된 셀 스트림으로 간주된다(즉, 이것은 버퍼가 사용 가능한지의 여부에 따라서 버퍼로 로딩되거나 폐기될 수 있다).

전송측에서, 연결된 셀에 대해, CDP는 교차점 버퍼로부터 로딩되지 않는 서비스 셀이 폐기되고 LSC 셀이 대신 삽입되는 것을 정의한다. 버퍼내의 모든 후속 연결된 셀은 추가의 처리로부터 폐기되고, 버퍼는 새로운 셀의 로드가 더 이상 개시되지 않는 경우 "프리"로 세트된다.

11.3 삽입 중단 프로세스

삽입 중단 프로세스(AIP)는 중단 신호가 프로세스가 행해지게 하는 서비스 셀의 제1의 2 바이트 대신에 정의된 CBQ에서 어드레스된 교차점 버퍼에 삽입되는 것을 정의한다. 중단 신호는 16 비트 길이이고, 이 신호는 제1 바이트에서 개시하는 hex FEIC이다.

11.4 셀 무결성 레지스터-폴트 표시

표시 "CIR_x"는 폴트가 셀 무결성 레지스터의 비트_x를 세팅함으로써 표시된다. 이 비트는 레지스터의 판독 후에 클리어된다.

12. 클럭 분배

모든 포트는 시스템 클럭에 대해 2개의 접속을 갖는다. 하나는 입력이고 하나는 출력이다. 출력을 위한 소스는 임의의 다른 포트로부터의 입력이다. 실제의 소스(포트 번호)는 프로그램 가능하고 상이한 소스가 상이한 포트에 대해 세트될 수 있다. 행렬 유닛(RCU)(40)으로부터의 셀의 송신 속도는 수신 셀에 대해 사용되는 동일한 클럭에 의해 결정된다. 이 클럭은 이 포트에 접속되는 원격 유닛에 의해 전송된다.

모든 포트에 대한 착신 시스템 클럭은 모든 다른 RCU에 분배된다. RCU 내부에는, 반정전 스위치가 있다. 이 스위치는 RCU내의 시스템 클럭 레지스터에 의해 제어된다. 스위치의 출력은 포트의 시스템 클럭 출력에 접속된다. 도 19 참조. 임의의 포트에 대한 시스템 클럭 출력은 임의의 다른 포트의 시스템 클럭 입력으로부터 투명하다.

본 발명은 모두 참고로 본 명세서에 통합되어 있는 이하의 동일자로 출원된 미국 특허 출원에 개시되어 있는 ATM 시스템과 관련하여 이용될 수 있다:

"ASYNCHRONOUS TRANSFER MODE SYSTEM HANDLING DIFFERING AAL PROTOCOLS"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-24).

"CENTRALIZED QUEUING FOR ATM NODE"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-25).

"CELL HANDLING UNIT FOR ATM NODE"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-26).

"ATM TIME STAMPED QUEUING"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-27).

"COORDINATED CELL DISCHARGE FROM ATM QUEUE"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-28).

"COMBINED HEADER PARAMETER TABLE FOR ATM NODE"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-30).

"METHOD, ARRANGEMENT, AND APPARATUS FOR TELECOMMUNICATIONS"라는 명칭의 미국 특허 출원 번호 제08/_(대리인 참조 번호 2380-46).

본 발명은 가장 실제적이고 바람직한 실시예를 고려하여 설명하였지만, 본 발명은 개시되어 있는 실시예로 한정되는 것이 아니라, 첨부된 청구의 범위의 사상 및 범위내에 포함되는 다양한 수정 및 등가의 장치를 커버하도록 의도되고 있음을 이해할 것이다. 예를 들어, 본 발명은 스위치 코어(22)내의 교차점 유닛(XPU)(32)의 수에 의해 또는 스위치 코어(22)내의 매트릭스의 수에 의해 제한되지 않는다. 더욱이, 본 발명의 여러 가지 양태가 하드웨어 성분에서 수행되는 것으로 설명되어 있지만, 그러한 양태는 대신에 소프트웨어 프로그래밍 기술을 사용하여 달성될 수도 있다.

표 1 - 트래픽 유형 표시기, 수신된 서비스 셀에서의 코딩

수신된 TT1	캐스트 유형	연결
0	브로드캐스트	아니오
1		예
2		아니오
3	멀티캐스트	예
4		아니오

5	유니캐스트	예
6		아니오
7		아니오

표 2 - 트래픽 유형 표시기, 송신된 서비스 셀에서의 코딩. TTI 변환

수신된 TTI	모든 버퍼들이 이 행에서 (실제 CBQ에 대하여) 프리인가?	송신된 TTI
0	NO	0
0	YES	1
1 또는 2	무관	2
3 또는 4	YES	3
3 또는 4	NO	4
5 또는 6	YES	5
5 또는 6	MP	6
7	무관	7

표 3 - 셀 크기(바이트 총수)

SCS	셀 크기
0	8
1	16
2	24
3	32
4	40
5	48
6	56
7	예약

표 4 - 부호화 LCC 셀

이름	사용법
NU, 1 비트	비트로 사용되지 않음. 0과 같음.
ADR, 5비트	ASCC로부터 판독 및/또는 ASCC로 기록되는 데이터에 대한 주소. 완료 어드레스 맵에 대해서는 표 10
Write 1비트	Core를 향하여: 1로의 세트는 어드레스된 레지스터가 데이터와 함께 로드되거나 명령이 반송되는 것을 나타낸다. Core로부터: 항상 0으로 세트
Read 1비트	Core를 향하여: 1로의 세트는 어드레스가 유효이고 데이터와 함께 응답하는 LCC 셀이 요구되는 것을 나타낸다. Core로부터: 항상 0으로 세트
데이터, 8비트	8 비트 데이터는 코어로부터 판독 및/또는 코어로 기록된다.
비사용, 3비트	비트로 사용되지 않음. 0과 같음.
CBQ, 2비트 셀 버퍼 큐	CBQ는 교차점 큐 데이터가 관련되는 것을 나타낸다. 유효값은 0과 1이다. 다른 값을 갖는 셀은 폐기된다.
RPC, 2비트 레지스터 부분 코드	RPC는 목표로 되는 바이트의 위치를 정확하게 나타낸다. 다음과 같은 코드가 적용됨: 0 비트 0-7(최하위 바이트) 1 비트 8-15(최상위 바이트) 2 유효하지 않은 값

3 유효하지 않은 값

표 5 - 비트맵핑된 포맷 LCC 셀에 의해 액세스되는 레지스터.

Register	PRI-value	CBQ	Bits Used	Comment
Multicast	30	X	16	Write to by sending bitmap for bitmap format LCC-cell to ASCC. Read back for test purpose by sending coded LCC-cell to ASCC, see
Scanblock	28	0	16	
Scanblock	28	1	16	
Pollstate_status	25	0	16	Pollstate_status LCC cells.
Pollstate_status	25	1	16	Bitmap format LCC-cell out from ASCC. Sent, ASCC, as a response on the received "Retrieve pollstate command".
Pollstate_release	26	0	16	Pollstate_release LCC cells. Bitmap format LCC-cell out from ASCC.
Pollstate_release	26	1	16	Sent a buffer status changes from occupied to free.

표 6 - RCU내의 레지스터

Register/command	Address			Data bits used	Comment	Write	Read
	CBQ	ADR	RPC				
Poll enable	x	4	0	2	Write to and Read from by coded format LCC-cell.	Yes	Yes
LCC parity mode	x	5	0	1	Write to and Read from by coded format LCC-cell.	Yes	Yes
Cell integrity	x	6	0	3	Read from by coded format LCC-cell.	No	Yes
Scan enable	x	7	0	8	Write to by coded format LCC-cell.	Yes	No
System clock	x	10	0	4	Write to and Read from by coded format LCC-cell.	Yes	Yes
Own PRI	x	11	0	4	Read from by coded format LCC-cell.	No	Yes
Article, Nr. & rev.	x	12	0	8	Read from by coded format LCC-cell.	No	Yes
Pollrate, low byte	x	14	0	8	Write to and Read from by coded format LCC-cell.	Yes	Yes
Pollrate, high byte	x	14	1	8	Write to and Read from by coded format LCC-cell.	Yes	Yes
Scanrate, low byte	x	15	0	8	Write to and Read from by coded format LCC-cell.	Yes	Yes
Scanrate, high byte	x	15	1	8	Write to and Read from by coded format LCC-cell.	Yes	Yes
Clear command, Matrix 0	0	24	x	5	Active command by coded format LCC-cell with write active.	Yes	No
Clear command, Matrix 1	1	24	x	4	Active command by coded format LCC-cell with write active.	Yes	No
Retrieve pollstate command, Matrix 0	0	25	x	0	Active command by coded format LCC-cell with write active.	Yes	No
Retrieve pollstate command, Matrix 1	1	25	x	0	Active command by coded format LCC-cell with write active.	Yes	No
Scanblock, low byte, Matrix 0	0	28	0	8	Read by coded format LCC-cell.	No	Yes
Scanblock, high byte, Matrix 0	0	28	1	8	Write to by bitmap format LCC-cell.	No	Yes
Scanblock, low byte, Matrix 1	1	28	0	8	Read by coded format LCC-cell.	No	Yes
Scanblock, high byte, Matrix 1	1	28	1	8	Write to by bitmap format LCC-cell.	No	Yes
Multicast, low byte	x	30	0	8	Read by coded format LCC-cell.	No	Yes
Multicast, high byte	x	30	1	8	Write to by bitmap format LCC-cell.	No	Yes

표 7 - 제어 셀 상의 작용

Received LCC cell				Responded LCC cell				Comment
PRI	ADR	Write	Read	PRI	ADR	Write	Read	
28, 30	na	na	na	No responding cell				Write to a register (multicast and scanblock). Bitmap LCC cell.
31	4,5,6,10,14,15,24	1	0	No responding cell				Write to a register. Coded LCC cell.
31	4,5,6,10,11,12,14,15	0	1		4,5,6,10,11,12,14,15	0	0	Read from a register. Coded LCC cell. Note: ADR in the responded LCC cell is the same as ADR in the received LCC cell.
31	4,5,10,14,15	1	1		4,5,10,14,15	0	0	Write and read a register. Coded LCC cell. Note: ADR in the responded LCC cell is the same as ADR in the received LCC cell.
31	28,30	0	1		28,30	0	0	Read a register (multicast and scanblock). Coded LCC cell. Note: ADR in the responded LCC cell is the same as ADR in the received LCC cell.
31	25	1	0		na	na	na	Write to "retrieve_pollstate_command"; a coded LCC cell sent to core will result in a bitmap LCC cell from core. The bitmap LCC cell contains the actual pollstate status.
No prompting cell				26	na	na	na	Pollstate_Release: a change in state from occupied to free of buffers(s) in core will result in a bitmap LCC cell. The cell carries information on all buffers that are released since last "Pollstate_Release".

표 8 - 제어 셀에 대한 검사 및 동작

fault detection check slogan	action receiving entity	action sending entity
FBP, SBP or LWP fault	LSP, CIR ₀	
Unsupported PRI (bitmap LCC cells)	CDP, CIR ₁	
Unsupported CBQ (bitmap and coded LCC cells)	CDP	
Unsupported ADR (coded LCC cells)	CDP	
Unsupported RPC (coded LCC cells)	CDP	

표 9 - 서비스 셀(또한 연결된 스트림내의 제1 셀)에 대한 검사 및 동작

fault detection check slogan	action receiving entity	action sending entity
FBP or SBP fault	LSP, CIR ₀	CDP, CIR ₃
Unsupported PRI	CDP, CIR ₁	None
Unsupported CBQ	CDP	None
Unsupported SCS	LSP, CIR ₁	CDP, CIR ₁
Attempt to write over cell in crosspoint buffer. Single- and multicast. Note 1	CDP, CIR ₁	
Attempt to write over cell in crosspoint buffer. Broadcast. Note 1	None	
Exceeded accumulated maximum cell size (includes also first cell in a concatenated stream if the crosspoint buffer size cannot hold succeeding cell). Note 2.	AIP + CDP, CIR ₁	CDP, CIR ₁
Unload of abort signal from buffer in XPU.		CDP

표 10 - 연속하는 연결된 셀 및 연결된 스트림내의 최종 셀에 대한 검사 및 동작

Fault detection check (faults discovered in a succeeding concatenated marked cell after first cell is processed, for first cell see table above). Slogan:	action receiving entity	action receiving entity
FBP, SBP fault	LSP, AIP, CIR ₀	CDP, CIR ₃
LCC-cell or LSC-cell following instead	AIP + CDP, CIR ₁	No action.
Changed PRI with respect to preceding cell		Only actions on the first
Changed TTI value with respect to preceding cell. Note 1		cell in a concentrated
Changed CBQ-value with respect to preceding cell		stream according to the table above.
Unsupported SCS	LSP, CIR ₁	CDP, CIR ₁
Exceeded accumulated maximum cell size	AIP+CDP, CIR ₁	CDP, CIR ₁
Unload of abort signal from crosspoint buffer		CDP

(57) 청구의 범위

청구항 1.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크상에서 반송되는 셀은 서비스 셀과 제어 셀을 포함하는데,

상기 제어 셀은 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치포트로부터 스위치코어로 전송되거나, (2) 스위치 포트로부터 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 포함하며,

상기 제어 셀의 일부는 상기 스위치 코어의 제어 레지스터의 어드레스 및 스위치 코어의 제어 레지스터에 저장되는 비-서비스 데이터를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 2.

제 1 항에 있어서,

상기 제어 셀의 일부는 상기 스위치 코어의 제어 레지스터로부터 관독될 것인지 또는 스위치 코어의 제어레지스터에 기록될 것 인지의 표시를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 3.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

상기 양 방향 링크에 서비스 셀 및 제어셀을 전송하는 단계;

상기 제어셀에 1) 스위치코어의 제어 레지스터내의 저장을 위해 스위치포트로부터 스위치코어로 전송되거나, 2) 스위치 포트로부터 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 포함시키는 단계를 포함하는데,

상기 제어 셀의 일부는 상기 스위치 코어의 제어 레지스터의 어드레스 및 스위치 코어의 제어 레지스터에 저장되는 비-서비스 데이터를 포함하는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 4.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

상기 양 방향 링크에 서비스 셀 및 제어셀을 전송하는 단계;

1) 스위치코어의 제어 레지스터내의 저장을 위해 스위치포트로부터 스위치코어로 전송되거나, 2) 스위치 포트로부터 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 상기 제어 셀에 포함시키는 단계를 포함하는데,

상기 스위치코어는 복수의 제어 레지스터를 포함하며, 상기 제어셀은 상기 스위치코어의 복수의 제어 레지스터내의 어드레스된 하나에 대응하는 값을 갖는 어드레스 필드를 포함하는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 5.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

대응하는 양방향 링크에 의해 스위치 코어에 각각 접속되는 복수의 스위치 포트; 및

양방향 링크로 반송되는 셀은 서비스 셀 및 제어 셀을 포함하는데,

상기 제어 셀은 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치 포트로부터 스위치 코어로 송신되거나; (2) 스위치 포트에 송신하기 위해 스위치 코어의 제어 레지스터로부터 획득되는 비-서비스 정보를 포함하며,

상기 스위치 코어는 복수의 제어 레지스터를 포함하며, 상기 제어 셀은 상기 스위치코어의 복수의 제어 레지스터내의 어드레스된 하나에 대응하는 값을 갖는 어드레스 필드를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 6.

제 1항 또는 5 항에 있어서,

상기 스위치 코어는 복수의 교차점 유닛을 포함하고, 상기 스위치 코어의 제어 레지스터는 스위치 코어의 미리 설정된 교차점 유닛에 대응하는 비트 위치를 갖는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 7.

삭제

청구항 8.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

상기 양 방향 링크에 서비스 셀 및 제어셀을 전송하는 단계;

1) 스위치코어의 제어 레지스터내의 저장을 위해 스위치포트로부터 스위치코어로 전송되거나, 2) 스위치 포트 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 상기 제어 셀에 포함시키는 단계를 포함하는데,

상기 스위치 코어는 2개의 매트릭스를 갖는 교차점 유닛을 포함하고, 및 상기 스위치 코어는 제 1 매트릭스의 교차점 유닛에 대한 정보를 포함하는 제 1 제어 레지스터 및 제 2 매트릭스의 교차점 유닛에 대한 정보를 포함하는 제 2 제어 레지스터를 가지며, 제 2 제어 셀 유형의 제어 셀은 상기 비-서비스 정보가 제 1 제어 레지스터 또는 제 2 제어 레지스터에 속하는지의 표시를 포함하는 것을 특징으로 하는 것을 포함하는 ATM 스위치 동작 방법.

청구항 9.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

상기 양 방향 링크에 서비스 셀 및 제어셀을 전송하는 단계;

1) 스위치코어의 제어 레지스터내의 저장을 위해 스위치포트로부터 스위치코어로 전송되거나, 2) 스위치 포트 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 상기 제어 셀에 포함시키는 단계를 포함하는데,

상기 스위치 코어는 복수의 교차점 유닛을 포함하고, 상기 스위치 코어의 제어 레지스터는 스위치 코어의 미리 설정된 교차점 유닛에 대응하는 비트 위치를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 10.

제 3항,4항,8항 또는 9항 중 어느 한 항에 있어서,

상기 서비스 셀 및 제어 셀은 공통 포맷 필드를 가지는데, 셀은 제 1 세트의 미리 설정된 값중 어느 하나가 공통 포맷 필드에 저장될 때 서비스 셀로서 표시되며, 제 2 세트의 미리 설정된 값중 어느 하나가 공통 포맷 필드에 저장될 때 제어 셀로서 표시되는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 11.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트;

상기 양방향 링크상에서 반송되는 셀은 서비스 셀과 제어 셀을 포함하는데,

상기 제어 셀은 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치포트로부터 스위치코어로 전송되거나, (2) 스위치포트로 전송을 위해 스위치 코어의 제어레지스터로부터 얻는 비-서비스 정보를 포함하며,

상기 스위치 코어는 2개의 매트릭스를 갖는 교차점 유닛을 포함하고, 및 상기 스위치 코어는 제 1 매트릭스의 교차점 유닛에 대한 정보를 포함하는 제 1 제어 레지스터 및 제 2 매트릭스의 교차점 유닛에 대한 정보를 포함하는 제 2 제어 레지스터를 가지며, 상기 제어 셀은 상기 비-서비스 정보가 제 1 제어 레지스터 또는 제 2 제어 레지스터에 속하는지의 표시를 포함하는 것을 특징으로 하는 비동기 전송 모드(ATM) 스위치

청구항 12.

제 1항,5항,또는 11 항중 어느 한 항에 있어서,

상기 제어 셀중의 적어도 일부는 제 1 제어 셀 유형 및 제 2 제어 셀 유형이며, 상기 제 1 제어 셀 유형의 제어 셀은 제 2 제어 셀 유형의 제어셀과 다른 포맷을 갖고 있는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 13.

제 12 항에 있어서,

상기 제 1 제어 셀 유형 및 제 2 제어 셀 유형의 제어셀은 소정의 같은 제어 셀 크기를 갖는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 14.

제 13 항에 있어서,

상기 소정의 제어 셀 크기는 4바이트인 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 15.

제 12 항에 있어서,

상기 제 1 제어 셀 유형의 제어 셀은 스위치 포트 및 스위치 코어의 동기화 동작의 정보를 포함하는 것을 특징으로 하는 비 동기 전송 모드 스위치.

청구항 16.

제 15 항에 있어서,

상기 제 1 제어 셀 유형의 제어 셀은 스위치 포트 및 스위치 코어의 하나의 복수의 동기화 상태중 하나를 나타내는 필드를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 17.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서,

상기 양 방향 링크에 서비스 셀 및 제어 셀을 전송하는 단계;

상기 서비스 셀 및 제어 셀에 공통 포맷 필드를 포함시키는 단계를 포함하는데,

셀은 미리 설정된 값의 제 1 세트의 어느 하나가 상기 공통 포맷 필드에 저장될 때는 서비스 셀로서 표시되며, 미리 설정된 값의 제 2 세트의 어느 하나가 상기 공통 포맷 필드에 저장될 때 제어 셀로서 표시되며,

상기 서비스 셀을 표시하는 미리 설정된 값의 제 1 세트는 상기 복수의 스위치 포트에 번호를 부여하는 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 18.

제 17항에 있어서, 상기 스위치 코어는 복수의 제어 레지스터를 가지고, 상기 제어 셀을 나타내는 미리 설정된 제 2 세트의 적어도 일부는 상기 복수의 제어 레지스터의 적어도 일부에 번호를 부여하는 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 19.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서,

상기 양 방향 링크에 서비스 셀 및 제어 셀을 전송하는 단계;

상기 서비스 셀 및 제어 셀의 각각에 공통 포맷 필드를 포함하는 단계,

공통 포맷 필드에 서비스 셀에 대한 미리 설정된 값의 제 1 세트의 어느 하나를 저장하는 단계; 및

공통 포맷 필드에 제어 셀에 대한 미리 설정된 값의 제 2 세트의 어느 하나를 저장하는 단계를 포함하는 데,

상기 서비스 셀을 표시하는 미리 설정된 값의 제 1 세트는 상기 복수의 스위치 포트에 번호를 부여하는 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 20.

삭제

청구항 21.

삭제

청구항 22.

삭제

청구항 23.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

서비스 셀 및 제어 셀을 모두 양방향 링크상에 송신하는 단계;

상기 서비스 셀 및 제어 셀의 각각에 공통 포맷 필드를 포함하는 단계;

공통 포맷 필드에 서비스 셀에 대한 미리 설정된 값의 제 1 세트의 어느 하나를 저장하는 단계; 및

공통 포맷 필드에 제어 셀에 대한 미리 설정된 값의 제 2 세트의 어느 하나를 저장하는 단계를 포함하는 데,

상기 스위치 코어는 복수의 제어 레지스터를 갖고, 상기 제어 셀을 나타내는 미리 설정된 값의 제 2 세트의 적어도 일부는 복수의 제어 레지스터의 적어도 일부의 번호 부여 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 24.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

서비스 셀 및 제어 셀을 모두 양방향 링크상에 송신하는 단계;

상기 제어 셀의 적어도 일부에 비-서비스 정보를 포함하는 단계;

상기 스위치 코어의 제어 레지스터에 비-서비스 정보를 저장하는 단계;

상기 제어 셀의 적어도 일부에 스위치 코어의 제어 레지스터의 어드레스 및 스위치 코어의 제어 레지스터에 저장될 비-서비스 데이터를 모두 포함하는 단계를 포함하는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 25.

대응하는 양방향 링크에 의해 각각 스위치 코어에 접속되는 복수의 스위치 포트를 갖는 ATM 스위치를 동작시키는 방법에 있어서:

서비스 셀 및 제어 셀을 모두 양방향 링크상에 송신하는 단계;

상기 제어 셀의 적어도 일부에 비-서비스 정보를 포함하는 단계;

상기 스위치 코어의 제어 레지스터에 비-서비스 정보를 저장하는 단계;

상기 스위치 코어는 복수의 교차점 유닛을 포함하고, 스위치 코어내의 제어 레지스터는 스위치 코어의 소정의 교차점 유닛에 대응하는 비트 위치를 갖는 것을 특징으로 하는 ATM 스위치 동작 방법.

청구항 26.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크에 반송되는 셀은 서비스 셀 및 제어 셀을 포함하고, 상기 서비스 셀 및 제어 셀은 공통 포맷 필드를 가지며, 셀은 미리 설정된 값의 제 1 세트의 어느 하나가 공통 포맷 필드에 저장될 때 서비스 셀로 표시되며, 미리 설정된 값의 제 2 세트의 어느 하나가 공통 포맷 필드에 저장될 때는 제어 셀로서 표시되며,

상기 서비스 셀을 나타내는 미리 설정된 값의 제 1 세트는 복수의 스위치 포트의 번호 부여 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 27.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크에 반송되는 셀은 서비스 셀 및 제어 셀을 포함하고, 상기 서비스 셀 및 제어 셀은 공통 포맷 필드를 가지며, 셀은 미리 설정된 값의 제 1 세트의 어느 하나가 공통 포맷 필드에 저장될 때 서비스 셀로 표시되며, 미리 설정된 값의 제 2 세트의 어느 하나가 공통 포맷 필드에 저장될 때는 제어 셀로서 표시되며,

상기 스위치 코어는 복수의 제어 레지스터를 가지며, 상기 제어 셀을 나타내는 미리 설정된 값의 제 2 세트의 적어도 일부는 복수의 제어 레지스터의 적어도 일부의 번호 부여 계획안과 미리 정해진 관계를 갖는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 28.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크상에서 반송되는 셀은 서비스 셀과 제어 셀을 포함하는데,

상기 제어 셀의 적어도 일부는 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치 포트로부터 스위치 코어로 전송되거나, (2) 스위치 포트로부터 전송을 위해 스위치 코어의 제어 레지스터로부터 얻는 비-서비스 정보를 포함하며,

상기 제어 셀의 일부는 상기 스위치 코어의 제어 레지스터의 어드레스 및 스위치 코어의 제어 레지스터에 저장되는 비-서비스 데이터를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 29.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크상에서 반송되는 셀은 서비스 셀과 제어 셀을 포함하는데,

상기 제어 셀의 적어도 일부는 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치 포트로부터 스위치 코어로 전송되거나,(2) 스위치 포트 전송을 위해 스위치 코어의 제어 레지스터로부터 얻는 비-서비스 정보를 포함하며,

상기 스위치 코어는 복수의 제어 레지스터를 포함하고, 상기 제어 셀은 스위치 코어의 복수의 제어 레지스터중 어드레스된 하나에 대응하는 값을 갖는 어드레스 필드를 포함하는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 30.

비동기 전송 모드(ATM) 스위치에 있어서:

스위치 코어;

각각이 대응하는 양방향 링크에 의해 상기 스위치 코어에 접속되는 복수의 스위치 포트를 포함하며,

상기 양방향 링크상에서 반송되는 셀은 서비스 셀과 제어 셀을 포함하는데,

상기 제어 셀의 적어도 일부는 (1) 스위치 코어의 제어 레지스터에 저장하기 위해 스위치 포트로부터 스위치 코어로 전송되거나,(2) 스위치 포트 전송을 위해 스위치 코어의 제어 레지스터로부터 얻는 비-서비스 정보를 포함하며,

상기 스위치 코어는 복수의 교차점 유닛을 가지고, 스위치 코어내의 제어 레지스터는 스위치 코어의 소정의 교차점 유닛에 대응하는 비트 위치를 갖는 것을 특징으로 하는 비동기 전송 모드 스위치.

청구항 31.

삭제

청구항 32.

삭제

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

청구항 38.

삭제

청구항 39.

삭제

청구항 40.

삭제

청구항 41.

삭제

청구항 42.

삭제

청구항 43.

삭제

청구항 44.

삭제

청구항 45.

삭제

청구항 46.

삭제

청구항 47.

삭제

청구항 48.

삭제

청구항 49.

삭제

청구항 50.

삭제

청구항 51.

삭제

청구항 52.

삭제

청구항 53.

삭제

청구항 54.

삭제

청구항 55.

삭제

청구항 56.

삭제

청구항 57.

삭제

청구항 58.

삭제

청구항 59.

삭제

청구항 60.

삭제

청구항 61.

삭제

청구항 62.

삭제

청구항 63.

삭제

청구항 64.

삭제

청구항 65.

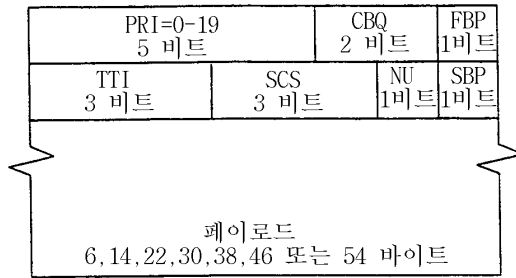
삭제

청구항 66.

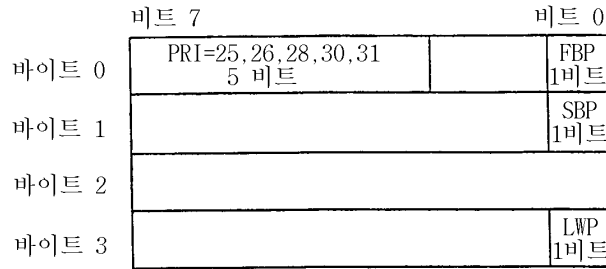
삭제

도면

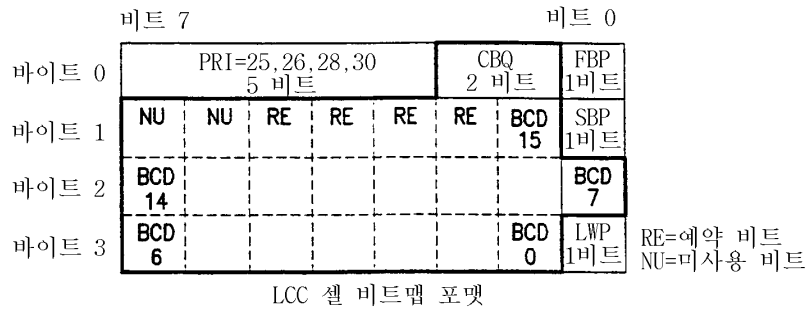
도면4a



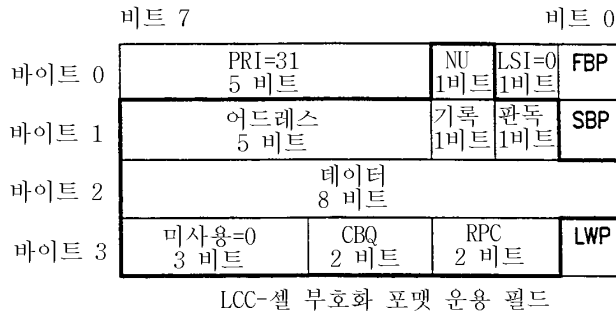
도면4b



도면4b1



도면4b2

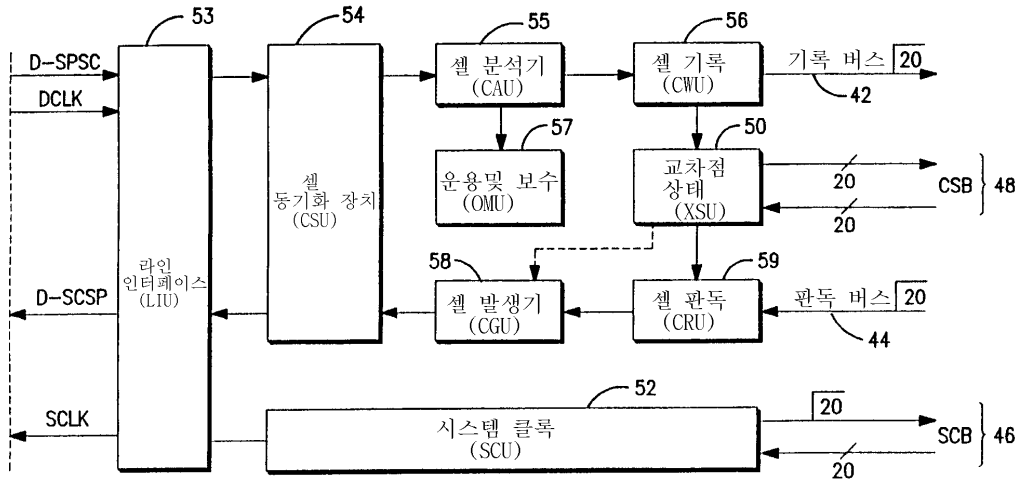


도면4b3

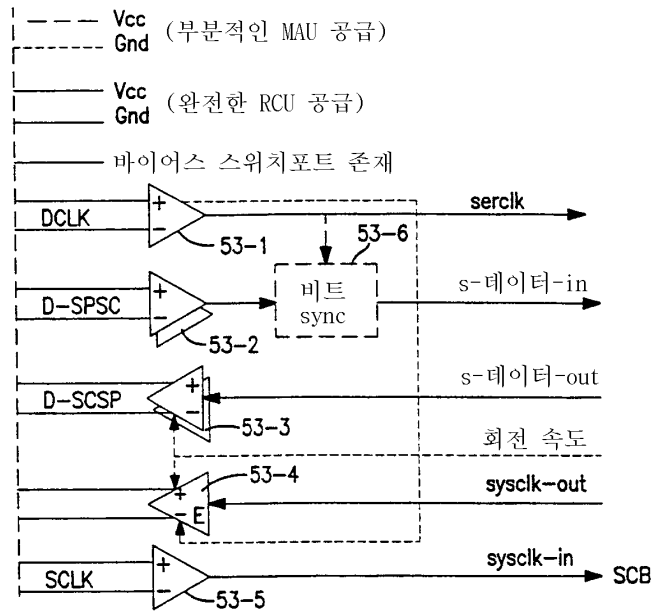
	비트 7	비트 6	비트 5	비트 4	비트 3	비트 2	비트 1	비트 0
바이트 0	1	1	1	1	1	1	1	0
바이트 1	0	0	0	1	1	1	SSC	
바이트 2	0	0	0	0	0	0	0	0
바이트 3	0	1	1	1	1	1	1	1

LSC-셀 포맷

도면5

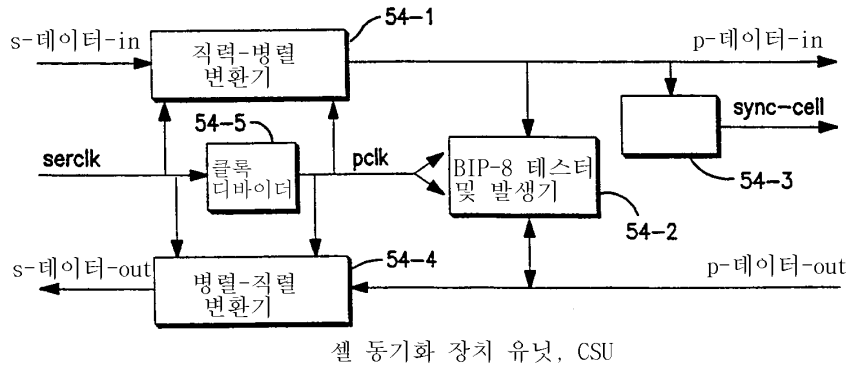


도면5a

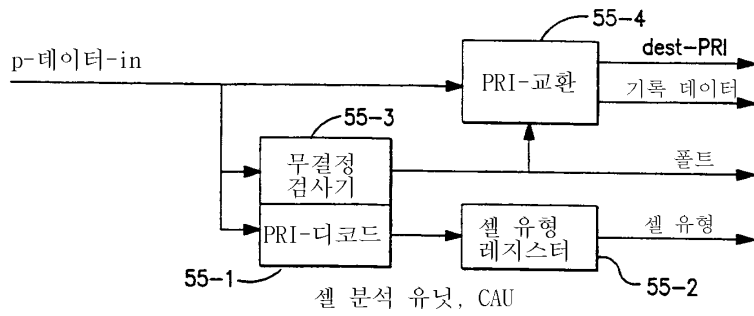


라인 인터페이스 유닛, LIU

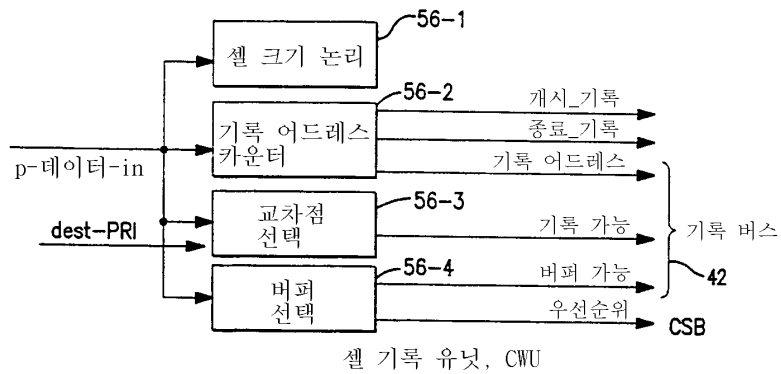
도면5b



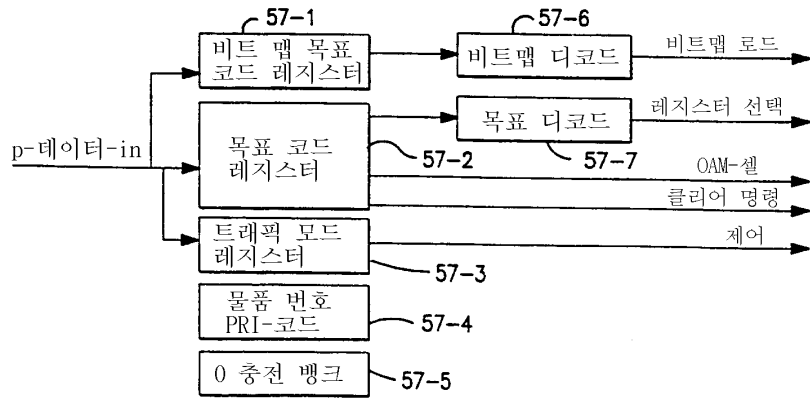
도면5c



도면5d

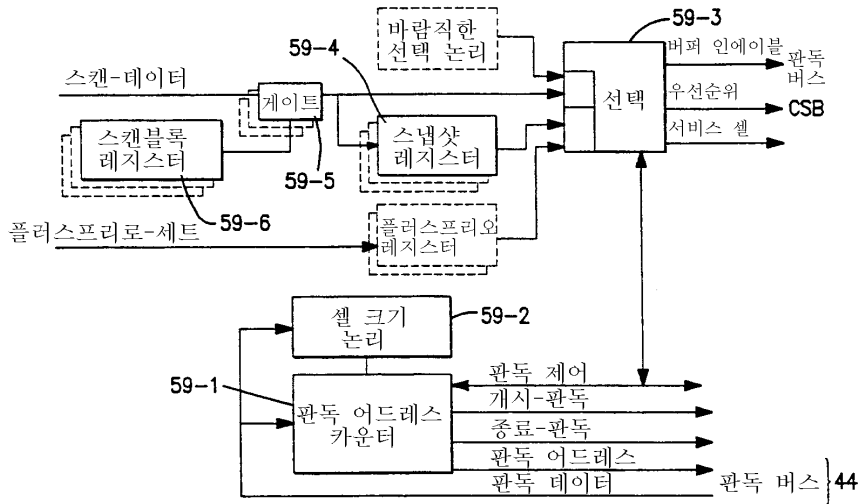


도면5e



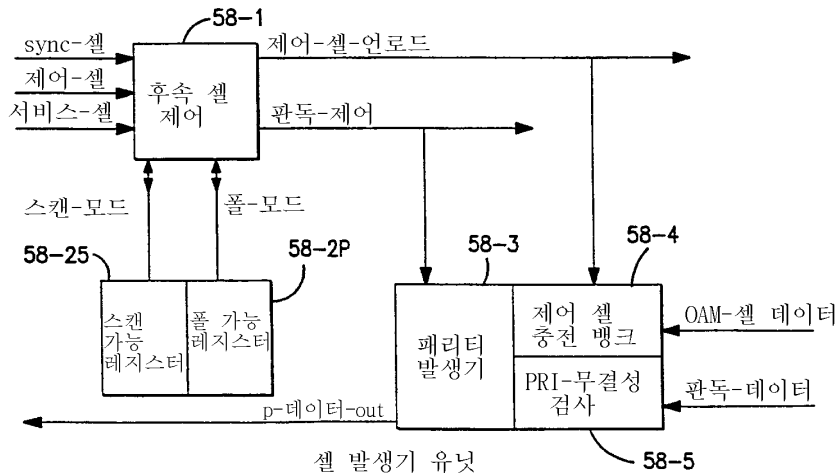
운용 및 보수 유닛, OMU

도면5f



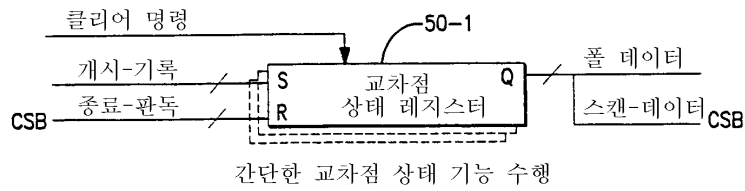
셀 관독 유닛, CRU

도면5g

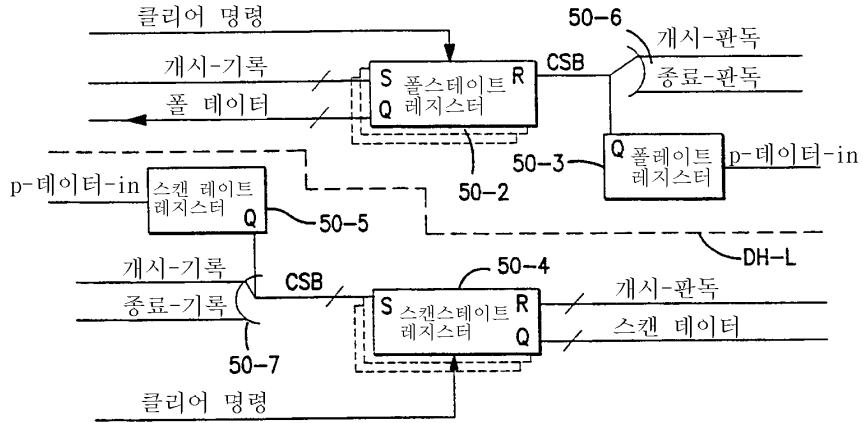


셀 발생기 유닛

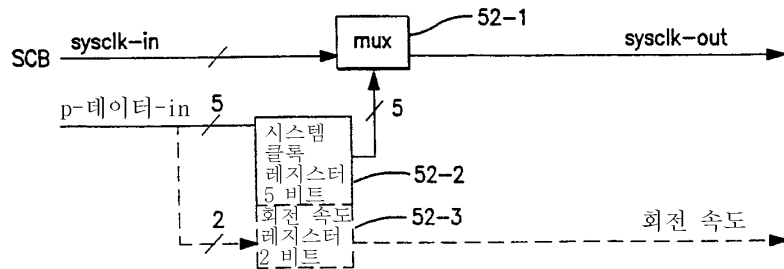
도면5h1



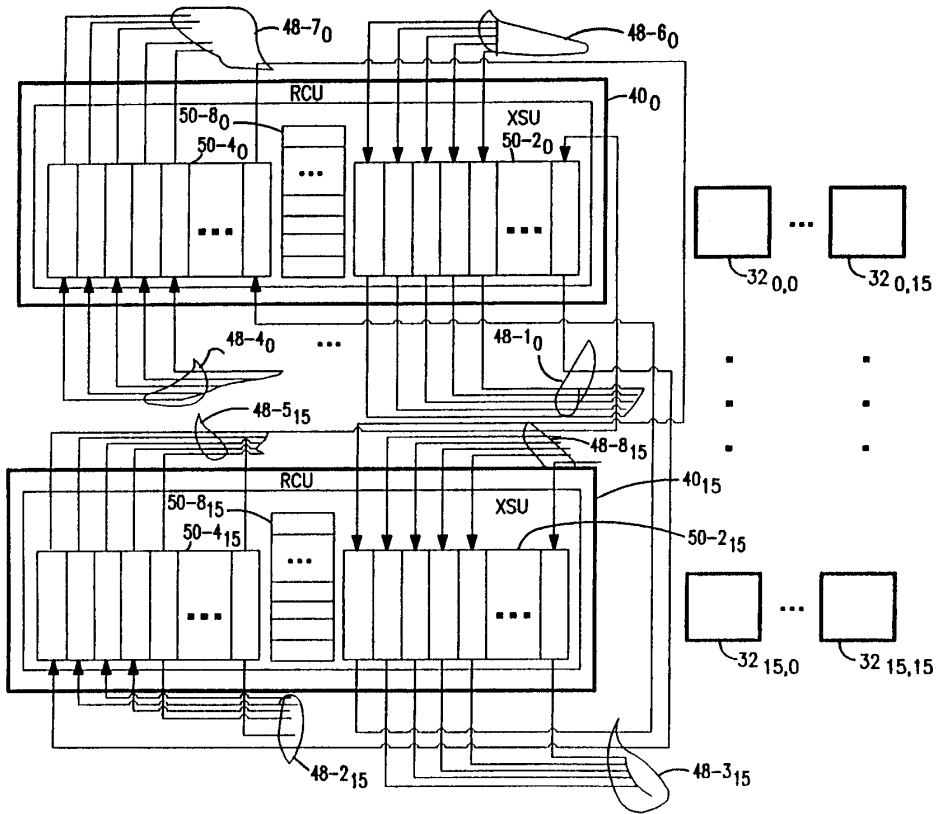
도면5h2



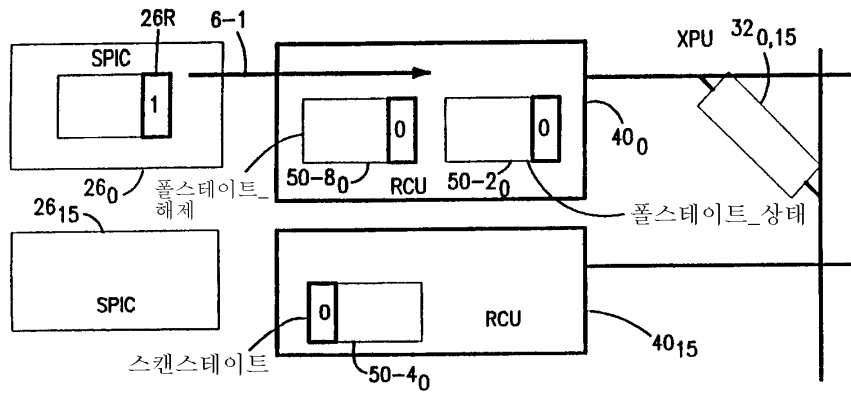
도면5i



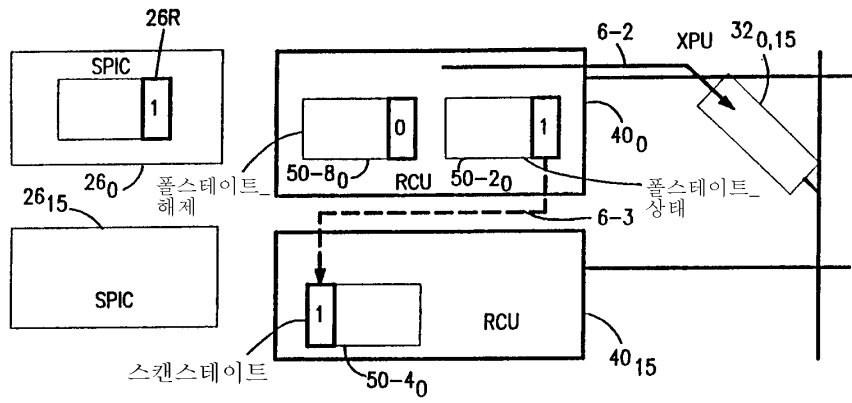
도면6



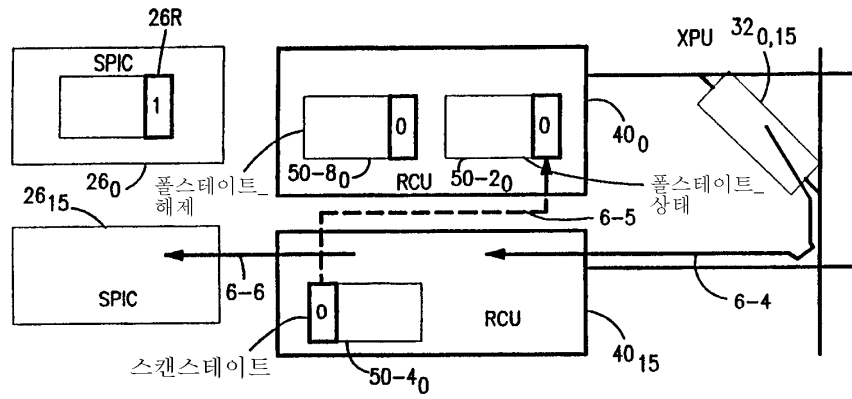
도면6a



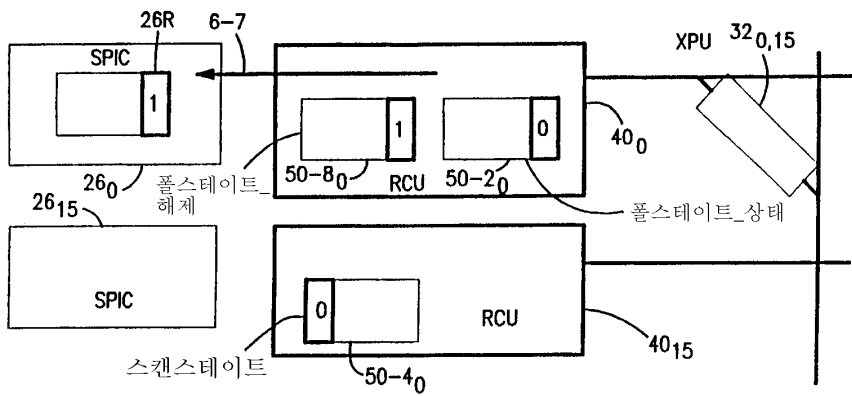
도면6b



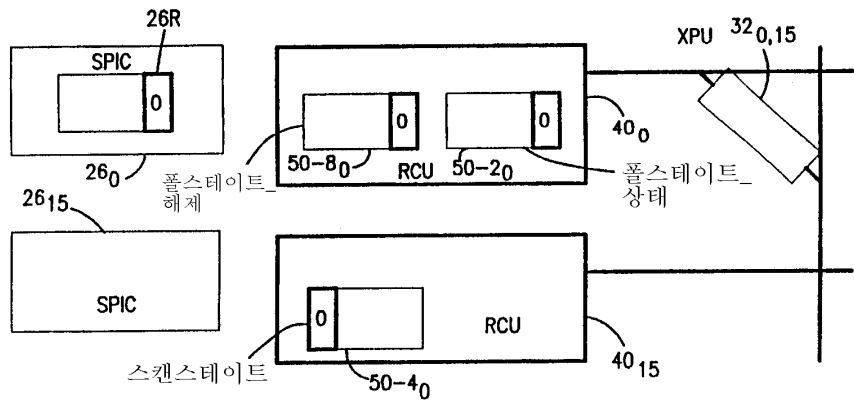
도면6c



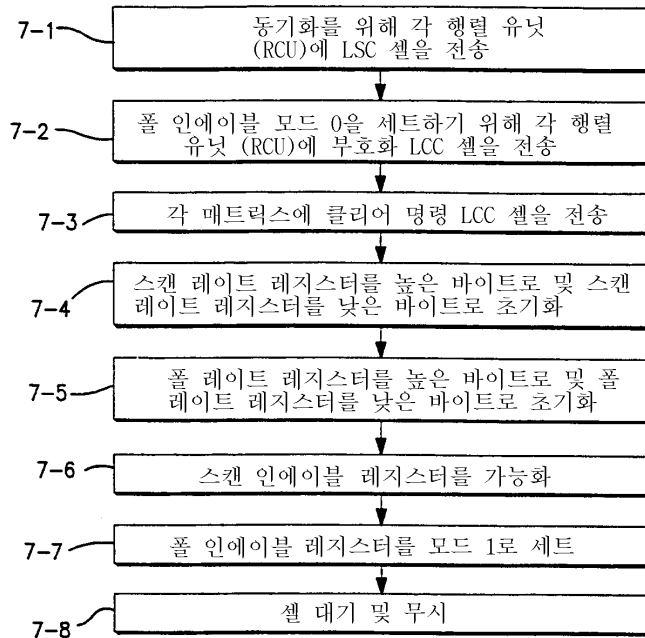
도면6d



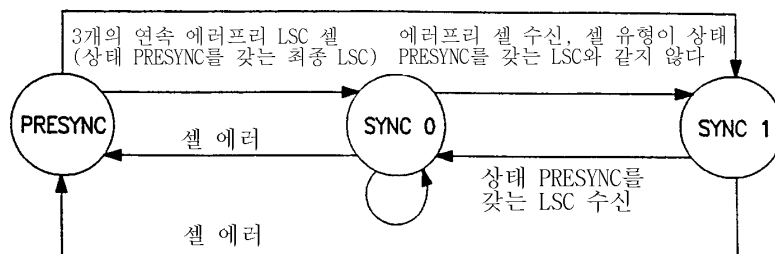
도면6e



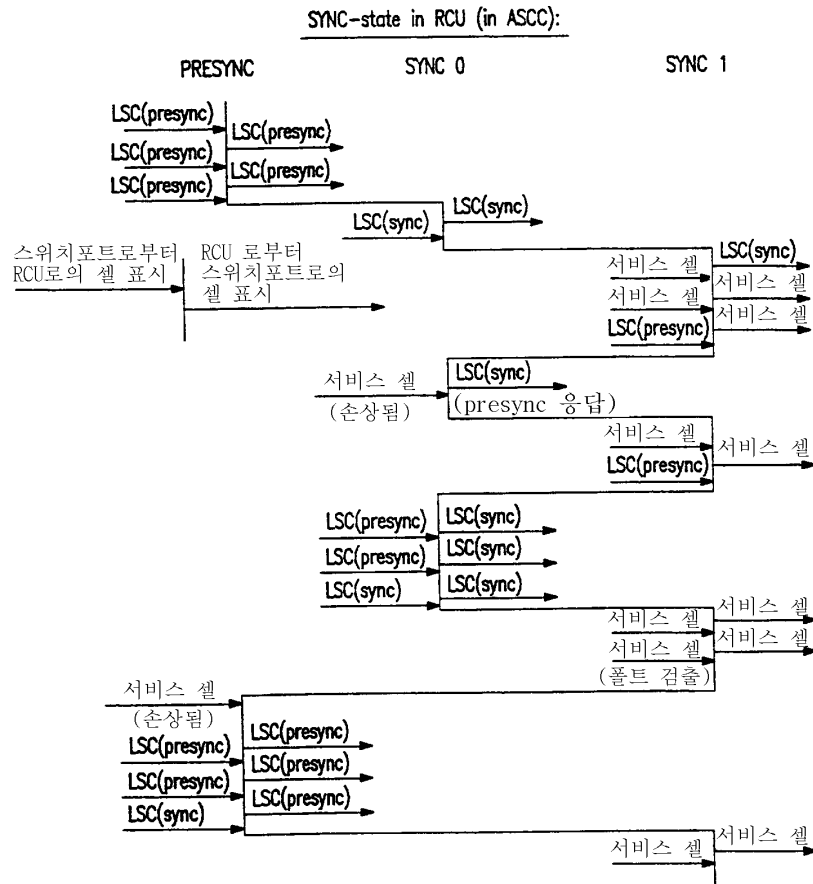
도면7



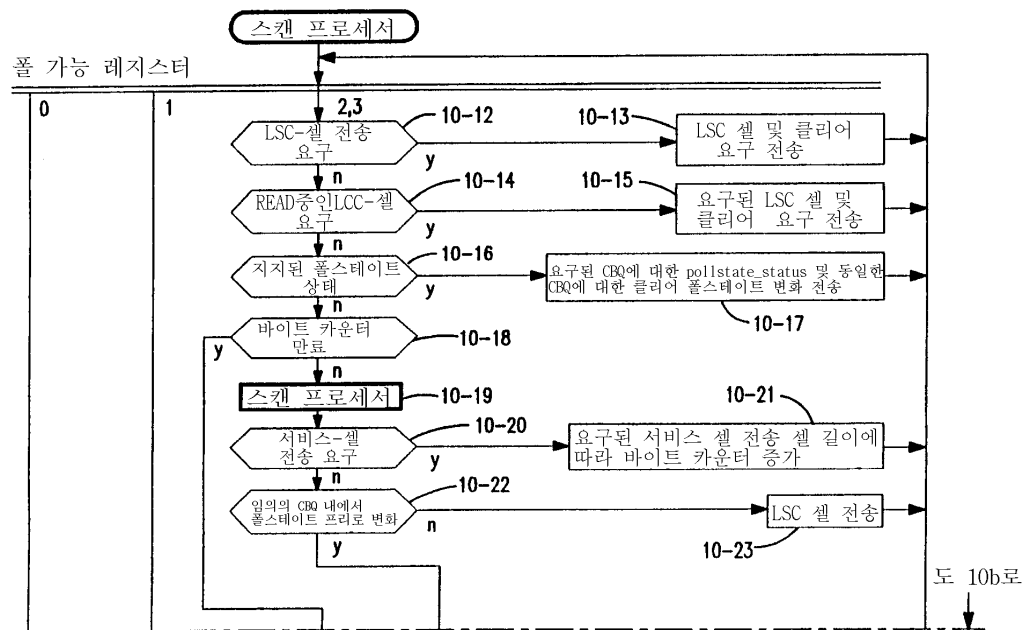
도면8



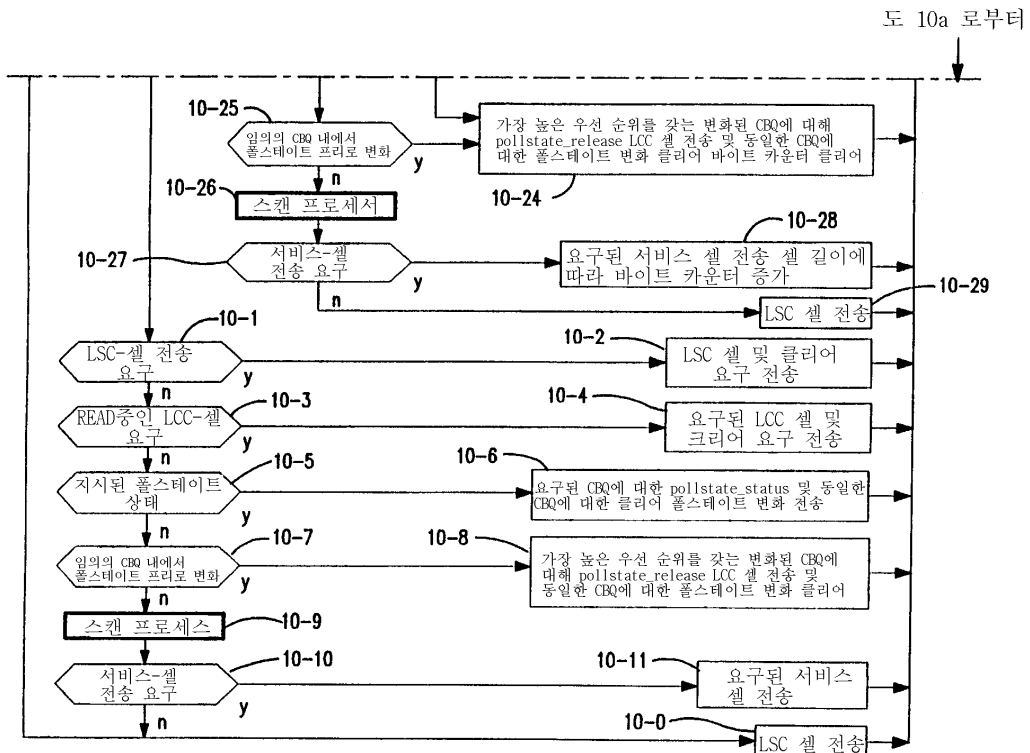
도면9



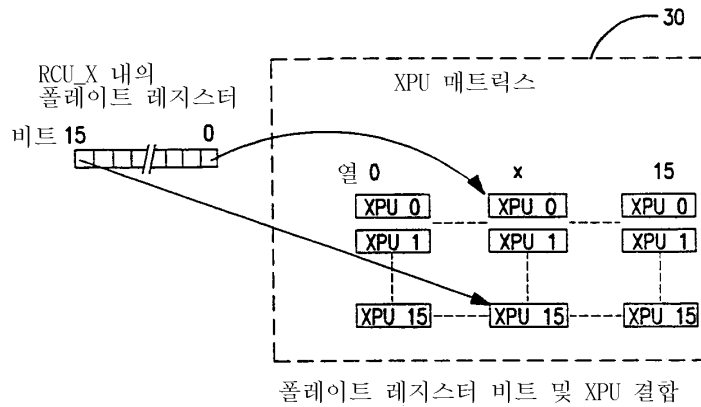
도면10a



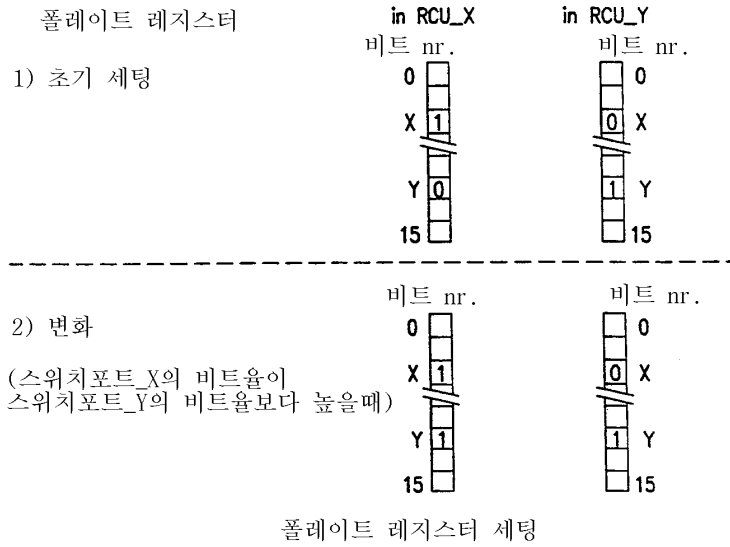
도면10b



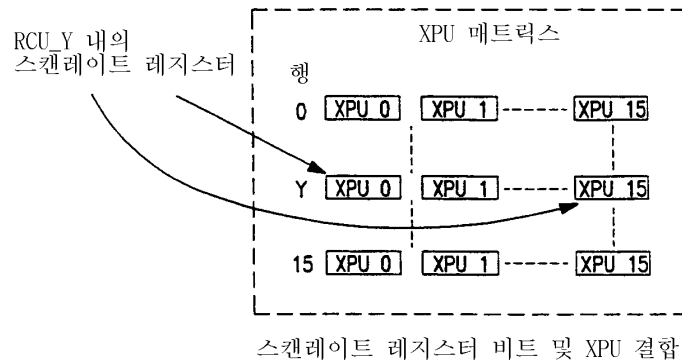
도면11



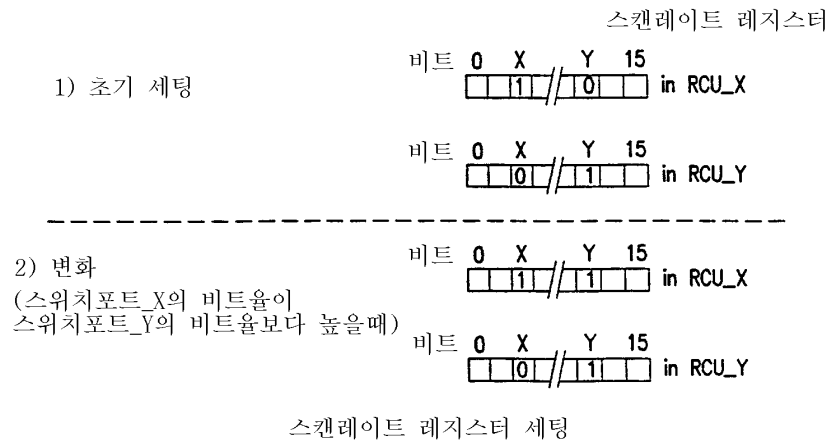
도면12



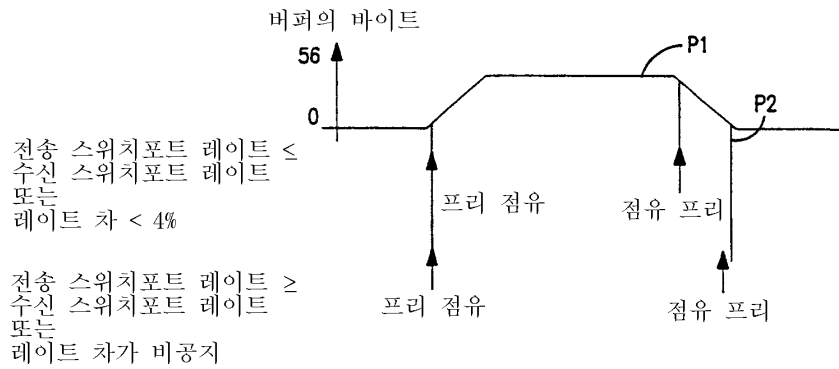
도면13



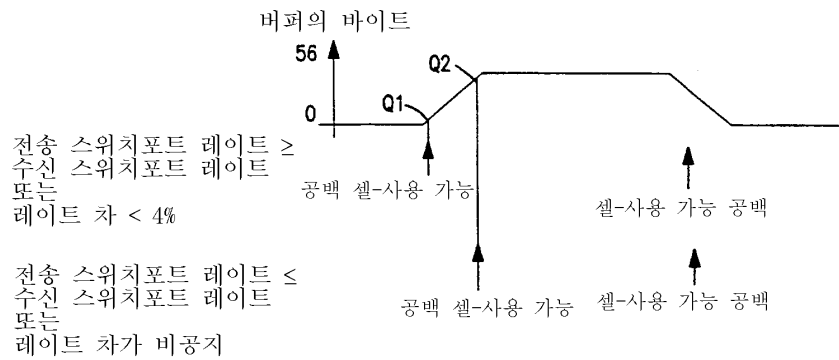
도면14



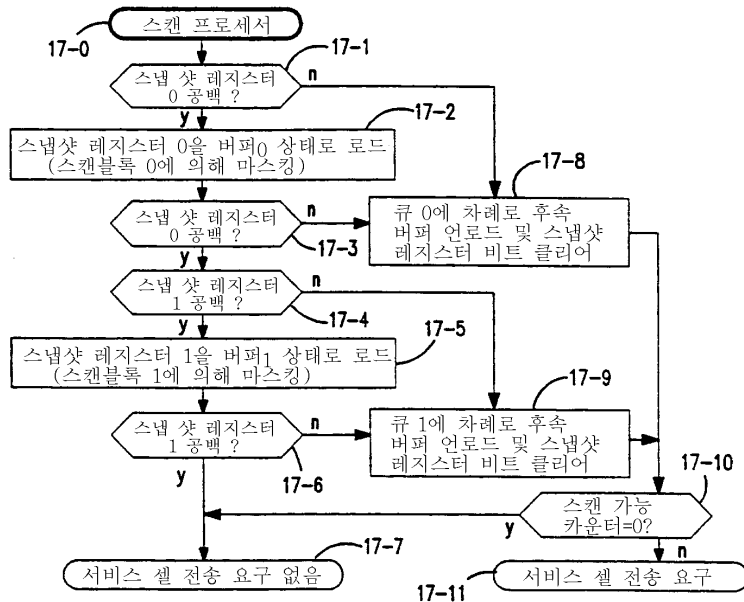
도면15



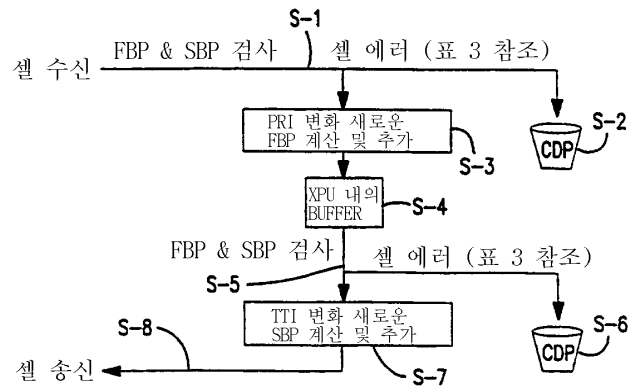
도면16



도면17



도면18



도면19

