

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7515564号
(P7515564)

(45)発行日 令和6年7月12日(2024.7.12)

(24)登録日 令和6年7月4日(2024.7.4)

(51)国際特許分類		F I		
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 0 1 Y
H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 1 8 E
H 0 1 L	29/786(2006.01)	H 0 1 L	29/78	6 2 7 C
H 0 1 L	21/8238(2006.01)	H 0 1 L	27/092	C
H 0 1 L	27/092(2006.01)	H 0 1 L	27/092	G
請求項の数 17 (全24頁) 最終頁に続く				
(21)出願番号 特願2022-500956(P2022-500956)		(73)特許権者 390009531		
(86)(22)出願日 令和2年7月3日(2020.7.3)		インターナショナル・ビジネス・マシー		
(65)公表番号 特表2022-541409(P2022-541409 A)		ンズ・コーポレーション		
(43)公表日 令和4年9月26日(2022.9.26)		INTERNATIONAL BUSI		
(86)国際出願番号 PCT/IB2020/056290		NESS MACHINES CORPO		
(87)国際公開番号 WO2021/009606		RATION		
(87)国際公開日 令和3年1月21日(2021.1.21)		アメリカ合衆国10504 ニューヨー		
審査請求日 令和4年12月23日(2022.12.23)		ク州 アーモンク ニュー オーチャード		
(31)優先権主張番号 16/514,235		ロード		
(32)優先日 令和1年7月17日(2019.7.17)		New Orchard Road, A		
(33)優先権主張国・地域又は機関 米国(US)		rmonk, New York 105		
		04, United States of		
		America		
		(74)代理人 100112690		
		弁理士 太佐 種一		
		最終頁に続く		

(54)【発明の名称】 ナノシートの直接印刷および自己整合ダブル・パターニング

(57)【特許請求の範囲】

【請求項1】

半導体構造体を形成する方法であって
基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することであり、前記チャネル材料の層が1つまたは複数のナノシート電界効果トランジスタのためのナノシート・チャネルを提供する、前記形成することと、
前記ナノシート・スタックの上にハード・マスク・スタックを形成することと、
前記ハード・マスク・スタックの上にパターニング層を形成することと、
前記パターニング層の上にリソグラフィ・マスクをパターニングすることであり、前記リソグラフィ・マスクが、(i)前記ナノシート・スタックおよび前記基板内に第1の幅の1つまたは複数のフィンを直接印刷するための1つまたは複数の第1の領域と、(ii)自己整合ダブル・パターニングを使用して前記ナノシート・スタックおよび前記基板内に第2の幅の2つ以上のフィン間の間隔を設定するための1つまたは複数の第2の領域と、を画定する、前記パターニングすることと、を含み、
前記第2の幅が前記第1の幅よりも小さい、
方法。

【請求項2】

前記リソグラフィ・マスクが、リソグラフィ材料が前記1つまたは複数の第1の領域および前記1つまたは複数の第2の領域を覆うように、前記パターニング層の上にパターニングされる、請求項1に記載の方法。

【請求項 3】

前記リソグラフィ・マスクによって露出された前記パターニング層の一部分をエッチングして、複数のパターニング・マンドレルを形成することと、

前記リソグラフィ・マスクを除去することと、
をさらに含む、請求項 2 に記載の方法。

【請求項 4】

前記複数のパターニング・マンドレルと、前記リソグラフィ・マスクによって露出された前記パターニング層の前記一部分のエッチングによって露出された前記ハード・マスク・スタックの上面の一部分と、の上にスペーサ材料を堆積させることと、

前記スペーサ材料をエッチ・バックして、前記複数のパターニング・マンドレルの上面から前記スペーサ材料を除去し、前記ハード・マスク・スタックの前記上面の一部分から前記スペーサ材料を除去し、前記複数のパターニング・マンドレルを取り囲む側壁スペーサを残すことと、

をさらに含む、請求項 3 に記載の方法。

【請求項 5】

前記複数のパターニング・マンドレルの少なくとも第 1 のサブセット、および前記複数のパターニング・マンドレルの前記第 1 のサブセットを取り囲む前記側壁スペーサを覆う第 1 のブロック・マスクを形成することと、前記複数のパターニング・マンドレルの少なくとも第 2 のサブセット、および前記複数のパターニング・マンドレルの前記第 2 のサブセットを取り囲む前記側壁スペーサを露出させることと、をさらに含み、前記複数のパターニング・マンドレルの前記第 1 のサブセットが、前記第 1 の幅の前記 1 つまたは複数のフィンの直接印刷を提供し、前記複数のパターニング・マンドレルの前記第 2 のサブセットが、前記第 2 の幅の前記 2 つ以上のフィン間の前記間隔を設定するための自己整合ダブル・パターニングを提供する、請求項 4 に記載の方法。

【請求項 6】

前記複数のパターニング・マンドレルの前記第 2 のサブセットを除去して、前記複数のパターニング・マンドレルの前記第 2 のサブセットを取り囲む前記側壁スペーサを残すことと、

前記第 1 のブロック・マスクを除去することと、
をさらに含む、請求項 5 に記載の方法。

【請求項 7】

前記複数のパターニング・マンドレルの前記第 2 のサブセットを取り囲む前記側壁スペーサを覆う第 2 のブロック・マスクを形成することと、前記複数のパターニング・マンドレルの前記第 1 のサブセット、および前記複数のパターニング・マンドレルの前記第 1 のサブセットを取り囲む前記側壁スペーサを露出させることと、をさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記第 2 のブロック・マスクによって露出された前記複数のパターニング・マンドレルの前記第 1 のサブセットを取り囲む前記側壁スペーサを除去することと、

前記第 2 のブロック・マスクを除去することと、
をさらに含む、請求項 7 に記載の方法。

【請求項 9】

前記ハード・マスク・スタック、前記ナノシート・スタック、および前記基板の少なくとも一部をエッチングして、前記複数のパターニング・マンドレルの前記第 1 のサブセットの下に前記第 1 の幅の前記 1 つまたは複数のフィンを形成し、残っている側壁スペーサの下に前記第 2 の幅の前記 1 つまたは複数のフィンを形成することをさらに含む、請求項 8 に記載の方法。

【請求項 10】

前記リソグラフィ・マスクが、リソグラフィ材料が前記 1 つまたは複数の第 1 の領域および前記 1 つまたは複数の第 2 の領域を露出させるように、前記パターニング層の上にパ

10

20

30

40

50

ターニングされる、請求項 1 に記載の方法。

【請求項 1 1】

前記リソグラフィ・マスクによって露出された前記パターンング層の一部分をエッチングして、複数のパターンング・マンドレルを形成することと、

前記リソグラフィ・マスクを除去することと、

をさらに含む、請求項 1 0 に記載の方法。

【請求項 1 2】

前記リソグラフィ・マスクによって露出された前記パターンング層の前記一部分のエッチングによって露出された前記ハード・マスク・スタックの上面の一部分の上に酸化物材料を堆積させることと、

前記酸化物材料をエッチ・バックして、前記複数のパターンング・マンドレル間の前記ハード・マスク・スタックの前記上面の上に複数の酸化物マンドレルを形成することと、
をさらに含む、請求項 1 1 に記載の方法。

【請求項 1 3】

前記複数の酸化物マンドレルの少なくとも第 1 のサブセットを覆うブロック・マスクを形成することと、前記複数の酸化物マンドレルの少なくとも第 2 のサブセットを露出させることと、をさらに含む、前記複数の酸化物マンドレルの前記第 1 のサブセットが、前記第 1 の幅の前記 1 つまたは複数のフィンの直接印刷を提供し、前記複数の酸化物マンドレルの前記第 2 のサブセットが、前記第 2 の幅の前記 2 つ以上のフィン間の前記間隔を設定するための自己整合ダブル・パターンングを提供する、請求項 1 2 に記載の方法。

【請求項 1 4】

前記複数の酸化物マンドレルの前記第 2 のサブセットを除去することと、

前記ブロック・マスクを除去することと、

をさらに含む、請求項 1 3 に記載の方法。

【請求項 1 5】

前記複数の酸化物マンドレルの前記第 2 のサブセットの前記除去によって露出された前記ハード・マスク・スタックの前記上面の一部分の上、ならびに前記複数の酸化物マンドレルの前記第 1 のサブセットおよび前記複数のパターンング・マンドレルの上面の上にスペーサ材料を形成することと、

前記スペーサ材料をエッチ・バックして、前記複数の酸化物マンドレルの前記第 2 のサブセットの除去によって露出された前記複数のパターンング・マンドレルの側壁に隣接して側壁スペーサを形成することと、

をさらに含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記複数のパターンング・マンドレルを除去することをさらに含む、請求項 1 5 に記載の方法。

【請求項 1 7】

前記ハード・マスク・スタック、前記ナノシート・スタック、および前記基板の少なくとも一部をエッチングして、前記複数の酸化物マンドレルの前記第 1 のサブセットの下に前記第 1 の幅の前記 1 つまたは複数のフィンを形成し、前記側壁スペーサの下に前記第 2 の幅の前記 1 つまたは複数のフィンを形成することをさらに含む、請求項 1 6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、半導体に関し、より詳細には、半導体構造体を形成するための技術に関する。

【背景技術】

【0002】

半導体および集積回路チップは、特にコストおよびサイズが減少し続けるにつれて、多くの製品の至るところで見られるようになった。構造的特徴のサイズを縮小すること、ま

10

20

30

40

50

たは所与のチップ・サイズに対してより多くの構造的特徴を提供すること、あるいはその両方が引き続き望まれている。小型化により、一般に、より低い電力レベルおよびより低いコストで性能を向上させることができる。現在の技術は、論理ゲート、電界効果トランジスタ（FET）、およびコンデンサなどの特定のマイクロ・デバイスの原子レベル・スケールにあるか、またはそれに近づきつつある。

【発明の概要】

【0003】

本発明の実施形態は、同じマスクを使用して、直接印刷ナノシートおよび自己整合ダブル・パターニング・ナノシートの両方を形成するための技術を提供する。

【0004】

本発明の一態様において、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層は、1つまたは複数のナノシート電界効果トランジスタのためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、（i）ナノシート・スタックおよび基板内に第1の幅の1つまたは複数のフィンを直接印刷するための1つまたは複数の第1の領域と、（ii）自己整合ダブル・パターニングを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための1つまたは複数の第2の領域と、を画定する。第2の幅は、第1の幅よりも小さい。

【0005】

別の態様において、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層は、1つまたは複数のナノシート電界効果トランジスタのためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、（i）ナノシート・スタックおよび基板内に第1の幅の1つまたは複数のフィンを直接印刷するための、パターニング層の上面の1つまたは複数の第1の領域と、（ii）自己整合ダブル・パターニングを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための、パターニング層の上面の1つまたは複数の第2の領域と、を覆う。第2の幅は、第1の幅よりも小さい。

【0006】

別の態様において、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層は、1つまたは複数のナノシート電界効果トランジスタのためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、（i）ナノシート・スタックおよび基板内に第1の幅の1つまたは複数のフィンを直接印刷するための、パターニング層の上面の1つまたは複数の第1の領域と、（ii）自己整合ダブル・パターニングを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための、パターニング層の上面の1つまたは複数の第2の領域と、を露出させる。第2の幅は、第1の幅よりも小さい。

【0007】

別の態様では、半導体構造体は、基板と、基板の上に配置されたナノシート・スタックとを備え、ナノシート・スタックは、犠牲材料およびチャネル材料の交互層を備え、チャネル材料の層は、1つまたは複数のナノシート電界効果トランジスタのためのナノシート

10

20

30

40

50

・チャンネルを提供する。半導体構造体はまた、ナノシート・スタックの上に配置されたハード・マスク・スタックと、ハード・マスク・スタックの上に配置されたパターニング層と、を備える。半導体構造体は、パターニング層上に配置されたリソグラフィ・マスクをさらに備え、リソグラフィ・マスクは、(i) ナノシート・スタックおよび基板内に第1の幅の1つまたは複数のフィンを直接印刷するための1つまたは複数の第1の領域と、(ii) 自己整合ダブル・パターニングを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための1つまたは複数の第2の領域と、を画定する。第2の幅は、第1の幅よりも小さい。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態による、半導体層スタックの側面断面図である。

【図2】本発明の一実施形態による、リソグラフィ・マスクのパターニング後の図1の構造体の側面断面図である。

【図3】本発明の一実施形態による、パターニング層の露出部分のエッチングおよびリソグラフィ・マスクの除去後の図2の構造体の側面断面図である。

【図4】本発明の一実施形態による、スペーサ材料の形成後の図3の構造体の側面断面図である。

【図5】本発明の一実施形態による、スペーサ材料のエッチ・バック後の図4の構造体の側面断面図である。

【図6】本発明の一実施形態による、ブロック・マスクのパターニングおよび露出したパターニング・マンドレルの除去後の図5の構造体の側面断面図である。

【図7】本発明の一実施形態による、ブロック・マスクの除去後の図6の構造体の側面断面図である。

【図8】本発明の一実施形態による、追加のブロック・マスクのパターニングおよびスペーサ材料の露出部分の除去後の図7の構造体の側面断面図である。

【図9】本発明の一実施形態による、追加のブロック・マスクの除去後の図8の構造体の側面断面図である。

【図10】本発明の一実施形態による、上部ハード・マスク層のエッチング後の図9の構造体の側面断面図である。

【図11】本発明の一実施形態による、残っているパターニング・マンドレルの除去後の図10の構造体の側面断面図である。

【図12】本発明の一実施形態による、残っているスペーサ材料および最上部の残っているハード・マスク層のエッチング後の図11の構造体の側面断面図である。

【図13】本発明の一実施形態による、最後のハード・マスク層のエッチング後の図12の構造体の側面断面図である。

【図14】本発明の一実施形態による、パディング層を開口し、ナノシート・スタックの露出部分および基板の一部分をエッチングした後の図13の構造体の側面断面図である。

【図15】本発明の一実施形態による、リソグラフィ・マスクのパターニング後の図1の構造体の側面断面図である。

【図16】本発明の一実施形態による、パターニング層の露出部分の除去およびリソグラフィ・マスクの除去後の図15の構造体の側面断面図である。

【図17】本発明の一実施形態による、酸化物材料の充填およびエッチ・バック後の図16の構造体の側面断面図である。

【図18】本発明の一実施形態による、酸化物材料の一部を露出させるためのブロック・マスクのパターニング後の図17の構造体の側面断面図である。

【図19】本発明の一実施形態による、酸化物材料の露出部分を除去し、ブロック・マスクを除去した後の図18の構造体の側面断面図である。

【図20】本発明の一実施形態による、スペーサの堆積およびエッチ・バック後の図19の構造体の側面断面図である。

【図21】本発明の実施形態による、パターニング層の残っている部分の除去後の図20

10

20

30

40

50

の構造体の側面断面図である。

【図 2 2】本発明の一実施形態による、上部ハード・マスク層の開口後の図 2 1 の構造体の側面断面図である。

【図 2 3】本発明の一実施形態による、ナノシート・スタックの露出部分および基板の一部分のエッチング後の図 2 2 の構造体の側面断面図である。

【発明を実施するための形態】

【0009】

本発明の例示的な実施形態は、同じマスクを使用して直接印刷ナノシートおよび自己整合ダブル・パターニング・ナノシートの両方を形成するための例示的な方法の文脈において本明細書に記載される。しかしながら、本発明の実施形態は、例示的な方法、装置、システム、およびデバイスに限定されず、代わりに、他の適切な方法、装置、システム、およびデバイスにより広く適用可能であることを理解されたい。

【0010】

FETは、ソース、ゲート、およびドレインを有し、ソースとドレインとの間のゲートを通るチャンネルに沿った多数キャリアの流れに依存する動作を有するトランジスタである。ソースとドレインとの間のチャンネルを流れる電流は、ゲートの下の横方向電界によって制御することができる。ゲートの長さは、FETがどの程度速く切り替わるかを決定し、チャンネルの長さ（ソースとドレインとの間の距離など）とほぼ同じにすることができる。

【0011】

一部のFETでは、チャンネルを制御するために2つ以上のゲートまたはマルチ・ゲート構成が使用される場合がある。マルチ・ゲートFETは、相補型金属酸化膜半導体（CMOS）FET技術をスケールダウンする有望な候補である。しかしながら、（シングル・ゲートFETと比較して）マルチ・ゲートFETに関連付けられた寸法が小さいため、短チャンネル効果、パンチスルー、金属酸化物半導体（MOS）リーク電流、およびマルチ・ゲートFETに存在する寄生抵抗などの性能問題をよりよく制御する必要がある。

【0012】

FETのサイズを縮小するために、様々な技術を使用することができる。1つの技術は、FinFETデバイスにおいてフィン形状チャンネルを使用することによるものである。FinFET構成が出現する前は、CMOSデバイスは、典型的には、チャンネルの上部に配置されたFETゲートを除いて、半導体基板の表面に沿って実質的に平面であった。FinFETは、縦型チャンネル構造を利用して、ゲートに露出するチャンネルの表面積を増加させる。したがって、FinFET構造では、ゲートがチャンネルの2つ以上の側面または表面にわたって延在するため、ゲートは、チャンネルをより効果的に制御することができる。一部のFinFET構成では、ゲートは、従来の平面チャンネルの上面だけに配置されるのではなく、3次元チャンネルの3つの表面を囲む。

【0013】

FETのサイズを縮小するのに有用な別の技術は、半導体基板の上に形成された積層ナノシート・チャンネルの使用によるものである。積層ナノシートは、1～100ナノメートル（nm）程度の厚さ範囲を有するシートなどの2次元ナノ構造であってもよい。ナノシートおよびナノワイヤは、7nmを超えてスケールアップするための実現可能な選択肢である。ナノシート・スタックを形成するための一般的なプロセス・フローは、シリコン（Si）で形成されることがあるチャンネル材料のシート間の、シリコン・ゲルマニウム（SiGe）で形成されることがある犠牲層を除去することを含む。

【0014】

ナノシート印刷のためのプロセス選択肢は、単一マスクによる直接印刷、または2つのマスク処理ソリューションによる直接印刷および自己整合ダブル・パターニング（SADP）に依拠することがある。一部のデバイス（例えば、静的ランダム・アクセス・メモリ（SRAM）構造など）で使用される小さいナノシート幅では、直接印刷プロセスで生成されるばらつきがデバイス動作にとって十分でない場合がある。一例として、寸法がフィ

10

20

30

40

50

ン幅に近づくにつれて、SADPが必要になる場合がある。しかしながら、ナノシート・スタックは、様々なデバイス幅の使用を可能にすることで様々な利点を提供する。（例えば、直接印刷およびSADPのための）複数マスク・ソリューションは、複数マスクがオーバーレイ（OL）の劣化をもたらすため、問題がある。このようなOLの劣化は、様々なデバイス特徴（例えば、ゲートおよびソース／ドレインのオーバーレイなど）に対して（例えば、寄生容量において）下流の影響を引き起こすスプリット・レベルに一部起因することがある。

【0015】

上記のように、SRAM構造などの一部のデバイス構造は、ナノシート幅を変化させることで恩恵を受ける。SRAMは、高速、低消費電力、および単純な操作を提供するメモリ・デバイスの一種である。ダイナミック・ランダム・アクセス・メモリ（DRAM）とは異なり、SRAMは、記憶されたデータを定期的にリフレッシュする必要がなく、簡単な設計を有する。SRAMセルは、様々な数のトランジスタを使用して形成されることがある。

【0016】

6トランジスタ（6T）SRAMセルは、マイクロプロセッサ回路の一次メモリとして広く使用されている。6T SRAMセルは、第1のビット線ノード（BL）、第1の出力ノード（Q）、およびワード線ノード（WL）に接続された第1のn型FETデバイス（nFET）を含むことができる。6T SRAMセルの第2のnFETデバイスは、Qノード、接地ノード（例えば、VSS）、および第2の出力ノード（Q'）に接続されている。第1のp型FETデバイス（pFET）は、Qノード、Q'ノード、および電圧源または電源ノード（例えば、VDD）に接続されている。第2のpFETデバイスは、VDDノード、Qノード、およびQ'ノードに接続されている。第3のnFETデバイスは、VSSノード、Qノード、およびQ'ノードに接続されている。第4のnFETデバイスは、第2のビット線ノード（BLB）、WLノード、およびQ'ノードに接続されている。第1および第4のnFETデバイスは、6T SRAMセルのパスゲート（PG）トランジスタであり、第2および第3のnFETデバイスは、6T SRAMセルのプルダウン（PD）トランジスタであり、第1および第2のpFETデバイスは、6T SRAMセルのプルアップ（PU）トランジスタである。

【0017】

ナノシート・トランジスタを使用して形成された6T SRAMセルでは、セル内の様々なnFETデバイスおよびpFETデバイスに異なるナノシート幅を使用することが望ましい場合がある。例えば、ナノシート幅は、6T SRAMセルのpFETデバイスよりも6T SRAMセルのnFETデバイスの方が大きい場合がある。しかしながら、これは要件ではなく、実施形態は、pFETデバイスに対して、nFETデバイスよりも小さいナノシート幅を形成することに限定されないことを理解されたい。さらに、本明細書に記載される技術は、SRAM構造の形成に使用することに限定されるものではなく、代わりに、異なるナノシート幅が望まれるナノシートFETを形成するためにより一般的に適用可能である。

【0018】

ここで、同じマスクを使用する直接印刷およびSADPの両方を使用して異なる幅のナノシートを形成するための例示的なプロセスを、図1～図23に関してさらに詳細に説明する。

【0019】

図1は、基板102と、犠牲材料およびチャネル材料の交互層104、106を含むナノシート・スタックと、パディング層108と、ハード・マスク層110、112および114と、パターニング層116と、を含む半導体層スタックの側面断面図100を示す。

【0020】

基板102は、バルク・シリコン（Si）から形成された半導体構造体であってもよいが、様々なシリコン含有材料などの他の適切な材料が使用されてもよい。基板102に適

10

20

30

40

50

したシリコン含有材料の例示的な例としては、Si、シリコン・ゲルマニウム (SiGe)、シリコン・ゲルマニウム・カーバイド (SiGeC)、シリコン・カーバイド (SiC)、ポリシリコン、エピタキシャル・シリコン、アモルファス・シリコン、およびこれらの多層が挙げられるが、これらに限定されない。シリコンは、ウエハ製造において主に使用される半導体材料であるが、代替の半導体材料として、ゲルマニウム (Ge)、ガリウム・ヒ素 (GaAs)、窒化ガリウム (GaN)、テルル化カドミウム (CdTe)、およびセレン化亜鉛 (ZnSe) などを用いることができるが、これらに限定されない。別の実施形態では、基板102は、シリコン・オン・インシュレータ (SOI) ウエハであってもよい。当技術分野で知られているように、SOIウエハは、埋め込み絶縁体によって基板から分離されたSOI層を含む。適切な基板材料としては、Si、歪みSi、炭化ケイ素 (SiC)、Ge、SiGe、SiGeC、Si合金、Ge合金、GaAs、インジウム・ヒ素 (InAs)、インジウム・リン (InP)、またはこれらの任意の組合せが挙げられるが、これらに限定されない。埋め込み絶縁体に適した誘電体材料としては、二酸化ケイ素 (SiO₂) などの酸化物材料が挙げられるが、これに限定されない。埋め込み絶縁体が酸化物である場合、埋め込み絶縁体は、埋め込み酸化物またはBOXと呼ばれることもある。

10

【0021】

基板102は、所望に応じて（例えば、形成されるデバイス構造の数に基づいて）幅または水平方向厚さ (X-X' 方向の) が変化してもよい。基板102は、300マイクロメートル (μm) ~ 1000 μmの範囲の高さまたは垂直厚さ (Y-Y' 方向の) を有することができる。

20

【0022】

犠牲材料104およびチャネル材料106の交互層を含むナノシート・スタックが、基板102の上に形成される。図1は、ナノシート・スタック内に3つの犠牲層104および3つのチャネル層106が存在する例を示すが、ナノシート・スタックは、犠牲材料およびチャネル材料の3組の交互層よりも多いまたは少ない交互層を含むことができることを理解されたい。

【0023】

犠牲層104は、チャネル材料106に対して選択的にエッチングされ得る任意の適切な材料から形成されてもよい。チャネル層106がSiである場合、犠牲層104は、SiGeであってもよい。チャネル層106がインジウム・ガリウム・ヒ素 (InGaAs) である場合、犠牲層104はインジウム・アルミニウム・ヒ素 (InAlAs) であってもよい。III-V族材料の様々な他の組合せが使用されてもよい。犠牲層104の材料は、チャネル層106の材料に対して選択的に除去することができるものである。犠牲層104およびチャネル層106はそれぞれ、4 nm ~ 15 nmの範囲の厚さを有することができる。犠牲層104とチャネル層106のナノシート・スタックは、基板102の上にエピタキシャル成長させることができる。

30

【0024】

パディング層108は、図示されるように（例えば、化学気相堆積 (CVD)、物理的気相堆積 (PVD)、または別の適切な酸化物堆積プロセスを使用して）ナノシート・スタックの上に形成されている。パディング層108は、二酸化ケイ素 (SiO₂) などの酸化物で形成されてもよい。パディング層108は、1 nm ~ 10 nmの範囲の高さまたは垂直厚さ (Y-Y' 方向の) を有することができる。

40

【0025】

ハード・マスク層110、112および114は、パディング層108の上に形成されている。一部の実施形態では、ハード・マスク層110および114は、窒化ケイ素 (SiN) などの窒化物材料であり、ハード・マスク層112は、SiO₂などの酸化物材料である。そのような場合、ハード・マスク層110、112および114は、一まとまりとなって窒化物-酸化物-窒化物 (NON) ハード・マスクを提供する。ハード・マスク層110、112および114は、高密度プラズマ (HDP) CVD (HDP CVD)、

50

プラズマCVD（PECVD）、CVDなどを使用して形成することができる。ハード・マスク層110は、10nm～50nmの範囲の高さまたは垂直厚さ（Y-Y'方向の）を有することができる。ハード・マスク層112は、10nm～50nmの範囲の高さまたは垂直厚さ（Y-Y'方向の）を有することができる。ハード・マスク層114は、10nm～50nmの範囲の高さまたは垂直厚さ（Y-Y'方向の）を有することができる。

【0026】

パターンニング層116は、ハード・マスク層114の上に形成される。パターンニング層116は、アモルファス・シリコン（a-Si）またはアモルファス・カーボン（a-C）などの別の適切な材料で形成されてもよい。パターンニング層116は、CVD、PVDなどの任意の適切な堆積プロセスを使用して形成することができる。パターンニング層116は、10nm～200nmの範囲の高さまたは垂直厚さ（Y-Y'方向の）を有することができる。

10

【0027】

図2は、図示されるように、リソグラフィおよびエッチングを行って、パターンニング層116の上に部分118-1、118-2および118-3を有するリソグラフィ・マスク（総称してリソグラフィ・マスク118）を形成した後の図1の構造体の側面断面図200を示す。リソグラフィ・マスク118は、フォトレジストで形成することができる。リソグラフィ・マスク118は、20nm～1000nmの範囲の高さまたは垂直厚さ（Y-Y'方向の）を有することができる。

20

【0028】

リソグラフィ・マスク部分118-1および118-3の幅または水平厚さ（方向X-X'に）は、5nm～2000nmの範囲にあってもよい。リソグラフィ・マスク部分118-1および118-3は、後述する処理後に、下にあるデバイス構造のためのナノシートの幅の直接印刷制御を提供する。例えば、リソグラフィ・マスク部分118-1および118-3を使用して、下にあるナノシート・スタックから形成される下にあるn型FET（nFET）のためのデバイス幅を制御することができる。

【0029】

リソグラフィ・マスク部分118-2の幅または水平厚さ（方向X-X'に）は、5nm～200nmの範囲にあってもよい。リソグラフィ・マスク部分118-2は、後述する処理後に、下にあるデバイス構造のためのナノシートの幅のSADP制御を提供する。例えば、リソグラフィ・マスク部分118-2を使用して、下にあるナノシート・スタックから形成される下にあるp型FET（pFET）のデバイス幅を制御することができる。

30

【0030】

以下でさらに詳細に説明するように、図2のリソグラフィ・マスク118の部分の数およびサイジングを使用して、下にあるナノシート・スタックからナノシートFETの特定の構成（例えば、リソグラフィ・マスク部分118-1および118-3を用いて直接印刷を使用して一対のnFETデバイス、およびリソグラフィ・マスク部分118-2を用いてSADPを使用して一対のpFETデバイス）を形成する。異なる数およびサイズのマスク層を使用して、様々な幅のナノシートFETの様々な他の組合せを形成できることを理解されたい。

40

【0031】

図3は、リソグラフィ・マスク118によって露出されたパターンニング層116の一部を（例えば、a-Si反応性イオンエッチング（RIE）を使用して）エッチングした後の図2の構造体の側面断面図300を示す。次いで、リソグラフィ・マスク118が除去される。その結果、パターンニング層116のマンドレル116-1、116-2および116-3が残る。

【0032】

図4は、スペーサ材料120の形成後の図3の構造体の側面断面図400を示す。スペーサ材料120は、原子層堆積（ALD）または別の適切なプロセスを使用して形成することができる。スペーサ材料120は、金属酸化物、SiO₂などの酸化物で形成するこ

50

とができる。スペーサ材料 120 は、5 nm～60 nm の範囲の均一な厚さを有することができる。スペーサ材料 120 の厚さは、以下でさらに詳細に説明されるように、下にあるナノシート・スタックから形成される FET（例えば、pFET）のサイズを制御する。

【0033】

図 5 は、スペーサ材料 120 をエッチ・バックして、パターニング・マンドレル 116-1、116-2 および 116-3 の側壁上に側壁スペーサ 120' が得られた後の図 4 の構造体の側面断面図 500 を示す。

【0034】

図 6 は、図示されるように、パターニング・マンドレル 116-1 および 116-3 の側壁を取り囲むスペーサ材料 120' に加えて、パターニング・マンドレル 116-1 および 116-3 を覆う部分 122-1 および 122-2（総称して、ブロック・マスク 122）を含むブロック・マスクのパターニング後の図 5 の構造体の側面断面図 600 を示す。このステップは、「pFET オープン」ステップと呼ばれることがあり、ブロック・マスク 122 によって露出されたスペーサ材料 120' が、（例えば、SADP を使用して）下にあるナノシート・スタックから pFET デバイスを形成するために使用される。ブロック・マスク 122 は、スピンオン・コーティングまたは他の適切な処理を使用して、適切な有機平坦化層（OPL）材料で形成することができる。ブロック・マスク 122 の高さまたは垂直厚さ（Y-Y' 方向の）は、100 nm～1000 nm の範囲にあってもよい。図 6 は、反応性イオンエッチング（RIE）を使用するなどして、露出したパターニング・マンドレル 116-2 を除去した後の構造をさらに示している。

【0035】

図 7 は、ブロック・マスク 122 を除去した後の図 6 の構造体の側面断面図 700 を示す。ブロック・マスク 122 は、ドライ・アッシング、湿式洗浄などを使用して除去することができる。

【0036】

図 8 は、除去されたパターニング・マンドレル 116-2 を取り囲むスペーサ材料 120' を覆う別のブロック・マスク 124 をパターニングして、パターニング・マンドレル 116-1 および 116-3 ならびにパターニング・マンドレル 116-1 および 116-3 の側壁上のスペーサ材料 120' を露出させた後の側面断面図 800 を示す。ブロック・マスク 124 は、ブロック・マスク 122 と同様の処理および同様のサイジング（Y-Y' 方向の）を有する同様の材料で形成することができる。このステップは、「nFET オープン」ステップと呼ばれることがあり、パターニング・マンドレル 116-1 および 116-2 が、下にあるナノシート・スタックから nFET デバイスを直接印刷するために使用される。図 8 は、パターニング・マンドレル 116-1 および 116-3 の側壁を取り囲むスペーサ材料 120' の除去をさらに示している。

【0037】

図 9 は、ブロック・マスク 124 を除去した後の図 8 の構造体の側面断面図 900 を示す。ブロック・マスク 124 は、ブロック・マスク 122 の除去に関して上述した処理と同様の処理を用いて除去することができる。

【0038】

図 10 は、残っているパターニング・マンドレル 116-1 および 116-3 ならびに残っているスペーサ側壁 120' によって露出されたハード・マスク層 114 のエッチング後の図 9 の構造体の側面断面図 1000 を示す。ハード・マスク層 114 は、RIE または他の適切な処理を使用してエッチングすることができる。その結果、パターニング・マンドレル 116-1 および 116-3 ならびに残っている側壁スペーサ 120' の下にのみハード・マスク層 114' が残る。

【0039】

図 11 は、パターニング・マンドレル 116-1 および 116-3 の除去後の図 10 の構造体の側面断面図 1100 を示す。パターニング・マンドレル 116-1 および 116-3 は、パターニング・マンドレル 116-2 の除去に関して上述したものと同様の処理

を使用して除去することができる。

【0040】

図12は、残っている側壁スペーサ120'およびハード・マスク層112をエッチングして、ハード・マスク層112'がハード・マスク層114'の下にのみ残るようにした後の図11の構造体の側面断面図1200を示す。上記のように、ハード・マスク層112および側壁スペーサ120'は両方とも、酸化物で形成されてもよく、RIEまたは他の適切な処理を使用して除去することができる。

【0041】

図13は、図示するようにハード・マスク層110をエッチングして、パディング層108を露出させ、ハード・マスク層110'がハード・マスク層112'の下にのみ残るようにした後の図12の構造体の側面断面図1300を示す。ハード・マスク層110は、ハード・マスク層114のエッチングに関して上述したものと同様の処理を使用してエッチングすることができる。このステップにより、上述したようにハード・マスク層110と同じ材料（例えば、窒化物）で形成することができる残っているハード・マスク層114'も除去される。

【0042】

図14は、パディング層108を開口し、ナノシート・スタックの露出部分を基板102の一部にまでエッチングした後の図13の構造体の側面断面図1400を示す。酸化物で形成することができるパディング層108は、ハード・マスク層112のエッチングに関して上述したものと同様の処理を使用して開口することができる。このステップにより、残っているハード・マスク層112'も除去される。

【0043】

ナノシート・スタックの犠牲層104およびチャネル層106を、基板102とともに、RIEまたは別の適切なプロセスを使用してエッチングすることができ、そのような層の部分104'、106'、および102'が図示されるように残るようにする。基板102をエッチングして基板102'を形成することにより、結果として、ナノシート・スタックの犠牲層104'およびチャネル層106'の残っている部分の下に基板102'の上にフィン103-1~103-4が形成される。

【0044】

上記のように、一部の実施形態では、フィン103-1および103-4は、nFETナノシート・トランジスタを形成するために使用することができ、一方、フィン103-2および103-3は、pFETナノシート・トランジスタを形成するために使用される。有利なことに、フィン103-1および103-4の直接印刷の使用ならびにフィン103-2および103-3のSADPの使用には、主に特徴の配置を画定するための単一のリソグラフィ・マスクのみが必要であり、それによって、他の方法ではゲートおよびソース/ドレインのパターニングに影響を及ぼす（例えば、結果として生じる構造の寄生容量に影響を及ぼす）OLペナルティの低減または劣化を低減する。さらに、そのような技術により、異なるナノシート幅を有するデバイスの形成が可能となり、様々なデバイス（例えば、SRAM構造を含む）のさらなるスケールアップが可能になる。

【0045】

図15~図23は、図1の構造とは異なる幅のナノシート・デバイスを形成するために、直接印刷およびSADPの両方を使用するための別のプロセスを示す。図2~図14は、図14の構造体を形成するための「ポジ」型プロセスを示すが、図15~図23は、図23の構造体を形成するための「ネガ」型プロセスを示す。

【0046】

図15は、リソグラフィ・マスク118に関して上述したものと同様の材料で、同様の処理で、および同様のサイジング（Y-Y'方向の）で形成することができるリソグラフィ・マスク1518のパターニング後の図1の構造体の側面断面図1500を示す。リソグラフィ・マスク118は、下にあるパターニング層116が残る場所（例えば、パターニング・マンドレル116-1、116-2および116-3）を画定するためのポジ型を

提供するが、リソグラフィ・マスク 1518 は、下にあるパターニング層 116 が、後述するさらなる処理の後に残る場所を画定するためのネガ型を提供する。

【0047】

図 16 は、（例えば、図 3 に関して上述したものと同様の処理を使用して）パターニング層 116 の露出部分を除去し、図示するようなパターニング・マンドレル 1516 が得られた後の図 15 の構造体の側面断面図 1600 を示す。次いで、リソグラフィ・マスク 118 の除去に関して上述したものと同様の処理を使用して、リソグラフィ・マスク 1518 が除去される。

【0048】

図 17 は、酸化物材料 1517 の充填およびエッチ・バック後の図 16 の構造体の側面断面図 1700 を示す。酸化物材料 1517 は、スピンドン・コーティング、堆積充填、または別の適切なプロセスを使用して形成され、パターニング層 116 の露出部分の除去またはエッチングによって形成された空間を過剰充填する（例えば、パターニング・マンドレル 1516 間の空間を充填する）ことができる。エッチ・バックを使用して、酸化物材料 1517 を平坦化し、パターニング・マンドレル 1516 の上面にさせる。酸化物材料 1517 は、酸化ケイ素 (SiO_x)、金属酸化物などを含むことができる。

【0049】

図 18 は、本構造体の中央の酸化物材料 1517 の一部分を露出させるブロック・マスク 1519 のパターニング後の図 17 の構造体の側面断面図 1800 を示す（例えば、p F E T デバイスは、上述のように下にあるナノシート・スタックから形成される）。ブロック・マスク 1519 は、ブロック・マスク 122 および 124 の材料と同様の材料で、同様の処理を用いて、同様のサイジング（Y-Y' 方向の）で形成することができる。

【0050】

図 19 は、酸化物層 1517' が残るように酸化物層 1517 の露出部分を除去した後の図 18 の構造体の側面断面図 1900 を示す。次いで、ブロック・マスク 1519 は、ブロック・マスク 122 および 124 の除去に関して上述したものと同様の処理を使用して除去される。

【0051】

図 20 は、スペーサ材料 1520 の堆積およびエッチ・バック後の図 19 の構造体の側面断面図 2000 を示す。スペーサ材料 1520 は、スペーサ材料 120 に関して上述したものと同様の材料で、同様のサイジングで形成することができる。

【0052】

図 21 は、パターニング層 116 ならびにパターニング・マンドレル 116-1、116-2 および 116-3 の除去に関して上述したものと同様の処理を使用して、パターニング・マンドレル 1516 を除去した後の図 20 の構造体の側面断面図 2100 を示す。

【0053】

図 22 は、残っている酸化物層 1517' およびスペーサ材料 1520 によって露出されたハード・マスク層 114、112 および 110 の開口後の図 21 の構造体の側面断面図 2200 を示す。ハード・マスク層 114、112 および 110 の露出部分は、図 9 ~ 図 13 に関連してこれらの層をエッチングすることに関して上述したものと同様の処理を使用して除去することができる。パディング層 108 も、上述したものと同様の処理を使用して開口される。その結果、図 22 の構造体は、パディング層 108、ハード・マスク層 110、およびハード・マスク層 112 の残っている部分 1508、1510、および 1512 をそれぞれ含む。

【0054】

図 23 は、ナノシート・スタックの露出部分を基板 102 の一部にまでエッチングし、チャネル層 106、犠牲層 104、ならびに基板 102 の部分 1506、1504、および 1502 がそれぞれ残るようにした後の図 22 の構造体の側面断面図 2300 を示す。これにより、フィン 103 と同様のフィン 1503-1、1503-2、1503-3 および 1504-4（総称してフィン 1504）が形成される。ナノシート・スタックの犠

10

20

30

40

50

性層 104 およびチャネル層 106 は、基板 102 とともに、図 14 に関して上述したものと同様の処理を使用してエッチングすることができる。

【0055】

図 14 の構造体と同様に、フィン 1503-1 および 1503-4 は、n F E T ナノシート・トランジスタを形成するために使用することができ、一方、フィン 1503-2 および 1503-3 は、p F E T ナノシート・トランジスタを形成するために使用される。有利なことに、フィン 1503-1 および 1503-4 の直接印刷の使用ならびにフィン 1503-2 および 1503-3 の S A D P の使用には、主に特徴の配置を画定するための単一のリソグラフィ・マスクのみが必要であり、それによって、他の方法ではゲートおよびソース／ドレインのパターニングに影響を及ぼす（例えば、結果として生じる構造の寄生容量に影響を及ぼす）O L ペナルティの低減または劣化を低減する。さらに、そのような技術により、異なるナノシート幅を有するデバイスの形成が可能となり、様々なデバイス（例えば、S R A M 構造を含む）のさらなるスケールアップが可能になる。

【0056】

図 14 および図 23 に示される構造体は、ナノシート F E T を形成するために様々な追加の処理を受けることができる。これには、例えば、フィン 103 / 1503 を取り囲むシャロー・トレンチ・アイソレーション（S T I）領域の形成、ダミー・ゲート構造の形成およびパターニング、ソース／ドレイン領域のエピタキシャル成長、内部スペーサの形成、置換金属ゲート（R M G）プロセスを使用してゲート構造を形成するための犠牲層の除去、ゲート構造およびソース／ドレイン領域へのコンタクトの形成などが含まれることがある。

【0057】

一部の実施形態では、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層が 1 つまたは複数のナノシート F E T のためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、（i）ナノシート・スタックおよび基板内に第 1 の幅の 1 つまたは複数のフィンを直接印刷するための 1 つまたは複数の第 1 の領域と、（i i）S A D P を使用してナノシート・スタックおよび基板内に第 2 の幅の 2 つ以上のフィン間の間隔を設定するための 1 つまたは複数の第 2 の領域と、を画定する。第 2 の幅は、第 1 の幅よりも小さい。

【0058】

リソグラフィ・マスクは、一部の実施形態では、リソグラフィ材料が 1 つまたは複数の第 1 の領域および 1 つまたは複数の第 2 の領域を覆うように、パターニング層上にパターニングされる。リソグラフィ・マスクは、他の実施形態では、リソグラフィ材料が 1 つまたは複数の第 1 の領域および 1 つまたは複数の第 2 の領域を露出させるように、パターニング層の上にパターニングされる。

【0059】

ハード・マスク・スタックは、パディング酸化物層と、パディング酸化物層の上の N O H ード・マスク・スタックとを備え得る。パターニング層は、a - S i を含んでもよい。

【0060】

一部の実施形態では、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層が 1 つまたは複数のナノシート F E T のためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、（i）ナノシート・スタックおよび基板内に第 1 の幅の 1 つまたは複数

のフィンを直接印刷するための、パターニング層の上面の1つまたは複数の第1の領域と、(i i) S A D Pを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための、パターニング層の上面の1つまたは複数の第2の領域と、を覆う。第2の幅は、第1の幅よりも小さい。

【0061】

本方法は、リソグラフィ・マスクによって露出されたパターニング層の一部をエッチングして、複数のパターニング・マンドレルを形成することと、リソグラフィ・マスクを除去することと、をさらに含むことができる。

【0062】

本方法は、複数のパターニング・マンドレルと、リソグラフィ・マスクによって露出されたパターニング層の一部のエッチングによって露出されたハード・マスク・スタックの上面の一部と、の上にスペーサ材料を堆積させることと、スペーサ材料をエッチ・バックして、複数のパターニング・マンドレルの上面からスペーサ材料を除去し、ハード・マスク層の上面の一部からスペーサ材料を除去し、複数のパターニング・マンドレルを取り囲む側壁スペーサを残すことと、をさらに含むことができる。

【0063】

本方法は、複数のパターニング・マンドレルの少なくとも第1のサブセット、および複数のパターニング・マンドレルの第1のサブセットを取り囲む側壁スペーサを覆う第1のブロック・マスクを形成することと、複数のパターニング・マンドレルの少なくとも第2のサブセット、および複数のパターニング・マンドレルの第2のサブセットを取り囲む側壁スペーサを露出させることと、をさらに含むことができる。複数のパターニング・マンドレルの第1のサブセットは、第1の幅の1つまたは複数のフィンの直接印刷を提供し、複数のパターニング・マンドレルの第2のサブセットは、第2の幅の2つ以上のフィン間の間隔を設定するためのS A D Pを提供する。

【0064】

本方法は、複数のパターニング・マンドレルの第2のサブセットを取り囲む側壁スペーサを残して複数のパターニング・マンドレルの第2のサブセットを除去することと、第1のブロック・マスクを除去することと、をさらに含むことができる。

【0065】

本方法は、複数のパターニング・マンドレルの第2のサブセットを取り囲む側壁スペーサを覆う第2のブロック・マスクを形成することと、複数のパターニング・マンドレルの第1のサブセットおよび複数のパターニング・マンドレルの第1のサブセットを取り囲む側壁スペーサを露出させることと、をさらに含むことができる。

【0066】

本方法は、第2のブロック・マスクによって露出された複数のパターニング・マンドレルの第1のサブセットを取り囲む側壁スペーサを除去することと、第2のブロック・マスクを除去することと、をさらに含むことができる。

【0067】

本方法は、ハード・マスク・スタック、ナノシート・スタック、および基板の少なくとも一部をエッチングして、複数のパターニング・マンドレルの第1のサブセットの下に第1の幅の1つまたは複数のフィンを形成し、残っている側壁スペーサの下に第2の幅の1つまたは複数のフィンを形成することをさらに含み得る。

【0068】

一部の実施形態では、半導体構造体を形成する方法は、基板の上に犠牲材料およびチャネル材料の交互層を含むナノシート・スタックを形成することを含み、チャネル材料の層が1つまたは複数のナノシートF E Tのためのナノシート・チャネルを提供する。本方法はまた、ナノシート・スタックの上にハード・マスク・スタックを形成することと、ハード・マスク・スタックの上にパターニング層を形成することと、を含む。本方法は、パターニング層の上にリソグラフィ・マスクをパターニングすることをさらに含み、リソグラフィ・マスクは、(i) ナノシート・スタックおよび基板内に第1の幅の1つまたは複数

10

20

30

40

50

のフィンを直接印刷するための、パターニング層の上面の1つまたは複数の第1の領域と、(ii) S A D Pを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための、パターニング層の上面の1つまたは複数の第2の領域と、を露出させる。第2の幅は、第1の幅よりも小さい。

【0069】

本方法は、リソグラフィ・マスクによって露出されたパターニング層の一部をエッチングして、複数のパターニング・マンドレルを形成することと、リソグラフィ・マスクを除去することと、をさらに含むことができる。

【0070】

本方法は、リソグラフィ・マスクによって露出されたパターニング層の一部のエッチングによって露出されたハード・マスク・スタックの上面の一部の上に酸化物材料を堆積させることと、酸化物材料をエッチ・バックして、複数のパターニング・マンドレル間のハード・マスク・スタックの上面の上に複数の酸化物マンドレルを形成することと、をさらに含むことができる。

【0071】

本方法は、複数の酸化物マンドレルの少なくとも第1のサブセットを覆うブロック・マスクを形成することと、複数の酸化物マンドレルの少なくとも第2のサブセットを露出させることと、をさらに含むことができる。複数の酸化物マンドレルの第1のサブセットは、第1の幅の1つまたは複数のフィンの直接印刷を提供し、複数の酸化物マンドレルの第2のサブセットは、第2の幅の2つ以上のフィン間の間隔を設定するためのS A D Pを提供する。

【0072】

本方法は、複数の酸化物マンドレルの第2のサブセットを除去することと、ブロック・マスクを除去することと、をさらに含むことができる。

【0073】

本方法は、複数の酸化物マンドレルの第2のサブセットの除去によって露出されたハード・マスク・スタックの上面の一部の上、ならびに複数の酸化物マンドレルの第1のサブセットおよび複数のパターニング・マンドレルの上面の上にスペーサ材料を形成することと、スペーサ材料をエッチ・バックして、複数の酸化物マンドレルの第2のサブセットの除去によって露出された複数のパターニング・マンドレルの側壁に隣接して側壁スペーサを形成することと、をさらに含むことができる。

【0074】

本方法は、複数のパターニング・マンドレルを除去することと、ハード・マスク・スタック、ナノシート・スタック、および基板の少なくとも一部をエッチングして、複数の酸化物マンドレルの第1のサブセットの下に第1の幅の1つまたは複数のフィンを形成し、側壁スペーサの下に第2の幅の1つまたは複数のフィンを形成することと、をさらに含むことができる。

【0075】

一部の実施形態では、半導体構造体は、基板と、基板の上に配置されたナノシート・スタックとを含み、ナノシート・スタックが犠牲材料およびチャネル材料の交互層を含み、チャネル材料の層が1つまたは複数のナノシートF E Tのためのナノシート・チャネルを提供する。半導体構造体はまた、ナノシート・スタックの上に配置されたハード・マスク・スタックと、ハード・マスク・スタックの上に配置されたパターニング層と、を備える。半導体構造体は、パターニング層上に配置されたリソグラフィ・マスクをさらに備え、リソグラフィ・マスクは、(i) ナノシート・スタックおよび基板内に第1の幅の1つまたは複数のフィンを直接印刷するための1つまたは複数の第1の領域と、(ii) S A D Pを使用してナノシート・スタックおよび基板内に第2の幅の2つ以上のフィン間の間隔を設定するための1つまたは複数の第2の領域と、を画定する。第2の幅は、第1の幅よりも小さい。

【0076】

リソグラフィ・マスクは、一部の実施形態では、1つまたは複数の第1の領域および1つまたは複数の第2の領域を覆う。リソグラフィ・マスクは、他の実施形態では、1つまたは複数の第1の領域および1つまたは複数の第2の領域を露出させる。

【0077】

第1の幅の1つまたは複数のフィンの上のナノシート・スタックは、n F E Tのためのチャンネルを提供することができ、第2の幅の1つまたは複数のフィンの上に配置されたナノシート・スタックは、p F E Tのためのチャンネルを提供することができる。

【0078】

図面に示される様々な層、構造、および領域は、縮尺通りに描かれていない概略図であることを理解されたい。加えて、説明を容易にするために、半導体デバイスまたは構造体を形成するために一般に使用されるタイプの1つまたは複数の層、構造、および領域は、所与の図に明示的に示されていない場合がある。これは、明示的に示されていない任意の層、構造、および領域が実際の半導体構造体から省略されていることを意味するものではない。さらに、本明細書で論じられる実施形態は、本明細書に示され、説明される特定の材料、特徴、および処理ステップに限定されないことを理解されたい。特に、半導体処理ステップに関して、本明細書で提供される説明は、機能的な半導体集積回路デバイスを形成するために必要とされ得る処理ステップのすべてを包含することは意図されていないことを強調すべきである。むしろ、例えば、湿式洗浄ステップおよびアニーリング・ステップなどの、半導体デバイスを形成する際に一般的に使用される特定の処理ステップは、説明のむだを省くために本明細書では意図的に説明されていない。

【0079】

さらに、同じもしくは同様の特徴、要素、または構造を示すために、図全体を通して同じもしくは同様の参照番号が使用され、したがって、同じもしくは同様の特徴、要素、または構造の詳細な説明は、図のそれぞれについて繰り返されていない。厚さ、幅、パーセンテージ、範囲などに関して本明細書で使用される「約」または「実質的に」という用語は、正確ではないが、近いまたは近似していることを示すことが意図されていることを理解されたい。例えば、「約」または「実質的に」という用語は、本明細書で使用される場合、±5%、好ましくは2%未満もしくは1%未満または記載された量未満などのわずかな誤差が存在することを意味する。

【0080】

上記の説明では、異なる要素について様々な材料および寸法が提供されている。特に断りのない限り、そのような材料は、例としてのみ与えられており、実施形態は、与えられた特定の例のみに限定されない。同様に、特に断りのない限り、すべての寸法は、例として与えられており、実施形態は、与えられた特定の寸法または範囲のみに限定されない。

【0081】

上述した技術に従って半導体デバイスおよびこれを形成するため方法は、様々な用途、ハードウェア、または電子システム、あるいはその組合せにおいて使用することができる。本発明の実施形態を実施するための適切なハードウェアおよびシステムとしては、パーソナル・コンピュータ、通信ネットワーク、電子商取引システム、携帯通信機器（例えば、携帯電話およびスマート・フォン）、固体媒体記憶デバイス、機能回路などが挙げられるが、それらに限定されない。本半導体デバイスを組み込むシステムおよびハードウェアは、本発明の企図された実施形態である。本明細書で提供される教示を考慮することで、当業者は、本発明の他の実施態様および実施形態の用途を企図することができる。

【0082】

一部の実施形態では、上述した技術は、例えば、相補型金属酸化膜半導体（C M O S）、金属酸化膜半導体電界効果トランジスタ（M O S F E T）、またはフィン電界効果トランジスタ（F i n F E T）、あるいはその組合せを必要とするか、さもなければ利用することができる半導体デバイスに関連して使用される。非限定的な例として、半導体デバイスは、C M O S、M O S F E T、およびF i n F E Tデバイス、または、C M O S、M O S F E Tおよび／もしくはF i n F E T技術を使用する半導体デバイス、あるいはその組

合せを含むことができるが、これらに限定されない。

【0083】

上記で説明した様々な構造は、集積回路に実装することができる。結果として得られる集積回路チップは、製造者によって、ベア・ダイとして生のウエハの形態で（すなわち、複数のパッケージ化されていないチップを有する単一のウエハとして）、またはパッケージ化された形態で配布されてもよい。後者の場合、チップは、シングル・チップ・パッケージ（マザーボードまたは他のより高レベルのキャリアに取り付けられたリードを有するプラスチック・キャリアなど）、あるいはマルチチップ・パッケージ（表面配線もしくは埋込み配線のいずれかまたは両方を有するセラミック・キャリアなど）に実装される。次いで、いずれの場合も、チップは、（a）マザーボードなどの中間製品もしくは（b）最終製品のいずれかの一部として、他のチップ、ディスクリート回路素子、または他の信号処理デバイス、あるいはその組合せと一体化される。最終製品は、玩具および他のローエンドの用途からディスプレイ、キーボードまたは他の入力装置、および中央プロセッサを有する高度なコンピュータ製品に至るまでの、集積回路チップを含む任意の製品とすることができる。

【0084】

本発明の様々な実施形態の説明は、例示の目的で提示されているが、網羅的であること、または開示された実施形態に限定されることは意図されていない。記載された実施形態の範囲から逸脱することなく、多くの修正形態および変形形態が当業者には明らかであろう。本明細書で使用される用語は、実施形態の原理、実際の用途、または市場で見出される技術に対する技術的改良を最も良く説明するために、あるいは当業者が本明細書に開示された実施形態を理解することができるように選択された。

10

20

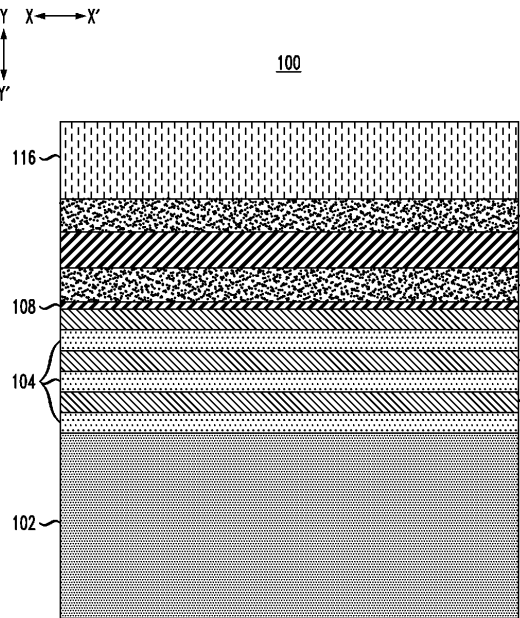
30

40

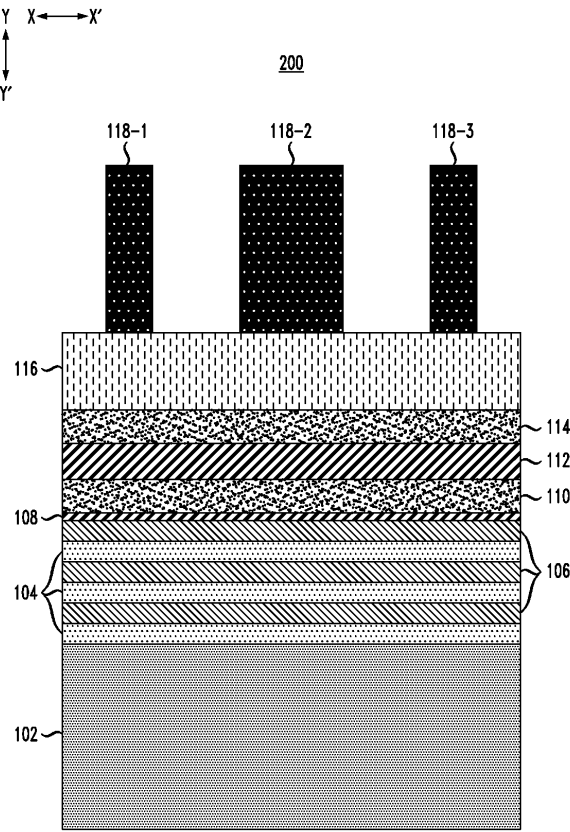
50

【図面】

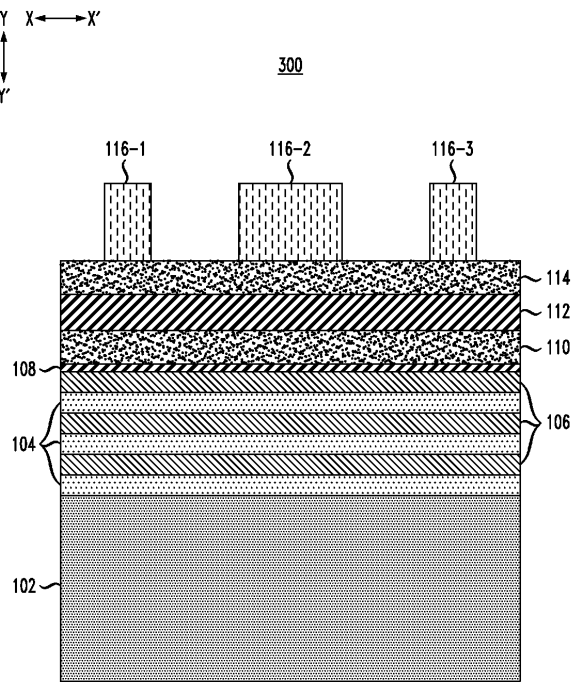
【図 1】



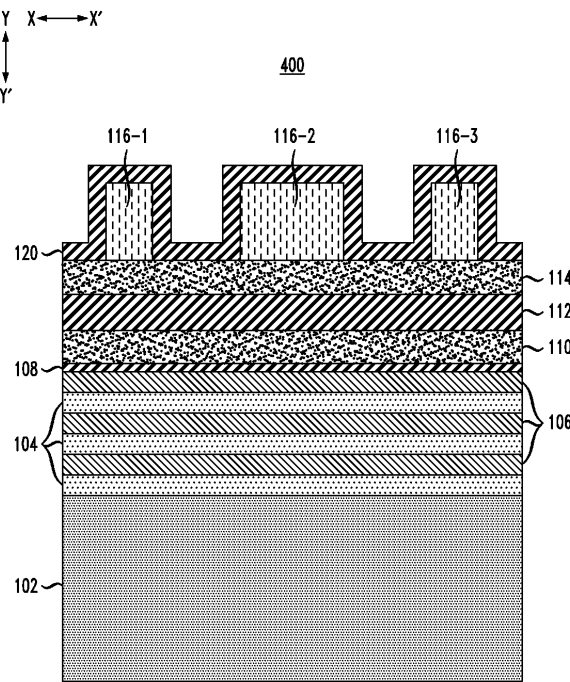
【図 2】



【図 3】



【図 4】



10

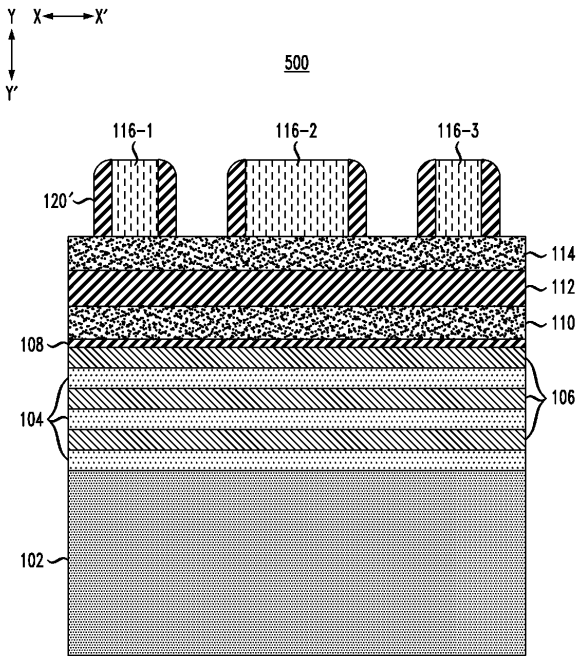
20

30

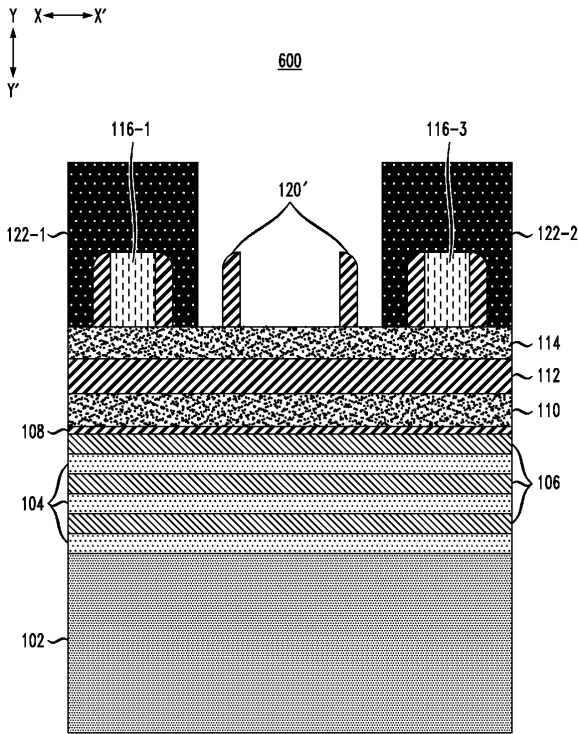
40

50

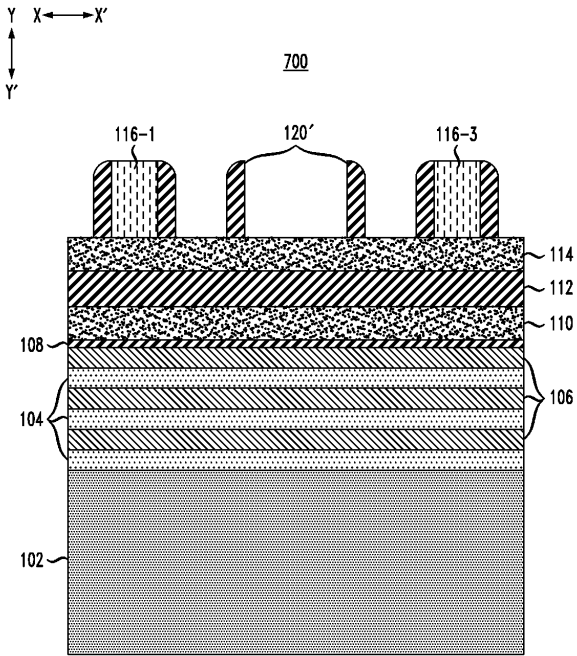
【図 5】



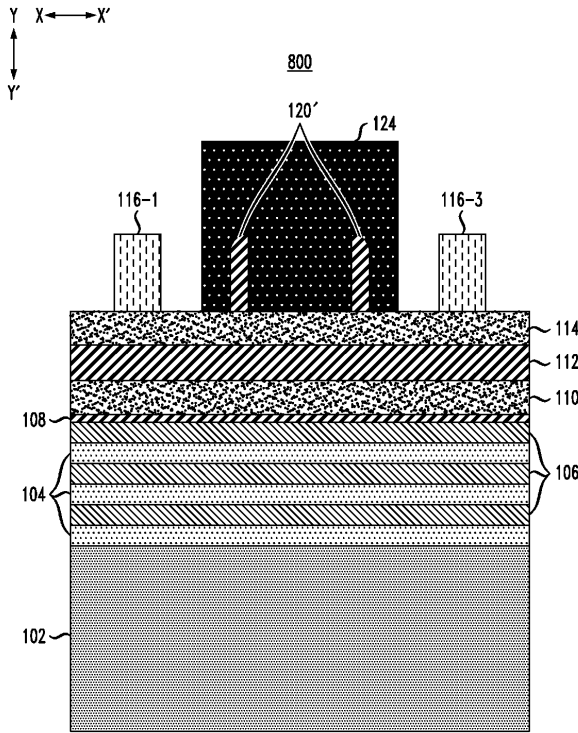
【図 6】



【図 7】



【図 8】



10

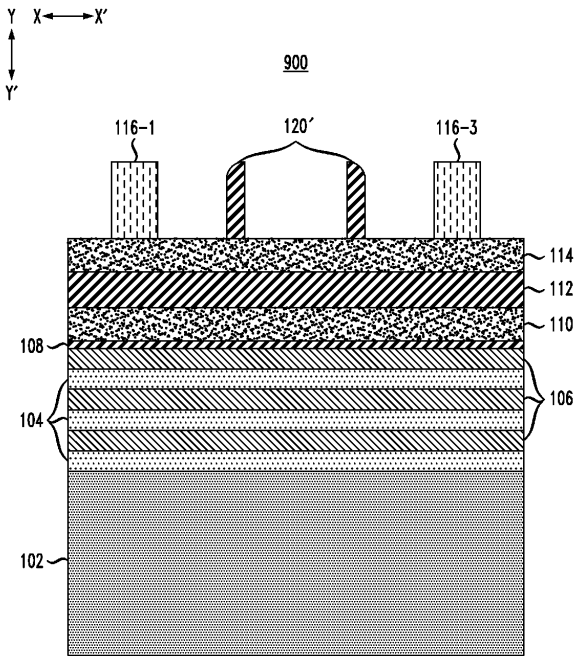
20

30

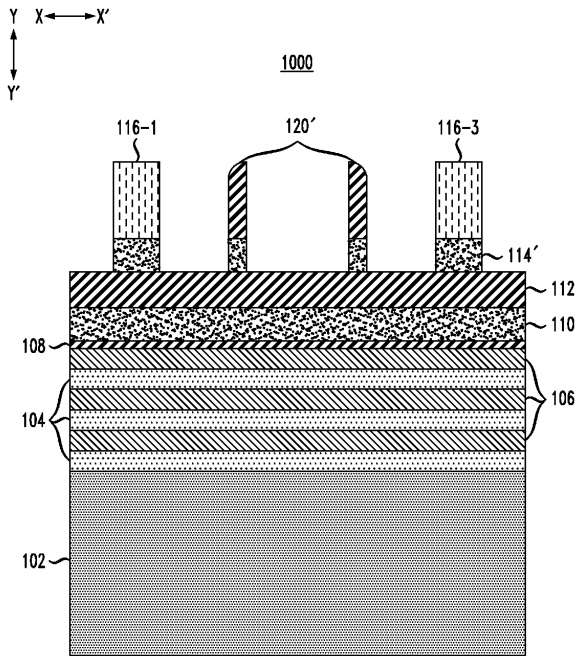
40

50

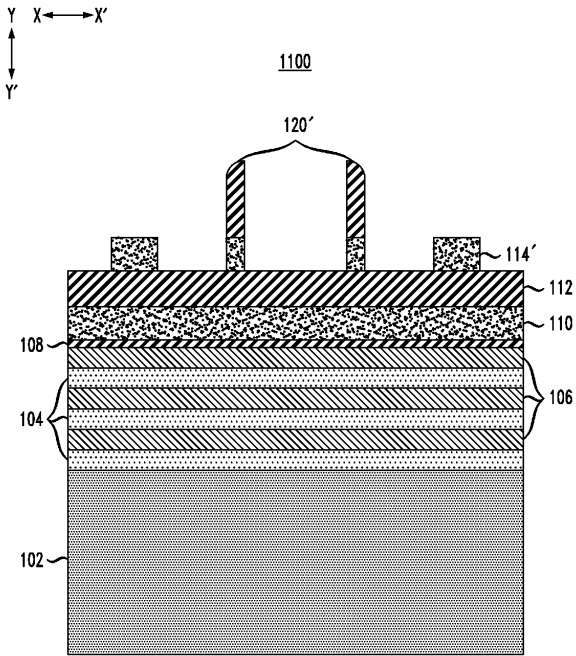
【図 9】



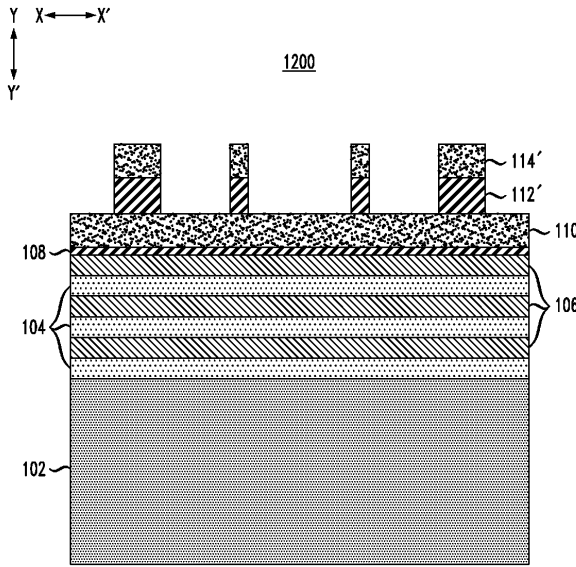
【図 10】



【図 11】



【図 12】



10

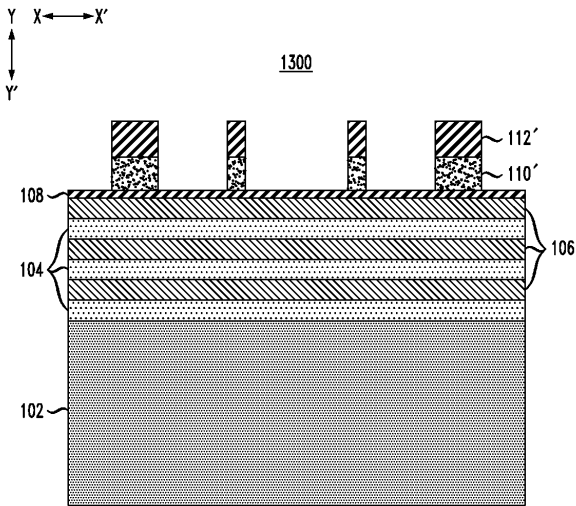
20

30

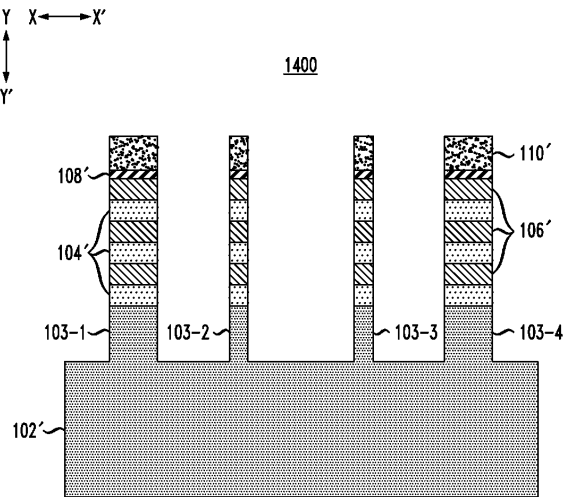
40

50

【図 1 3】

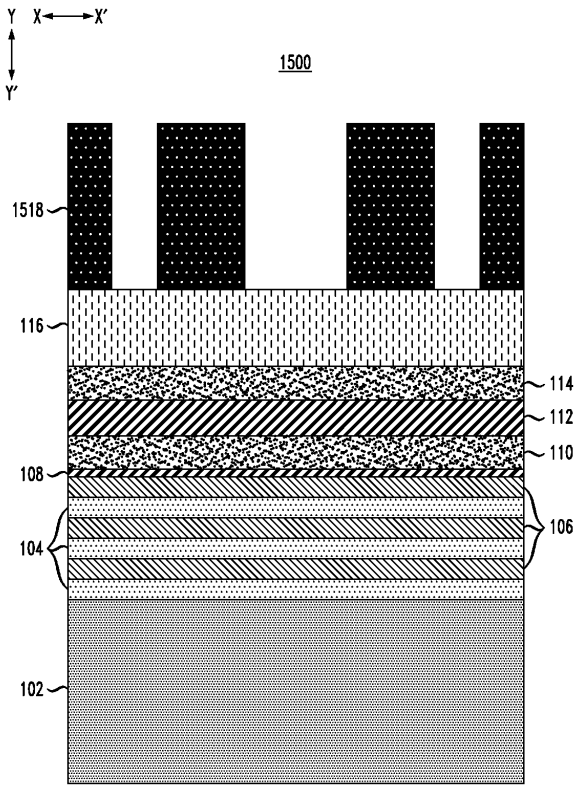


【図 1 4】

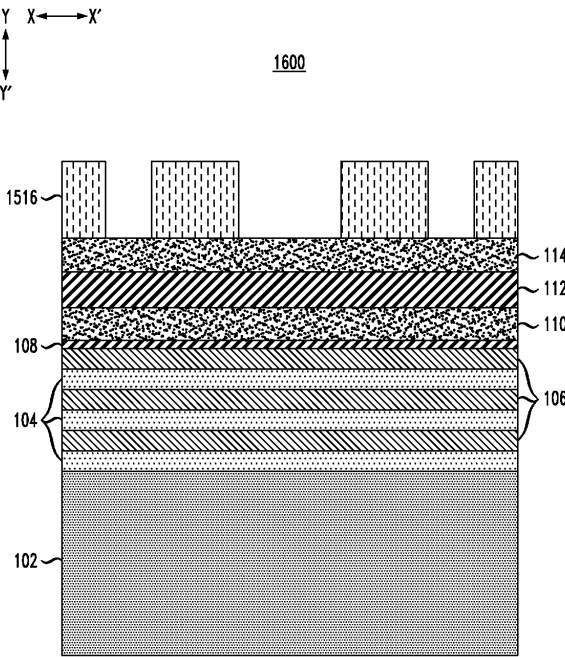


10

【図 1 5】



【図 1 6】



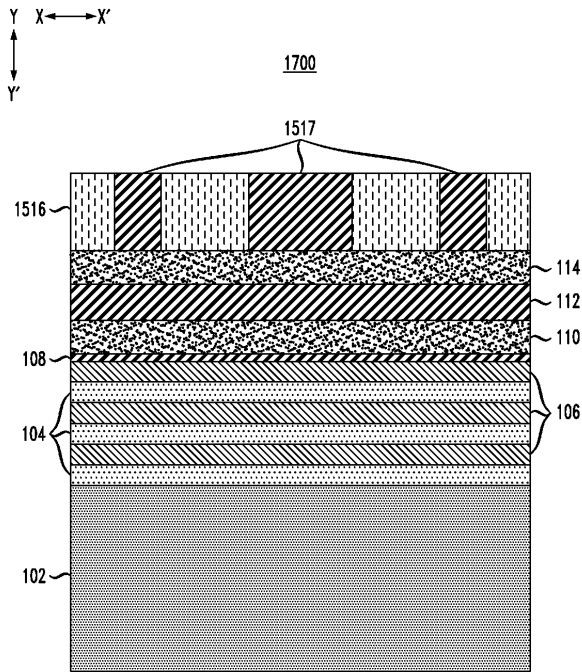
20

30

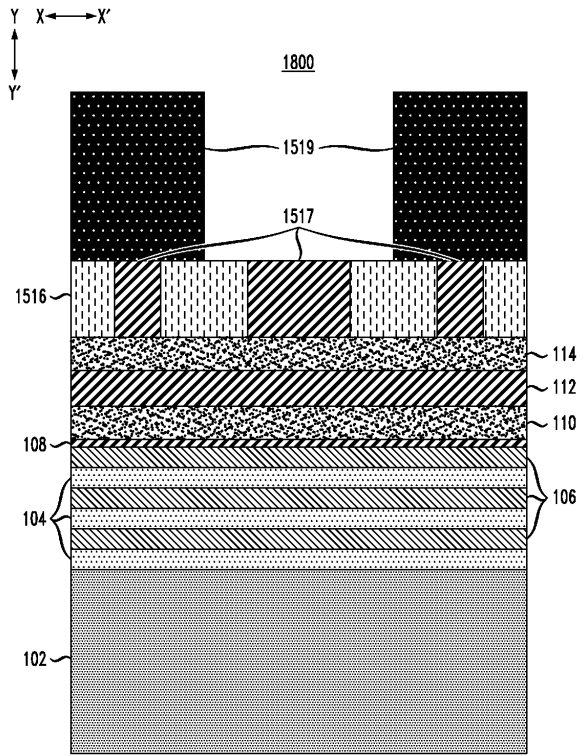
40

50

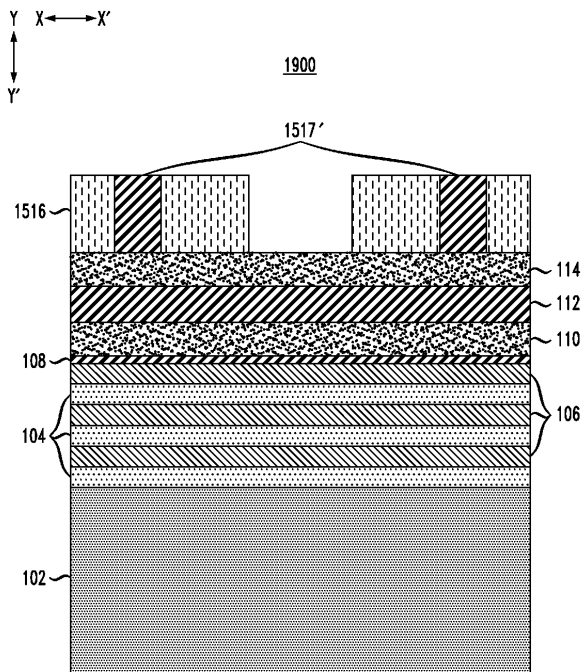
【図 17】



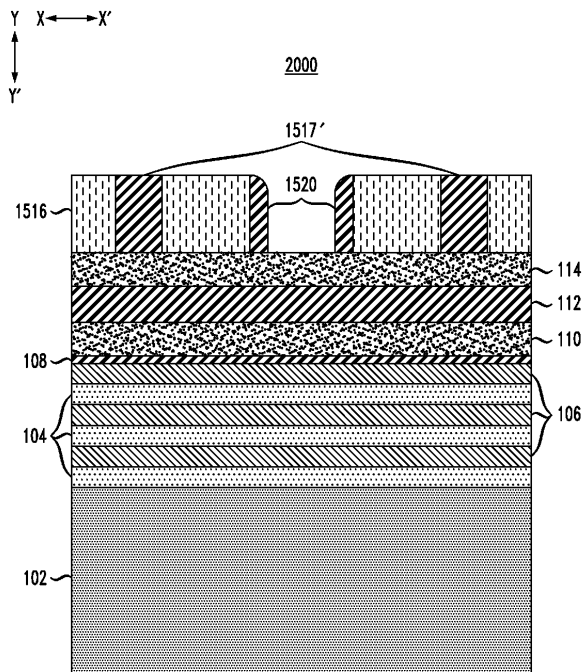
【図 18】



【図 19】



【図 20】



10

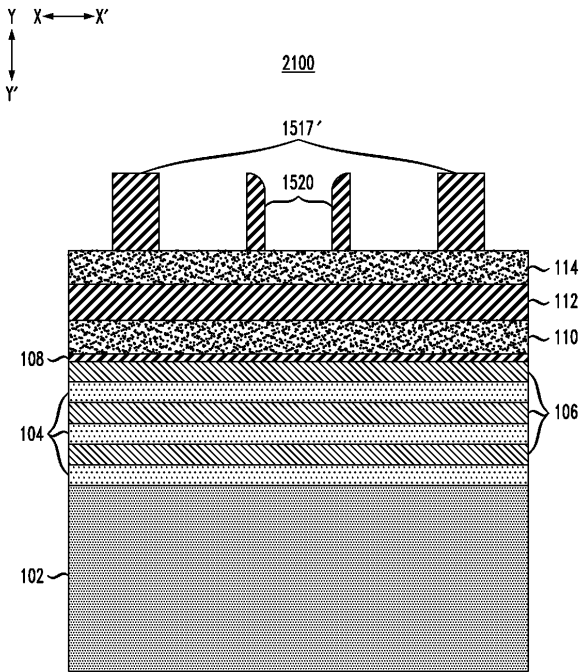
20

30

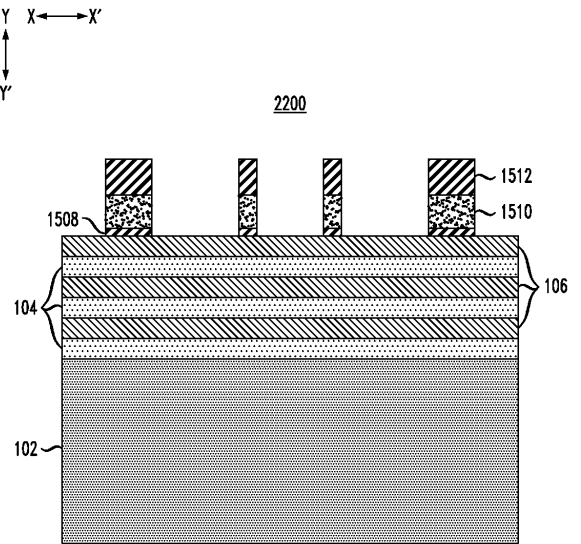
40

50

【図 2 1】



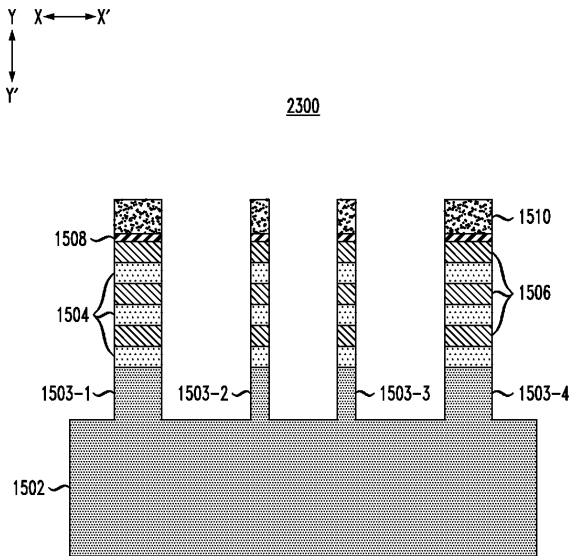
【図 2 2】



10

20

【図 2 3】



30

40

50

フロントページの続き

(51)国際特許分類 F I
H 0 1 L 29/78 3 0 1 X

(72)発明者 シーグ、スチュアート
アメリカ合衆国 1 2 2 0 3 ニューヨーク州オールバニ フラー・ロード 2 5 7

(72)発明者 デヘネ、ダニエル、ジェームス
アメリカ合衆国 1 2 2 0 3 ニューヨーク州オールバニ フラー・ロード 2 5 7

(72)発明者 ミラー、エリック
アメリカ合衆国 1 2 2 0 3 ニューヨーク州オールバニ フラー・ロード 2 5 7

審査官 岩本 勉
(56)参考文献 特表 2 0 1 9 - 5 3 0 2 2 9 (J P , A)
米国特許出願公開第 2 0 1 8 / 0 0 8 2 9 0 6 (U S , A 1)
特表 2 0 1 3 - 5 3 6 5 7 7 (J P , A)
特表 2 0 2 1 - 5 1 3 7 4 9 (J P , A)
米国特許出願公開第 2 0 1 9 / 0 1 7 2 7 5 5 (U S , A 1)
米国特許出願公開第 2 0 1 6 / 0 0 2 0 1 0 9 (U S , A 1)

(58)調査した分野 (Int.Cl., D B 名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 8 2 3 8