

公告本**發明專利說明書**

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92131235

※ 申請日期： 92-11-07 ※IPC 分類： H05k3/00

壹、發明名稱：(中文/英文)

多層電路組合及其製法

MULTI-LAYER CIRCUIT ASSEMBLY AND PROCESS FOR
PREPARING THE SAME

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商片片堅俄亥俄州工業公司

PPG INDUSTRIES OHIO, INC.

代表人：(中文/英文)

莉塔 柏格斯卓

RITA BERGSTROM

住居所或營業所地址：(中文/英文)

美國俄亥俄州克利夫蘭市西 143 大道街 3800 號

3800 WEST 143 STREET CLEVELAND STATE OF OHIO 44111
U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 2 人)

姓 名：(中文/英文)

1.凱文 C. 歐森

KEVIN C. OLSON

2.愛倫 E. 王

ALAN E. WANG

住居所地址：(中文/英文)

1.美國賓州威克斯福特市布萊爾山莊廣場 213 號

213 BRIAR HILL COURT, WEXFORD, PA 15090, U.S.A.

2.美國賓州吉伯索尼亞市舊果園大道 1032 號

1032 OLD ORCHARD DRIVE, GIBSONIA, PA 15044, U.S.A.

國 籍：(中文/英文)

1.-2.均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1.美國；2002 年 11 月 08 日；10/291,876

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.美國；2002 年 11 月 08 日；10/291,876

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

本專利申請案為2001年7月9日提出之美國專利申請案序號第09/901,373號之部份接續申請案；前案為2001年5月9日提出之美國專利申請案序號第09/851,904號之部份接續申請案，前案為2001年3月8日提出之美國專利申請案序號第09/802,001號之部份接續申請案，其均在此併入作為參考。

【發明所屬之技術領域】

本發明係關於電子電路領域，特別是多層電路組合，如晶片規模封裝，及其製備。

【先前技術】

電組件，例如，電阻、電晶體與電容，通常安裝在如電路板之電路面板結構上。電路面板一般包括介電材料之大致平坦片，其具電導體配置於片之主要平坦表面上或兩個主要表面上。導體通常由金屬材料形成，如銅，而且用以使安裝於板上之電組件互連。在將導體配置於面板之兩個主要表面上時，此面板可在介電層具有延伸穿越孔之導孔導體(或「穿孔」)，以使相反表面上之導體互連。迄今已製造多層電路面板組合，其合併多個堆疊電路面板與額外之介電材料層，此層分隔堆疊中相鄰面板之相互面對表面上之導體。這些多層組合一般加入在堆疊中各電路面板上之導體間延伸之互連，以提供所需之電互連。

在微電子電路封裝中，電路及單位係以漸增規模之封裝程度製備。通常，最小規模封裝程度一般為內置多層微電路及/或其他組件之半導體晶片。此晶片通常由陶瓷、矽等

製成。包含多層基材之中度封裝程度(即,「晶片載體」)可連接多個內置許多微電子電路之小規模晶片。同樣地,這些中度封裝程度本身可連接較大規模電路卡、主機板等。中度封裝程度在全部電路組合中用於許多目的,包括結構支撐、將最小規模微電路與電路轉移整合至較大規模板、及散逸來自電路組合之熱。用於習知中度封裝程度之基材已包括許多種材料,例如,陶瓷、纖維玻璃強化聚環氧化物、與聚醯亞胺。

雖然提供充分之硬度以對電路組合提供結構支撐,上述基材一般具有與其所連接之微電子晶片相差極大之熱膨脹係數。結果,由於組合層間之黏著接面失效,在重複使用後電路組合之失效為危險的。

同樣地,在基材上使用之介電材料必須符合許多要求,包括相符性、阻燃性、及相容之熱膨脹性質。習知介電材料包括,例如,聚醯亞胺、聚環氧化物、酚系、與氟烴。這些聚合介電體一般具有遠高於相鄰層之熱膨脹係數。

對於提供高密度、複雜互連之電路面板結構已有增加之需求。此需求可藉多層電路面板結構解決,然而,此多層電路組合之製造已出現嚴重之缺點。

多層面板通常藉由提供包括適當導體之個別、雙側電路面板而製造。然後將面板以一或多層配置於各對相鄰面板間之未固化或部份固化介電材料(通常稱為「預浸材」)彼此上下層合。此堆疊一般在熱及壓力下固化形成單一物質。在固化後,一般在需要不同板間電連接之位置穿越堆疊鑽

孔。然後將所得孔或「穿孔」塗覆或充填導電材料，其一般藉由將孔內部電鍍形成電鍍穿孔。由於難以鑽出具高深度直徑比例之孔，因此用於此組合之孔必須相當大且在組合中消耗大量空間。

美國專利第6,266,874 B1號揭示製造微電子組件之方法，其係藉由提供導電基材或「核心」；在導電核心上之選擇位置提供光阻；及將未固化介電材料電泳地沈積於光阻覆蓋位置以外之導電核心上。此參考資料建議電泳地沈積之材料可為此技藝已知且可市購之陽離子性丙烯酸或陽離子性環氧基為主組合物。然後將電泳地沈積之材料固化而形成相符介電層，及去除光阻使得介電層在已被光阻覆蓋之位置具有延伸至導電核心之開口。如此形成且延伸至塗覆基材或「核心」之孔通常稱為「盲孔」。在一個具體實施例中，結構導電元件為含自一個主要表面延伸至相反主要表面之連續穿越孔或「穿孔」之金屬片。在電泳地塗佈介電材料時，介電材料以均勻厚度沈積於導電元件表面及孔壁上。然而，已發現此參考資料建議之電泳地沈積之介電材料為可燃性，因此不符合典型之阻燃要求。

美國專利第5,224,265與5,232,548號揭示製造用於電路組合之多層薄膜線路結構之方法。塗佈於核心基材上之介電體較佳為完全固化且退火之熱塑性聚合物，如聚四氟乙烯、聚砒、或聚醯亞胺-矽氧烷，其較佳為藉層合塗佈。此介電體未必塗覆成相符塗層，而且未必具有低到足以符合目前設計用於現今電子市場之電路系統之高頻之介電常數或

散失係數。此外，已知習知介電塗層之介電性質在高頻降解。

雖然上示參考資料揭示線路結構中之穿孔(「導孔」)，在此參考資料中並未察覺相當高導孔密度之需求。高導孔密度可使大量晶片連接，如行動電話等應用之高功能晶片規模封裝所需。

應注意，電路層中之高導孔密度對於具大量晶片連接之電路系統之操作為重要的；然而，高導孔密度亦促成交聯。因此，設計成高導孔密度之電路封裝需要使用在高頻不降解之非常有效之介電體製造。

美國專利第5,153,986號揭示製造多層電路板用金屬核心層之方法。適當之介電體包括可蒸氣沈積相符聚合塗層。此方法使用固態金屬核心，而且此參考資料廣義地敘述通用名詞基材之電路化。中度封裝程度之電路化習知上藉由對金屬化基材塗佈正片或負片作用光阻，繼而曝光、顯影及清除產生所需電路圖樣而實行。光阻組合物一般藉層合、噴灑或浸漬而塗佈。如此塗佈之光阻層可具有5微米至50微米之厚度。

除了上述之陶瓷，纖維玻璃強化聚環氧化物、及聚醯亞胺，用於中度封裝程度之習知基材進一步包括固態金屬片，如美國專利第5,153,986號所揭示。這些固態基材必須在電路組合之製造時打孔，以提供用於對齊目的之穿越孔。雖然此參考資料揭示電路層中之導孔，其再度未察覺符合高功能晶片之相當高導孔密度之需求。

就先行技藝方法而言，希望提供一種克服先行技藝缺點之製備多層電路組合之方法。即，希望提供一種使用在高頻不降解且符合進一步要求(包括相符性與阻燃性)之有效介電體，製備具高導孔密度以符合高功能組件之多層電路組合之方法。

【發明內容】

依照本發明，提供一種製造多層電路組合之方法，其包含以下步驟：

- (a) 提供一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；
- (b) 將介電塗層塗佈於基材之全部暴露表面上以在其上形成相符塗層；及
- (c) 將一層金屬塗佈於基材之全部表面。

本發明亦關於一種製造多層電路組合之方法，其包含以下步驟：

- (a) 提供一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；
- (b) 在基材上之預定位置塗佈光阻；
- (c) 將介電塗層塗佈於步驟(b)基材之該光阻覆蓋位置以外之全部暴露表面上；
- (d) 去除在預定位置之該光阻；及
- (e) 將一層金屬塗佈於步驟(d)基材之全部表面。

此外，本發明係關於一種製造多層電路組合之方法，其包含以下步驟：

- (a) 提供一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；
- (b) 將介電塗層塗佈於基材之全部暴露表面上以在其上形成相符塗層；
- (c) 去除預定圖樣之介電塗層以使基材部份暴露；
- (d) 將一層金屬塗佈於全部表面以形成穿越及/或至導電性核心之金屬化導孔；
- (e) 將光阻塗佈於金屬層以在其上形成感光層；
- (f) 在預定位置使該光阻顯像；
- (g) 使該光阻顯影而不覆蓋金屬層之選擇區域；及
- (h) 蝕刻該金屬不覆蓋區域而形成以金屬化導孔連接之電路圖樣。

在另一個具體實施例中，本發明係關於一種多層電路組合，其包含：

- (a) 一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；
- (b) 塗佈於基材之全部暴露表面上之介電塗層；
- (c) 塗佈於步驟(b)基材之全部表面之一層金屬；及
- (d) 塗佈於金屬層之感光層。

【實施方式】

除非在操作例，或在另有指示之處，應了解用於此說明書及申請專利範圍之所有表現成分量、反應條件等之數字在所有之情形均以名詞「約」修飾。因此，除非相對地指示，以下說明書及所述申請專利範圍中所述之數值參數為趨近值，其可視本發明尋求得到之所需性質而改變。絕不且非試圖限制申請專利範圍之範圍等致物之意義之應用，各數值參數應至少視為依據所報告確立位數且適用一般進位技術之數量。

儘管敘述本發明之廣義範圍之數值範圍及參數為趨近值，指定例中所述之數值係儘可能精確地報告。然而，任何數值固有地含有由在其各測試測量中實得之標準差必然地造成之特定誤差。

亦應了解，在此所列之任何數值範圍意圖包括所有其中包含之次範圍。例如，「1至10」之範圍意圖包括含所列最小值1至所列最大值10之間之所有次範圍，即，具有等於或大於1之最小值至等於或小於10之最大值。

如上所述，在一個具體實施例中，本發明係關於一種製造多層電路組合之方法，其包含以下步驟：(a)提供一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；(b)將介電塗層塗佈於基材之全部暴露表面上以在其上形成相符塗層；及(c)將一層金屬塗佈於基材之全部表面。

基材(或「核心」)可包含任何基材。用於本發明製造多層電路組合之方法之基材一般為導電性基材，特別是金屬基

材，例如，未處理或鍍鋅銅、鋁、金、鎳、銅、鎂、或任何以上金屬之合金，及塗覆導電碳之材料。此核心亦具有兩個主要表面及邊緣，而且可具有範圍為10至100微米，一般為25至100微米之厚度。

在本發明之一個具體實施例中，基材包含選自銅箔、鐵-鎳合金及其組合之金屬基材。在本發明之一個具體實施例中，基材包含任何前述金屬或其組合之打孔基材。

在本發明之一個具體實施例中，基材包含打孔銅箔。在替代具體實施例中，基材包含鎳-鐵合金。較佳鐵-鎳合金為INVAR(法國巴黎168 Rue de Rivoli之Imphy S. A.擁有之商標名)，其含約64重量%之鐵與36重量%之鎳。此合金具有與用於製備晶片之矽材料相似之低熱膨脹係數。為了防止晶片規模封裝之連續較大或較小規模層間之黏著接面由於正常使用時之熱循環造成失效，此性質為希望的。

如前所述，基材之至少一個區域包含多個導孔，此區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)，而且一般為至少2500孔/平方英吋(387.5孔/平方公分)之導孔密度。即，此基材可為一片任何上述之基材材料，其中僅某些區域打孔且某些區域未打孔。或者，此基材可為任何前述基材材料之「打孔」。為了本發明之目的，僅需基材之至少一個區域具有指定之導孔密度。

「打孔」基材表示具多個以規律間隔分開之孔之網片。一般而言，此孔(或導孔)具均勻大小及形狀。在此孔為圓形時(其為典型)，孔直徑為約8 mil(203.2微米)。此孔可如所

需而較大或較小，其條件為孔大到足以符合在本發明方法中塗佈之所有層而無妨礙。孔之間隔為約中心距中心 20 mil(508微米)，但是亦可如所需而較大或較小。

在下述於步驟(b)塗佈介電塗層之前，可將一層金屬(通常為銅)塗佈於基材以確保最適之導電度。此金屬層及後續金屬化步驟中塗佈之金屬層可藉習知方法塗佈，例如，電鍍、金屬蒸氣沈積技術及無電極電鍍。此金屬層一般具有1至10微米之厚度。

如以上所討論，將介電塗層塗佈於基材之全部暴露表面以在其上形成相符塗層。在此說明書及申請專利範圍使用之「相符」膜或塗層表示符合基材地形(包括孔內(但是較佳為不封閉)之表面)，具有實質上均勻厚度之膜或塗層。此介電塗層膜厚可不超過50微米，通常不超過25微米，而且一般不超過20微米。因許多原因而希望較小之膜厚。例如，較小規模電路應為具有低膜厚之介電塗層。

此介電塗層可具有不超過4.00，有時不超過3.50，經常不超過3.30，通常不超過3.00，而且一般不超過2.80之介電常數。固化膜一般亦具有小於或等於0.02，通常小於或等於0.15，而且可小於或等於0.01之介電損失係數。具有低介電常數之塗層亦可使介電塗層得到較小之膜厚及附帶之優點，而且亦使相鄰信號軌跡間之電容偶合最小。

介電材料為不導電物質或絕緣體。「介電常數」為介電材料儲存電荷之能力之指數或測度。介電常數與材料之電容成正比，其表示如果材料之介電常數降低則電容降低。低

介電材料對於其中基材與塗層之電容對於可靠之電路作用為重要的之高頻、高速數位應用為希望的。例如，目前之電腦操作在多層組合上受限於電路路徑與積體電路間之偶合電容，因為積體電路間之計算速度被此電容降低，而且操作所需電力增加。參見Thompson, Larry F.等人在第203屆National Meeting of American Chemical Society提出之Polymers for Microelectronics，1992年4月5-10日。

「介電損失係數」為介電材料散失之電力，如其分子量相對於交流電場產生之分子動作之函數。參見I. Gilleo, Ken之Handbook of Flexible Circuits，第242頁，Van Nostrand Reinhold，紐約(1991)。介電材料與介電常數之詳細討論亦參見James J. Licari與Laura A. Hughes之Handbook of Polymer Coatings for Electronics，第2版，第114-18頁，Noyes Publication (1990)。

為了本發明之目的，介電塗層之介電常數係如下在1百萬赫茲之頻率使用電化學阻抗光譜測定法測定。塗層樣品係藉由將介電塗層組合物塗佈於鋼基材，繼而將塗層乾燥或固化，以提供具0.85 mil(20.83微米)膜厚之介電塗層而製備。將介電塗層之32平方公分自由膜置於具150毫升電解質溶液(1 M NaCl)之電化學管中，而且使之平衡1小時。對樣品施加100毫伏之AC電位能，及測量1.5百萬赫茲至1赫茲頻率範圍之阻抗。此方法使用鉑於鈦上膨脹網相對電極及單接面銀/氯化銀參考電極。塗層之介電常數可藉由計算在1百萬赫茲、1仟赫茲及63赫茲之電容，並且解出以下方程式

之E而測定。

$$C = E_0 EA / d$$

其中C為在不同頻率測量之電容(法拉第); E_0 為自由空間之介電常數(8.854187817¹²); A為樣品面積(32平方公分); d為塗層厚度; 及E為介電常數。應注意, 用於此說明書及申請專利範圍之介電常數值為在1百萬赫茲頻率如上測定之介電常數。同樣地, 介電損失係數之值係測定為上述在1百萬赫茲頻率測量之介電常數、與相同材料在1.1百萬赫茲頻率測量之介電常數間之差異。

介電塗層可由以下討論之任何塗層組合物形成。介電塗層可由熱塑性組合物形成, 其中在塗佈後將溶劑驅離或蒸發, 因而在基材上形成介電塗層膜。介電塗層亦可由可固化或熱固性組合物形成, 其中在將組合物塗佈於基材及固化後, 形成介電塗層之固化膜。介電塗層可為藉任何塗層塗佈技術塗佈之任何塗層, 其條件為所得塗層為相符塗層, 其具有低到足以確保充分絕緣性質之介電常數, 及依照IPC-TM-650, 測試方法手冊第2.3.10期, "Flammability of Laminate", 更新B版(其得自伊利諾州Northbrook之2215 Sanders Road之Institute of Interconnecting and Packaging Electronic Circuits)測定之阻燃性質。

用於本發明方法之介電塗層可藉任何適當之相符塗覆法塗佈, 例如, 浸塗、蒸氣沈積、電沈積及自動電泳。

藉蒸氣沈積塗佈之介電塗層之實例包括聚-(對-苯二甲基)(包含經取代與未取代聚-(對-苯二甲基)); 倍半矽氧烷, 如

美國專利第5,711,987與6,144,106號所揭示者；聚-苯并環丁烯及聚醯亞胺。

藉電沈積塗佈之介電塗層之實例包括陽極與陰極丙烯酸、環氧基、聚酯、聚胺基甲酸乙酯、聚醯亞胺或含油樹脂組合物，如熟悉此技藝者所已知。此介電塗層亦可藉下述任何可電沈積感光組合物之電沈積形成。

在本發明之特定具體實施例中，介電塗層係藉可電沈積塗層組合物(其含分散於水性介質中之樹脂相)之電沈積塗佈於基材，其中樹脂相具有以存在於該樹脂相中之樹脂固體總重量計為至少1重量%之共價地鍵結鹵素含量。此可電沈積塗層組合物及此組合物之塗佈方法詳細敘述於正在審查之美國專利申請案序號第10/184,192與10/184,195號。

任何前述可電沈積塗層組合物可電泳地塗佈於導電性基材(或已因金屬化而為導電性之基材)。電沈積之施加電壓可不同而且可為，例如，低至1伏至高達數百伏，但是一般為50至500伏。電流密度通常為每平方英呎0.5安培至5安培(每平方公分0.5至5毫安培)之間，而且在電沈積時趨於降低，表示在基材之全部暴露表面上形成絕緣相符膜。在已藉電沈積塗佈塗層後，其一般在範圍為90°C至300°C之高溫固化(通常為熱固化)1至40分鐘期間，而在基材之全部暴露表面上形成相符介電塗層。

自動電泳(亦稱為化學電泳)通常為在浸漬槽中自酸性水性塗層組合物將有機塗層沈積於金屬表面上之塗覆方法。此方法涉及由於水性組合物之低pH而控制釋放來自基材表

面之金屬離子，因而使分散於緊鄰欲塗覆基材之水中之聚合物不安定。如此造成聚合物顆粒凝聚及使凝聚之聚合物沈積於基材表面上。隨塗層厚度增加，沈積減緩，造成全部均勻塗層厚度。參見 R. Lambourne 等人之 Paint and Surface Coatings，William Andrew Publishing，第2版，第12卷，第510頁。適合作為自動電泳地塗佈介電塗層之組合物之實例包括美國專利第4,310,450與4,313,861號所詳細敘述者。

在塗佈介電塗層後，可在一或更多個預定位置去除介電塗層以暴露基材表面之一或更多部份。此介電塗層可藉各種方法去除，例如，剝除技術。此剝除一般使用雷射或其他習知技術實行，例如，機械鑽孔及化學或電漿蝕刻技術。

金屬化一般係在去除步驟後藉由將一層金屬塗佈於所有表面，形成穿越基材(即，穿孔)及/或至(但未穿越)基材或核心(即，盲孔)之金屬化導孔而實行。或者，金屬化可在去除步驟前實行，如果需要則事後實行另外之金屬化。在此金屬化步驟中塗佈之金屬可為任何前述金屬或合金，其條件為該金屬或合金具有足夠之導電性質。一般而言，在上述金屬化步驟中塗佈之金屬為銅。在用於本發明方法之任何金屬化步驟中塗佈之金屬可藉習知電鍍、種子電鍍、金屬蒸氣沈積、或任何提供上述均勻金屬層之其他方法塗佈。金屬層之厚度一般為約5至50微米。

為了增強金屬層對介電塗層之黏附性，在金屬化步驟前可以離子束、電子束、電暈放電或電漿撞擊處理全部表面

，繼而將黏附促進劑層塗佈於全部表面。黏附促進劑層範圍可為50至5000埃厚，而且一般為選自鉻、鈦、鎳、鈷、鉍、鐵、鋁、銅、金、鎢與鋅之金屬或金屬氧化物，及其合金與氧化物。

在塗佈介電塗層前亦可將基材表面預處理或準備塗佈介電材料。例如，在塗佈介電體前，清潔、潤洗及/或以黏附促進劑層處理為適當的。

在金屬化後，將感光層(由「光阻(photoresist)」或「光阻(resist)」組合物形成)塗佈於金屬層。視情況地，在塗佈感光層前可將金屬化基材清潔或預處理；例如，以酸蝕刻劑處理以去除氧化金屬。感光層可為正片或負片感光性。感光層一般具有約2至50微米之厚度，而且可藉熟悉微影術處理技藝者已知之任何方法塗佈。可使添加或摘除處理法製造所需之電路圖樣。

適當之正片作用感光樹脂包括任何熟悉此技藝者已知者。實例包括如美國專利第5,600,035號第3-15欄揭示之二硝基-苄基官能基聚合物。此樹脂具有高程度之感光度。在一個具體實施例中，樹脂感光層為含二硝基-苄基官能基聚合物之組合物，其一般藉噴灑塗佈。熟悉此技藝者已知之硝基苄基官能基聚合物亦為適當的。

在分別之具體實施例中，感光層為含二硝基苄基官能基聚胺基甲酸乙酯與環氧基-胺聚合物之可電沈積組合物，如美國專利第5,600,035號之實例3-6所述。

負片作用光阻包括液態或乾膜型組合物。液態組合物可

藉輥塗技術、簾塗或電沈積塗佈。較佳為，液態光阻係藉電沈積塗佈，更佳為陽離子性電沈積。可電沈積組合物包含離子性聚合材料，其可為陽離子性或陰離子性，而且可選自聚酯、聚胺基甲酸乙酯、丙烯酸與聚環氧化物。藉陰離子性電沈積塗佈之光阻之實例示於美國專利第3,738,835號。藉陰陽子性電沈積塗佈之光阻之實例示於美國專利第4,592,816號。乾膜光阻之實例包括美國專利第3,469,982、4,378,264與4,343,885號所揭示者。乾膜光阻一般如藉由使用熱輥而層合於表面上。

應注意，在塗佈感光層後可在此時將多層基材封裝，以可用於運輸及在他處之任何後續步驟之處理。

在特定具體實施例中，本發明關於一種製造多層電路組合之方法，其包含(a)提供一種基材(如任何以上詳述之基材)，其中至少一個區域包含多個導孔，該區域具有每平方英吋500至10,000個孔(每平方公分75至1550個孔)，而且一般為每平方英吋至少2500個孔(每平方公分387.5個孔)之導孔密度；(b)在基材上之預定位置塗佈光阻(如任何以上詳述之光阻組合物)；(c)將介電塗層(如任何以上詳述之介電塗層)塗佈於步驟(b)基材之該光阻覆蓋位置以外之全部暴露表面上；(d)去除在預定位置之該光阻(如藉由任何以上討論之方法)；及(e)將一層金屬(例如，銅)塗佈於步驟(d)基材之全部表面。

在任何本發明之方法中，在塗佈感光層後，可將具有所需圖樣之光罩置於感光層上且使分層基材暴露於足夠程度

之適當光化放射線來源。在此使用之名詞「足夠程度之光化放射線」指在負片作用光阻之情形在放射線暴露區中將單體聚合，或在正片作用光阻之情形將聚合物解聚或使聚合物為較溶性之放射線程度。如此造成放射線暴露與放射線遮蔽區間之溶解度差異。

光罩可在暴露於放射線來源後去除，及使用習知顯影溶液將分層基材顯影以去除感光層之較溶部份，及使底下金屬層之選擇區域不被覆蓋。然後可使用金屬蝕刻劑(其將金屬轉化成水溶性金屬錯合物)蝕刻在此步驟時不覆蓋之金屬。可溶性錯合物可藉灑水去除。

在蝕刻步驟時，感光層保護任何其下之金屬。然後可藉化學清除法去除殘留之感光層，其對蝕刻劑為不透性，而提供以如上形成之金屬化導孔連接之電路圖樣。

在去除感光層後，多層電路組合之總厚度一般為約25至360微米，較佳為35至210微米。

在另一個具體實施例中，本發明關於一種製造多層電路組合之方法，其包含(a)提供一種基材(如任何以上詳述者)，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)，一般為每平方英吋至少2500個孔(每平方公分387.5個孔)之導孔密度；(b)將介電塗層(如任何以上詳述者)塗佈於基材之全部暴露表面上以在其上形成相符塗層；(c)去除預定圖樣之介電塗層(藉任何上述之去除方法)以使基材部份暴露；(d)將一層金屬塗佈於全部表面(藉任何上述之金屬化技術)以形成穿越

及/或至導電性核心之金屬化導孔；(e)將光阻(如任何上述之感光組合物)塗佈於金屬層以在其上形成感光層；(f)在預定位置使該光阻顯像(如上所述)；(g)使該光阻顯影(如上所述)而不覆蓋金屬層之選擇區域；及(h)蝕刻(如上所述)該金屬不覆蓋區域而形成以金屬化導孔連接之電路圖樣。

應了解，任何本發明之方法可包括一或多個額外步驟而不背離本發明之範圍。同樣地，實行此步驟之次序可如所需而改變，而不背離本發明之範圍。

本發明亦關於藉前述方法製造之多層電路組合。在一個具體實施例中，本發明關於一種多層電路組合，其包含(a)一種基材(如任何以上所述者)，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)，一般為至少2500孔/平方英吋(387.5孔/平方公分)之導孔密度；(b)塗佈於基材之全部暴露表面上之介電塗層(如任何前述之介電塗層)；(c)一層任何適合用於金屬化之前述金屬，一般為銅；及(d)感光層(如任何前述之感光組合物)。介電塗層、金屬層及感光層之塗佈可藉任何以上詳述之塗佈方法完成。

在多層基材上製備電路圖樣後，可在一或多個後續步驟中連接其他電路組件以形成電路組合。額外組件可包括一或多種藉任何本發明方法製備之多層電路組合、較小規模組件(如半導體晶片)、中間層、較大規模電路卡或主機板及主動或被動組件。應注意，用於電路組合製備之中間層可使用本發明方法之適當步驟製備。組件可使用習知黏著劑

、表面安裝技術、連線焊接或倒裝片技術連接。依照本發明之方法製備之多層電路組合中之高導孔密度可使較多來自高功能晶片之電互連封裝於此組合中。

熟悉此技藝者應了解，可對上述具體實施例進行變化而不背離其廣義發明概念。因此，應了解，本發明不限於所揭示之特定具體實施例，而是意圖涵蓋在所附申請專利範圍界定之本發明之精神及範圍內之修改。

伍、中文發明摘要：

本發明提供製造多層電路組合之方法及此方法製造之多層電路組合。此方法包括(a)提供一種基材，其中至少一個區域包含多個導孔，這些區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；(b)將介電塗層塗佈於基材之全部暴露表面上以在其上形成相符塗層；及(c)將一層金屬塗佈於基材之全部表面。亦可包括如電路化之額外處理步驟。

陸、英文發明摘要：

Processes for fabricating a multi-layer circuit assembly and a multi-layer circuit assembly fabricated by such processes are provided. The process includes (a) providing a substrate at least one area of which comprises a plurality of vias, these area(s) having a via density of 500 to 10,000 holes/square inch (75 to 1550 holes/square centimeter); (b) applying a dielectric coating onto all exposed surfaces of the substrate to form a conformal coating thereon; and (c) applying a layer of metal to all surfaces of the substrate. Additional processing steps such as circuitization may be included.

柒、指定代表圖：

(一)本案指定代表圖為：第()圖。

(二)本代表圖之元件代表符號簡單說明：

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種製造多層電路組合之方法，其包含以下步驟：
 - (a) 提供一種基材，其中至少一個區域包含多個導孔，該區域具有 500 至 10,000 孔/平方英吋(75 至 1550 孔/平方公分)之導孔密度；
 - (b) 將介電塗層塗佈於基材之全部表面上，該介電塗層係包含可電沈積組合物，此組合物包含分散於水性介質中之樹脂相，該樹脂相具有以存在於該樹脂相中之樹脂固體總重量計為至少 1 重量%之共價地鍵結鹵素含量；及
 - (c) 將一層金屬塗佈於該基材之全部表面。
2. 根據申請專利範圍第 1 項之方法，其中係將介電塗層塗佈於基材之全部暴露表面上以在其上形成相符塗層(conformal coating)。
3. 根據申請專利範圍第 1 項之方法，其進一步包含步驟(d)對金屬層塗佈感光層。
4. 根據申請專利範圍第 1 項之方法，其進一步包含在步驟(c)中塗佈金屬層之前，在一或更多個預定位置去除介電塗層以暴露基材表面之一或更多部份。
5. 根據申請專利範圍第 1 項之方法，其進一步包含在步驟(c)中塗佈金屬層之前，將光阻塗佈於在步驟(b)中塗佈之介電塗層上之預定位置。
6. 根據申請專利範圍第 1 項之方法，其包含以下步驟：

在塗佈介電塗層之前，將光阻塗佈於基材上之預定位

置；

將介電塗層塗佈於步驟(b)基材上除了被該光阻覆蓋的位置以外之全部表面；

移除該預定位置上之該光阻；及

將金屬層塗佈於前述步驟中之基材上之全部表面。

7. 根據申請專利範圍第2項之方法，其中步驟(c)係以去除預定圖樣之介電塗層以暴露基材之部份取代，及進一步包含以下步驟：

(d) 將一層金屬塗佈於全部表面以形成穿越及/或至導電性核心之金屬化導孔；

(e) 將光阻塗佈於該金屬層以在其上形成感光層；

(f) 在預定位置使該光阻顯像；

(g) 使該光阻顯影而不覆蓋該金屬層之選擇區域；及

(h) 蝕刻該金屬不覆蓋區域而形成以該金屬化導孔連接之電路圖樣。

8. 根據申請專利範圍第7項之方法，其進一步包含步驟(i)清除殘留之感光層。

9. 根據申請專利範圍第7或8項之方法，其中，於步驟(e)中，該光阻係藉由電沉積而塗佈。

10. 根據申請專利範圍第7或8項之方法，其進一步包含步驟：連接一或多個電路組件。

11. 根據申請專利範圍第1至8項中任一項之方法，其中該基材包含導電性基材。

12. 根據申請專利範圍第1至8項中任一項之方法，其中該基

材包含選自銅箔、鐵-鎳合金及其組合之金屬基材。

13. 根據申請專利範圍第1至8項中任一項之方法，其中該基材包含打孔金屬基材。
14. 根據申請專利範圍第1至8項中任一項之方法，其中在步驟(b)中塗佈介電塗層之前，將一層銅金屬塗佈於該基材。
15. 根據申請專利範圍第1至8項中任一項之方法，其中該介電塗層包含感光組合物。
16. 根據申請專利範圍第1至8項中任一項之方法，其中該介電塗層包含光阻組合物。
17. 根據申請專利範圍第15項之方法，其中該介電塗層係藉電沈積塗佈。
18. 根據申請專利範圍第1至8項中任一項之方法，其中在步驟(d)之前，以離子束、電子束、電暈放電或電漿撞擊處理全部表面，繼而將黏附促進劑層塗佈於全部表面。
19. 根據申請專利範圍第18項之方法，其中該黏附促進劑層包含選自鉻、鈦、鎳、鈷、鉍、鐵、鋁、銅、金、鋅及其氧化物中之一或多者之金屬或金屬氧化物。
20. 根據申請專利範圍第1至8項中任一項之方法，其中在步驟(c)中塗佈之金屬層包含銅。
21. 根據申請專利範圍第3項之方法，其中該感光層包含藉電沈積塗佈之正片作用感光層。
22. 根據申請專利範圍第1至8項中任一項之方法，其中該基材之至少一個區域包含多個導孔，該區域具有至少2500

孔/平方英吋(387.5孔/平方公分)之導孔密度。

23. 一種多層電路組合，其包含：

(a) 一種基材，其中至少一個區域包含多個導孔，該區域具有500至10,000孔/平方英吋(75至1550孔/平方公分)之導孔密度；

(b) 塗佈於基材之全部暴露表面上之介電塗層，該介電塗層係包含可電沈積組合物，此組合物包含分散於水性介質中之樹脂相，該樹脂相具有以存在於該樹脂相中之樹脂固體總重量計為至少1重量%之共價地鍵結鹵素含量；

(c) 塗佈於步驟(b)基材之全部表面之一層金屬；及

(d) 塗佈於該金屬層之感光層。

24. 根據申請專利範圍第23項之多層電路組合，其中在塗佈金屬層(c)之前，在預定位置去除介電塗層。

25. 根據申請專利範圍第23項之多層電路組合，其進一步包含在金屬基材與介電塗層間之銅金屬中間層。

26. 根據申請專利範圍第23至24項中任一項之多層電路組合，其中該基材包含導電性基材。

27. 根據申請專利範圍第23至25項中任一項之多層電路組合，其中該基材包含選自銅箔、鐵-鎳合金及其組合之金屬基材。

28. 根據申請專利範圍第23至25項中任一項之多層電路組合，其中該基材包含打孔金屬基材。

29. 根據申請專利範圍第23至25項中任一項之多層電路組合

- ，其中該介電塗層包含感光組合物。
30. 根據申請專利範圍第23至25項中任一項之多層電路組合，其中該介電塗層包含光阻組合物。
31. 根據申請專利範圍第29項之多層電路組合，其中該介電塗層係藉電沈積塗佈。
32. 根據申請專利範圍第25項之多層電路組合，其中該黏附促進劑層包含選自鉻、鈦、鎳、鈷、鉍、鐵、鋁、銅、金、鋅及其氧化物中之一或多者之金屬或金屬氧化物。
33. 根據申請專利範圍第23項之多層電路組合，其中該感光層包含藉電沈積塗佈之正片作用感光層。
34. 根據申請專利範圍第23至25及31至33項中任一項之多層電路組合，其中該基材之至少一個區域包含多個導孔，該區域具有至少2500孔/平方英吋(387.5孔/平方公分)之導孔密度。