

**公告本****發明專利說明書**

100.11.09  
年 月 日修正本  
不含圖

中文說明書替換本(100年11月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：093130160

※ 申請日期：93.10.05

※IPC 分類：H01L 27/08 (2006.01)

## 一、發明名稱：(中文/英文)

半導體裝置之製造方法

A METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE

## 二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商瑞薩電子股份有限公司

RENESAS ELECTRONICS CORPORATION

代表人：(中文/英文)

赤尾 泰

AKAO, YASUSHI

住居所或營業所地址：(中文/英文)

日本國神奈川縣川崎市中原區下沼部1753番地

1753 SHIMONUMABE NAKAHARA-KU, KAWASAKI KANAGAWA

211-8668 JAPAN

國 籍：(中文/英文)

日本 JAPAN



三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 安岡 秀記

2. 吉住 圭一

3. 頰顯 政巳

國 籍：(中文/英文)

1.-3.均日本 JAPAN

#### 四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2003年11月14日；特願2003-384654

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關半導體裝置及其製造技術，特別有關具有高耐壓場效電晶體之半導體裝置及其製造技術。

### 【先前技術】

近年來，於半導體裝置係採用可縮小隔離寬度等，在提升元件積體度上有利之稱為STI (Shallow Trench Isolation：淺溝隔離層)或SGI(Shallow Groove Isolation：淺槽隔離層)之溝型之隔離構造以作為元件隔離構造。然而，若以溝型之隔離部界定元件尺寸小、施加電壓低之低耐壓MIS·FET之通道區域的話，除了正常的啟動波形以外，還容易發生異常的扭結現象。扭結現象係於測定汲極電流之汲極電壓依存性時，汲極電流由某電壓值變化成不規則節狀，形成階梯狀波形之現象。於低耐壓MIS·FET發生上述扭結現象之主要原因，據悉係由於來自溝型之隔離部之機械應力集中於半導體基板主面與上述溝型之隔離部之側面所構成之肩部，該肩部之矽之晶格常數變化，結果於該肩部之載體遷移率部分上升所造成。

如此，低耐壓MIS·FET之扭結發生之原因係由於隔離部側壁之半導體基板之肩部形狀陡峭，因此使該肩部具有弧形遂成為扭結現象對策之主流。

又，作為除其以外之低耐壓MIS·FET之扭結對策，例如：於特開平9-237829號公報係揭示於溝型之隔離部與半導體基板之邊界部設置與井同一導電型之高濃度雜質區域

之技術(參考專利文獻1)。

又，例如：於特開2001-144189號公報係揭示在由溝元件隔離區域所區劃之低耐壓MOSFET，使通道區域中央部成為臨限值電壓低之 $p^-$ 型通道區域，使與溝元件隔離區域之邊界附近之兩端部分分別成為臨限值電壓高之 $p^+$ 型通道區域之技術(參考專利文獻2)。

又，例如：於特開平10-65153號公報係揭示在由溝型之元件隔離膜所劃定之主動區域之外周部，設置比低耐壓MIS·FET之源極/汲極接合淺、與通道區域同一導電型、比通道區域高濃度之雜質層之技術(參考專利文獻3)。

又。例如：於特開2001-160623號公報係揭示在以溝元件隔離法所形成之元件隔離膜所劃定之主動區域形成低耐壓MOSFET，使該MOSFET之閘極電極下之主動區域之通道邊緣部分配置於為了形成源極·汲極區域之高濃度雜質離子之注入區域之外，使通道邊緣由動作部錯開，以便防止扭結現象之技術(參考專利文獻4)。

又，作為扭結現象之進一步其他對策方法，提案藉由在 $n$ 通道型之MOSFET，將氮注入與溝型之隔離部相接之半導體基板之邊緣部，形成SiN區域，以防止硼濃度在邊緣部下降，降低起因於扭結現象之漏電流之方法，或藉由增厚溝型之隔離部附近之氧化膜，以改善扭結現象之方法等。

[專利文獻1]特開平9-237829號公報

[專利文獻2]特開2001-144189號公報

[專利文獻3]特開平10-65153號公報

[專利文獻4]特開2001-160623號公報

### 【發明內容】

然而，於高耐壓MIS・FET亦發生上述扭結現象，但其原因與低耐壓MIS・FET發生扭結現象不同，本發明者新發現高耐壓MIS・FET之情況具有僅於上述半導體基板之肩部形成弧形，並無法充分抑制扭結現象的問題。因此，如後述，於高耐壓MIS・FET如何抑制扭結現象係成為重要課題。

本發明之目的在於提供一種可抑制或防止高耐壓場效電晶體之扭結現象之技術。

本發明之前述以及其他目的及新特徵應可由本說明書之技術及附圖得知。

簡單說明本申請案所揭示之發明中之代表者之概要如下。

亦即，本發明係於高耐壓場效電晶體之閘極寬度方向之兩端之隔離部與半導體基板之邊界區域，設置與高耐壓場效電晶體之汲極用半導體區域相反導電型半導體區域之比通道區域雜質濃度高之區域，將該雜質濃度高之區域從高耐壓場效電晶體之汲極用半導體區域分開而配置。

### 【發明效果】

簡單說明藉由本發明所揭示之發明中之代表者所獲得之效果如下。

亦即，可抑制或防止在高耐壓場效電晶體之扭結現象。

又，可提升具有高耐壓場效電晶體之半導體裝置之特性。

### 【實施方式】

於以下實施型態，在方便上有其需要時係分割成複數段或實施型態而說明，但特別明示之情況除外，其等並非互相無關，一方處於另一方之部分或全部變形例、詳細、補充說明等關係。又，於以下實施型態，言及要素數等(包含個數、數值、量、範圍等)時，特別明示之情況及原理上明顯限定於特定數之情況等除外，並不限定於該特定數，為特定數以上或以下均可。並且，於以下實施型態，特別明示之情況及原理上認為必須之情況除外，其構成要素(亦包含要素步驟等)當然未必是必須。同樣地，於以下實施型態，言及構成要素等之形狀、位置關係等時，特別明示之情況及原理上明顯認為不是之情況等除外，包含實質上近似或類似該形狀者等。關於上述數值及範圍，此亦同理。又，在用於說明本實施型態之全圖，具有同一機能者係標示同一符號，並省略其重複說明。又，於以下實施型態，場效電晶體之 MIS · FET (Metal Insulator Semiconductor · Field Effect Transistor：金屬隔離半導體 · 場效電晶體)簡稱為 MIS，n 通道型 MIS 簡稱為 nMIS，p 通道型 MIS 簡稱為 pMIS。以下，根據圖式詳細說明本發明之實施型態。又，於上述 MIS 中，以相對高電壓驅動之 MIS 稱為高耐壓 MIS，以相對低電壓驅動之 MIS 稱為低耐壓 MIS。高耐壓 MIS 係例如：40 V 程度之電位施加於其汲極區域而動作之 MIS，構造上可實現耐壓 100 V。低耐壓 MIS

係例如：1.5 V程度之電位施加於其汲極區域而動作之MIS。

首先，說明有關本發明者新發現之高耐壓MIS之上述扭結現象。於高耐壓MIS亦發生上述扭結現象，但其原因與在低耐壓MIS所發生之扭結現象不同，本發明者新發現高耐壓MIS之情況具有僅於上述半導體基板之肩部形成弧形，並無法充分抑制扭結現象的問題。

圖107係表示對於高耐壓MIS之閘極電壓VG之汲極電流ID之實際測定波形之一例。又，圖108係表示圖107之測定波形之說明圖。圖108之實線A係表示高耐壓MIS之通道電流，虛線B係表示在高耐壓MIS之通道區域之長度方向(閘極寬度方向)之兩端部分之邊緣電流。如上述，尤其在以溝型形成隔離部之情況，於通道區域之長度方向兩端由於應力或雜質濃度下降，微小的漏電流( $\sim\mu\text{A}$ )沿著該兩端之主動區域與隔離部之邊界部流動，發生扭結現象。如上述僅使半導體基板之肩部具有弧形是無法充分抑制高耐壓MIS之扭結現象之理由，係由於高耐壓MIS之扭結現象部分起因於高耐壓MIS所具有之特有成分，具有與低耐壓MIS之扭結現象之原因不同的部分。

第一理由是高耐壓MIS為了確保汲極絕緣耐壓，必須使閘極絕緣膜厚度遠比低耐壓MIS厚，但為了使該種厚閘極絕緣膜亦正常動作，必須降低臨限值電壓，因此，必須將通道區域之雜質濃度(形成與汲極區域相反之導電型之雜質濃度)設定在較低，故容易發生扭結現象。

採用圖109及圖110說明第二理由。圖109為未適用扭結對策之高耐壓MIS50之一例之平面圖，圖110表示圖109之Y50-Y50線之剖面圖。又，符號V0表示高耐壓MIS50之具有電場緩和機能之半導體區域，S0表示源極區域，D0表示汲極區域。扭結現象容易發生於通道區域之長度方向(閘極寬度方向)兩端之區域C。此係由於其次的理由。亦即，由於濕式蝕刻處理等，溝型之隔離部51之上面可能比半導體基板52之上面凹陷(凹槽)之情況，於該情況，閘極電極53之兩端部與溝型之隔離部51之側壁之半導體基板52部分之距離E變短，結果閘極電極53所造成之電場施加於溝型之隔離部51之側壁之半導體基板52部分，於該半導體基板52部分誘發載體，於溝型之隔離部51之側壁之半導體基板52部分亦形成通道。然而，於高耐壓MIS，深的井54之雜質濃度剖面係隨著由半導體基板52之主面深入而逐漸變低，因此在溝型之隔離部51之側壁之半導體基板52部分之臨限值電壓變得比半導體基板52之主面部分之臨限值電壓低。而且，由於該隔離部51之側壁在半導體基板52部分之通道寬度窄，因此飽和電流少，由於施加閘極電極53所造成之電場，視為2種MIS(半導體基板52之主面部及側壁部)之電流和，發生階梯狀的扭結波形。

又，如上述專利文獻1~3，有藉由於閘極寬度方向兩端設置高濃度區域，以抑制或防止低耐壓MIS之扭結現象之方法。然而如上述，高耐壓MIS及低耐壓MIS係構成不同，而且因此在扭結現象之原因不同，故無法將在上述閘

極寬度方向之兩端形成高濃度區域之技術，僅單純地原樣適用於高耐壓MIS。例如：於上述專利文獻1、2之技術，以源極及汲極相接之方式設置高濃度區域，因此若原樣地適用於高耐壓MIS，將產生無法於高耐壓MIS確保汲極耐壓等類之故障。

(實施型態1)

圖1為本實施型態1之高耐壓pMISQHp1之一例之要部平面圖；圖2係與圖1相同處之平面圖，特別是表示高耐壓pMISQHp1之具有電場緩和機能之p<sup>-</sup>型半導體區域PV1與n<sup>+</sup>型半導體區域NVk之配置關係之要部平面圖；圖3係與圖1相同處之平面圖，特別是表示高耐壓pMISQHp1之閘極電極HG、主動區域L與n<sup>+</sup>型半導體區域NVk之配置關係之要部平面圖；圖4係與圖1相同處之平面圖，特別是表示隔離區域與主動區域L之要部平面圖；圖5係表示圖1~圖4之X1-X1線之剖面圖；圖6係表示圖1~圖4之X2-X2線之剖面圖；圖7係表示圖1~圖4之Y1-Y1線之剖面圖。再者，在此係說明將本發明適用於高耐壓pMIS之情況，但亦可使p、n之導電型相反而適用於高耐壓nMIS。又，圖4雖為平面圖，但為了容易觀看而標示影線。又，第一方向X係表示各圖之左右橫向之閘極長方向(通道長方向)或閘極電極HG之短方向，第二方向Y係表示與上述第一方向X正交之方向之各圖上下縱向之閘極寬度方向或閘極電極HG之長度方向。

本實施型態1之半導體裝置之高耐壓pMIS(第一、第五、第六高耐壓場效電晶體)QHp1適用於例如：液晶顯示裝置

之驅動器電路或進行高電流控制之馬達控制驅動器電路等。構造上可實現高電位側之電源電壓例如：40 V程度，低電位(基準電位)側之電源電壓例如：1.5(零)V，例如：耐壓100 V。

半導體基板(以下僅稱基板)1S係由例如：p型之矽(Si)單晶所組成，於其主面(裝置形成面)配置上述高耐壓pMISQHp1。此高耐壓pMISQHp1係由深的n型井(第三、第七、第八半導體區域)DNW及與此電性連接之平面框狀之 $n^+$ 型井NW1包圍平面及剖面。藉此，高耐壓pMISQHp1係與基板1S電性地隔離。於深的n型井DNW及 $n^+$ 型井NW1均導入例如：磷(P)等類之雜質，但 $n^+$ 型井NW1之雜質濃度比深的n型井DNW之雜質濃度高。又，於 $n^+$ 型井NW1之上部，為了取得與配線層之金屬配線之歐姆接觸，進一步形成雜質濃度高之 $n^+$ 型半導體區域N1。此 $n^+$ 型半導體區域N1之上面形成如例如：二矽化鈷( $\text{CoSi}_2$ )之矽化物層2。矽化物層2亦可使用二矽化鈦( $\text{TiSi}_2$ )、二矽化鉑( $\text{PtSi}_2$ )、二矽化鎳( $\text{NiSi}_2$ )或二矽化鎢( $\text{WSi}_2$ )等各種矽化物層，以取代二矽化鈷。

如圖4所示，於上述基板1S之主面，形成例如：稱為STI(Shallow Trench Isolation：淺溝隔離層)或SGI(Shallow Groove Isolation：淺槽隔離層)之溝型之隔離部3，以作為元件隔離區域，藉此界定主動區域L(L1~L4)。於圖4，施加影線之區域為形成隔離部3之區域。此溝型之隔離部3係於基板1S之主面所挖掘之溝內，埋入例如：氧化矽( $\text{SiO}_2$ )

等類之絕緣膜所形成。

如圖5~7所示，相接於隔離部3之上部之基板1S之肩部(以基板1S之主面及隔離部3之上部側面所形成之角部)係帶有弧形而形成。據悉若將隔離部3作為溝型構造，機械應力集中於上述基板1S之肩部，在該肩部之矽之晶格常數變化，載體之移動度在該肩部上升，結果容易發生扭結現象(Kink Effect)。因此，藉由於上述基板1S之肩部形成弧形，可緩和施加於該肩部之機械應力，因此可抑制在高耐壓pMISQHp1之扭結現象。然而，如上述，僅以此構成無法充分抑制在高耐壓MIS之扭結現象，再者，隔離部3之溝之底部亦結束在比上述深的n型井DNW淺的位置。

以此隔離部3所界定之上述活行區域L之中，中央之平面帶狀之主動區域L1係包含形成有上述高耐壓pMISQHp1之通道之區域(通道區域)。於此主動區域L1之通道區域配置上述深的n型井DNW。亦即，通道區域在非動作時成為n型。藉由控制此主動區域L1之通道區域之深的n型井DNW之雜質濃度及導入該處之雜質濃度，決定高耐壓pMISQHp1之臨限值電壓。

於此中央之主動區域L1之左右之主動區域L2、L3，配置高耐壓pMISQp1之源極及汲極用之 $p^+$ 型半導體區域(第一、第十一、第十二半導體區域)P1、P1。此源極及汲極用之 $p^+$ 型半導體區域P1、P1係藉由中央之主動區域L1及其左右之主動區域L2、L3之間之隔離部3之存在，與中央之主動區域L1之通道區域隔離，但經由內含該 $p^+$ 型半導體區

域P1、P2之具有電場緩和機能之 $p^-$ 型半導體區域(第二半導體區域)PV1、PV1而電性連接於上述通道區域。

由平面來看，此 $p^-$ 型半導體區域PV1、PV1係第一方向X之一端跨越主動區域L1及主動區域L2、L3之間之隔離部3，以通道區域分之深的n型井DNW殘留於 $p^-$ 型半導體區域PV1、PV1之方式，朝主動區域L1側(亦即朝閘極電極HG下)僅突出期望之長度部分。另一方面， $p^-$ 型半導體區域PV1、PV1之第一方向X之另一端及第二方向Y之兩端係在未相接於上述 $n^+$ 型井NW1之位置結束。又，由剖面來看，此 $p^-$ 型半導體區域PV1、PV1係其底部延伸至比隔離部3深入的位置，但結束在比上述深的n型井DNW淺的位置。藉由此構成，可確保高耐壓pMISQHp1之汲極耐壓。

於上述源極及汲極用之 $p^+$ 型半導體區域P1、P1及 $p^-$ 型半導體區域PV1、PV1均導入例如：硼(B)等類之雜質，但為了取得與金屬配線之歐姆接觸， $p^+$ 型半導體區域P1、P1之雜質濃度比 $p^-$ 型半導體區域PV1、PV1之雜質濃度高。又，於源極及汲極用之 $p^+$ 型半導體區域P1、P1之上面形成上述矽化物層2。

於上述中央之主動層L1，以覆蓋主動區域L1之全區域之方式，配置高耐壓pMISQHp1之閘極電極HG。此閘極電極HG之第二方向Y(閘極寬度方向)之兩端係其一部分延伸至平面上與上述 $n^+$ 型井NW1重疊的位置，藉此不會降低高耐壓pMISQHp1之耐壓，可抑制或防止閘極電極HG所對向之深的n型井DNW之表面發生寄生MIS。閘極電極HG係由導

體膜所形成，由例如：摻雜磷等之低電阻多晶矽等所組成，於其上面形成上述矽化物層2。於本實施型態1雖圖示表示此矽化物層2，但未必要形成，例如：亦可僅以摻雜磷等之低電阻多晶矽形成閘極電極HG。

又，於閘極電極HG之側面，形成例如：由氧化矽所組成之側壁5，以作為絕緣膜。於此閘極電極HG與基板1S之主面，形成閘極絕緣膜6。閘極絕緣膜6係以藉由例如：熱氧化法等形成於基板1S主面上之氧化矽等所組成之絕緣膜6a，及於其上藉由化學氣相沈積法(Chemical Vapor Deposition: CVD，在此為例如：減壓CVD法)所堆積之氧化矽等所組成之絕緣膜6b之疊層膜所形成。閘極絕緣膜6之以CVD法所形成之絕緣膜6b，若由其外周來看，係以由閘極電極HG之外周稍微突出之方式形成。

於上述主動區域L中之最外周之平面框狀之主動區域L4，配置上述 $n^+$ 型半導體區域N1。再者，於實際之半導體裝置，一般而言，主動區域L4、 $n^+$ 型半導體區域N1及 $n^+$ 型井NW1包圍複數高耐壓MIS。在此為了簡化說明，例示包圍1個高耐壓pMISQHpl之狀態。

然而，如上述高耐壓MIS之情況，僅採用作為在低耐壓MIS之扭結現象對策所例示，於相接於隔離部3之上部之基板1S之肩部(以基板1S之主面及隔離部3之上部側面所形成之角部)形成弧形之技術，無法充分抑制扭結現象。因此，於本實施型態1，如圖1~圖5及圖7所示，於中央之主動區域L1之第二方向Y之兩端，亦即在高耐壓pMISQHpl

之通道區域之第二方向Y之兩端之溝型之隔離部3與基板1S之邊界區域(特別是相接於上述隔離部3之側壁之基板1S部分)，部分地形成與上述源極及汲極用之 $p^+$ 型半導體區域P1、P1相反之導電型之 $n^+$ 型半導體區域(第四、第十三、第十四半導體區域)NVk。藉此，可使在上述通道區域之第二方向Y之兩端(亦即上述側壁部)之臨限值電壓，比在通道區域之中央(亦即上述主面部)之臨限值電壓高。亦即，相對於MIS在通道區域中央容易動作，MIS在通道區域之第二方向Y之兩端難以動作。因此，即使隔離部3之上面凹陷，仍可抑制或防止發生上述扭結現象，故可提升高耐壓MIS之特性。再者，於此，臨限值電壓表現為高，但在此係以高耐壓pMIS為例說明，因此由源極電位(例如：0 V)來看，負側表現為高。

又，無法將作為低耐壓MIS之扭結現象對策之於通道寬度方向(第二方向Y)之兩端形成高濃度區域之技術，原樣適用於本實施型態1之高耐壓MIS。亦即，於如同本實施型態1之高耐壓MIS，若直接援用低耐壓MIS之扭結現象對策，使 $n^+$ 型半導體區域NVk與 $p^-$ 型半導體區域PV1、PV1接觸，高濃度區域將相接，因此產生無法確保高耐壓MIS所需之汲極耐壓的問題。特別是目標之汲極耐壓高之製品之情況，必須降低通道寬度方向之兩端部之雜質濃度，因此無法僅單純地配置 $n^+$ 型半導體區域NVk。因此，於本實施型態1，扭結對策用之 $n^+$ 型半導體區域NVk係以不相接於上述具有電場緩和機能之 $p^-$ 型半導體區域PV1、PV1(特別是

汲極側)之方式，配置在由 $p^-$ 型半導體區域PV1、PV1分開之位置。藉此可防止高耐壓pMISQHp1之汲極耐壓下降。因此，根據本實施型態1可使抑制或防止扭結現象及確保汲極耐壓同時成立。

扭結對策用之 $n^+$ 型半導體區域NVk1係跨越主動區域L1及隔離部3雙方區域而配置。此 $n^+$ 型半導體區域NVk之 $n$ 型雜質濃度設定比通道區域深的 $n$ 型井DNW雜質之濃度高。又，由剖面來看， $n^+$ 型半導體區域NVk1係由基板1S之主面延伸到比隔離部3之底部深的位置，到達大致與上述 $p^+$ 型半導體區域P1、P1之底部同程度之深度，但結束在比上述深的 $n$ 型井DNW淺的位置。如此，扭結對策用之 $n^+$ 型半導體區域NVk1形成至比隔離部3深的位置，以便可提高抑制或防止扭結現象發生的能力。亦即。可提高相接於隔離部3之上部之基板1S之肩部之臨限值，因此可抑制扭結現象發生。

又，源極及汲極用之 $p^+$ 型半導體區域P1、P1中之源極用之 $p^+$ 型半導體區域P1之電位始終與 $n$ 型井DNW在相同電位使用時，上述扭結對策用之 $n^+$ 型半導體區域NVk亦可與該源極用之 $p^+$ 型半導體區域P1接觸。藉此，可增加扭結對策用之 $n^+$ 型半導體區域NVk之定位裕度，因此可容易進行其配置。

其次，圖8及圖9係表示採用高耐壓MIS之電路之一例。圖8及圖9係表示具有採用高耐壓MIS之差動電路之定電流電路。圖8係表示在類比電路經常使用之定電流源押出電

路。於此圖8係例示以閘極電極及高電位側之電源電位  $V_{cc}$  共通之複數高耐壓 nMISQHn 所構成之定電流源押出電路之情況。亦即，電源電位  $V_{cc}$  施加於高耐壓 nMISQHn 之汲極區域。又，圖9係表示在類比電路經常使用之定電流源引入電路。於此圖9係例示以閘極電極及基準電位側之電源電位 GND 共通之複數高耐壓 pMISQHp 所構成之定電流源引入電路之情況。亦即，電源電位  $V_{cc}$  施加於高耐壓 pMISQHp 之閘極電極及汲極區域。高電位側之電源電位  $V_{cc}$  為例如：20~100 V 程度，基準電位側之電源電位 GND 為例如：0(零)V。圖8及圖9之符號 R1、R2 表示電阻。此等電路之情況，扭結現象尤其成為問題。此係由於在此等電路，若未施加任何上述扭結對策的話，即使欲以高耐壓 MIS 之尺寸(通道長及通道寬)設計特定電流值，由於實際之電流值為流於前述通道寬度方向之兩端部(隔離部3之側壁部)之電流，因此由設計值偏離。相對於此，於本實施型態1，可抑制或防止扭結現象，因此可減低上述電路之特定電流值之設計值與實測值之誤差，故可提升此等電路之特性。

其次，圖111係表示配置複數高耐壓 pMISQHp3 時之要部平面圖之一例。高耐壓 pMISQHp3 係在各通道方向(電流流動方向)沿著第一方向 X 之狀態鄰接配置。互相鄰接之高耐壓 pMISQHp3 係以共有源極及汲極用之  $p^+$  型半導體區域 P1、P2 之方式配置。而且， $n^+$  型半導體區域 N1 及 n 型井 NW1 係以包圍該複數高耐壓 pMISQHp3 之一群之方式配

置。

於本實施型態1，即使於藉由微細化促進高耐壓pMISQHp3之尺寸縮小之情況，仍可藉由設置 $n^+$ 型半導體區域NVk1而抑制或防止扭結現象，對於縮小高耐壓pMISQHp3之尺寸有效。因此，即使各個高耐壓pMISQHp3之尺寸縮小量小，作為全體仍可達成大幅的尺寸縮小，因此可大幅縮小具有高耐壓pMISQHp3之半導體晶片之尺寸。

#### (實施型態2)

於前述實施型態1係說明源極及汲極雙方均可在與井之間確保耐壓之構成，但於本實施型態2，說明於源極一井之間無需大耐壓時之高耐壓MIS構造之一例。亦即，nMIS之情況，在p型井連接於共同之GND(pMIS之情況為n型井共同之Vcc)之電路，源極電位與p型井電位不同，因此為了確保源極一井之間之耐壓，需要逆偏壓耐壓，故使源極側與汲極側構造相同。亦即，例如：nMIS之情況，於p型井施加-16.5 V程度作為逆偏壓耐壓，於nMIS之源極施加1.5 V程度，因此為了確保源極一井之間之耐壓，使源極側與汲極側相同構造，並使構造上可確保40 V以上之耐壓。此時，低耐壓MIS之源極一井之間之耐壓成為可確保10 V程度之構造。亦即，高耐壓MIS之源極一井之間之耐壓係以大於低耐壓MIS之源極一井之間之耐壓之方式形成。作為此類電路可例示例如：輸出電路或升壓電路等。然而，在源極一井之間未產生電位差之電路，不需要用以

確保源極一井之間之耐壓之逆偏壓耐壓，因此可僅以汲極側作為高耐壓構造。藉由製成此構造，可縮小MIS之尺寸，縮小半導體晶片面積之尺寸。

圖10為該高耐壓pMISQHp2之一例之要部平面圖；圖11係與圖10相同處之平面圖，特別是表示高耐壓pMISQHp2之具有電場緩和機能之 $p^-$ 型半導體區域PV1、源極用 $p^+$ 型半導體區域P1s及 $n^+$ 型半導體區域NVk之配置關係之要部平面圖；圖12係與圖10相同處之平面圖，特別是表示高耐壓pMISQHp2之閘極電極HG、主動區域L與 $n^+$ 型半導體區域NVk之配置關係之要部平面圖；圖13係與圖10相同處之平面圖，特別是表示隔離區域與主動區域L之要部平面圖；圖14係表示圖10~圖13之X3-X3線之剖面圖；圖15係表示圖10~圖13之X4-X4線之剖面圖。再者，圖10~圖13之Y3-Y3線之剖面圖與圖1~圖4所示之Y1-Y1剖面圖之前述圖7相同，故省略。又，圖13雖為平面圖，但為了容易觀看而於隔離區域標示影線。又，本實施型態2亦以高耐壓pMIS為例說明，但與前述實施型態1相同，亦可適用於高耐壓nMIS。

於本實施型態2之高耐壓pMIS(第二、第七、第八場效電晶體)QHp2，與前述實施型態1相同，隔離部3介在汲極用之 $p^+$ 型半導體區域P1d與通道區域之間，汲極用之 $p^+$ 型半導體區域P1d經由具有電場緩和機能之 $p^-$ 型半導體區域PV1而與主動區域L5之通道區域電性連接，相對地，隔離部3未介在源極用之 $p^+$ 型半導體區域P1s與通道區域之間，源

極用之 $p^+$ 型半導體區域P1s與通道區域係於1個主動區域L5內鄰接配置，不經由具有電場緩和機能之 $p^-$ 型半導體區域PV1而互相電性連接。閘極電極HG並未覆蓋主動區域L5之全面而形成，於主動區域L5，在平面上閘極電極HG重疊之部分(配置有汲極側之具有電場緩和機能之 $p^-$ 型半導體區域PV1之部分除外)形成通道區域，於平面上閘極電極HG重疊之部分，配置源極用之 $p^+$ 型半導體區域P1s。又，於此構造係為對於源極用之 $p^+$ 型半導體區域P1s及深的n型井DNW之供給電位相等，亦即 $p^+$ 型半導體區域P1s與深的n型井DNW之間不產生電位差之電路構成。

於如此之本實施型態2，於源極用之 $p^+$ 型半導體區域P1s與通道區域之間不設置隔離部3亦可，於源極用之 $p^+$ 型半導體區域P1s側不設置具有電場緩和機能之 $p^-$ 型半導體區域PV1亦可，因此可縮小高耐壓pMISQHp2之尺寸。如前述，實際之半導體裝置係於基板1S之主面將複數高耐壓MIS積體而配置，於相當於電路之輸出之處，亦可能配置1000輸出(1000個)之高耐壓MIS。因此，即使1個高耐壓pMISQHp2為小幅之尺寸縮小，作為全體仍可實現大幅的尺寸縮小，因此可縮小具有高耐壓pMISQHp2之半導體晶片之尺寸。

又，於此構成之情況，扭結對策用之 $n^+$ 型半導體區域NVk不與源極用之 $p^+$ 型半導體區域P1s接觸亦可。藉此，可增加扭結對策用之 $n^+$ 型半導體區域NVk之定位裕度，因此可容易進行其配置。

又，與前述實施型態1相同，扭結對策用之 $n^+$ 型半導體區域NVk1係跨越主動區域L1及隔離部3雙方區域而配置。此 $n^+$ 型半導體區域NVk之 $n$ 型雜質濃度設定比通道區域深的 $n$ 型井DNW之 $n$ 型雜質之濃度高。又， $n^+$ 型半導體區域NVk1形成在比隔離部3深的位置，藉此可進一步提高抑制或防止扭結現象發生的能力。

### (實施型態3)

於本實施型態3，藉由圖16~圖63說明於同一基板1S具有前述實施型態1、2之構造之高耐壓MIS及低耐壓MIS之半導體裝置之製造方法之一例。再者，圖16~圖63中之符號HR1表示前述實施型態1之構造之高耐壓MIS之形成區域，符號HR2表示前述實施型態2之構造之高耐壓MIS之形成區域，符號LR表示低耐壓MIS之形成區域。又，高耐壓MIS之形成區域HR1、HR2之剖面分別表示圖1之X1-X1線、圖10之X3-X3線之處之剖面圖。

首先，如圖16~圖19之同一製造步驟中之基板1S之要部剖面所示，藉由於例如：電阻率 $10\ \Omega \cdot \text{cm}$ 以下之 $p$ 型矽(Si)單晶所組成之基板1S(在此為平面圓形之晶圓)施加熱氧化處理，於基板1S之主面形成例如：由氧化矽所組成之薄絕緣膜8(參考圖19)。接著，於絕緣膜8上。藉由CVD法等堆積例如：氮化矽( $\text{Si}_3\text{N}_4$ 等)所組成之絕緣膜9之後，進一步於其上塗佈光阻膜，經過如同曝光及顯影等一連串之光微影(以下僅稱微影)步驟，並施加乾式蝕刻處理，以便於上述主動區域之形成區域形成絕緣膜8、9之重疊圖案。

再者，圖19係表示圖16~圖18之要部放大剖面圖。

其次，如圖20~圖23之同一製造步驟中之基板1S之要部剖面所示，將絕緣膜9作為蝕刻掩模，在基板1S之主面(裝置形成面)形成溝3a。於此階段，溝3a之側壁及基板1S之主面所形成之肩部係有稜角。圖23係表示圖20~圖22之要部放大剖面圖。接著，如圖24~圖27之同一製造步驟中之基板1S之要部剖面所示，藉由對於基板1S(亦即晶圓)施加乾式氧化處理，於溝3a之內面等、基板1S之露出面形成氧化矽等所組成之絕緣膜10。藉此，於溝3a與基板1S之主面所構成之肩部形成弧形。

其次，如圖28~圖30之同一製造步驟中之基板1S之要部剖面所示，於基板1S(亦即晶圓)之主面上，藉由CVD法等堆積例如：氧化矽所組成之絕緣膜3b之後，藉由化學機械研磨(Chemical Mechanical Polishing: CMP)法等研磨此，以除去溝3a外之絕緣膜3b，僅於溝3a內埋入絕緣膜3b，以形成隔離部3。接著，藉由熱磷酸等除去絕緣膜9，藉由濕式蝕刻法除去其下層之絕緣膜8，使主動區域之主面露出後，對於基板1S施加熱氧化處理，以便於主動區域之主面形成例如：由氧化矽所組成之薄絕緣膜。此薄絕緣膜成為離子打入步驟時之通過膜。

接著，將光阻膜作為掩模，於基板1S之深的n型井形成區域選擇性地注入例如：磷之後除去該光阻膜。接著，將其他光阻膜作為掩模，於基板1S之深的p型井形成區域及隔離用之p型半導體區域，選擇性地注入例如：硼(B)之

後，除去該光阻膜。其後，藉由對於基板1S(亦即晶圓)施加熱處理，使導入於基板1S之上述磷及硼，例如：由基板1S之主面擴散至10  $\mu\text{m}$ 程度之深度，以便如圖31~圖33之同一製造步驟中之基板1S之要部剖面所示，於基板1S形成深的n型井DNW、深的p型井(第三、第七、第八半導體區域)DPW及隔離用之p型半導體區域PIS。

其次，如圖34~圖36之同一製造步驟中之基板1S之要部剖面所示，於基板1S之主面上，藉由上述微影步驟形成光阻膜PR1之圖案。此光阻膜PR1之圖案係露出高耐壓nMIS形成區域之具有電場緩和機能之n<sup>-</sup>型半導體區域(第二、第九、第十半導體區域)NV1及高耐壓pMIS形成區域之扭結對策用之n<sup>+</sup>型半導體區域NVk之雙方之形成區域，並覆蓋其以外而形成。接著，將光阻膜PR1之圖案作為掩模，於基板1S，藉由離子注入法等將例如：磷等選擇性地導入。此時，半導體區域NV1及半導體區域NVk係比隔離部3深入形成。如此形成半導體區域NV1，以便可提高抑制或防止發生扭結現象之能力。再者，於此階段，高耐壓nMIS形成區域之具有電場緩和機能之n<sup>-</sup>型半導體區域NV1及高耐壓pMIS形成區域之扭結對策用之n<sup>+</sup>型半導體區域NVk，並非在導入形成其等之雜質之階段完全形成其等區域，但為了使說明易於理解，亦圖示其等區域。

其次，除去光阻膜PR1之後，如圖37~圖39之同一製造步驟中之基板1S之要部剖面所示，於基板1S之主面上，藉由上述微影步驟形成光阻膜PR2之圖案。此光阻膜PR2之圖

案係露出高耐壓pMIS形成區域之具有電場緩和機能之 $p^-$ 型半導體區域PV1及高耐壓nMIS形成區域之扭結對策用之 $p^+$ 型半導體區域(第四、第十三、第十四半導體區域)PVk之雙方之形成區域，並覆蓋其以外而形成。接著，將光阻膜PR2之圖案作為掩模，於基板1S，藉由離子注入法等將例如：硼等選擇性地導入。此時，與半導體區域NV1及半導體區域NVk相同，半導體區域PV1及半導體區域PVk係比隔離部3深入形成，以便可提高抑制或防止發生扭結現象之能力。再者，於此階段，高耐壓nMIS形成區域之具有電場緩和機能之 $n^-$ 型半導體區域NV1、高耐壓pMIS形成區域之扭結對策用之 $n^+$ 型半導體區域NVk、高耐壓pMIS形成區域之具有電場緩和機能之 $p^-$ 型半導體區域PV1及高耐壓nMIS形成區域之扭結對策用之 $p^+$ 型半導體區域PVk並非完全形成，但為了使說明易於理解，亦圖示其等區域。

其次，除去光阻膜PR2之後，藉由對於基板1S施加拉長擴散處理(熱處理)，如圖40~圖42之同一製造步驟中之基板1S之要部剖面所示，形成高耐壓nMIS形成區域之具有電場緩和機能之 $n^-$ 型半導體區域NV1、高耐壓nMIS形成區域之扭結對策用之 $p^+$ 型半導體區域PVk、高耐壓pMIS形成區域之具有電場緩和機能之 $p^-$ 型半導體區域PV1及高耐壓pMIS形成區域之扭結對策用之 $n^+$ 型半導體區域NVk。如此，於本實施型態3，將扭結對策用之 $p^+$ 型半導體區域PVk及 $n^+$ 型半導體區域NVk，與具有電場緩和機能之 $p^-$ 型半導體區域PV1及 $n^-$ 型半導體區域NV1於同一形成步驟時形

成，因此雖然說設置扭結對策用之 $p^+$ 型半導體區域PVk及 $n^+$ 型半導體區域NVk，但並非增加製造步驟。因此，可不增加半導體裝置之製造時間或成本，提供性能及可靠度高的半導體裝置。其後，於高耐壓MIS之通道區域進行淺的通道打入，調整各高耐壓MIS之臨限值電壓。其後，藉由濕式蝕刻除去上述離子打入時之通過膜用之絕緣膜，其後對於基板1S施加熱氧化處理，於基板1S之主面(主動區域之主面)上，形成例如：厚度以二氧化矽換算膜厚為10 nm程度之氧化矽等所組成之絕緣膜6a(於本實施型態3為了使圖式易於觀看，故省略圖式)。此時，所要求之閘極絕緣耐壓低時，亦可僅以此熱氧化法所形成之氧化矽膜形成閘極絕緣膜，但於閘極電極亦施加與汲極相同之高電壓時，於藉由上述熱氧化法所形成之氧化矽膜上，堆積以CVD法等所形成之氧化矽等所組成之絕緣膜6b，以熱氧化法所形成之氧化矽膜及CVD法等所形成之氧化矽膜之疊層膜形成閘極絕緣膜6。在此係表示以該疊層膜形成閘極絕緣膜6之情況。藉此可使閘極絕緣膜厚大幅不同之高耐壓MIS及低耐壓MIS同時存在於同一基板1S。又，此類以CVD法所形成之絕緣膜6b，不僅於主動區域上，亦形成於隔離部3上。藉由利用此CVD法之絕緣膜6b之堆積，可減少隔離部3於後續步驟被蝕刻之量，因此可確保隔離部3之耐壓，而且可防止寄生MIS發生。因此，可提升半導體裝置之可靠度。

其次，於上述閘極絕緣膜6之以CVD法所形成之絕緣膜

6b中之低耐壓MIS之形成區域、高耐壓MIS之形成區域，亦經過上述微影步驟及濕式蝕刻步驟，選擇性地除去取得歐姆接觸之形成 $n^+$ 型半導體區域或 $p^+$ 型半導體區域之部分等不要部分。此蝕刻處理之際，相較於熱氧化膜(絕緣膜6a)，藉由上述閘極絕緣膜形成用之CVD法之絕緣膜6b係蝕刻速度快。在進行蝕刻而露出CVD法所形成之絕緣膜6b之下之熱氧化膜(絕緣膜6a)之時點，由於蝕刻速度顯著變慢，因此可防止隔離部3之絕緣膜3b之膜厚降低。因此，如低耐壓MIS之形成區域等未覆蓋光阻膜之隔離部，只要回到閘極絕緣膜6用之CVD法所形成之絕緣膜6b堆積之前之狀態即可。亦即，於同一基板1S形成高耐壓MIS及低耐壓MIS之情況，由於可確保低耐壓MIS形成區域之隔離部3之厚度，故可避免對於低耐壓MIS。因此，可提高於同一基板1S具有高耐壓MIS及低耐壓MIS之半導體裝置之可靠度。接著，藉由經過密化步驟(熱處理步驟)，上述CVD法所形成之絕緣膜6b係減少膜堆積時所具有之電子、電洞等類之陷阱或膜中所含的水分(視膜組成不同，可能是藉由反應所產生的水分)，因此變化成與熱氧化膜大致同質之膜。其後，對於基板1S施加輕微的熱氧化處理。

其次，於基板1S(亦即晶圓)之主面上，藉由CVD法堆積例如：低電阻多晶矽所組成之導體膜，將其表面氧化後，於其上堆積氮化矽等所組成之絕緣膜，進一步將其表面氧化，以形成絕緣膜。接著，將該導體膜及絕緣膜之疊層體經過上述微影步驟及乾式蝕刻步驟而圖案化，如圖43~圖

45之同一製造步驟中之基板1S之要部剖面所示，形成上述導體膜13及絕緣膜14之疊層圖案。此導體膜13及絕緣膜14之疊層圖案係包覆高耐壓MIS之形成區域HR1、HR2，不包覆低耐壓MIS之形成區域LR而形成。此導體膜13係為了形成高耐壓MIS之閘極電極之導體膜。於此階段，不在各個高耐壓MIS進行圖案化以作為閘極電極之理由在於，為了避免形成低耐壓MIS之閘極電極之際，尤其於高耐壓MIS之形成區域HR2所產生之故障。關於此係於低耐壓MIS之閘極電極之形成步驟時說明。

其次，將上述微影步驟所形成之光阻膜之圖案作為掩模，藉由離子注入法等將例如：硼導入基板1S，以便如圖46~圖48之同一製造步驟中之基板1S之要部剖面所示，形成高耐壓nMIS形成區域之 $p^+$ 型井PW1及低耐壓MIS之 $p^+$ 型井PW2。在此，於高耐壓pMIS側，使上述硼通過導體膜13，並導入基板1S。接著，除去 $p^+$ 型井PW1、PW2之形成用之光阻膜之後，藉由上述微影步驟，於基板1S之主面上形成別的光阻膜圖案，進一步以該光阻膜圖案作為掩模，藉由離子導入法等將例如：磷導入基板1S，形成高耐壓pMIS形成區域之 $n^+$ 型井NW1及低耐壓pMIS形成區域之 $n^+$ 型井NW2。在此，於高耐壓nMIS側，使上述磷通過導體膜13，並導入基板1S。其後，除去光阻膜之後，藉由對於基板1S施加熱處理，使 $p^+$ 型井PW1、PW2及 $n^+$ 型井NW1、NW2活化。如此，於本實施型態3，相較於以個別之光阻膜作為掩模形成高耐壓MIS之井及低耐壓MIS之井之情

況，藉由以同一步驟進行高耐壓MIS之井及低耐壓MIS之井之形成步驟，可減少如同光阻塗佈、曝光及顯影等一連串之微影步驟，因此可避免於同一基板1S具有高耐壓MIS及低耐壓MIS之半導體裝置之製造步驟之大幅增大。而且，可使高耐壓MIS及低耐壓MIS同時存在。

其次，藉由濕式蝕刻法等除去低耐壓MIS之形成區域LR之氧化矽膜之後，藉由施加熱氧化處理，於低耐壓MIS之形成區域形成低耐壓MIS用之閘極絕緣膜15。閘極絕緣膜15係由例如：氧化矽所組成，其厚度以二氧化矽換算膜厚為例如：7 nm程度。其後，於基板1S(亦即晶圓)之主面上，藉由CVD法等堆積例如：多晶矽膜16。此時，多晶矽膜16亦堆積於高耐壓MIS之形成區域之導體膜13及絕緣膜14之疊層圖案表面。其後，於該多晶矽膜16，藉由離子注入法等，將個別之光阻膜圖案作為掩模，分別於nMIS形成區域導入例如：磷，於pMIS導入例如：硼之後，經過上述微影步驟及乾式蝕刻步驟將多晶矽膜16圖案化，以便如圖49~圖51之同一製造步驟中之基板1S之要部剖面所示，形成低耐壓MIS用之閘極電極LG(16)。低耐壓nMIS之閘極電極LG成為n型，低耐壓pMIS之閘極電極LG成為p型。於此蝕刻步驟，亦除去堆積於高耐壓MIS之形成區域之導體膜13及絕緣膜14之疊層圖案之表面之多晶矽膜16。如上述未形成高耐壓MIS之閘極電極係由於例如：以下理由。亦即，若於此低耐壓MIS之閘極電極LG之圖案化步驟前，形成高耐壓MIS之閘極電極，於將低耐壓MIS之閘極電極LG

圖案化時，於已形成之高耐壓MIS之閘極電極之側壁，可能殘留用以形成低耐壓MIS之閘極電極LG之多晶矽膜16。於高耐壓MIS之形成區域HR1，即使多晶矽膜16殘留於閘極電極側面，由於其下有厚的隔離部3，因此不會特別造成問題，但於高耐壓MIS之形成區域HR2，於閘極電極之一方側面側未配置隔離部3，其下僅為閘極絕緣膜6。因此，若多晶矽膜16殘留於該高耐壓MIS之形成區域HR之閘極電極之一方側，將發生在形成該高耐壓MIS之源極用半導體區域時，由於有多晶矽膜16之蝕刻殘留，因此該源極用半導體區域將由該高耐壓MIS之閘極電極側面離開該部分的問題。為了避免此問題，於本實施型態3，在將低耐壓MIS之閘極電極LG圖案化之前，不將高耐壓MIS之閘極電極圖案化。

其次，藉由經過上述微影步驟及乾式蝕刻步驟，將導體膜13、絕緣膜14、閘極絕緣膜6之CVD法所形成之絕緣膜6b圖案化，以便如圖52~圖54之同一製造步驟中之基板1S之要部剖面所示，於高耐壓MIS之形成區域HR1、HR2形成閘極電極HG(13)。閘極絕緣膜6之CVD法所形成之絕緣膜6b係於高耐壓MIS之形成區域HR1，以從閘極電極HG之全外周突出之方式形成，而且於高耐壓MIS之形成區域HR2，以閘極電極HG之源極側之邊除外之外周突出之方式形成。接著，藉由利用離子導入法等，於基板1S之主面導入例如：硼，以便於高耐壓MIS之形成區域HR2，將高耐壓pMIS用之擴張部之p<sup>-</sup>型半導體區域18對於閘極電極HG

自我整合地形成。接著，經過上述微影步驟，於基板1S之主面形成光阻膜圖案之後，將此作為掩模，藉由離子注入法等，於基板1S之主面導入例如：磷，以便於高耐壓MIS之形成區域HR2，將高耐壓nMIS用之擴張部之n<sup>-</sup>型半導體區域19對於閘極電極HG自我整合地形成。接著，除去上述光阻膜之後，經過上述微影步驟，於基板1S之主面形成光阻膜圖案之後，將此作為掩模，藉由離子注入法等，於基板1S之主面導入例如：硼，以便於低耐壓MIS之形成區域LR，將低耐壓pMIS用之擴張部之p<sup>-</sup>型半導體區域20對於閘極電極LG自我整合地形成。此時，亦可藉由利用離子注入法等將磷導入，於p<sup>-</sup>型半導體區域20之下部形成低耐壓pMIS之穿孔阻止層用之n型半導體區域(暈圈區域)。其後，除去上述光阻膜之後，對於基板1S施加熱處理。接著，經過上述微影步驟，於基板1S之主面形成光阻膜圖案之後，將此作為掩模，藉由離子注入法等，於基板1S之主面導入例如：磷，以便於低耐壓MIS之形成區域LR，將低耐壓nMIS用之擴張部之n<sup>-</sup>型半導體區域21對於閘極電極LG自我整合地形成。此時，亦可藉由利用離子注入法等將硼導入，於n<sup>-</sup>型半導體區域21之下部形成低耐壓nMIS之穿孔阻止層用之p型半導體區域(暈圈區域)。

其次，於基板1S(亦即晶圓)之主面上，藉由CVD法等堆積例如：氧化矽所組成之絕緣膜之後，藉由各向異性之乾式蝕刻將此回蝕，以便如圖58~圖60之同一製造步驟中之基板1S之要部剖面所示，於閘極電極HG、LG之側面，形

成例如：氧化矽等所組成之側壁5，此時亦除去閘極電極HG上之絕緣膜14。接著，經過上述微影步驟，於基板1S之主面上形成光阻膜圖案後，將此作為掩模，藉由利用離子注入法等將例如：磷導入基板1S，形成 $n^+$ 型半導體區域N1、N2、N3。 $n^+$ 型半導體區域N1為 $n^+$ 型井NW1之引出區域。 $n^+$ 型半導體區域(第一、第十一、第十二半導體區域)N2為高耐壓nMISQHn1、QHn2之源極及汲極用半導體區域。 $n^+$ 型半導體區域N3為低耐壓nMISQLn1之源極及汲極用半導體區域。接著，除去上述光阻膜之後，經過上述微影步驟，於基板1S之主面上形成光阻膜圖案，將此作為掩模，藉由利用離子注入法等，將例如：硼導入基板1S主面，以便形成 $p^+$ 型半導體區域P1、P2、P3。 $p^+$ 型半導體區域P1為高耐壓pMISQHp1、QHp2之源極及汲極用半導體區域。 $p^+$ 型半導體區域P2為 $p^+$ 型井PW1之引出區域。 $p^+$ 型半導體區域P3為低耐壓pMISQLp1之源極及汲極用半導體區域。其後，藉由對於基板1S施加熱處理，使 $n^+$ 型半導體區域N1、N2、N3及 $p^+$ 型半導體區域P1、P2、P3活化。如此於同一基板1S上，形成高耐壓nMIS(第五高耐壓場效電晶體)QHn1、高耐壓nMIS(第七高耐壓場效電晶體)QHn2、高耐壓pMIS(第六高耐壓場效電晶體)QHp1、高耐壓pMIS(第八高耐壓場效電晶體)QHp2、低耐壓nMISQLn1及低耐壓pMISQLp1。在此係例示低耐壓nMISQLn1及低耐壓pMISQLp1之源極及汲極用之半導體區域具有LDD(Lightly Doped Drain：輕微摻雜汲極)構成之情況。低耐壓

nMISQLn1及低耐壓pMISQLp1之作動電壓比上述高耐壓nMISQHp1、QH<sub>p</sub>2、QH<sub>n</sub>1、QH<sub>n</sub>2低，其基準電壓側之電源電壓為例如：0 V，高電位側之電源電壓為例如：1.5 V程度。

其次，藉由對於基板1S之主面施加乾式蝕刻處理，使基板1S之主面(主動區域之主面)及閘極電極HG、LG之上面露出後，如圖61~圖63之同一製造步驟中之基板1S之要部剖面所示，藉由自動對準金屬矽物(Self Align Silicide)製程，於n<sup>+</sup>型半導體區域N1、N2、N3、p<sup>+</sup>型半導體區域P1、P2、P3及閘極電極HG、LG上面，自我整合地形成例如：二矽化鈷等類之矽化物層2。上述自動對準金屬矽物製程係例如其次。首先，上述乾式蝕刻處理後，於基板1S之主面，藉由濺鍍法等堆積例如：鈷(Co)等類之金屬膜。接著，對於基板1S，藉由在例如：400~550度之溫度範圍內施加數十秒程度之熱處理，使金屬膜之鈷與基板1S及閘極電極HG、LG之矽反應，於金屬膜與基板1S及閘極電極HG、LG之接觸部，形成鈷及矽之混晶所形成之矽化物層。其後，採用例如：氦過氧化水等類之水溶液，僅選擇性地將未反應之鈷濕式蝕刻。此時，上述矽化物層未被蝕刻而殘留。其後，藉由對於基板1S施加例如：800度、90秒程度之熱處理，使鈷及矽之混晶相變化為CoSi<sub>2</sub>，並低電阻化。如此，自我整合地形成上述矽化物層2。上述金屬膜不限定於鈷，可進行各種變更，例如：鈦(Ti)、鉑(Pt)、鎳(Ni)或鎢(W)亦可。選擇鈦作為金屬膜時，矽化物

層2為二矽化鈦( $\text{TiSi}_2$ )，選擇鉑作為金屬膜時，矽化物層2為二矽化鉑( $\text{PtSi}_2$ )，選擇鎳作為金屬膜時，矽化物層2為二矽化鎳( $\text{NiSi}_2$ )，選擇鎢作為金屬膜時，矽化物層2為二矽化鎢( $\text{WSi}_2$ )。

在此之後，經過半導體裝置通常的金屬配線形成步驟。亦即，按照必要之配線層數，重複進行層間絕緣膜之堆積步驟、層間絕緣膜之平坦化步驟、接觸孔洞或通孔之形成步驟、插塞形成步驟、配線用金屬之堆積步驟及配線用金屬之圖案化步驟等，其後經過保護膜之形成步驟、墊開口部形成步驟。其後，經過檢查步驟及晶圓切割步驟，將晶圓分割成各個半導體晶片，製造於同一基板1S具有高耐壓MIS及低耐壓MIS雙方之半導體裝置。

如此，根據本實施型態3，除了以前述實施型態1、2所獲得之效果以外，並可獲得以下效果。

亦即，可於同一基板1S形成低耐壓MIS及高耐壓MIS。又，可不導致製造步驟大幅的增加，製造在同一基板1S具有低耐壓MIS及高耐壓MIS之半導體裝置。亦即，於製造步驟，藉由共用低耐壓MIS製造步驟及高耐壓MIS製造步驟，可減少製造步驟，謀求於同一基板1S具有低耐壓MIS及高耐壓MIS之半導體裝置之製造步驟。

#### (實施型態4)

與本實施型態4，說明高耐壓MIS之變形例。圖64為其高耐壓pMISQHp3之一例之要部平面圖；圖65係與圖64相同處之平面圖，特別是表示高耐壓pMISQHp3之具有電場

緩和機能之 $p^-$ 型半導體區域PV1與反摻雜區域DR之配置關係之要部平面圖；圖66係與圖64相同處之平面圖，特別是表示高耐壓pMISQHp3之各半導體區域之狀態之要部平面圖；圖67係與圖64相同處之平面圖，特別是表示主動區域L內之半導體區域之狀態之要部平面圖；圖68係表示圖64~圖67之X5-X5線之剖面圖；圖69係表示圖64~圖67之X6-X6線之剖面圖；圖70係表示圖64~圖67之Y4-Y4線之剖面圖。再者，於此亦說明將本發明適用於高耐壓pMIS之情況，但與實施型態1相同，亦可使 $p$ 與 $n$ 之導電型相反，將本發明適用於高耐壓nMIS。又，圖66及圖67雖為平面圖，但為了使圖式易於觀看，於各半導體區域標示影線。

本實施型態4之半導體裝置之高耐壓pMIS(第三、第九、第十高耐壓場效電晶體)QH<sub>p3</sub>係可實現例如：耐壓60 V之構造。高電位側之電源電壓為例如：37 V程度，低電位側(基準電位)側之電源電壓為例如：0(零)V。於此高耐壓pMISQH<sub>p3</sub>，於具有電場緩和機能之 $p^-$ 型半導體區域PV1以外之元件區域，形成亦包含通道區域(主動區域L1)在內之 $n^+$ 型半導體區域(第五、第十五、第十七半導體區域)NV1p。藉由此 $n^+$ 型半導體區域NV1p形成高耐壓pMISQH<sub>p3</sub>之 $n$ 型井。此高耐壓pMISQH<sub>p3</sub>之臨限值電壓主要由通道區域之上述 $n$ 型井之雜質濃度( $n^-$ 型半導體區域NV1及深的 $n$ 型井DNW之雜質濃度之和，亦即 $n^+$ 型半導體區域NV1p之雜質濃度)、導入基板1S之通道區域之反摻雜用之雜質(例如：硼)之濃度及閘極絕緣膜6之厚度所決定。

上述反摻雜區域DR係表示已導入該反摻雜用雜質之區域。於本實施型態4，該反摻雜用雜質未導入主動區域L1之第二方向Y之兩端(亦即主動區域L1與隔離部3之邊界，隔離部3之側壁所相接之基板1S部分)，但導入由其夾住之主動區域L1。其結果，未導入反摻雜用雜質之區域成為 $n^+$ 半導體區域NV1p，相對地，導入反摻雜用雜質之區域(主動區域L1之具有電場緩和機能之 $p^-$ 型半導體區域PV1、PV1所配置之區域除外)成為 $n^-$ 型半導體區域(第六、第十六、第十八半導體區域)NV1m。亦即，此 $n^-$ 型半導體區域NV1m成為高耐壓pMISQHp3之實質的通道區域。又，此 $n^-$ 型半導體區域NV1m形成於半導體基板表面附近，形成於 $n^+$ 型半導體區域NV1p之上部。亦即， $n^-$ 型半導體區域NV1m形成在比 $n^+$ 型半導體區域NV1p淺的位置。藉此，可使上述主動區域L1之通道區域中央(基板1S之主面部)之臨限值電壓，比主動區域L1之第二方向Y之兩端(相接於隔離部3之側壁之基板1S部分)之臨限值電壓低。亦即，相對於MIS在通道區域中央容易動作，MIS在通道區域之第二方向Y之兩端難以動作。因此，即使隔離部3之上面凹陷，仍可抑制或防止上述扭結現象發生(關於臨限值電壓，與前述實施型態1所說明者相同)。

在此，如圖70所示，於主動區域L1內之閘極電極之寬度方向(第二方向Y)，形成閘極電極HG下之通道區域之 $n^-$ 型半導體區域NV1m之長度及 $n^+$ 型半導體區域NV1p之長度，變得比 $n^-$ 型半導體區域NV1m之長度長而形成。亦即，低

濃度區域之半導體區域NV1m係以佔通道區域之一半以上之方式形成。藉此，可減少形成於通道區域之第二方向Y之兩端之難以動作之MIS區域，因此可防止本實施型態之高耐壓MIS(例如：高耐壓pMISQHp3)之實質動作速度之減低。

此時，於閘極電極HG之閘極寬度方向，相對低濃度之半導體區域NV1m係由相對高濃度之半導體區域NV1p所包圍，高濃度之半導體區域NV1p位於從基板1S之比低濃度之半導體區域NV1m深的位置而形成。

又， $n^+$ 型半導體區域NVp1係比隔離部3深入地形成。如此形成半導體區域NVp1，可提高相接於隔離部3之上部之基板1S之肩部之臨限值，藉此抑制扭結現象發生。

又，由剖面來看，於本實施型態4之高耐壓pMISQHp3，在形成通道之 $n^-$ 型半導體區域NV1m下配置 $n^+$ 型半導體區域NV1p。藉此可提升抑制或防止源極及汲極用 $p^+$ 型半導體區域P1、P1( $p^-$ 型半導體區域PV1、PV1)間之穿孔之能力。亦即可縮短高耐壓pMISQHp3動作時之實質通道長，因此可縮短高耐壓pMISQHp3之設計上之通道長(第一方向X之長度)。又，上述反摻雜區域DR係圖案大，而且左右區域是與反摻雜用雜質所形成者相同之導電型之p型半導體區域PV1、PV1，因此於第一方向X稍微偏差，亦不致造成問題，可比前述實施型態1增大定位裕度。亦即，即使縮小高耐壓pMISQHp3之尺寸，此反摻雜技術亦可充分對應。藉由此等，於本實施型態4，可使高耐壓pMISQHp3之尺寸

比前述實施型態1之情況縮小，因此可縮小具有本實施型態4之高耐壓pMISQHp3之半導體晶片尺寸。

其次，圖71係表示配置複數高耐壓pMISQHp3時之要部平面圖之一例。高耐壓pMISQHp3係在各通道方向(電流流動方向)沿著第一方向X之狀態鄰接配置。互相鄰接之高耐壓pMISQHp3係以共有源極及汲極用之 $p^+$ 型半導體區域P1、P2之方式配置。而且， $n^+$ 型半導體區域N1及n型井NW1係以包圍該複數高耐壓pMISQHp3之一群之方式配置。因此，即使各個高耐壓pMISQHp3之尺寸縮小量小，作為全體仍可達成大幅的尺寸縮小，因此可大幅縮小具有高耐壓pMISQHp3之半導體晶片之尺寸。

#### (實施型態5)

於本實施型態5，說明前述實施型態4之高耐壓MIS之變形例，於源極一井之間無須大的耐壓時之高耐壓MIS構造之一例。

圖72為其高耐壓pMISQHp4之一例之要部平面圖；圖73係與圖72相同處之平面圖，特別是表示高耐壓pMISQHp4之具有電場緩和機能之 $p^-$ 型半導體區域PV1與反摻雜區域DR之配置關係之要部平面圖；圖74係與圖72相同處之平面圖，特別是表示高耐壓pMISQHp4之各半導體區域之狀態之要部平面圖；圖75係與圖72相同處之平面圖，特別是表示主動區域L內之半導體區域之狀態之要部平面圖；圖76係表示圖72~圖75之X7-X7線之剖面圖；圖77係表示圖72~圖75之X8-X8線之剖面圖。再者，圖72~圖75之Y5-Y5

線之剖面圖與前述圖70相同，故省略。又，圖74及圖75雖為平面圖，但為了使圖式易於觀看，於隔離區域標示影線。又，於本實施型態5係以高耐壓pMIS為例說明，但與前述實施型態1~4相同，亦可適用於高耐壓nMIS。

本實施型態5之半導體裝置之高耐壓pMIS(第四、第十一、第十二高耐壓場效電晶體)QH<sub>p</sub>4係可實現例如：耐壓60 V之構造。高電位側之電源電壓為例如：37 V程度，低電位側(基準電位)側之電源電壓為例如：0(零)V。於本實施型態5，由於扭結對策與前述實施型態4相同，因此省略說明。與前述實施型態4不同之處係如以下。亦即，於本實施型態5，與前述實施型態4相同，隔離部3介在汲極用之p<sup>+</sup>型半導體區域P1d與通道區域之間，汲極用之p<sup>+</sup>型半導體區域P1d經由具有電場緩和機能之p<sup>-</sup>型半導體區域PV1而與主動區域L5之通道區域電性連接，相對地，隔離部3未介在源極用之p<sup>+</sup>型半導體區域P1s與通道區域之間，源極用之p<sup>+</sup>型半導體區域P1s與通道區域係於1個主動區域L5內鄰接配置，不經由具有電場緩和機能之p<sup>-</sup>型半導體區域PV1而互相電性連接。閘極電極HG並未覆蓋主動區域L5之全面而形成，於主動區域L5，在平面上閘極電極HG重疊之部分(配置有汲極側之具有電場緩和機能之p<sup>-</sup>型半導體區域PV1之部分除外)形成通道區域，於平面上閘極電極HG未重疊之部分，配置源極用之p<sup>+</sup>型半導體區域P1s。然而，於本實施型態5，與前述實施型態4相同，於主動區域L5，反摻雜用雜質未導入之主動區域L5之第二方向Y之兩

端之區域成為 $n^+$ 型半導體區域NV1p，另一方面，導入反摻雜用雜質之區域(具有電場緩和機能之 $p^-$ 型半導體區域PV1、PV1所配置之區域除外)成為 $n^-$ 型半導體區域NV1m。又，此 $n^-$ 型半導體區域NV1m形成於基板1S表面附近，形成於 $n^+$ 型半導體區域NV1p之上部。亦即， $n^-$ 型半導體區域NV1m形成在比 $n^+$ 型半導體區域NV1p淺的位置。因此，即使閘極電極HG為平面上重疊之主動區域L5，仍可使上述主動區域L5之通道區域中央(基板1S之主面部)之臨限值電壓，比主動區域L5之第二方向Y之兩端(相接於隔離部3之側壁之基板1S部分)之臨限值電壓低，因此與前述實施型態4相同，可抑制或防止上述扭結現象發生(關於臨限值電壓，與前述實施型態1所說明者相同)。

在此，於前述實施型態4相同，如圖70所示，於主動區域L5內之閘極電極之寬度方向(第二方向Y)，形成閘極電極HG下之通道區域之 $n^-$ 型半導體區域NV1m之長度及 $n^+$ 型半導體區域NV1p之長度，變得比 $n^-$ 型半導體區域NV1m之長度長而形成。亦即， $n^-$ 型半導體區域NV1m係以佔通道區域之一半以上之方式形成。藉此，可減少形成於通道區域之第二方向Y之兩端之難以動作之MIS區域，因此可防止本實施型態之高耐壓MIS(例如：高耐壓pMISQHp3)之實質動作速度之減低。

此時，於閘極電極HG之閘極寬度方向，相對低濃度之半導體區域NV1m係由相對高濃度之半導體區域NV1p所包圍，高濃度之半導體區域NV1p位於從基板1S之主面之比

低濃度之半導體區域NV1m深的位置而形成。

又， $n^+$ 型半導體區域NVp1係比隔離部3深入地形成。如此形成半導體區域NVp1，可提高相接於隔離部3之上部之基板1S之肩部之臨限值，藉此抑制扭結現象發生。

又，於本實施型態5之構造，電路構成係使對於源極用之 $p^+$ 型半導體區域P1s、深的n型井DNW、 $n^+$ 型半導體區域NV1p及 $n^-$ 型半導體區域NV1m之供給電位相同，亦即於源極用之 $p^+$ 型半導體區域P1s、深的n型井DNW、 $n^+$ 型半導體區域NV1p及 $n^-$ 型半導體區域NV1m之間不產生電位差。

於如此之本實施型態5，出自與前述實施型態2所說明相同理由，可縮小高耐壓pMISQHp4之尺寸。尤其在本實施型態5，如於前述實施型態4所說明，由於可提升穿孔之抑制或防止能力等，相較於前述實施型態2之情況，可進一步縮小高耐壓pMISQHp4之尺寸。因此，相較於前述實施型態2之情況，可進一步縮小具有本實施型態5之高耐壓pMISQHp4之半導體晶片之尺寸。

#### (實施型態6)

於本實施型態6，藉由圖78~圖101說明於同一基板1S具有前述實施型態4、5之構造之高耐壓MIS及低耐壓MIS之半導體裝置之製造方法之一例。再者，圖78~圖101中之符號HR3表示前述實施型態4之構造之高耐壓MIS之形成區域(X5-X5)，符號HR4表示前述實施型態5之構造之高耐壓MIS之形成區域(X7-X7)，符號LR表示低耐壓MIS之形成區域。

首先，經過與前述實施型態3之圖16~圖33所說明之相同步驟後，如圖78~圖80之同一製造步驟中之基板1S之要部剖面所示，於基板1S之主面上，藉由上述微影步驟形成光阻膜PR3之圖案。此光阻膜PR3之圖案係露出高耐壓nMIS形成區域之具有電場緩和機能之 $n^-$ 型半導體區域及高耐壓pMIS形成區域之 $n^+$ 型半導體區域之雙方之形成區域，並覆蓋其以外而形成。接著，將光阻膜PR3之圖案作為掩模，於基板1S，藉由離子注入法等將例如：磷等選擇性地導入。藉此，於高耐壓nMIS形成區域形成深的p型井DPW，因此形成 $n^-$ 型半導體區域NV1，於高耐壓pMIS形成區域形成深的n型井DNW，因此形成 $n^+$ 型半導體區域NV1p。此時，半導體區域NV1及半導體區域NV1p係比隔離部3深入形成。如此形成半導體區域NV1p，以便可提高抑制或防止發生扭結現象之能力。再者，於此階段，高耐壓nMIS形成區域之具有電場緩和機能之 $n^-$ 型半導體區域NV1及高耐壓pMIS形成區域之 $n^+$ 型半導體區域NV1p，並非在導入形成其等之雜質之階段完全形成其等區域，但為了使說明易於理解，亦圖示其等區域。

其次，除去光阻膜PR3之後，如圖81~圖83之同一製造步驟中之基板1S之要部剖面所示，於基板1S之主面上，藉由上述微影步驟形成光阻膜PR4之圖案。此光阻膜PR4之圖案係露出高耐壓pMIS形成區域之具有電場緩和機能之 $p^-$ 型半導體區域及高耐壓nMIS形成區域之 $p^+$ 型半導體區域之雙方之形成區域，並覆蓋其以外而形成。接著，將光阻膜

PR4之圖案作為掩模，於基板1S，藉由離子注入法等將例如：硼等選擇性地導入。藉此，於高耐壓pMIS形成區域形成深的n型井DNW，因此形成p<sup>-</sup>型半導體區域PV1，於高耐壓nMIS形成區域形成深的p型井DPW，因此形成p<sup>+</sup>型半導體區域(第五、第十五、第十七半導體區域)PV1p。此時，半導體區域PV1及半導體區域PV1p係比隔離部3深入形成。如此形成半導體區域NV1p，可提高抑制或防止發生扭結現象之能力。再者，於此階段，高耐壓nMIS形成區域之具有電場緩和機能之n<sup>-</sup>型半導體區域NV1、高耐壓pMIS形成區域之n<sup>+</sup>型半導體區域NV1p、高耐壓pMIS形成區域之具有電場緩和機能之p<sup>-</sup>型半導體區域PV1及高耐壓nMIS形成區域之p<sup>+</sup>型半導體區域PV1p並非完全形成，但為了使說明易於理解，亦圖示其等區域。

其次，除去光阻膜PR4之後，藉由對於基板1S施加拉長擴散處理(熱處理)，如圖84~圖86之同一製造步驟中之基板1S之要部剖面所示，將高耐壓nMIS形成區域之具有電場緩和機能之n<sup>-</sup>型半導體區域NV1、高耐壓nMIS形成區域之p<sup>+</sup>型半導體區域PV1p、高耐壓pMIS形成區域之具有電場緩和機能之p<sup>-</sup>型半導體區域PV1及高耐壓pMIS形成區域之n<sup>+</sup>型半導體區域NV1p，以拉長到比隔離部3深入、比深的n型井DNW及深的p型井DPW淺的位置之狀態形成。如此，於本實施型態6，將p<sup>+</sup>型半導體區域PV1p及n<sup>+</sup>型半導體區域NV1p，與具有電場緩和機能之p<sup>-</sup>型半導體區域PV1及n<sup>-</sup>型半導體區域NV1於同一形成步驟時形成，因此雖然

說設置 $p^+$ 型半導體區域PV1p及 $n^+$ 型半導體區域NV1p，但並非增加製造步驟。因此，可不增加半導體裝置之製造時間或成本，提供性能及可靠度高的半導體裝置。

其次，轉移到反摻雜步驟。圖87~圖92係表示對於高耐壓nMIS形成區域之反摻雜步驟時之基板1S之要部剖面圖。圖87係包含相當於圖64~圖67之X5-X5線之處之剖面圖；圖88係包含相當於圖64~圖67之X6-X6線之處之剖面圖；圖89係包含相當於圖72~圖75之X7-X7線之處之剖面圖；圖90係包含相當於圖72~圖75之X8-X8線之處之剖面圖；圖91係包含相當於圖64~圖67之Y4-Y4線或圖72~圖75之Y5-Y5線之剖面圖；圖92係表示反摻雜步驟時之低耐壓MIS之形成區域之要部剖面圖。再者，於此反摻雜步驟時之相當於圖64~圖67之Y4-Y4線及圖72~圖75之Y5-Y5線之處之剖面圖相同，因此為了簡化說明，僅於圖91之1圖表示其剖面圖。

首先，於基板1S(亦即晶圓)之主面上，經過上述微影步驟而形成光阻膜PR5之圖案。光阻膜PR5之圖案係以高耐壓nMIS形成區域之反摻雜區域DR開口，其以外被覆蓋之方式形成。亦即，如圖87及圖91所示，於形成區域HR3，以光阻膜PR5覆蓋高耐壓nMIS側之主動區域L1之第二方向Y之兩端之一部分，如圖88及圖91所示，其以外之高耐壓nMIS側之主動區域L1係由光阻膜PR5露出。又，於形成區域HR4，如圖89及圖91所示，以光阻膜PR5覆蓋高耐壓nMIS側之主動區域L5之第二方向Y之兩端之一部分，如圖

90及圖91所示，其以外之高耐壓nMIS側之主動區域L5係由光阻膜PR5露出。接著，將光阻膜PR5之圖案作為掩模，藉由離子注入法等於基板1S選擇性且淺層地導入例如：磷或砷(As)。藉此，於從光阻膜PR5露出之高耐壓nMIS側之主動區域L1、L5之 $p^+$ 型半導體區域PV1p上部，形成 $p^-$ 型半導體區域(第六、第十六、第十八半導體區域)PV1m。另一方面，即使是同樣的高耐壓nMIS側之主動區域L1、L5，第二方向Y之兩端部之以光阻膜PR5所覆蓋之區域之 $p^+$ 型半導體區域PV1p之上部仍維持 $p^+$ 型。又，此 $p^-$ 型半導體區域PV1m形成於半導體基板1S表面附近，形成於 $p^+$ 型半導體區域PV1p之上部。亦即， $p^-$ 型半導體區域PV1m形成在比 $p^+$ 型半導體區域PV1p淺的位置。因此，可使高耐壓nMIS側之主動區域L1、L5之通道區域中央(基板1S之主面部)之臨限值電壓，比主動區域L1、L5之第二方向Y之兩端(相接於隔離部3之側壁之基板1S部分)之臨限值電壓低，因此可抑制或防止上述扭結現象發生。

在此，於之後形成之閘極電極之寬度方向(第二方向Y)，形成閘極電極HG下之通道區域之半導體區域PV1m之長度及半導體區域PV1p之長度，變得比半導體區域PV1m之長度長而形成。藉此，可減少形成於通道區域之第二方向Y之兩端之難以動作之MIS區域，因此可防止本實施型態之高耐壓nMIS之實質動作速度之減低。

又，此時，半導體區域PVp1係比隔離部3深入地形成。如此形成半導體區域PVp1，可提高相接於隔離部3之上部

之基板1S之肩部之臨限值，藉此抑制扭結現象發生。

其次，除去光阻膜PR5之後，轉移到對於高耐壓pMIS形成區域之反摻雜步驟。圖93~圖98係表示對於高耐壓pMIS形成區域之反摻雜步驟時之基板1S之要部剖面圖。圖93係包含相當於圖64~圖67之X5-X5線之處之剖面圖；圖94係包含相當於圖64~圖67之X6-X6線之處之剖面圖；圖95係包含相當於圖72~圖75之X7-X7線之處之剖面圖；圖96係包含相當於圖72~圖75之X8-X8線之處之剖面圖；圖97係包含相當於圖64~圖67之Y4-Y4線或圖72~圖75之Y5-Y5線之剖面圖；圖98係表示反摻雜步驟時之低耐壓MIS之形成區域之要部剖面圖。再者，於此反摻雜步驟時之相當於圖64~圖67之Y4-Y4線及圖72~圖75之Y5-Y5線之處之剖面圖相同，因此為了簡化說明，僅於圖97之1圖表示其剖面圖。

首先，於基板1S(亦即晶圓)之主面上，經過上述微影步驟而形成光阻膜PR6之圖案。光阻膜PR6之圖案係以高耐壓pMIS形成區域之反摻雜區域DR開口，其以外被覆蓋之方式形成。亦即，如圖93及圖97所示，於形成區域HR3，以光阻膜PR6覆蓋高耐壓pMIS側之主動區域L1之第二方向Y之兩端之一部分，如圖94及圖97所示，其以外之高耐壓pMIS側之主動區域L1係由光阻膜PR6露出。又，於形成區域HR4，如圖95及圖97所示，以光阻膜PR6覆蓋高耐壓pMIS側之主動區域L5之第二方向Y之兩端之一部分，如圖96及圖97所示，其以外之高耐壓pMIS側之主動區域L5係

由光阻膜PR6露出。接著，將光阻膜PR6之圖案作為掩模，藉由離子注入法等，於基板1S選擇性且淺層地導入例如：硼。藉此，於從光阻膜PR6露出之高耐壓pMIS側之主動區域L1、L5之 $n^+$ 型半導體區域NV1p上部，形成 $n^-$ 型半導體區域NV1m。另一方面，即使是同樣的高耐壓pMIS側之主動區域L1、L5，第二方向Y之兩端部之以光阻膜PR6所覆蓋之區域之 $n^+$ 型半導體區域NV1p之上部仍維持 $n^+$ 型。又，此 $n^-$ 型半導體區域NV1m形成於半導體基板1S表面附近，形成於 $n^+$ 型半導體區域NV1p之上部。亦即， $n^-$ 型半導體區域NV1m形成在比 $n^+$ 型半導體區域NV1p淺的位置。因此，可使高耐壓pMIS側之主動區域L1、L5之通道區域中央(基板1S之主面部)之臨限值電壓，比高耐壓pMIS之主動區域L1、L5之第二方向Y之兩端(相接於隔離部3之側壁之基板1S部分)之臨限值電壓低，因此可抑制或防止上述扭結現象發生。

在此，於之後形成之閘極電極之寬度方向(第二方向Y)，形成閘極電極HG下之通道區域之半導體區域NV1m之長度及半導體區域NV1p之長度，變得比半導體區域NV1m之長度長而形成。亦即半導體區域NV1m係以佔通道區域一半以上之方式形成。藉此，可減少形成於通道區域之第二方向Y之兩端之難以動作之MIS區域，因此可防止本實施型態之高耐壓pMIS之實質動作速度之減低。

又，此時，半導體區域NVp1係比隔離部3深入地形成。如此形成半導體區域NVp1，可提高相接於隔離部3之上部

之基板1S之肩部之臨限值，藉此抑制扭結現象發生。

其後，除去光阻膜PR6之後，經過與前述實施型態3相同之步驟，如圖99~圖101之同一製造步驟中之基板1S之要部剖面所示，於同一基板1S形成高耐壓nMIS(第九、第十高耐壓場效電晶體)QHn3、高耐壓nMIS(第十一、第十二高耐壓場效電晶體)QHn4、高耐壓pMISQHp3、QHp4、低耐壓nMISQLn1及低耐壓pMISQLp1。再者，於本實施型態6，為了使圖式易於觀看，省略絕緣膜6a之圖式。藉此，於製造步驟共用低耐壓MIS製造過程及高耐壓製造過程，以謀求於同一基板1S具有低耐壓MIS及高耐壓MIS之半導體裝置之製造步驟之減少。

#### (實施型態7)

於本實施型態7，說明以LOCOS(Local Oxidization of Silicon：區域性矽氧化)法所形成之隔離部取代前述實施型態4之半導體裝置之溝型之隔離部3之情況。

於圖102~圖104表示本實施型態7之高耐壓MIS之一例之要部剖面圖。平面圖係與前述實施型態4之圖64~圖67相同。圖102係相當於圖64~圖67之X5-X5線之處之剖面圖；圖103係相當於圖64~圖67之X6-X6線之處之剖面圖；圖104係相當於圖64~圖67之Y4-Y4線之處之剖面圖。再者，於此亦說明將本發明適用於高耐壓pMISQHp5之情況，但亦可適用於高耐壓nMIS。

本實施型態7之高耐壓pMISQHp5除了以LOCOS法形成隔離部3以外，均與前述實施型態4相同。亦即，並非在基板

1S之主面挖掘溝而埋入絕緣膜，以便形成隔離部，而是在基板1S之主面上之主動區域，形成由薄的氧化矽等組成之絕緣膜及堆積於其上之氮化矽等組成之耐氧化性之絕緣膜之疊層圖案之後，藉由對於基板1S施加熱氧化處理，在由上述疊層圖案露出之隔離區域形成氧化矽等所組成之隔離部3。

於本實施型態7，亦如前述實施型態4所說明，可提升抑制或防止源極及汲極用之 $p^+$ 型半導體區域P1、P1( $p^-$ 型半導體區域PV1、PV1)間之穿孔之能力，因此可縮短高耐壓pMISQHp5在設計上之通道長(第一方向X之長度)。亦即，即使隔離部3是以LOCOS法所形成之高耐壓pMISQH5，仍可縮小其尺寸，可縮小具有該高耐壓pMISQHp5之半導體晶片之尺寸。

又，隔離部3以外之構造及製造方法係與前述實施型態4及6相同，可獲得相同效果，故省略其說明。

#### (實施型態8)

於本實施型態8，說明以LOCOS法所形成之隔離部取代前述實施型態5之半導體裝置之溝型之隔離部3之情況。

於圖105、106表示本實施型態8之高耐壓MIS之一例之要部剖面圖。平面圖係與前述實施型態5之圖72~圖75相同。圖105係相當於圖72~圖75之X7-X7線之處之剖面圖；圖106係相當於圖72~圖75之X8-X8線之處之剖面圖。圖72~圖75之Y5-Y5線之剖面圖係與前述實施型態7之圖104相同，故省略。再者，於此亦說明將本發明適用於高耐壓

pMISQHp6之情況，但亦可適用於高耐壓nMIS。

本實施型態8之高耐壓pMISQHp6除了以LOCOS法形成隔離部3以外，均與前述實施型態5相同。亦即，與前述實施型態7相同，在基板1S之主面上之主動區域，形成由薄的氧化矽等組成之絕緣膜及堆積於其上之氮化矽等組成之耐氧化性之絕緣膜之疊層圖案之後，藉由對於基板1S施加熱氧化處理，在由上述疊層圖案露出之隔離區域形成氧化矽等所組成之隔離部3。

於本實施型態8，亦與前述實施型態4~6相同，可提升抑制或防止高耐壓pMISQHp6之穿孔之能力，因此可縮短高耐壓pMISQHp6在設計上之通道長(第一方向X之長度)。因此，可縮小以LOCOS法形成隔離部3之高耐壓pMISQHp6之尺寸，故可縮小具有該高耐壓pMISQHp6之半導體晶片之尺寸。

又，隔離部3以外之構造及製造方法係與前述實施型態5及6相同，可獲得相同效果，故省略其說明。

以上，根據實施型態具體說明由本發明者所實現之發明，但本發明不限於前述實施型態，當然可在不脫離其要旨之範圍內進行各種變更。

例如：於前述實施型態1~8係說明有關以個別步驟形成高耐壓MIS之閘極電極及低耐壓MIS之閘極電極之情況，但並不限定於此，以同一步驟形成高耐壓MIS之閘極電極及低耐壓MIS之閘極電極亦可。此時例如：如其次進行。首先，如前述實施型態3、6，將高耐壓MIS之CVD法所形

成之絕緣膜6b圖案化之後，以光阻膜包覆高耐壓MIS之形成區域。接著，進行蝕刻，以便使低耐壓MIS之形成區域之基板1S之主面之主動區域之矽露出之後，除去光阻膜。其後，藉由熱氧化法等形成低耐壓MIS之閘極絕緣膜之後，於基板1S之主面全面堆積閘極電極形成用之導體膜，經過上述微影步驟及乾式蝕刻步驟將此圖案化，以便於高耐壓MIS及低耐壓MIS之形成區域形成閘極電極。

又，高耐壓MIS之汲極耐壓較低，為例如：7~30 V程度之情況，亦可將為了形成低耐壓MIS之井之藉由離子注入法等之雜質導入，兼做為為了形成高耐壓MIS之具有電場緩和機能之半導體區域(PV1、NV1)及通道阻止層之藉由離子注入法等之雜質導入。此時，能以1次導入步驟形成低耐壓MIS之井、高耐壓MIS之具有電場緩和機能之半導體區域及通道阻止層。亦即，可削減伴隨光阻塗佈、顯影、曝光等一連串處理之微影步驟，因此可大幅削減半導體裝置之製造步驟。

於以上說明主要說明有關將本發明者所實現之發明，適用於其背景之利用領域之液晶顯示裝置之驅動器電路或進行高電流控制之馬達控制驅動器電路等之半導體裝置之製造方法，但並不限定於此，可適用於各種情況，例如：用於汽車之各種電路等，亦可適用於其他電子機器之半導體裝置之製造方法。

#### [產業上之利用可能性]

本發明適用於半導體裝置之製造業。

**【圖式簡單說明】**

圖1為本發明一實施型態之半導體裝置之高耐壓場效電晶體之要部平面圖。

圖2係與圖1相同處之平面圖，特別是表示高耐壓場效電晶體之電場緩和用之半導體區域與主要部之半導體區域之配置關係之要部平面圖。

圖3係與圖1相同處之平面圖，特別是表示高耐壓場效電晶體之閘極電極與主要部之半導體區域之配置關係之要部平面圖。

圖4係與圖1相同處之平面圖，特別是表示隔離區域與主動區域之要部平面圖。

圖5係表示圖1~圖4之X1-X1線之剖面圖。

圖6係表示圖1~圖4之X2-X2線之剖面圖。

圖7係表示圖1~圖4之Y1-Y1線之剖面圖。

圖8係表示採用高耐壓場效電晶體之電路之一例之電路圖。

圖9係表示採用高耐壓場效電晶體之電路之其他例之電路圖。

圖10為本發明其他實施型態之半導體裝置之高耐壓場效電晶體之一例之要部平面圖。

圖11係與圖10相同處之平面圖，特別是表示高耐壓場效電晶體之具有電場緩和機能之半導體區域、源極用 $p^+$ 型半導體區域及 $n^+$ 型半導體區域之配置關係之要部平面圖。

圖12係與圖10相同處之平面圖，特別是表示高耐壓場效

電晶體之閘極電極、主動區域與 $n^+$ 型半導體區域之配置關係之要部平面圖。

圖13係與圖10相同處之平面圖，特別是表示隔離區域與主動區域之要部平面圖。

圖14係表示圖10~圖13之X3-X3線之剖面圖。

圖15係表示圖10~圖13之X4-X4線之剖面圖。

圖16為本發明一實施型態之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖17係與圖16同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖18係與圖16同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖19為圖16~圖18之要部放大剖面圖。

圖20係接續圖16~圖19之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖21係與圖20同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖22係與圖20同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖23為圖20~圖22之要部放大剖面圖。

圖24係接續圖20~圖22之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖25係與圖24同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 26 係與圖 24 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 27 為圖 24~圖 26 之要部放大剖面圖。

圖 28 係接續圖 23~圖 27 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 29 係與圖 28 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 30 係與圖 28 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 31 係接續圖 28~圖 30 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 32 係與圖 31 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 33 係與圖 31 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 34 係接續圖 31~圖 33 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 35 係與圖 34 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 36 係與圖 34 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 37 係接續圖 34~圖 36 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 38 係與圖 37 同一製造步驟之半導體裝置之高耐壓場效

電晶體之第二形成區域之要部剖面圖。

圖39係與圖37同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖40係接續圖37~圖39之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖41係與圖40同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖42係與圖40同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖43係接續圖40~圖42之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖44係與圖43同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖45係與圖43同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖46係接續圖43~圖45之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖47係與圖46同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖48係與圖46同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖49係接續圖46~圖48之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖50係與圖49同一製造步驟之半導體裝置之高耐壓場效

電晶體之第二形成區域之要部剖面圖。

圖 51 係與圖 49 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 52 係接續圖 49~圖 51 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 53 係與圖 52 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 54 係與圖 52 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 55 係接續圖 52~圖 54 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 56 係與圖 55 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 57 係與圖 55 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 58 係接續圖 55~圖 57 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 59 係與圖 58 同一製造步驟之半導體裝置之高耐壓場效電晶體之第二形成區域之要部剖面圖。

圖 60 係與圖 58 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 61 係接續圖 58~圖 60 之半導體裝置之製造步驟中之高耐壓場效電晶體之第一形成區域之要部剖面圖。

圖 62 係與圖 61 同一製造步驟之半導體裝置之高耐壓場效

電晶體之第二形成區域之要部剖面圖。

圖63係與圖61同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖64為本發明其他實施型態之半導體裝置之高耐壓場效電晶體之一例之要部平面圖。

圖65係與圖64相同處之平面圖，特別是表示高耐壓場效電晶體之具有電場緩和機能之 $p^-$ 型半導體區域與反摻雜區域之配置關係之要部平面圖。

圖66係與圖64相同處之平面圖，特別是表示高耐壓場效電晶體之各半導體區域之狀態之要部平面圖。

圖67係與圖64相同處之平面圖，特別是表示主動區域內之半導體區域之狀態之要部平面圖。

圖68係表示圖64~圖67之X5-X5線之剖面圖。

圖69係表示圖64~圖67之X6-X6線之剖面圖。

圖70係表示圖64~圖67之Y4-Y4線之剖面圖。

圖71係表示配置複數圖64之高耐壓場效電晶體時之一例之要部平面圖。

圖72為本發明進一步其他實施型態之半導體裝置之高耐壓場效電晶體之一例之要部平面圖。

圖73係與圖72相同處之平面圖，特別是表示高耐壓場效電晶體之具有電場緩和機能之 $p^-$ 型半導體區域與反摻雜區域之配置關係之要部平面圖。

圖74係與圖72相同處之平面圖，特別是表示高耐壓場效電晶體之各半導體區域之狀態之要部平面圖。

圖 75 係與圖 72 相同處之平面圖，特別是表示主動區域內之半導體區域之狀態之要部平面圖。

圖 76 係表示圖 72~圖 75 之 X7-X7 線之剖面圖。

圖 77 係表示圖 72~圖 75 之 X8-X8 線之剖面圖。

圖 78 係本發明一實施型態之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之要部剖面圖。

圖 79 係與圖 78 同一製造步驟之半導體裝置之高耐壓場效電晶體之第四形成區域之要部剖面圖。

圖 80 係與圖 78 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 81 係接續圖 78~圖 80 之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之要部剖面圖。

圖 82 係與圖 81 同一製造步驟之半導體裝置之高耐壓場效電晶體之第四形成區域之要部剖面圖。

圖 83 係與圖 81 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 84 係接續圖 81~圖 83 之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之要部剖面圖。

圖 85 係與圖 84 同一製造步驟之半導體裝置之高耐壓場效電晶體之第四形成區域之要部剖面圖。

圖 86 係與圖 84 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 87 係包含接續圖 84~圖 86 之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之相當於圖 64~圖 67

之X5-X5線之處之剖面圖。

圖88係包含與圖87同一製造步驟之相當於圖64~圖67之X6-X6線之處之剖面圖。

圖89係包含與圖87同一製造步驟之相當於圖72~圖75之X7-X7線之處之剖面圖。

圖90係包含與圖87同一製造步驟之相當於圖72~圖75之X8-X8線之處之剖面圖。

圖91係包含與圖87同一製造步驟之相當於圖64~圖67之Y4-Y4線或圖72~圖75之Y5-Y5線之剖面圖。

圖92係與圖87同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖93係包含接續圖87~圖92之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之相當於圖64~圖67之X5-X5線之處之剖面圖。

圖94係包含與圖93同一製造步驟之相當於圖64~圖67之X6-X6線之處之剖面圖。

圖95係包含與圖93同一製造步驟之相當於圖72~圖75之X7-X7線之處之剖面圖。

圖96係包含與圖93同一製造步驟之相當於圖72~圖75之X8-X8線之處之剖面圖。

圖97係包含與圖93同一製造步驟之相當於圖64~圖67之Y4-Y4線或圖72~圖75之Y5-Y5線之剖面圖。

圖98係與圖93同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 99 係包含接續圖 93~圖 99 之半導體裝置之製造步驟中之高耐壓場效電晶體之第三形成區域之相當於圖 64~圖 67 之 X5-X5 線之處之剖面圖。

圖 100 係包含與圖 99 同一製造步驟之半導體裝置之高耐壓場效電晶體之第四形成區域之要部剖面圖。

圖 101 係包含與圖 99 同一製造步驟之半導體裝置之低耐壓場效電晶體之形成區域之要部剖面圖。

圖 102 為本發明進一步其他實施型態之半導體裝置之高耐壓場效電晶體之一例之相當於圖 64~圖 67 之 X5-X5 線之處之剖面圖。

圖 103 為圖 102 之高耐壓場效電晶體之相當於圖 64~圖 67 之 X6-X6 線之處之剖面圖。

圖 104 為圖 102 之高耐壓場效電晶體之相當於圖 64~圖 67 之 Y4-Y4 線之處之剖面圖。

圖 105 為本發明進一步其他實施型態之半導體裝置之高耐壓場效電晶體之一例之相當於圖 72~圖 75 之 X7-X7 線之處之剖面圖。

圖 106 為圖 105 之高耐壓場效電晶體之相當於圖 72~圖 75 之 X8-X8 線之處之剖面圖。

圖 107 係於高耐壓場效電晶體所產生之扭結波形之波形圖。

圖 108 為圖 107 之扭結波形之說明圖。

圖 109 係沒有扭結對策之高耐壓場效電晶體之要部平面圖。

圖 110 為圖 109 之 Y50-Y50 線之剖面圖。

圖 111 為配置複數本發明一實施型態之半導體裝置之圖 1 之高耐壓場效電晶體時之一例之要部平面圖。

【主要元件符號說明】

|    |                       |
|----|-----------------------|
| 10 | 絕緣膜                   |
| 13 | 導體膜                   |
| 14 | 絕緣膜                   |
| 15 | 閘極絕緣膜                 |
| 16 | 多晶矽膜                  |
| 18 | p <sup>-</sup> 型半導體區域 |
| 19 | n <sup>-</sup> 型半導體區域 |
| 1S | 半導體基板                 |
| 2  | 矽化物層                  |
| 20 | p <sup>-</sup> 型半導體區域 |
| 21 | n <sup>-</sup> 型半導體區域 |
| 3  | 隔離部                   |
| 3a | 溝                     |
| 3b | 絕緣膜                   |
| 5  | 側壁                    |
| 50 | 高耐壓 MIS・FET           |
| 51 | 溝型之隔離部                |
| 52 | 半導體基板                 |
| 53 | 閘極電極                  |
| 54 | 深的井                   |

|                      |                       |
|----------------------|-----------------------|
| 6                    | 閘極絕緣膜                 |
| 6a, 6b               | 絕緣膜                   |
| 8                    | 絕緣膜                   |
| 9                    | 絕緣膜                   |
| D0                   | 汲極區域                  |
| DNW                  | 深的n型井                 |
| DPW                  | 深的p型井                 |
| DR                   | 反摻雜區域                 |
| GND                  | 基準電位側之電源電位            |
| HG                   | 閘極電極                  |
| L, L1~L5             | 主動區域                  |
| LG                   | 閘極電極                  |
| N1, N1s, N1d, N2, N3 | n <sup>+</sup> 型半導體區域 |
| NV1                  | n <sup>-</sup> 型半導體區域 |
| NV1m                 | n <sup>-</sup> 型半導體區域 |
| NV1p                 | n <sup>+</sup> 型半導體區域 |
| NVk                  | n <sup>+</sup> 型半導體區域 |
| NW1, NW2             | n <sup>+</sup> 型井     |
| P1, P1s, P1d, P2, P3 | p <sup>+</sup> 型半導體區域 |
| PIS                  | 隔離用之p型半導體區域           |
| PR1~PR6              | 光阻膜                   |
| PV1                  | p <sup>-</sup> 型半導體區域 |
| PV1m                 | p <sup>-</sup> 型半導體區域 |

|                             |                        |
|-----------------------------|------------------------|
| PV1p                        | p <sup>+</sup> 型半導體區域  |
| PVk                         | p <sup>+</sup> 型半導體區域  |
| PW1, PW2                    | p <sup>+</sup> 型井      |
| QHn, QHn1, QHn2, QHn3, QHn4 | 高耐壓 n 通道型 MIS •<br>FET |
| QHp, QHp1, QHp2, QHp3, QHp4 | 高耐壓 p 通道型 MIS •<br>FET |
| QHp5, QHp6                  | 高耐壓 p 通道型 MIS •<br>FET |
| QLn1                        | 低耐壓 n 通道型 MIS •<br>FET |
| QLp1                        | 低耐壓 p 通道型 MIS •<br>FET |
| R1, R2                      | 電阻                     |
| S0                          | 源極區域                   |
| V0                          | 半導體區域                  |
| Vcc                         | 高電位側之電源電位              |

## 五、中文發明摘要：

本發明係抑制或防止具有高耐壓場效電晶體之半導體裝置之扭結現象。於高耐壓pMISQHp1之通道區域之閘極寬度方向之兩端之溝型之隔離部3與半導體基板1S之邊界區域，將與高耐壓pMISQHp1之源極及汲極用之 $p^+$ 型半導體區域P1、P1相反之導電型之 $n^+$ 型半導體區域NVk，以不與高耐壓pMISQHp1之具有電場緩和機能之 $p^-$ 型半導體區域PV1、PV1(特別是汲極側)相接之方式，配置在從該 $p^-$ 型半導體區域PV1、PV1分開之位置。此 $n^+$ 型半導體區域NVk延伸到比溝型之隔離部3深入的位置。

## 六、英文發明摘要：

## 十、申請專利範圍：

1. 一種半導體裝置，其特徵在於：在高耐壓場效電晶體之第一導電型之通道區域之閘極寬度方向之兩端之溝型之隔離部與半導體基板之邊界區域中，將與前述通道區域同一導電型、比前述通道區域具高雜質濃度之第一導電型之半導體區域，以與前述高耐壓場效電晶體之前述第一導電型相反之第二導電型之汲極用之半導體區域不相接之方式，配置於從前述汲極用之半導體區域分開之位置。
2. 如請求項1之半導體裝置，其中使前述第一導電型之半導體區域，由前述半導體基板之主面延伸至比前述溝型之隔離部深的位置而形成。
3. 如請求項1之半導體裝置，其中於前述半導體基板設置作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體。
4. 一種半導體裝置，其特徵在於：在半導體基板之主面具備以隔離部所界定之主動區域，於前述主動區域具有高耐壓場效電晶體；該半導體裝置具有：

形成於前述高耐壓場效電晶體之閘極電極下之半導體基板之相對高濃度之半導體區域；及

形成於前述閘極電極下之半導體基板之相對低濃度之半導體區域；

於前述閘極電極之閘極寬度方向，前述相對低濃度之半導體區域係由前述相對高濃度之半導體區域所包圍。

5. 如請求項4之半導體裝置，其中前述相對高濃度之半導體區域係形成在從前述半導體基板之主面至比前述相對低濃度之半導體區域深的位置。
6. 如請求項4之半導體裝置，其中前述相對高濃度之半導體區域係形成在從前述半導體基板之主面至比前述隔離部深的位置。
7. 如請求項4之半導體裝置，其中前述相對低濃度之半導體區域佔前述高耐壓場效電晶體之通道區域之一半以上。
8. 如請求項4之半導體裝置，其中將絕緣膜埋入形成於前述半導體基板之溝內以形成前述隔離部。
9. 如請求項4之半導體裝置，其中於前述半導體基板設置作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體。

---

10. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以溝型之隔離部所界定之主動區域、於前述主動區域配置高耐壓場效電晶體之通道區域之構成；

前述高耐壓場效電晶體具有：

(a) 閘極電極，其係於前述主動區域上經由閘極絕緣膜所設置者；

(b) 源極及汲極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之兩側經由前述溝型之隔離部所設置者；

(c) 源極及汲極用之第一導電型之第二半導體區域，其

係比前述源極及汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，並以電性連接前述源極及汲極用之第一導電型之第一半導體區域之各個與前述主動區域之通道區域之方式設置者；及

(d)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，一部分介在前述主動區域之前述源極及汲極用之第一導電型之第二半導體區域之間，以內包前述源極及汲極用之第一導電型之第一、第二半導體區域之方式設置者；

於前述主動區域之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域中，將比前述第三半導體區域具高雜質濃度之第二導電型之第四半導體區域，以與前述源極及汲極用之第一導電型之第一、第二半導體區域不相接之方式，配置於從前述源極及汲極用之第一導電型之第一、第二半導體區域分開之位置。

11. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以溝型之隔離部所界定之主動區域、於前述主動區域配置高耐壓場效電晶體之通道區域之構成；

前述高耐壓場效電晶體具有：

(a)閘極電極，其係於前述主動區域上經由閘極絕緣膜所設置者；

(b)第一導電型之汲極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之一單側經由前述溝型之隔離部所設置者；

(c)第一導電型之源極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接設置者；

(d)汲極用之第一導電型之第二半導體區域，其係比前述汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，內包前述汲極用之第一導電型之第一半導體區域，且以電性連接前述汲極用之第一導電型之第一半導體區域與前述主動區域之通道區域之方式設置者；及

(e)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，一部分介在前述主動區域之前述源極用之第一導電型之第一半導體區域與前述汲極用之第二半導體區域之間，以內包前述源極用之第一導電型之第一半導體區域與前述汲極用之第一導電型之第二半導體區域之方式設置者；

於前述主動區域之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域中，將比前述第三半導體區域具高雜質濃度之第二導電型之第四半導體區域，以與前述汲極用之第一導電型之第一、第二半導體區域不相接之方式，配置於從前述汲極用之第一導電型之第一、第二半導體區域分開之位置。

12. 如請求項10或11之半導體裝置，其中使前述第四半導體區域由前述半導體基板之主面延伸至比前述溝型之隔離部深的位置而形成。

13. 如請求項10或11之半導體裝置，其中於前述半導體基板設置作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體。

14. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以溝型之隔離部所界定之第一及第二主動區域、於前述第一及第二主動區域之各個配置第一及第二高耐壓場效電晶體之各通道區域之構成；

前述第一高耐壓場效電晶體具有：

(a)閘極電極，其係於前述第一主動區域上經由閘極絕緣膜所設置者；

(b)源極及汲極用之第一導電型之第一半導體區域，其係於前述第一主動區域之閘極長度方向之兩側經由前述溝型之隔離部所設置者；

(c)源極及汲極用之第一導電型之第二半導體區域，其係比前述源極及汲極用之第一半導體區域具低雜質濃度之半導體區域，以電性連接前述源極及汲極用之第一導電型之第一半導體區域之各個與前述第一主動區域之通道區域之方式設置者；

(d)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，一部分介在所述第一主動區域之前述源極及汲極用之第一導電型之第二半導體區域之間，以內包前述源極及汲極用之第一導電型之第一、第二半導體區域之方式設置者；及

(e)第二導電型之第四半導體區域，其係比前述第三半

導體區域具高雜質濃度之半導體區域，於前述第一主動區域之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，以與前述源極及汲極用之第一導電型之第一、第二半導體區域不相接之方式，在從前述源極及汲極用之第一導電型之第一、第二半導體區域分開之狀態設置者；

前述第二高耐壓場效電晶體具有：

(a)閘極電極，其係於前述第二主動區域上經由閘極絕緣膜所設置者；

(b)汲極用之第一導電型之第一半導體區域，其係於前述第二主動區域之閘極長度方向之一單側經由前述溝型之隔離部所設置者；

(c)源極用之第一導電型之第一半導體區域，其係於前述第二主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接設置者；

(d)汲極用之第一導電型之第二半導體區域，其係比前述第二高耐壓場效電晶體之前述汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，以電性連接前述第二高耐壓場效電晶體之前述汲極用之第一導電型之第一半導體區域與前述第二主動區域之通道區域之方式設置者；

(e)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，一部分介在前述第二主動區域之前述源極用之第一導電型之第一半導體區域與前述第

二高耐壓場效電晶體之前述汲極用之第一導電型之第二半導體區域之間，以內包前述第二高耐壓場效電晶體之前述源極用之第一導電型之第一半導體區域及前述汲極用之第一導電型之第一、第二半導體區域之方式設置者；及

(f)第二導電型之第四半導體區域，其係比前述第二高耐壓場效電晶體之前述第三半導體區域具高雜質濃度之半導體區域，於前述第二主動區域之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，以與前述第二高耐壓場效電晶體之前述源極及汲極用之第一導電型之第一、第二半導體區域不相接之方式，在從前述第二高耐壓場效電晶體之前述源極及汲極用之第一導電型之第一、第二半導體區域分開之狀態設置者。

15. 如請求項14之半導體裝置，其中使前述第一、第二高耐壓場效電晶體之前述第四半導體區域，由前述半導體基板之主面延伸至比前述溝型之隔離部深的位置而形成。
16. 如請求項14之半導體裝置，其中於前述半導體基板設置作動電壓比前述第一、第二高耐壓場效電晶體低之低耐壓場效電晶體。
17. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以隔離部所界定之主動區域、於前述主動區域配置高耐壓場效電晶體之通道區域之構成；

前述高耐壓場效電晶體具有：

(a)閘極電極，其係於前述主動區域上經由閘極絕緣膜

所設置者；

(b)源極及汲極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之兩側經由前述隔離部所設置者；

(c)源極及汲極用之第一導電型之第二半導體區域，其係比前述源極及汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，並以電性連接前述源極及汲極用之第一導電型之第一半導體區域之各個與前述主動區域之通道區域之方式設置者；及

(d)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，以內包前述源極及汲極用之第一導電型之第一、第二半導體區域之方式設置者；

於前述主動區域之前述源極及汲極用之第一導電型之第二半導體區域之間，設置比前述第三半導體區域具高雜質濃度之第二導電型之第五半導體區域；

於前述第二導電型之第五半導體區域之上部，將比前述第二導電型之第五半導體區域具低雜質濃度之第二導電型之第六半導體區域，以前述第六半導體區域之閘極寬度方向之兩端從前述閘極寬度方向之兩端之前述隔離部之側壁分開之方式設置。

18. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以隔離部所界定之主動區域、於前述主動區域配置高耐壓場效電晶體之通道區域之構成；

前述高耐壓場效電晶體具有：

(a)閘極電極，其係於前述主動區域上經由閘極絕緣膜所設置者；

(b)汲極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之一單側經由前述隔離部所設置者；

(c)源極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接設置者；

(d)汲極用之第一導電型之第二半導體區域，其係比前述汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，並以電性連接前述汲極用之第一導電型之第一半導體區域與前述主動區域之通道區域之方式設置者；及

(e)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，以內包前述源極用之第一導電型之第一半導體區域及前述汲極用之第一導電型之第一、第二半導體區域之方式設置者；

於前述主動區域之前述源極用之第一導電型之第一半導體區域與前述汲極用之第一導電型之第二半導體區域之間，設置比前述第三半導體區域具高雜質濃度之第二導電型之第五半導體區域；

於前述第五半導體區域之上部，將比前述第二導電型之第五半導體區域具低雜質濃度之第二導電型之第六半導體區域，以前述第六半導體區域之閘極寬度方向之兩

端從前述閘極寬度方向之兩端之前述隔離部之側壁分開之方式設置。

19. 如請求項17或18之半導體裝置，其中前述隔離部係將絕緣膜埋入在前述半導體基板所挖掘之溝內所形成之溝型之隔離部。
20. 如請求項17或18之半導體裝置，其中前述隔離部係將前述半導體基板選擇氧化所形成者。
21. 如請求項17或18之半導體裝置，其中使前述第五半導體區域係由前述半導體基板之主面延伸至比前述隔離部深的位置而形成。
22. 如請求項17或18之半導體裝置，其中於前述半導體基板設置作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體。
23. 如請求項17或18之半導體裝置，其中前述第六半導體區域佔前述通道區域之一半以上。
24. 一種半導體裝置，其特徵在於：具有在半導體基板之主面具備以隔離部所界定之第一、第二主動區域、於前述第一、第二主動區域之各個配置第三及第四高耐壓場效電晶體之各通道區域之構成；

前述第三高耐壓場效電晶體具有：

(a)閘極電極，其係於前述主動區域上經由閘極絕緣膜所設置者；

(b)源極及汲極用之第一導電型之第一半導體區域，其係於前述主動區域之閘極長度方向之兩側經由前述隔離

部所設置者；

(c)源極及汲極用之第一導電型之第二半導體區域，其係比前述源極及汲極用之第一半導體區域具低雜質濃度之半導體區域，以電性連接前述源極及汲極用之第一導電型之第一半導體區域之各個與前述主動區域之通道區域之方式設置者；

(d)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，以內包前述源極及汲極用之第一導電型之第一、第二半導體區域之方式設置者；

(e)第二導電型之第五半導體區域，其係比前述第三半導體區域具高雜質濃度之半導體區域，設置於前述主動區域之前述源極及汲極用之第一導電型之第二半導體區域之間者；及

(f)第二導電型之第六半導體區域，其係比前述第五半導體區域具低雜質濃度之半導體區域，於前述第五半導體區域之上部，以從閘極寬度方向之兩端之前述隔離部之側壁分開之方式設置者；

前述第四高耐壓場效電晶體具有：

(a)閘極電極，其係於前述第二主動區域上經由閘極絕緣膜所設置者；

(b)汲極用之第一導電型之第一半導體區域，其係於前述第二主動區域之閘極長度方向之一單側經由前述隔離部所設置者；

(c)源極用之第一導電型之第一半導體區域，其係於前

述第二主動區域之間極長度方向之另一單側不經由前述隔離部而鄰接設置者；

(d)汲極用之第一導電型之第二半導體區域，其係比前述第四高耐壓場效電晶體之前述汲極用之第一導電型之第一半導體區域具低雜質濃度之半導體區域，以電性連接前述第四高耐壓場效電晶體之前述汲極用之第一導電型之第一半導體區域與前述第二主動區域之通道區域之方式設置者；

(e)第三半導體區域，其係與前述第一導電型相反之第二導電型之半導體區域，以內包前述第二高耐壓場效電晶體之前述源極用之第一導電型之第一半導體區域及前述汲極用之第一導電型之第一、第二半導體區域之方式設置者；

(f)第五半導體區域，其係比前述第二高耐壓場效電晶體之前述第三半導體區域具高雜質濃度之半導體區域，設置於前述第二主動區域之前述源極用之第一導電型之第一半導體區域與前述汲極用之第一導電型之第二半導體區域之間者；及

(g)第二導電型之第六半導體區域，其係比前述第二高耐壓場效電晶體之前述第五半導體區域具低雜質濃度之半導體區域，於前述第五半導體區域之上部，以從閘極寬度方向之兩端之前述隔離部之側壁分開之方式設置者。

25. 如請求項24之半導體裝置，其中前述隔離部係將絕緣膜

埋入在前述半導體基板所挖掘之溝內所形成之溝型之隔離部。

26. 如請求項24之半導體裝置，其中前述隔離部係將前述半導體基板選擇氧化所形成者。

27. 如請求項24之半導體裝置，其中使前述第三、第四高耐壓場效電晶體之前述第五半導體區域，由前述半導體基板之主面延伸至比前述隔離部深的位置而形成。

28. 如請求項24之半導體裝置，其中於前述半導體基板設置作動電壓比前述第三、第四高耐壓場效電晶體低之低耐壓場效電晶體。

29. 如請求項24之半導體裝置，其中前述第六半導體區域佔前述通道區域之一半以上。

30. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第五、第六高耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述溝型之隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第二導電型之第八半導體區域；

(d)於前述第七半導體區域形成前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域形成前述第六高耐壓場效電

晶體之源極及汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上形成閘極絕緣膜；

(g)於前述閘極絕緣膜上形成閘極電極；

(h)於前述第九半導體區域內，形成前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；及

(i)於前述第十半導體區域內，形成比前述第十半導體區域具高雜質濃度之第十二半導體區域，其為前述第六高耐壓場效電晶體之源極及汲極用之第一導電型之半導體區域；

前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第十一半導體區域，係形成於在前述第五高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之兩側經由前述溝型之隔離部所配置之主動區域；

前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域，係以電性連接前述源極及汲極用之第二導電型之第十一半導體區域之各個與前述第五高耐壓場效電晶體之通道區域之方式形成；

前述第六高耐壓場效電晶體之源極及汲極用之第一導電型之第十二半導體區域，係形成於在前述第六高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之兩側經由前述溝型之隔離部所配置之主動區域；

前述第六高耐壓場效電晶體之源極及汲極用之第一導

電型之第十半導體區域，係以電性連接前述源極及汲極用之第一導電型之第十二半導體區域之各個與前述第六高耐壓場效電晶體之通道區域之方式形成；

形成前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域之際，於前述第六高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第八半導體區域具高雜質濃度之第二導電型之第十三半導體區域，以與前述第六高耐壓場效電晶體之源極及汲極用之第一導電型之第十、第十二半導體區域不相接之方式，從前述第十、第十二半導體區域分開而形成；

形成前述第六高耐壓場效電晶體之源極及汲極用之第一導電型之第十半導體區域之際，於前述第五高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第七半導體區域具高雜質濃度之第一導電型之第十四半導體區域，以不與前述第五高耐壓場效電晶體之源極及汲極用之第二導電型之第九、第十一半導體區域相接之方式，從前述第九、第十一半導體區域分開而形成。

31. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第七、第八高耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述溝型之隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第二導電型之第八半導體區域；

(d)於前述第七半導體區域形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上形成閘極絕緣膜；

(g)於前述閘極絕緣膜上形成閘極電極；

(h)於前述第九半導體區域內，形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述第七高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；及

(i)於前述第十半導體區域內，形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域，同時於前述第八半導體區域內，形成前述第八高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域；

前述第七高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，係形成於在前述第七高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述溝型之隔離部所配置之主動區域；

前述第七高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述第七高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接配置之狀態形成；

前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述第七高耐壓場效電晶體之通道區域之方式形成；

前述第八高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，係形成於在前述第八高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述溝型之隔離部所配置之主動區域；

前述第八高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，係於在前述第八高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接配置之狀態形成；

前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域，係以電性連接前述汲極用之第一導電型之第十二半導體區域與前述第八高耐壓場效電晶體之通道區域之方式形成；

形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域之際，於前述第八高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第八半導體區域具高雜質濃度之第二導電型之第十三半導體區域，以不與前述第八高耐壓場效電晶體之汲極用之第一導電型之第十、第十二半導體區域相接之方式，從前述第十、第十二半導體區域分開而形成；

形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域之際，於前述第七高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第七半導體區域具高雜質濃度之第一導電型之第十四半導體區域，以不與前述第七高耐壓場效電晶體之汲極用之第二導電型之第九、第十一半導體區域相接之方式，從前述第九、第十一半導體區域分開而形成。

32. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第七、第八高耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述溝型之隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第

二導電型之第八半導體區域；

(d)於前述第七半導體區域形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上，形成前述第七、第八高耐壓場效電晶體用之閘極絕緣膜；

(g)於前述第七、第八高耐壓場效電晶體用之閘極絕緣膜上形成，前述第七、第八高耐壓場效電晶體用之閘極電極；

(h)於前述第九半導體區域內，形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述第七高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；

(i)於前述第十半導體區域內，形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域，同時於前述第八半導體區域內，形成前述第八高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域；

(j)形成前述低耐壓場效電晶體之閘極絕緣膜；

(k)形成前述低耐壓場效電晶體之閘極電極；及

(l)形成前述低耐壓場效電晶體之源極及汲極用之第十五半導體區域；

前述第七高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，係形成於在前述第七高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述溝型之隔離部所配置之主動區域；

前述第七高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述第七高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接配置之狀態形成；

前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述第七高耐壓場效電晶體之通道區域之方式形成；

前述第八高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，係形成於在前述第八高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述溝型之隔離部所配置之主動區域；

前述第八高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，係於在前述第八高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接配置之狀態形成；

前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域，係以電性連接前述汲極用之第一導電型之第十二半導體區域與前述第八高耐壓場效電晶體之通道區域之方式形成；

形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域之際，於前述第八高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第八半導體區域具高雜質濃度之第二導電型之第十三半導體區域，以不與前述第八高耐壓場效電晶體之汲極用之第一導電型之第十、第十二半導體區域相接之方式，從前述第十、第十二半導體區域分開而形成；

形成前述第八高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域之際，於前述第七高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第七半導體區域具高雜質濃度之第一導電型之第十四半導體區域，以不與前述第七高耐壓場效電晶體之汲極用之第二導電型之第九、第十一半導體區域相接之方式，從前述第九、第十一半導體區域分開而形成；

於形成前述低耐壓場效電晶體之閘極電極之後，形成前述第七、第八高耐壓場效電晶體之閘極電極。

33. 如請求項30、31或32之半導體裝置之製造方法，其中前述第十三、第十四半導體區域係以由前述半導體基板之

主面延伸至比前述隔離部深之位置之方式形成。

34. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成高耐壓場效電晶體及作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述溝型之隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述第七半導體區域形成前述高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，其為與前述第一導電型相反之第二導電型之半導體區域；

(d)於前述高耐壓場效電晶體之閘極寬度方向之兩端之前述溝型之隔離部與前述半導體基板之邊界區域，將比前述第七半導體區域具高雜質濃度之第一導電型之第十四半導體區域，以與前述高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域不相接之方式，從前述第九半導體區域分開而形成；

(e)於前述半導體基板上形成，前述高耐壓場效電晶體用之閘極絕緣膜；

(f)於前述高耐壓場效電晶體用之閘極絕緣膜上，形成前述高耐壓場效電晶體用之閘極電極；

(g)於前述第九半導體區域內，形成前述第七高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，

其為比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；

(h)形成前述低耐壓場效電晶體之閘極絕緣膜；

(i)形成前述低耐壓場效電晶體之閘極電極；及

(j)形成前述低耐壓場效電晶體之源極及汲極用之第十五半導體區域；

前述高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，係形成於在前述高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述溝型之隔離部所配置之主動區域；

前述高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述溝型之隔離部而鄰接配置之狀態形成；

前述高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述高耐壓場效電晶體之通道區域之方式形成；

於形成前述低耐壓場效電晶體之閘極電極之後，形成前述高耐壓場效電晶體之閘極電極。

35. 如請求項34之半導體裝置之製造方法，其中前述第十四

半導體區域係以由前述半導體基板之主面延伸至比前述隔離部深之位置之方式形成。

36. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第九、第十高耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第二導電型之第八半導體區域；

(d)於前述第七半導體區域形成前述第九高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域形成前述第十高耐壓場效電晶體之源極及汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上形成閘極絕緣膜；

(g)於前述閘極絕緣膜上形成閘極電極；

(h)於前述第九半導體區域內，形成前述第九高耐壓場效電晶體之源極及汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；及

(i)於前述第十半導體區域內，形成前述第十高耐壓場效電晶體之源極及汲極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導

體區域；

前述第九高耐壓場效電晶體之源極及汲極用之第二導電型之第十一半導體區域，係形成於在前述第九高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之兩側經由前述隔離部所配置之主動區域；

前述第九高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域，係以電性連接前述源極及汲極用之第二導電型之第十一半導體區域之各個與前述第九高耐壓場效電晶體之通道區域之方式形成；

前述第十高耐壓場效電晶體之源極及汲極用之第一導電型之第十二半導體區域，係形成於在前述第十高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之兩側經由前述隔離部所配置之主動區域；

前述第十高耐壓場效電晶體之源極及汲極用之第一導電型之第十半導體區域，係以電性連接前述源極及汲極用之第一導電型之第十二半導體區域之各個與前述第十高耐壓場效電晶體之通道區域之方式形成；

形成前述第九高耐壓場效電晶體之源極及汲極用之第二導電型之第九半導體區域之際，於前述第十高耐壓場效電晶體之配置有通道區域之區域，形成比前述第八半導體區域具高雜質濃度之第二導電型之第十五半導體區域；

藉由於前述第十五半導體區域之上部，導入形成與前述第十五半導體區域相反導電型之雜質，以便於前述第

十五半導體區域之上部，形成比前述第十五半導體區域具低雜質濃度之第二導電型之第十六半導體區域；

形成前述第十高耐壓場效電晶體之源極及汲極用之第一導電型之第十半導體區域之際，於前述第九高耐壓場效電晶體之配置有通道區域之區域，形成比前述第七半導體區域具高雜質濃度之第一導電型之第十七半導體區域；

藉由於前述第十七半導體區域之上部，導入形成與前述第十七半導體區域相反導電型之雜質，以便於前述第十七半導體區域之上部，形成比前述第十七半導體區域具低雜質濃度之第一導電型之第十八半導體區域。

37. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第十一、第十二高耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第二導電型之第八半導體區域；

(d)於前述第七半導體區域形成前述第十一高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上形成閘極絕緣膜；

(g)於前述閘極絕緣膜上形成閘極電極；

(h)於前述第九半導體區域內，形成前述十一高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述第十一高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；及

(i)於前述第十半導體區域內，形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域，同時於前述第八半導體區域內，形成前述第十二高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域；

前述第十一高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，係形成於在前述第十一高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述隔離部所配置之主動區域；

前述第十一高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述第十一高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接配置之狀態形成；

前述第十一高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述第十一高耐壓場效電晶體之通道區域之方式形成；

前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，係形成於在前述第十二高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述隔離部所配置之主動區域；

前述第十二高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，係於在前述第十二高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接配置之狀態形成；

前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域，係以電性連接前述汲極用之第一導電型之第十二半導體區域與前述第十二高耐壓場效電晶體之通道區域之方式形成；

形成前述第十一高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域之際，於前述第十二高耐壓場效電晶體之配置有通道區域之區域，形成比前述第八半導體區域具高雜質濃度之第二導電型之第十五半導體區域；

藉由於前述第十五半導體區域之上部，導入形成與前述第十五半導體區域相反導電型之雜質，以便於前述第十五半導體區域之上部，形成比前述第十五半導體區域

具低雜質濃度之第二導電型之第十六半導體區域；

形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域之際，於前述第十一高耐壓場效電晶體之配置有通道區域之區域，形成比前述第七半導體區域具高雜質濃度之第一導電型之第十七半導體區域；

藉由於前述第十七半導體區域之上部，導入形成與前述第十七半導體區域相反導電型之雜質，以便於前述第十七半導體區域之上部，形成比前述第十七半導體區域具低雜質濃度之第一導電型之第十八半導體區域。

38. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成第十一、第十二高耐壓場效電晶體及作動電壓比前述第十一、第十二高耐壓場效電晶體低之低耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述半導體基板形成與前述第一導電型相反之第二導電型之第八半導體區域；

(d)於前述第七半導體區域，形成前述第十一高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域；

(e)於前述第八半導體區域，形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域；

(f)於前述半導體基板上，形成前述第十一、第十二高耐壓場效電晶體之閘極絕緣膜；

(g)於前述第十一、第十二高耐壓場效電晶體之閘極絕緣膜上，形成前述第十一、第十二高耐壓場效電晶體之閘極電極；

(h)於前述第九半導體區域內，形成前述第十一高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述第十一高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；

(i)於前述第十半導體區域內，形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域，同時於前述第八半導體區域內，形成前述第十二高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，其為比前述第十半導體區域具高雜質濃度之半導體區域；

(j)形成前述低耐壓場效電晶體之閘極絕緣膜；

(k)形成前述低耐壓場效電晶體之閘極電極；及

(l)形成前述低耐壓場效電晶體之源極及汲極用之第十五半導體區域；

前述第十一高耐壓場效電晶體之汲極用之第二導電型

之第十一半導體區域，係形成於在前述第十一高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述隔離部所配置之主動區域；

前述第十一高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述第十一高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接配置之狀態形成；

前述第十一高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述第十一高耐壓場效電晶體之通道區域之方式形成；

前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十二半導體區域，係形成於在前述第十二高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述隔離部所配置之主動區域；

前述第十二高耐壓場效電晶體之源極用之第一導電型之第十二半導體區域，係於在前述第十二高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接配置之狀態形成；

前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域，係以電性連接前述汲極用之第一導電型之第十二半導體區域與前述第十二高耐壓場效電晶體之通道區域之方式形成；

形成前述第十一高耐壓場效電晶體之汲極用之第二導

電型之第九半導體區域之際，於前述第十二高耐壓場效電晶體之配置有通道區域之區域，形成比前述第八半導體區域具高雜質濃度之第二導電型之第十五半導體區域；

藉由於前述第十五半導體區域之上部，導入形成與前述第十五半導體區域相反導電型之雜質，以便於前述第十五半導體區域之上部，形成比前述第十五半導體區域具低雜質濃度之第二導電型之第十六半導體區域；

形成前述第十二高耐壓場效電晶體之汲極用之第一導電型之第十半導體區域之際，於前述第十一高耐壓場效電晶體之配置有通道區域之區域，形成比前述第七半導體區域具高雜質濃度之第一導電型之第十七半導體區域；

藉由於前述第十七半導體區域之上部，導入形成與前述第十七半導體區域相反導電型之雜質，以便於前述第十七半導體區域之上部，形成比前述第十七半導體區域具低雜質濃度之第一導電型之第十八半導體區域；

於形成前述低耐壓場效電晶體之閘極電極之後，形成前述第十一、第十二高耐壓場效電晶體之閘極電極。

39. 如請求項36、37或38之半導體裝置之製造方法，其中前述第十五、第十七半導體區域係以由前述半導體基板之主面延伸至比前述隔離部深之位置之方式形成。

40. 如請求項36、37或38之半導體裝置之製造方法，其中前述第十五、第十七半導體區域以佔前述通道區域之一半

以上之方式形成。

41. 一種半導體裝置之製造方法，其特徵在於：具有於半導體基板形成高耐壓場效電晶體及作動電壓比前述高耐壓場效電晶體低之低耐壓場效電晶體之步驟；並具有以下步驟：

(a)於前述半導體基板之主面形成溝型之隔離部，形成由前述隔離部所界定之複數主動區域；

(b)於前述半導體基板形成第一導電型之第七半導體區域；

(c)於前述第七半導體區域，形成前述高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域；

(d)於前述高耐壓場效電晶體之配置有通道區域之區域，形成比前述第七半導體區域具高雜質濃度之第一導電型之第十七半導體區域；

(e)藉由於前述第十七半導體區域之上部，導入形成與前述第十七半導體區域相反導電型之雜質，以便於前述第十七半導體區域之上部，形成比前述第十七半導體區域具低雜質濃度之第一導電型之第十八半導體區域；

(f)於前述半導體基板上，形成前述高耐壓場效電晶體之閘極絕緣膜；

(g)於前述高耐壓場效電晶體之閘極絕緣膜上，形成前述高耐壓場效電晶體用之閘極電極；

(h)於前述第九半導體區域內，形成前述高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，其為

比前述第九半導體區域具高雜質濃度之半導體區域，同時於前述第七半導體區域內，形成前述高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，其為比前述第九半導體區域具高雜質濃度之半導體區域；

(i)形成前述低耐壓場效電晶體之閘極絕緣膜；

(j)形成前述低耐壓場效電晶體之閘極電極；及

(k)形成前述低耐壓場效電晶體之源極及汲極用之第十五半導體區域；

前述高耐壓場效電晶體之汲極用之第二導電型之第十一半導體區域，係形成於在前述高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之一單側經由前述隔離部所配置之主動區域；

前述高耐壓場效電晶體之源極用之第二導電型之第十一半導體區域，係於在前述高耐壓場效電晶體之配置有通道區域之主動區域之閘極長度方向之另一單側不經由前述隔離部而鄰接配置之狀態形成；

前述高耐壓場效電晶體之汲極用之第二導電型之第九半導體區域，係以電性連接前述汲極用之第二導電型之第十一半導體區域與前述高耐壓場效電晶體之通道區域之方式形成；

於形成前述低耐壓場效電晶體之閘極電極之後，形成前述高耐壓場效電晶體之閘極電極。

42. 如請求項41之半導體裝置之製造方法，其中前述第十七半導體區域係以由前述半導體基板之主面延伸至比前述

隔離部深之位置之方式形成。

43. 如請求項 36、37、38 或 41 之半導體裝置之製造方法，其中前述 (a) 步驟具有以下步驟：

(a1) 於前述半導體基板形成溝；

(a2) 於包含前述溝之半導體基板上堆積絕緣膜；及

(a3) 藉由除去前述溝之外之前述絕緣膜，於前述溝內埋入前述絕緣膜，以便形成溝型之隔離部。

44. 如請求項 36、37、38 或 41 之半導體裝置之製造方法，其中前述 (a) 步驟具有以下步驟：

(a1) 於前述半導體基板上之主動區域形成耐氧化性絕緣膜之圖案；

(a2) 藉由對於前述半導體基板施加熱氧化處理，於無前述耐氧化性絕緣膜之圖案之區域形成絕緣膜，以便形成前述隔離部。

45. 如請求項 41 之半導體裝置之製造方法，其中前述第十七半導體區域係以佔前述通道區域之一半以上之方式形成。

十一、圖式：

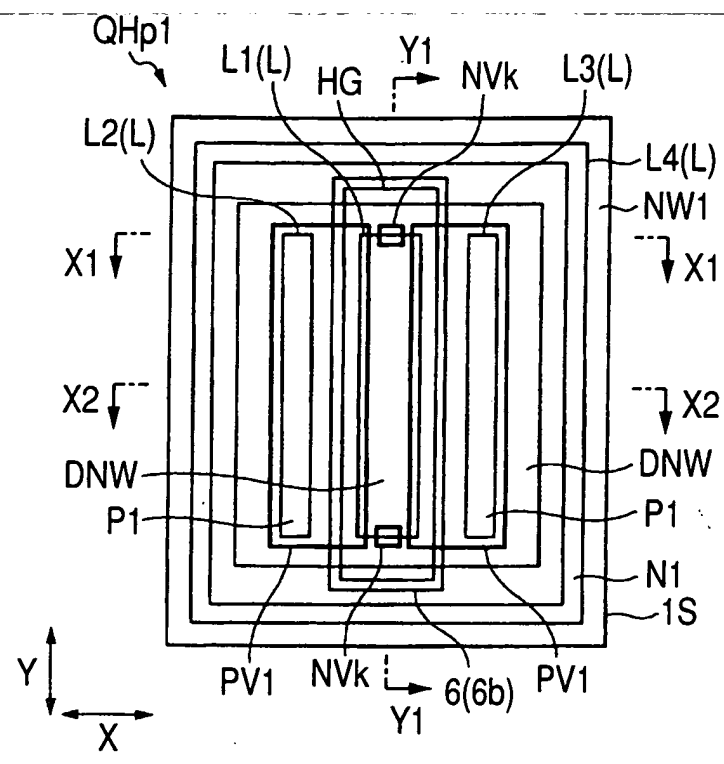


圖 1

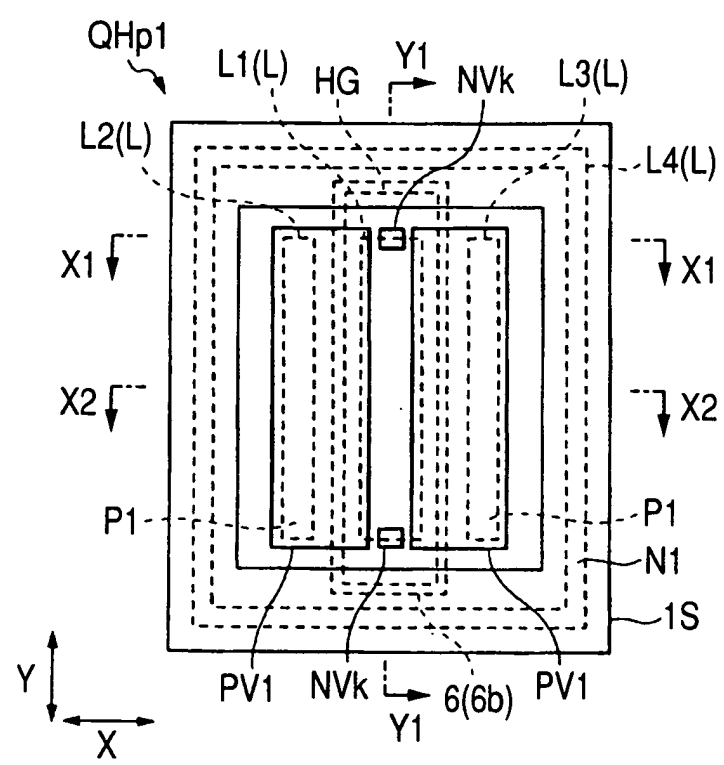


圖 2

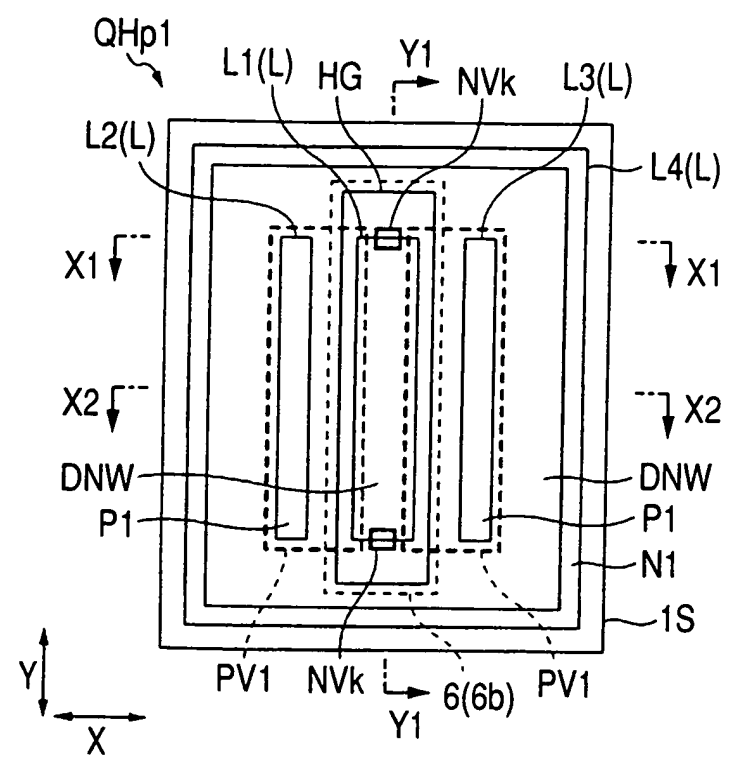


圖 3

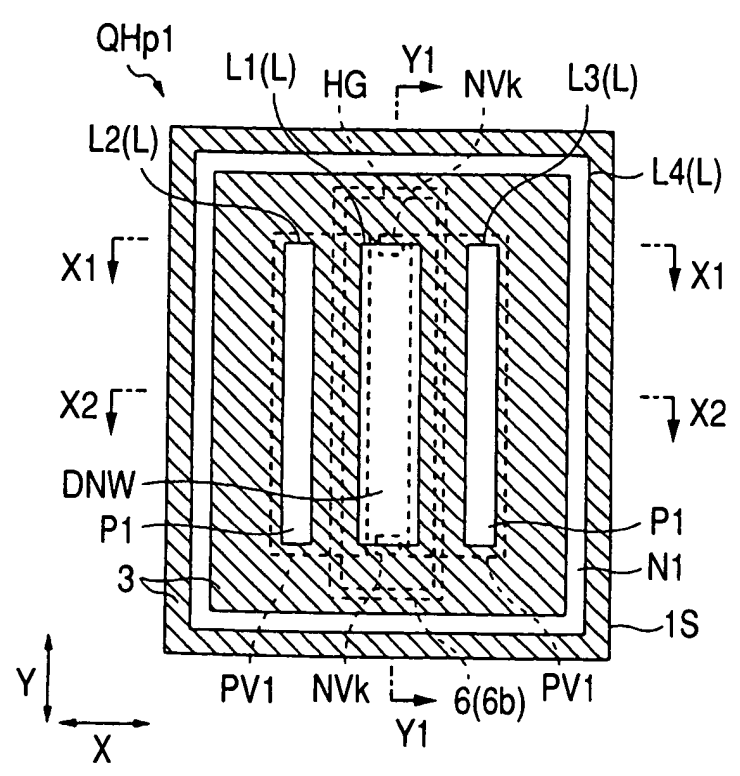


圖 4

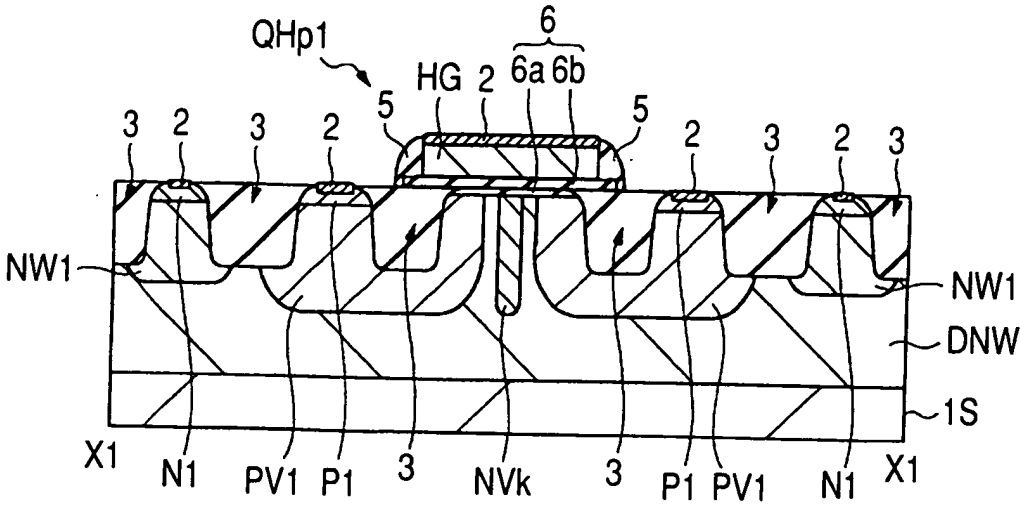


圖 5

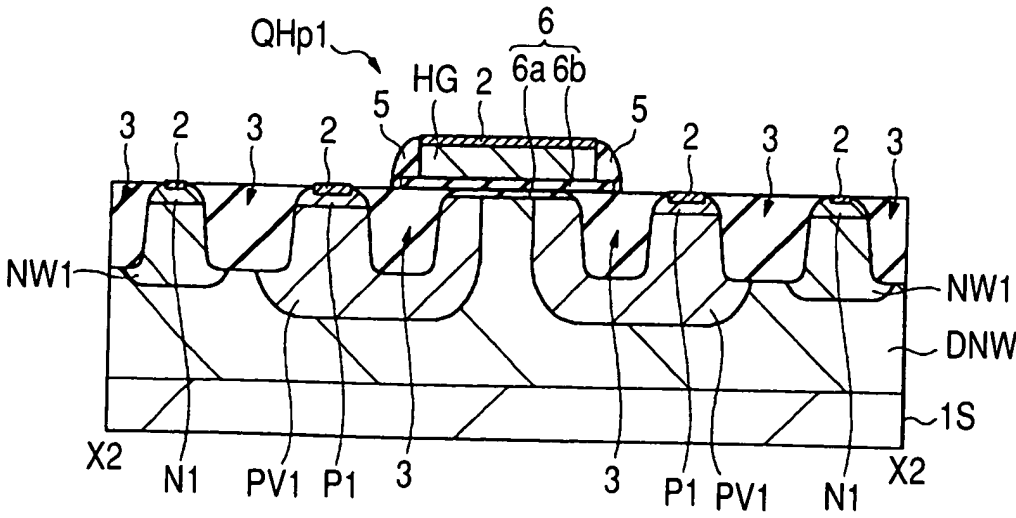


圖 6

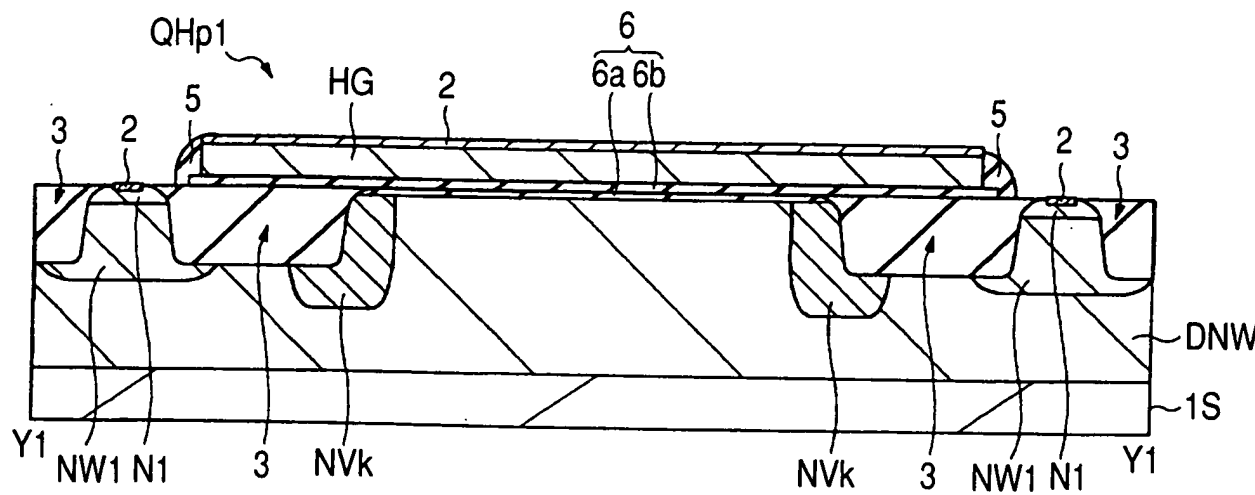


圖 7

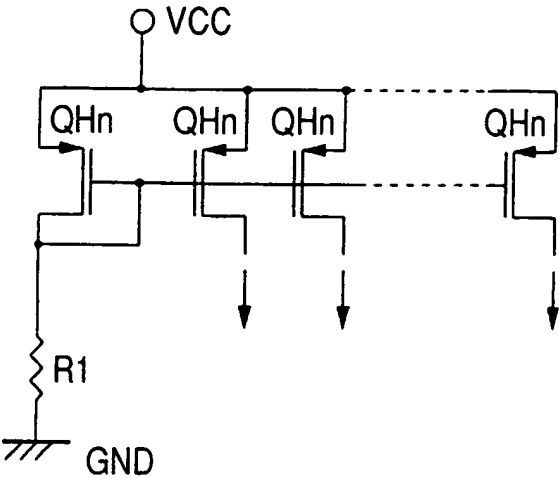


圖 8

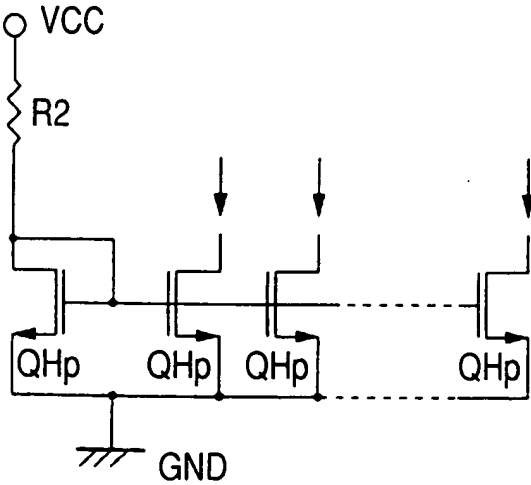


圖 9

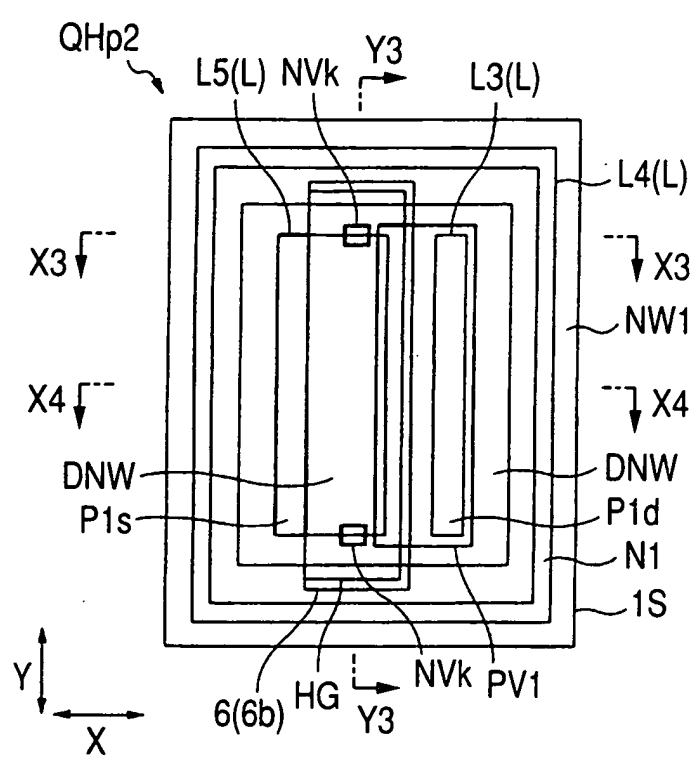


圖 10

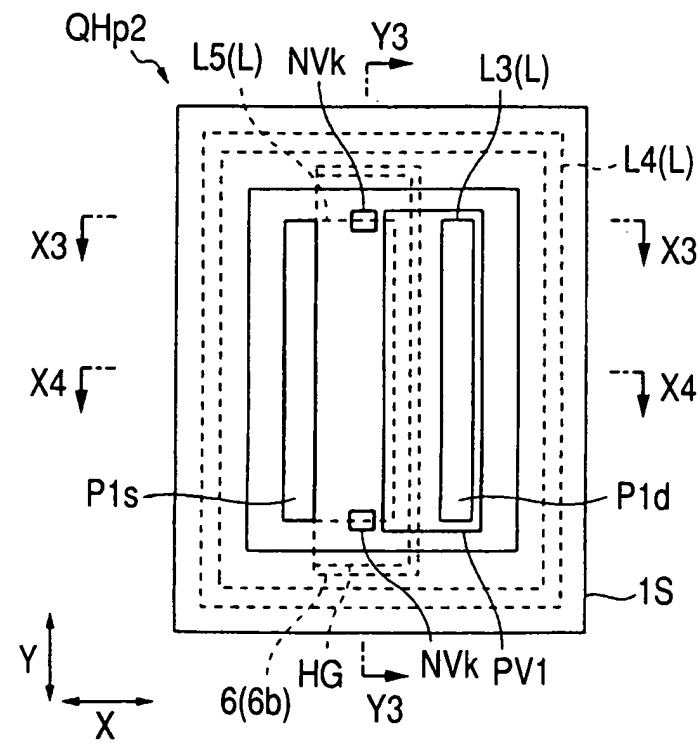


圖 11

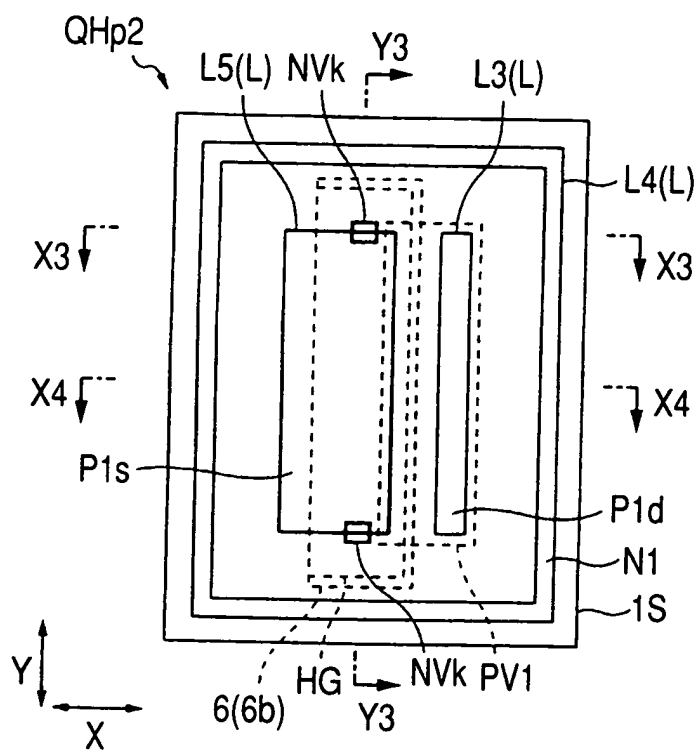


圖 12

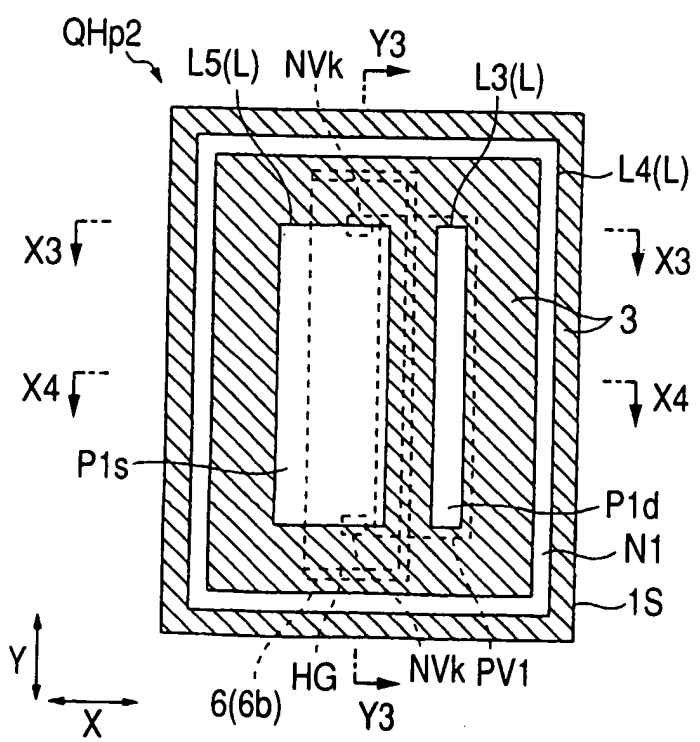


圖 13

- 8 -

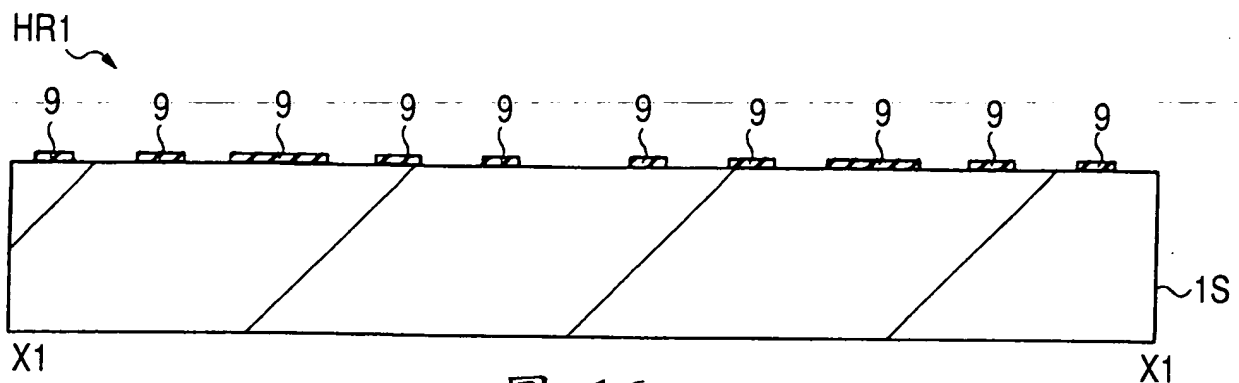


圖 16

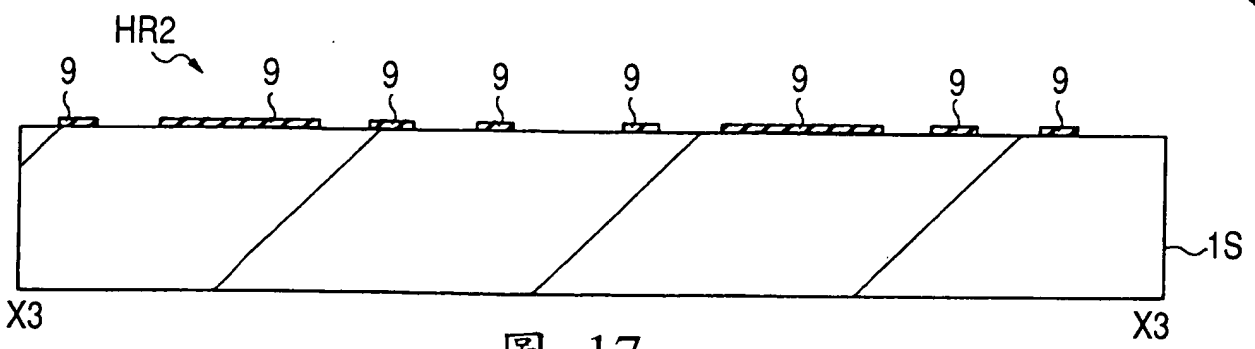
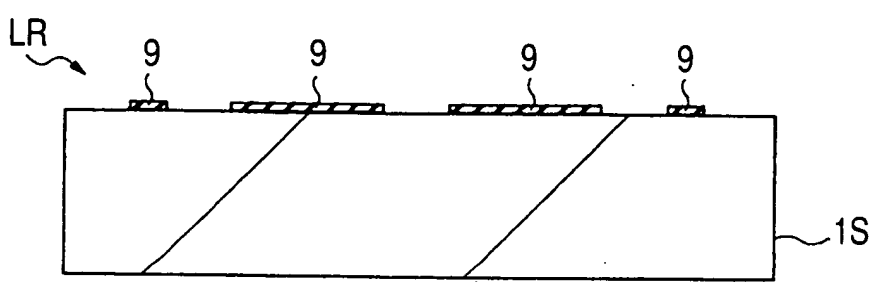


圖 17



低耐壓MIS形成區域

圖 18

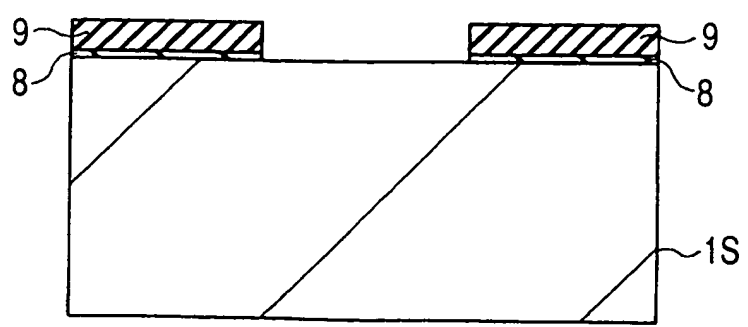
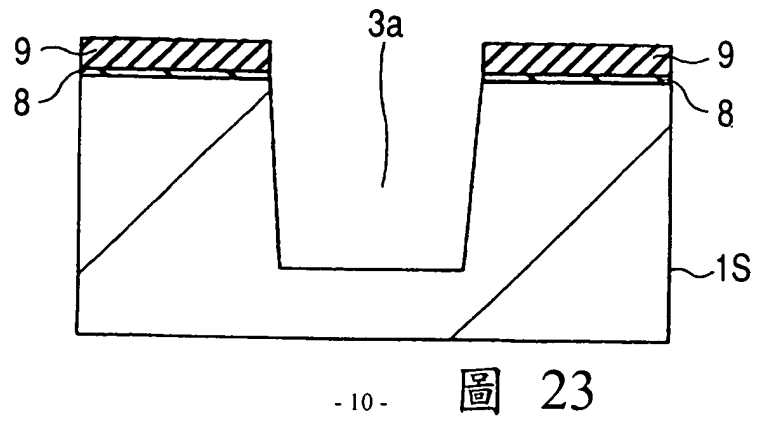
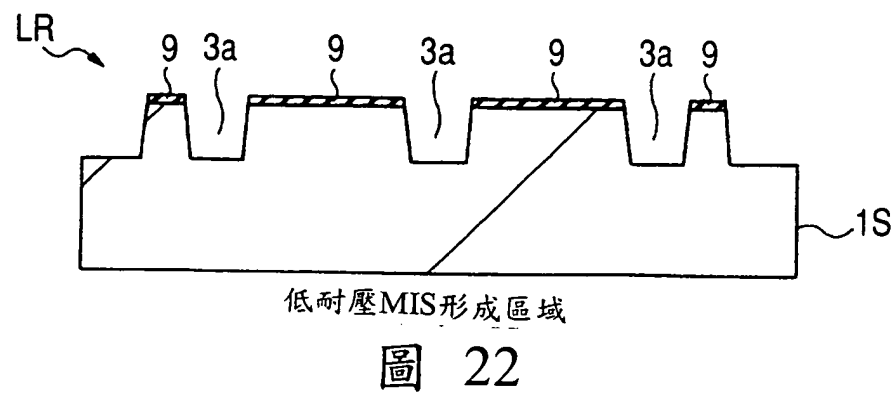
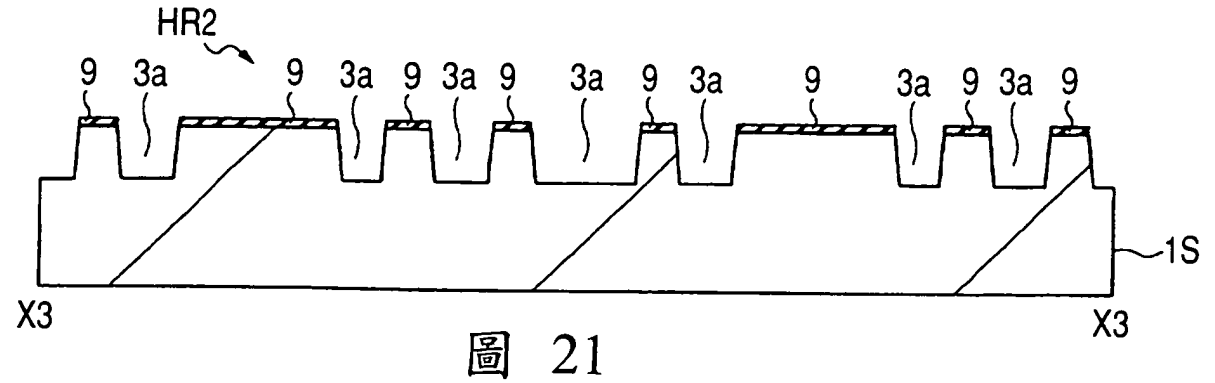
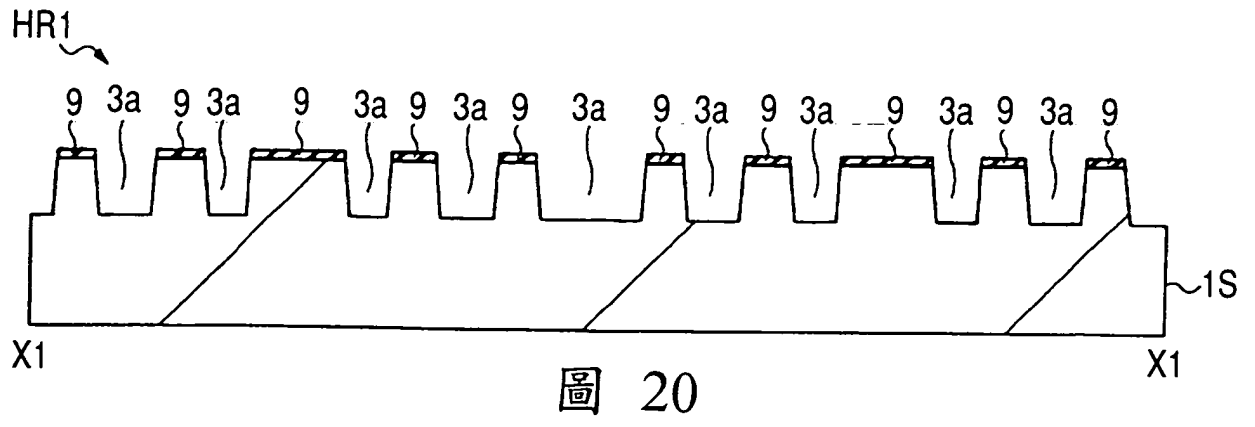
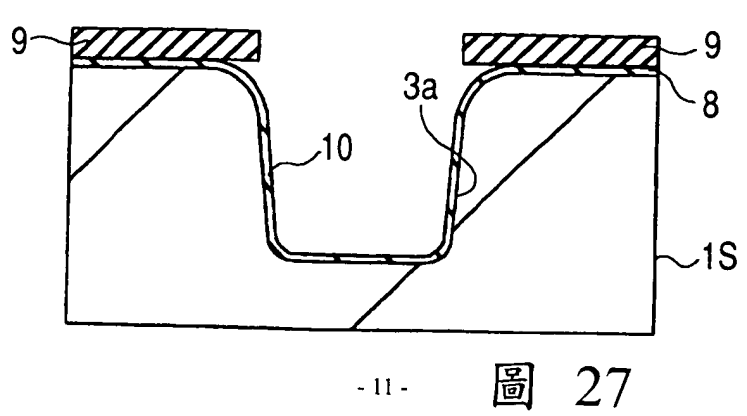
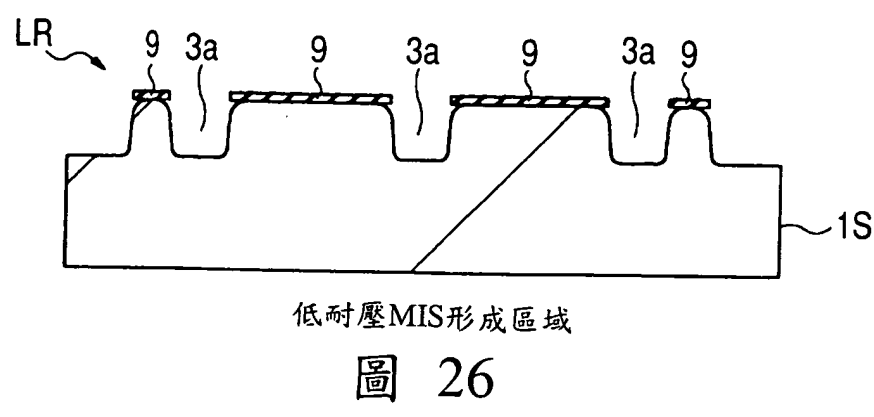
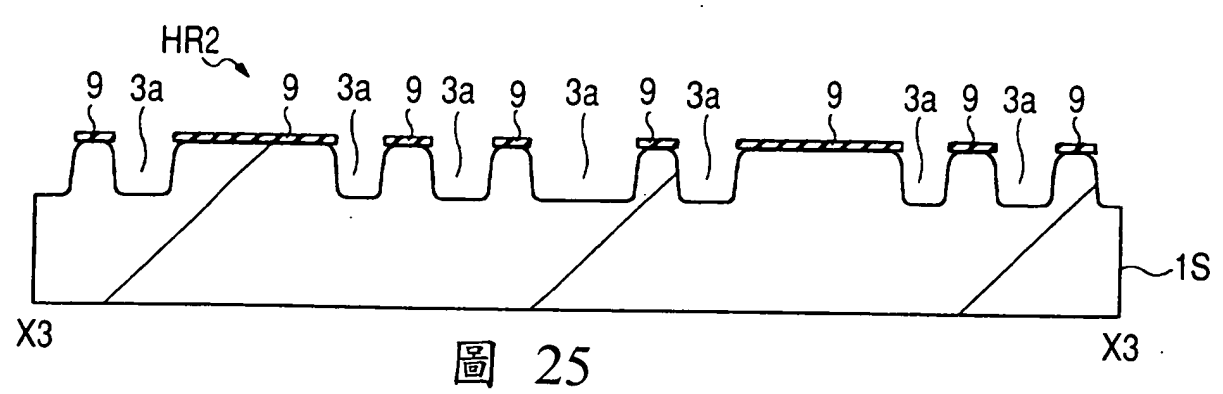
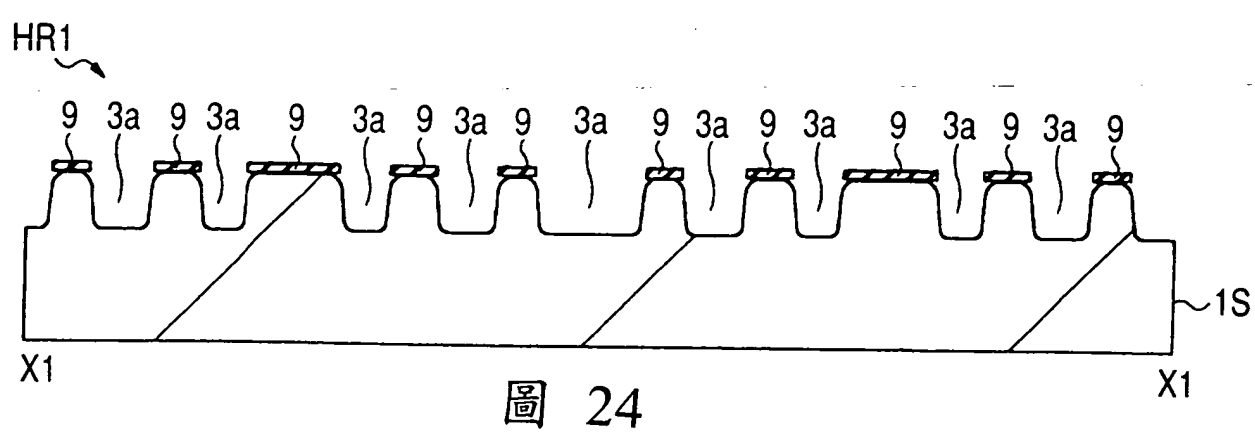


圖 19





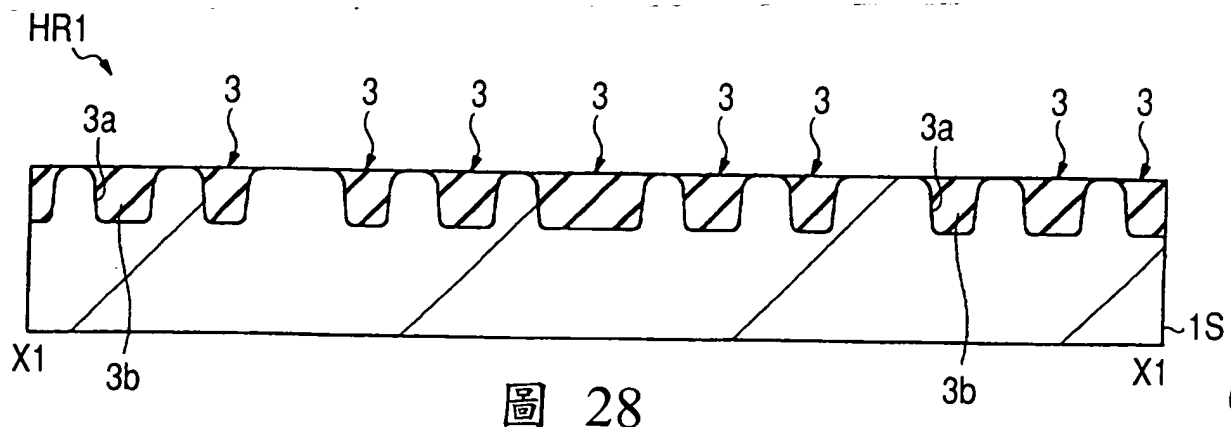


圖 28

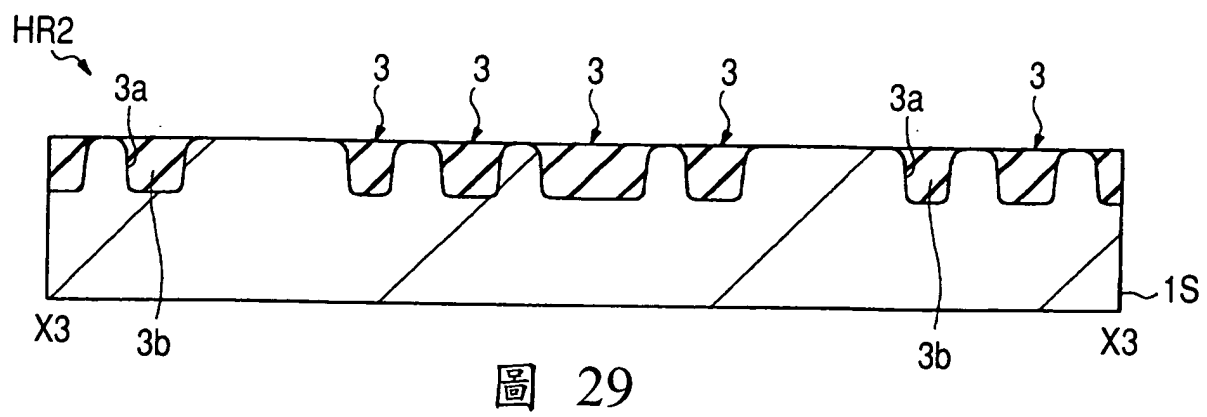
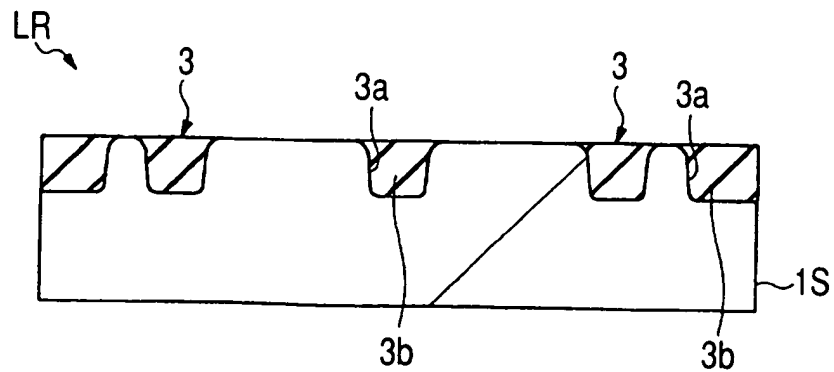


圖 29



低耐壓MIS形成區域

圖 30

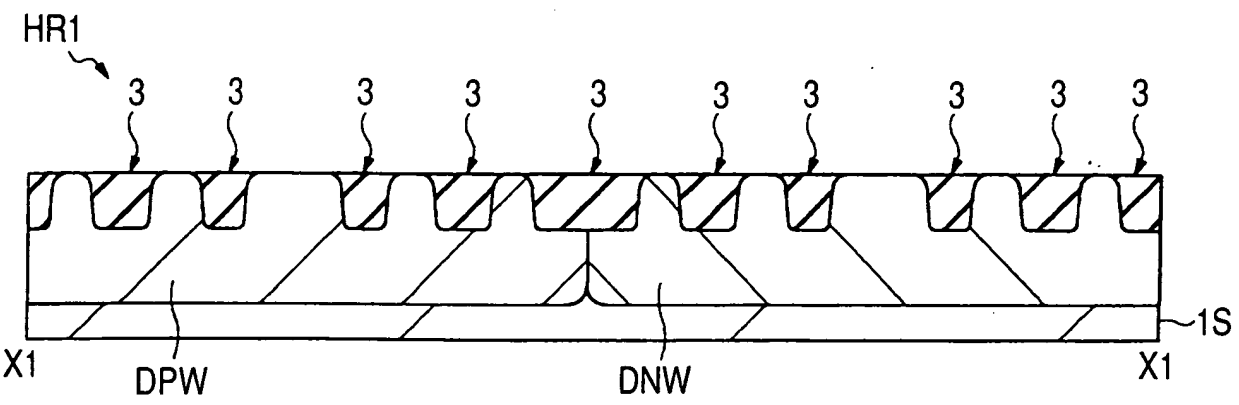


圖 31

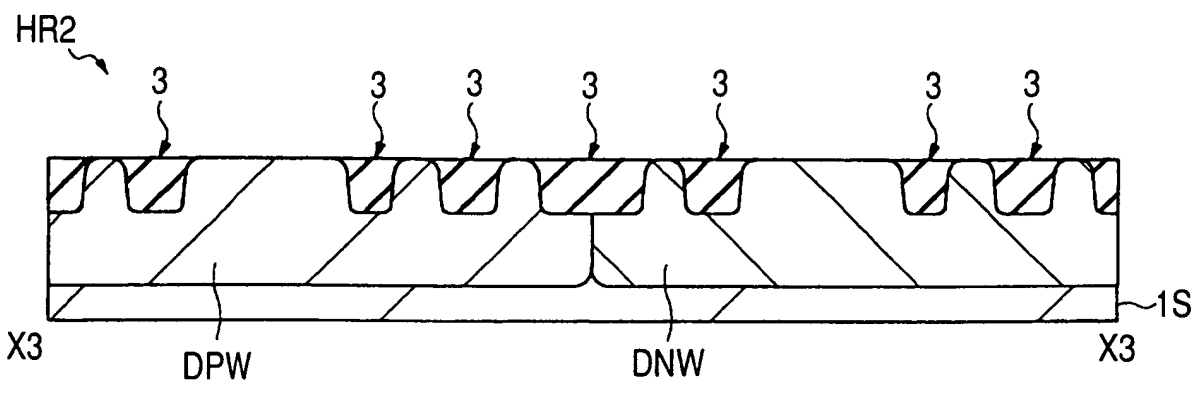


圖 32

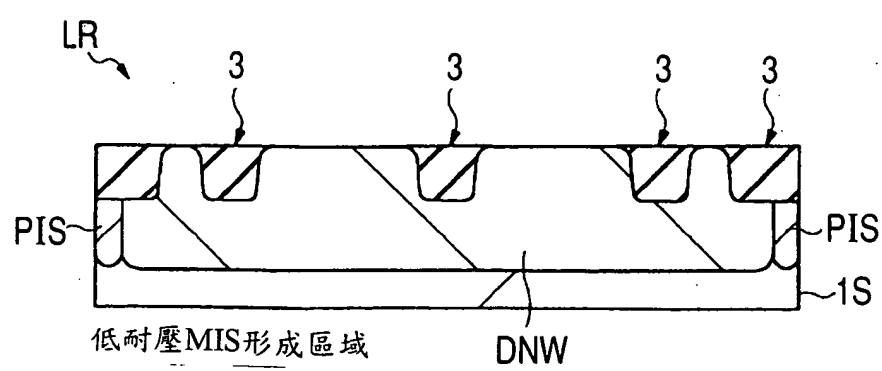


圖 33

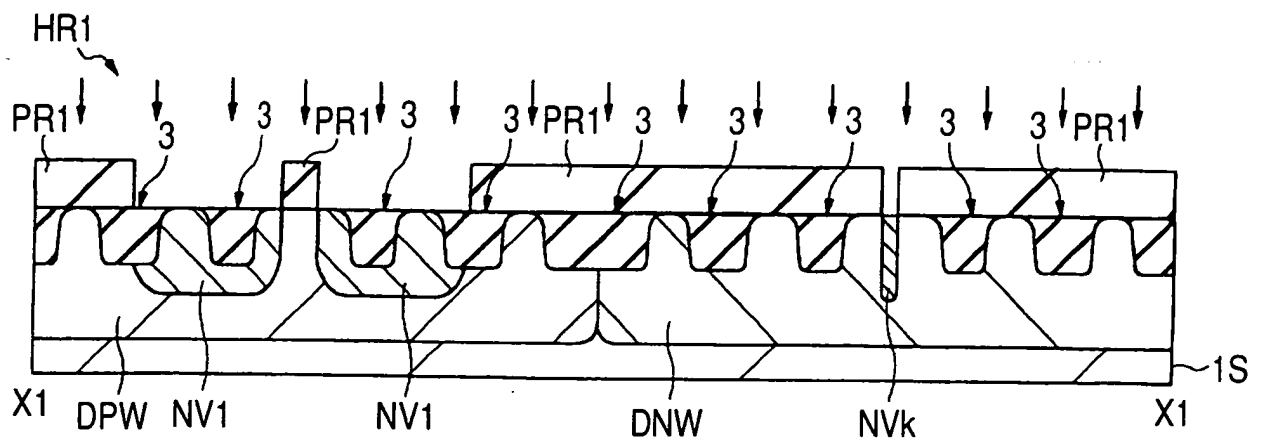


圖 34

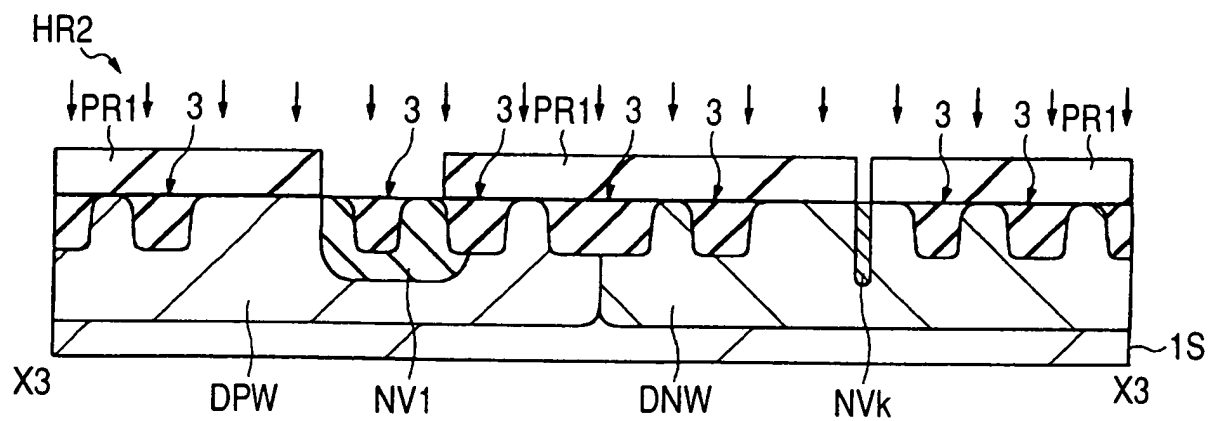


圖 35

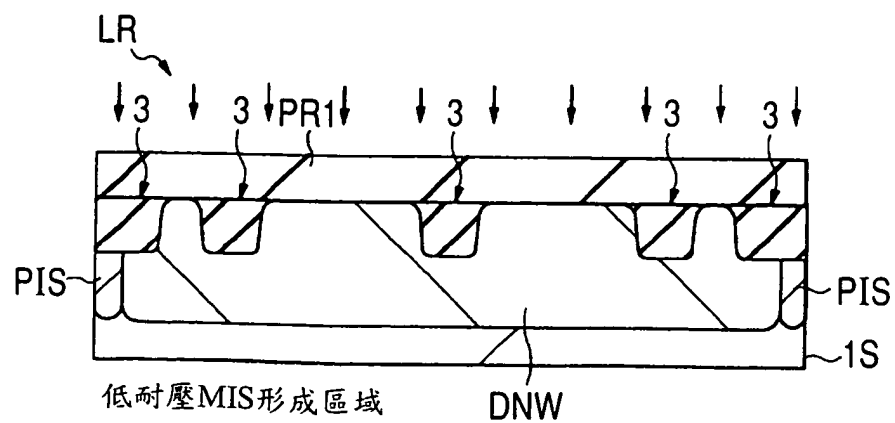


圖 36

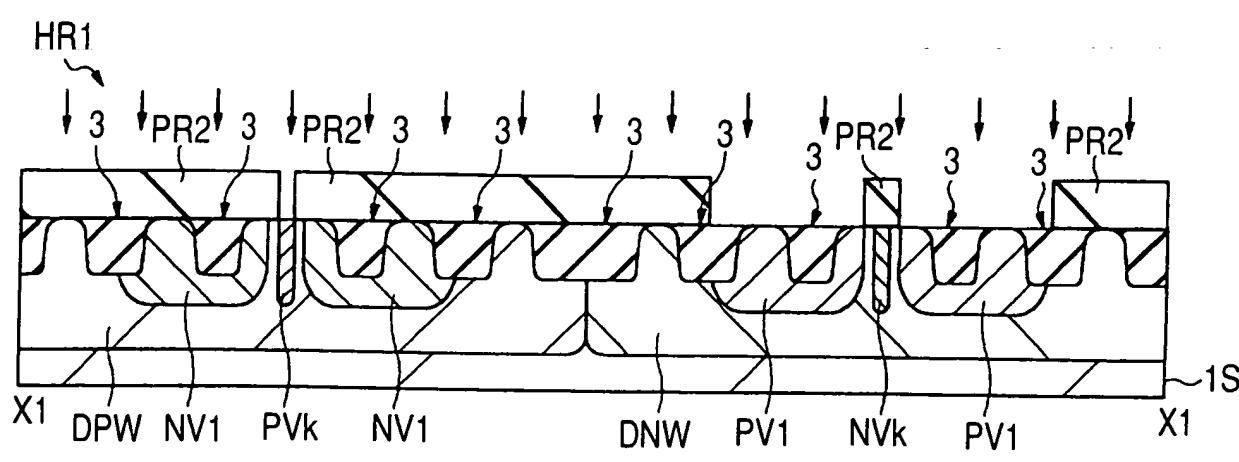


圖 37

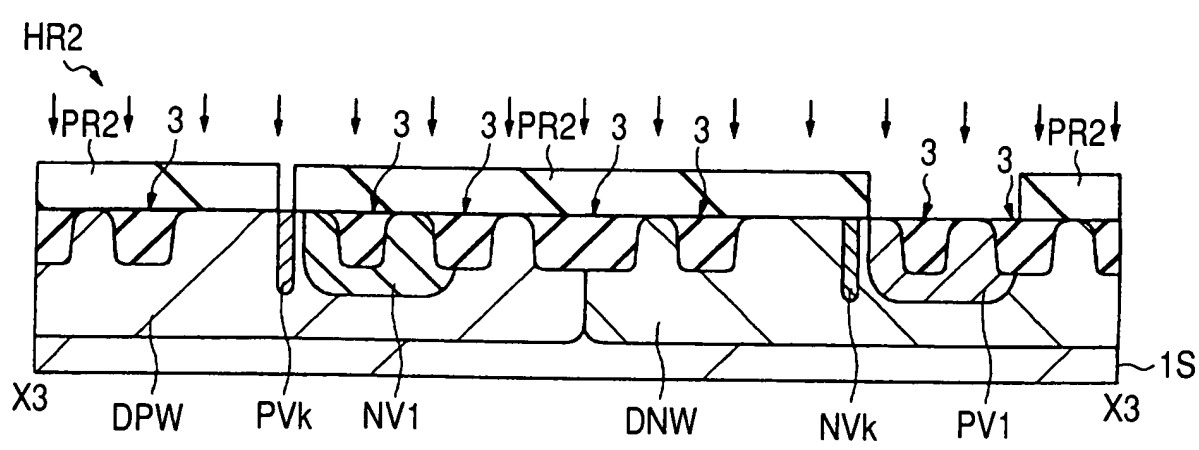


圖 38

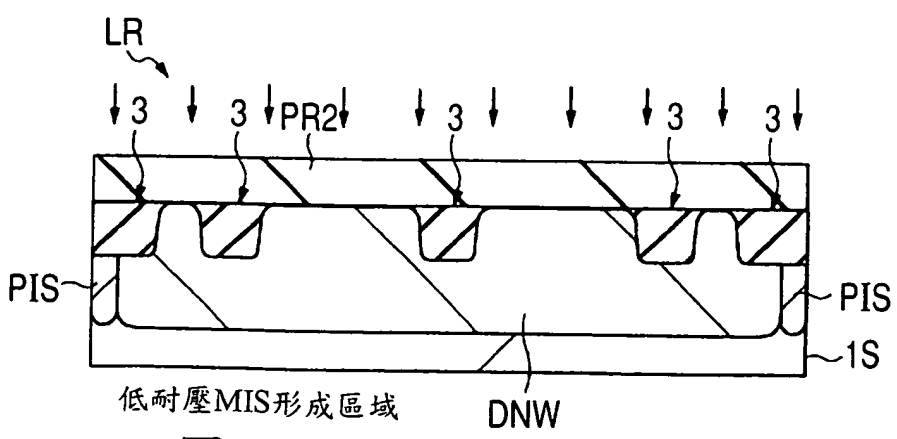


圖 39

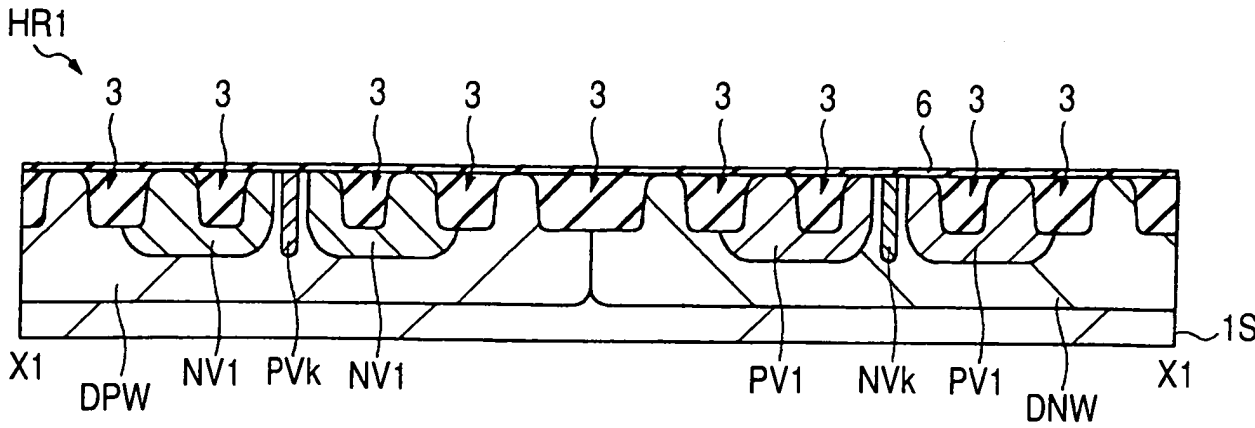


圖 40

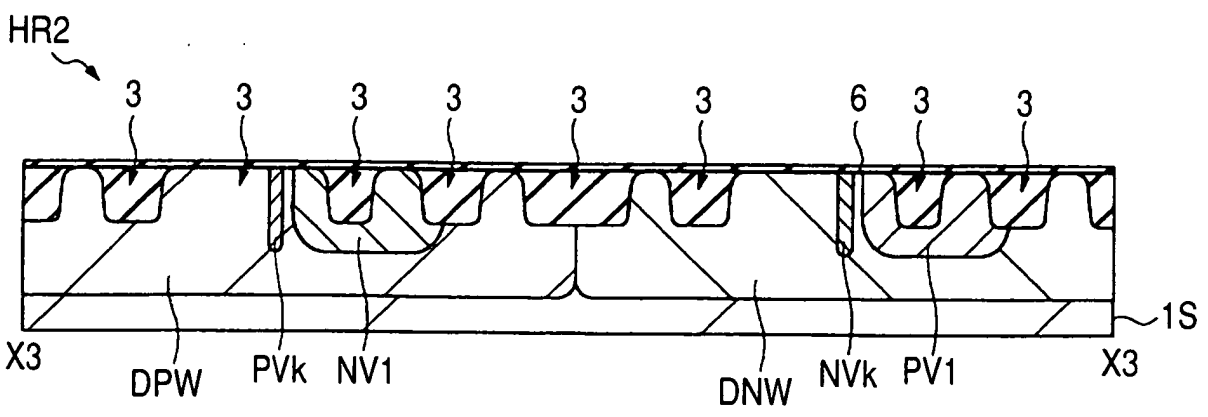


圖 41

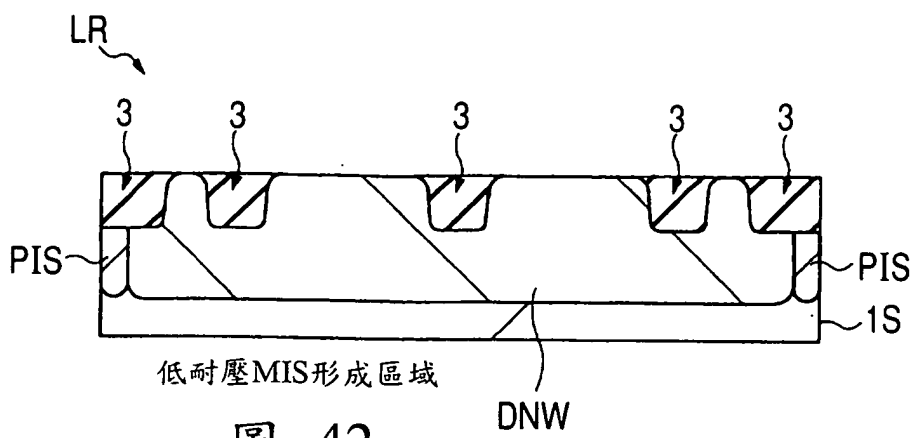


圖 42

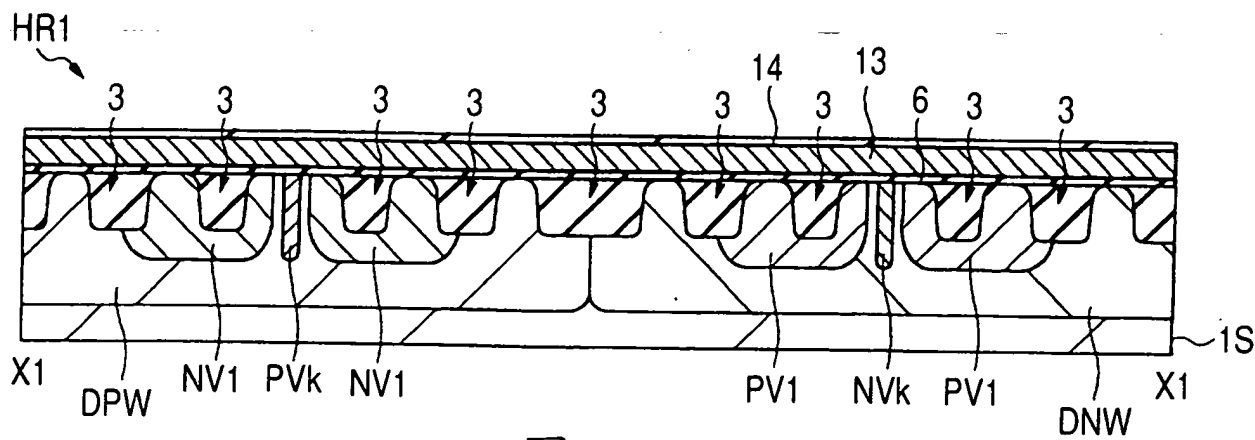


圖 43

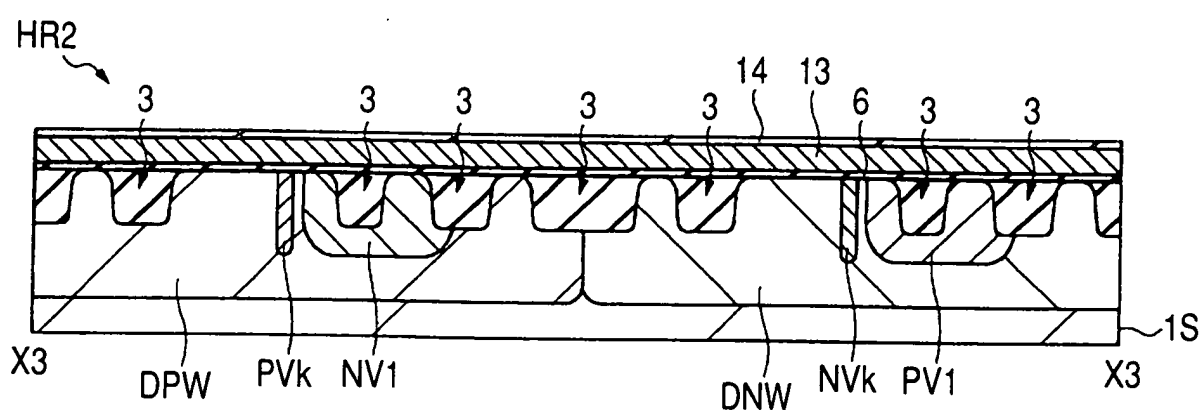


圖 44

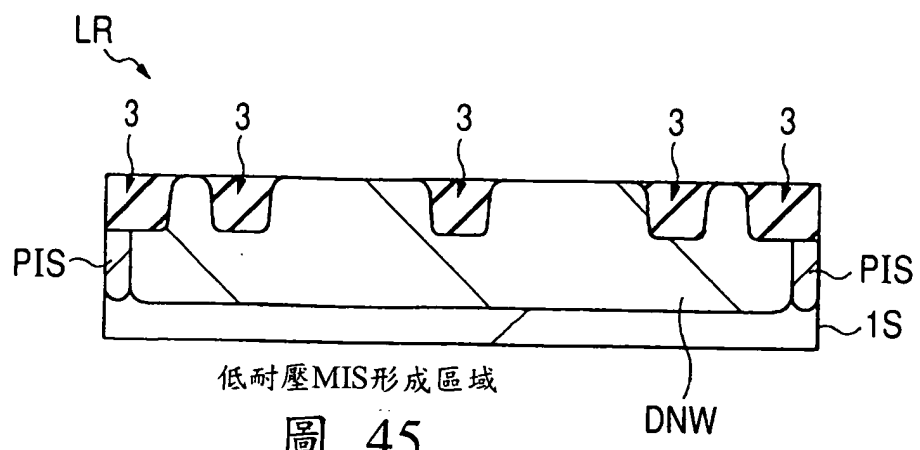


圖 45

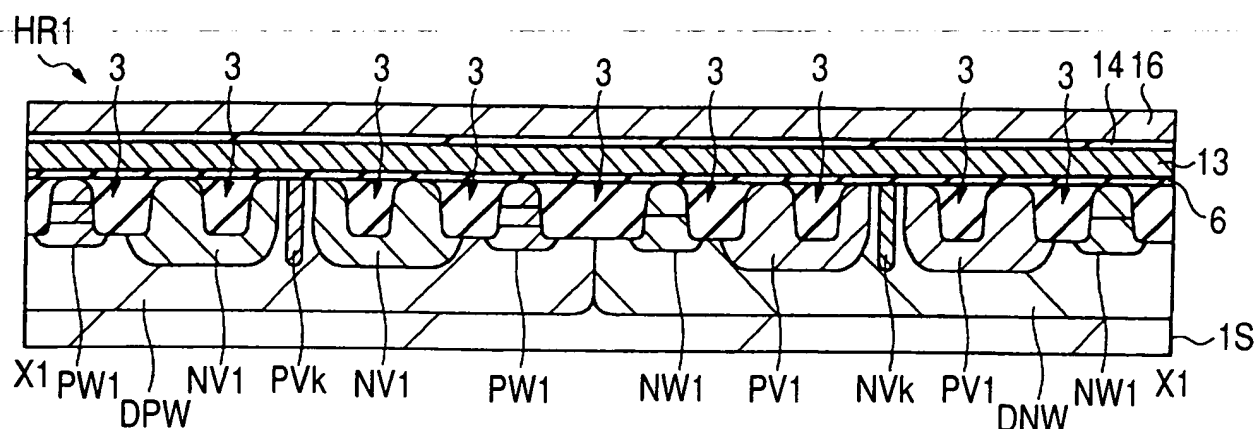


圖 46

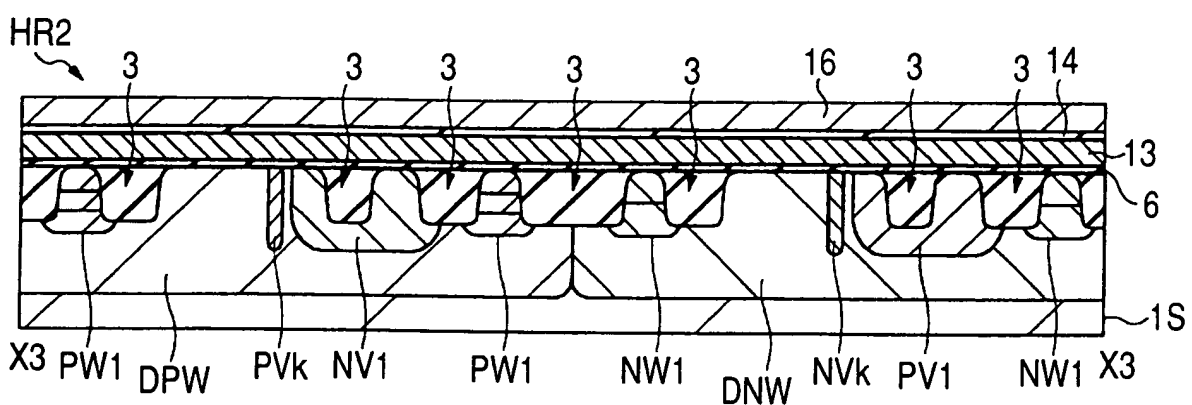


圖 47

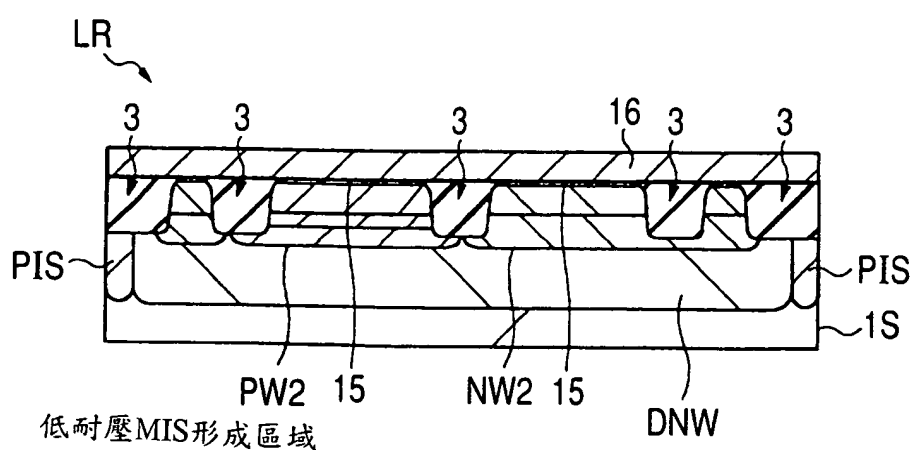


圖 48

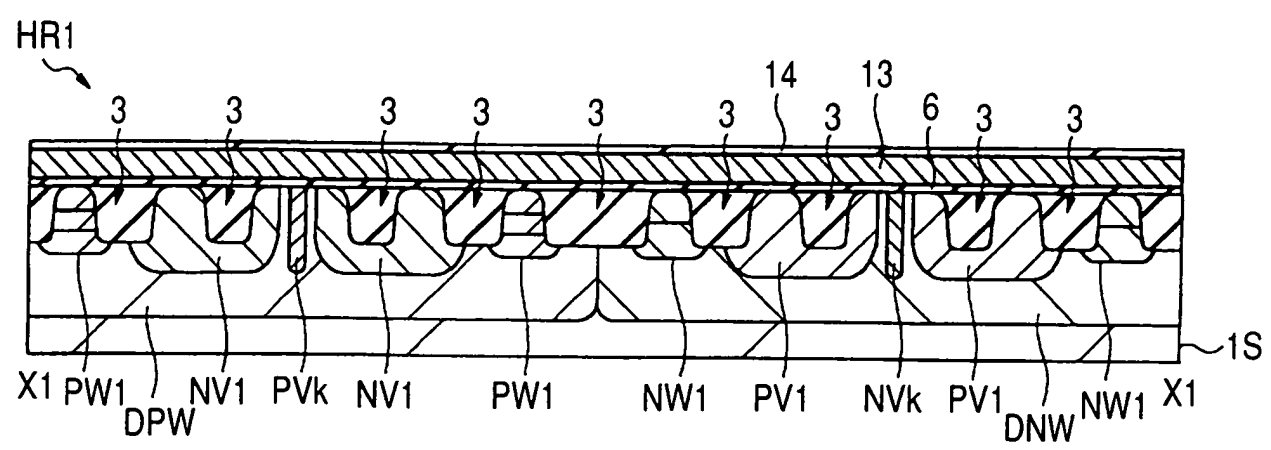


圖 49

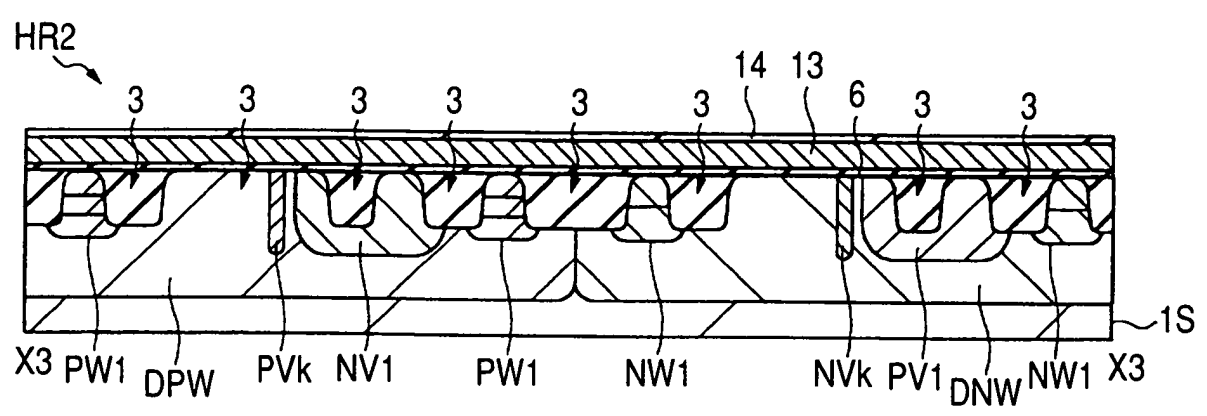
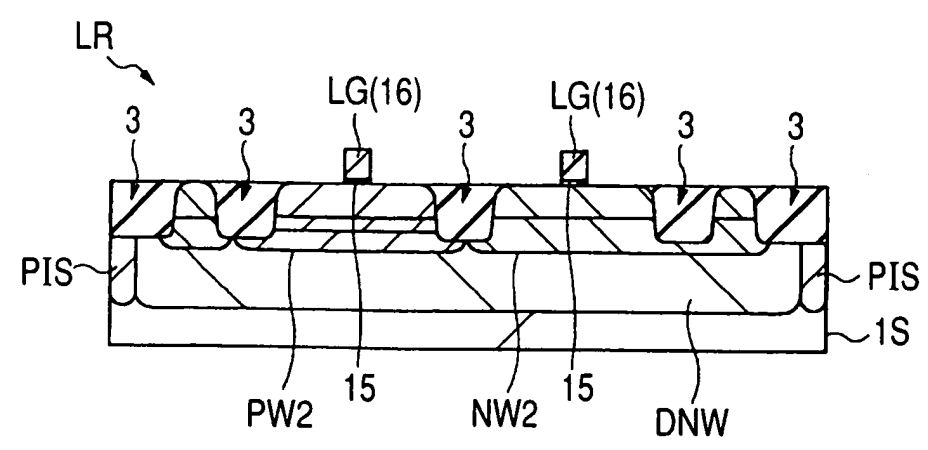


圖 50



低耐壓MIS形成區域

圖 51

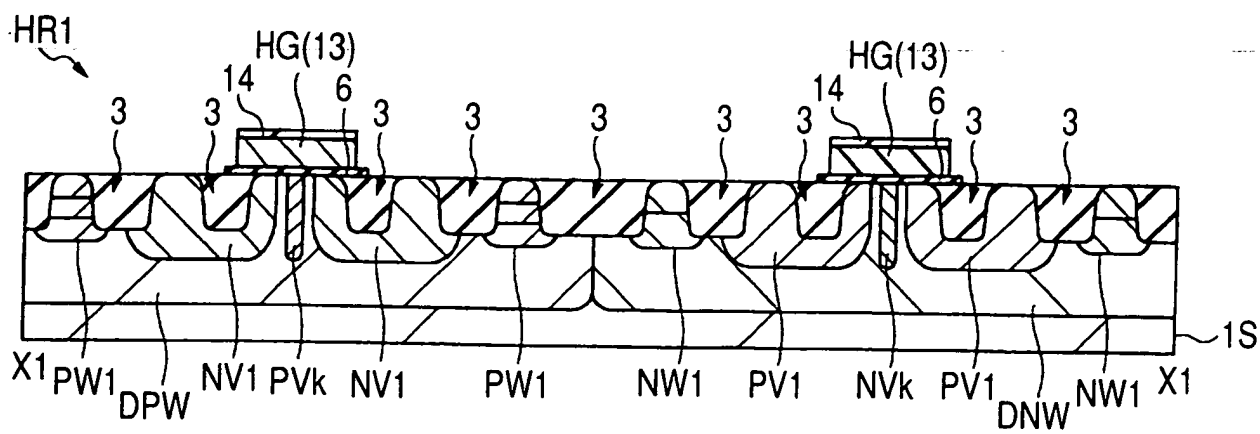


圖 52

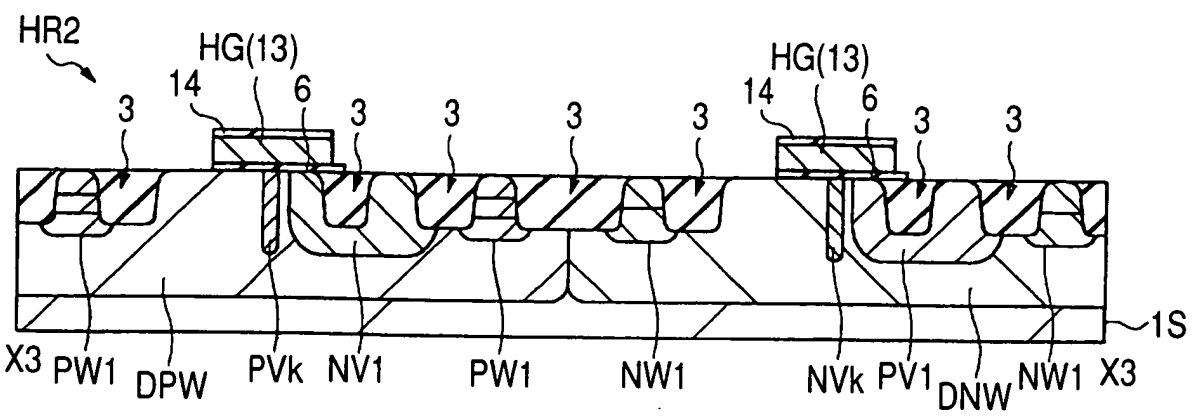
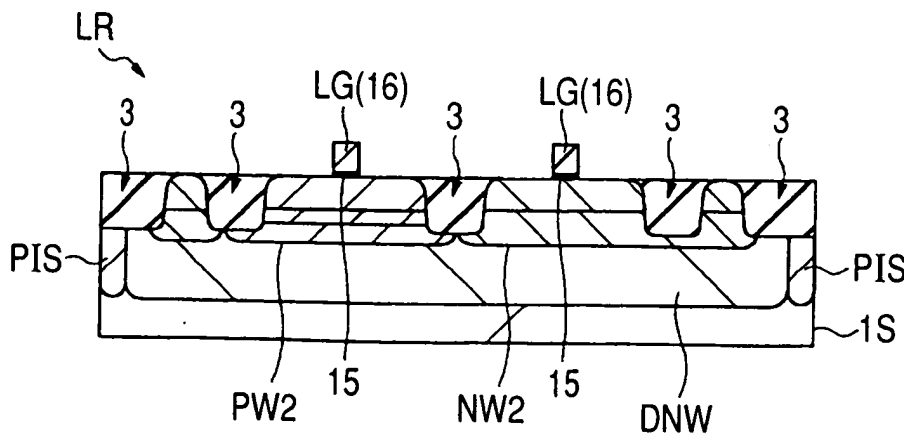


圖 53



低耐壓MIS形成區域

圖 54

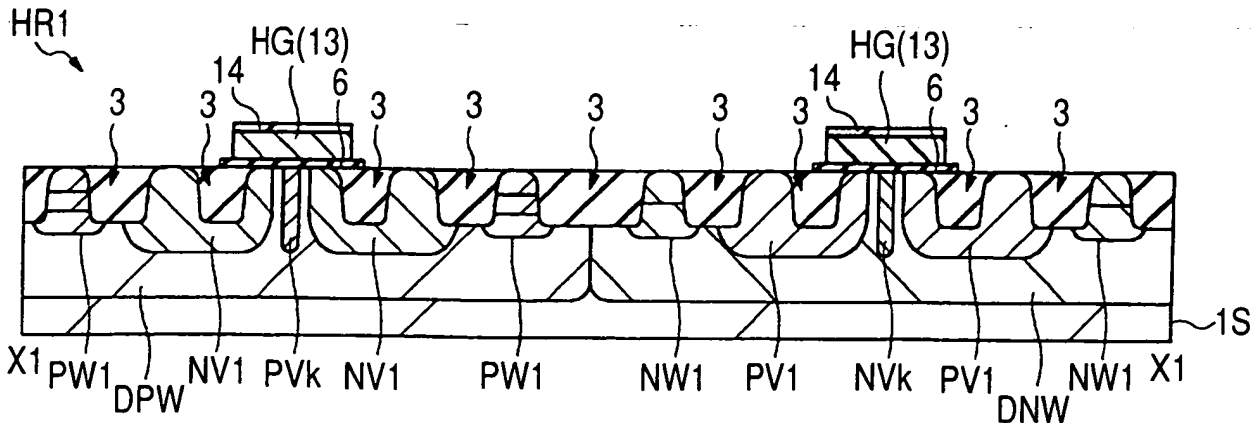


圖 55

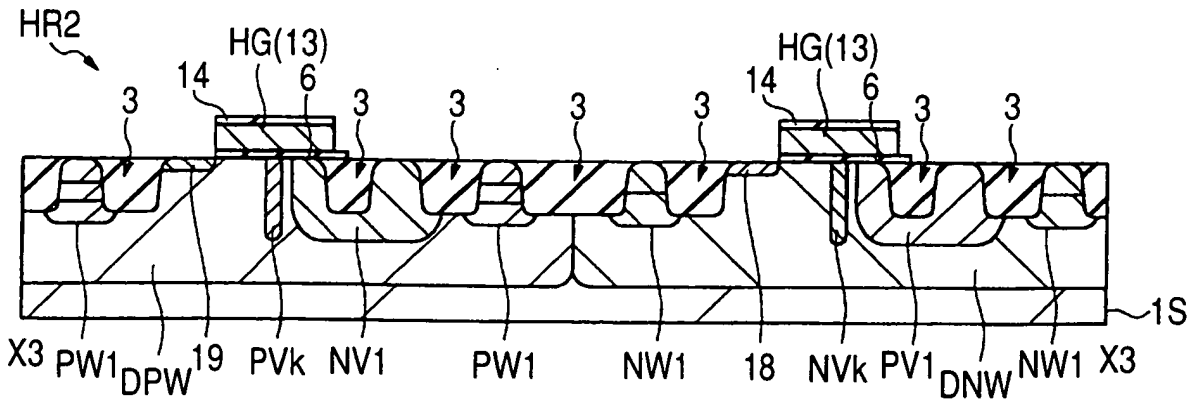


圖 56

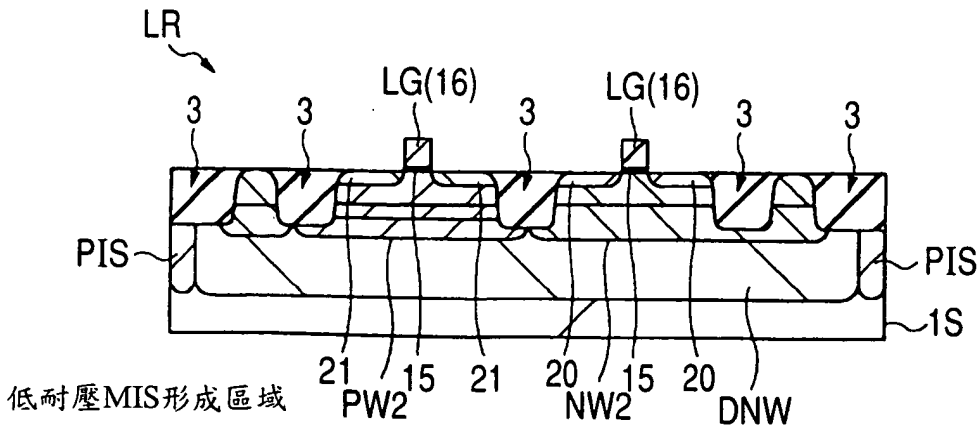


圖 57

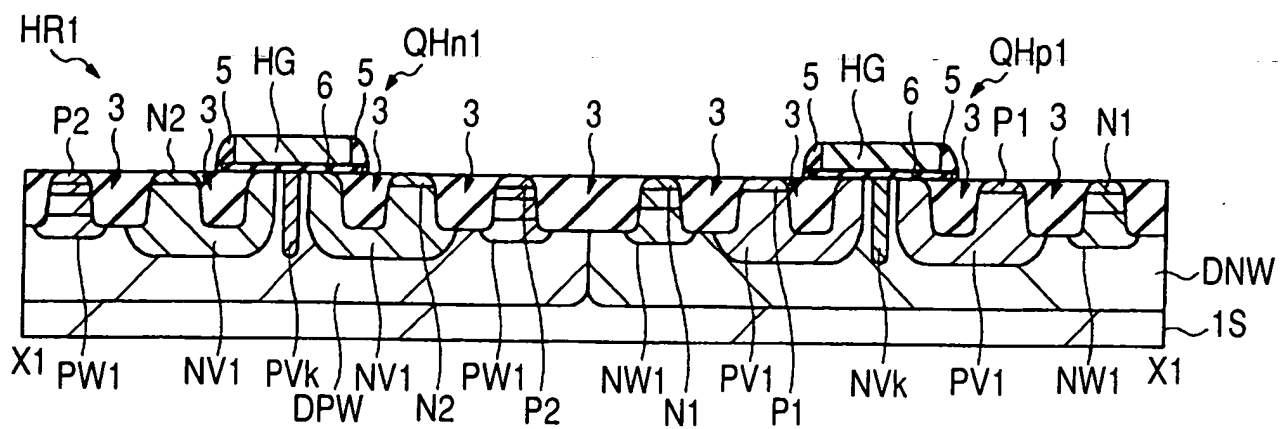


圖 58

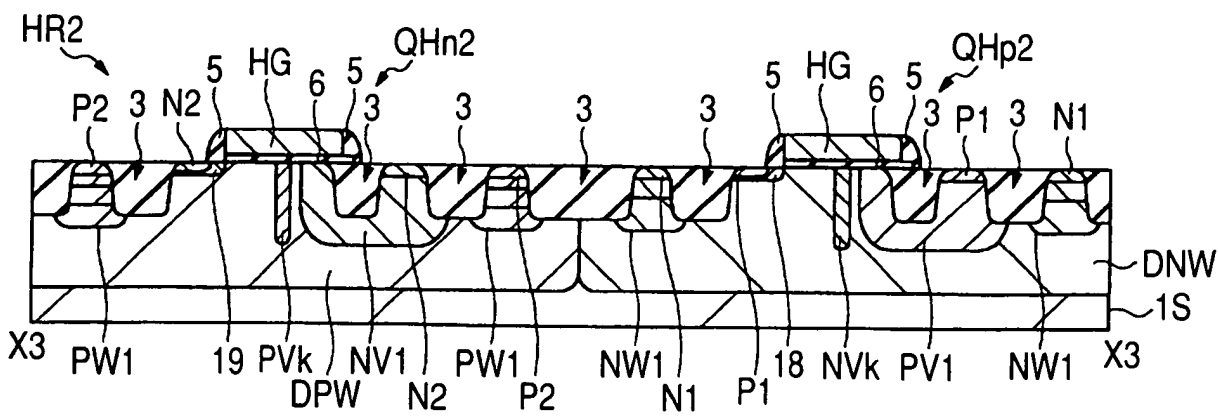


圖 59

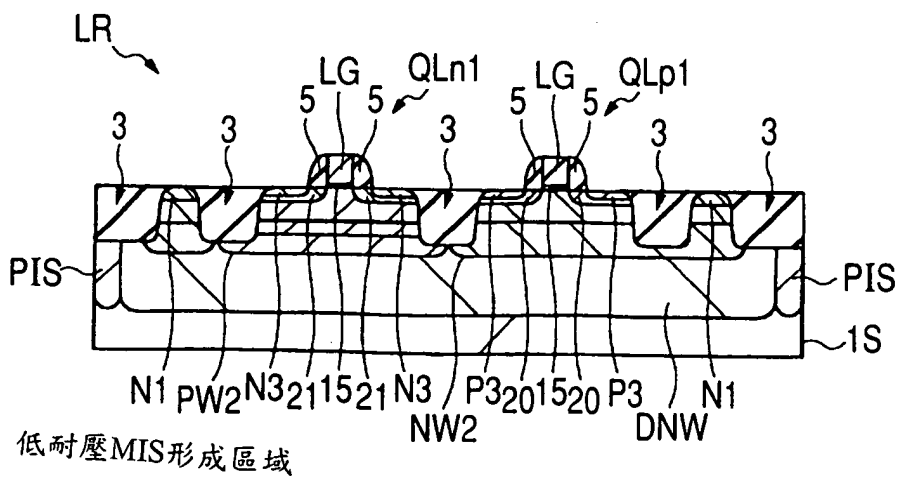


圖 60

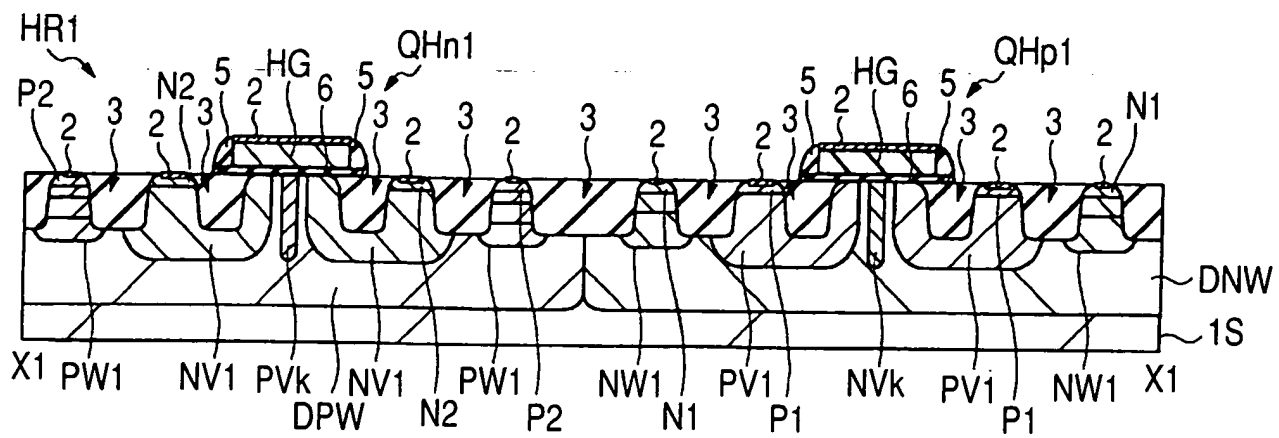


圖 61

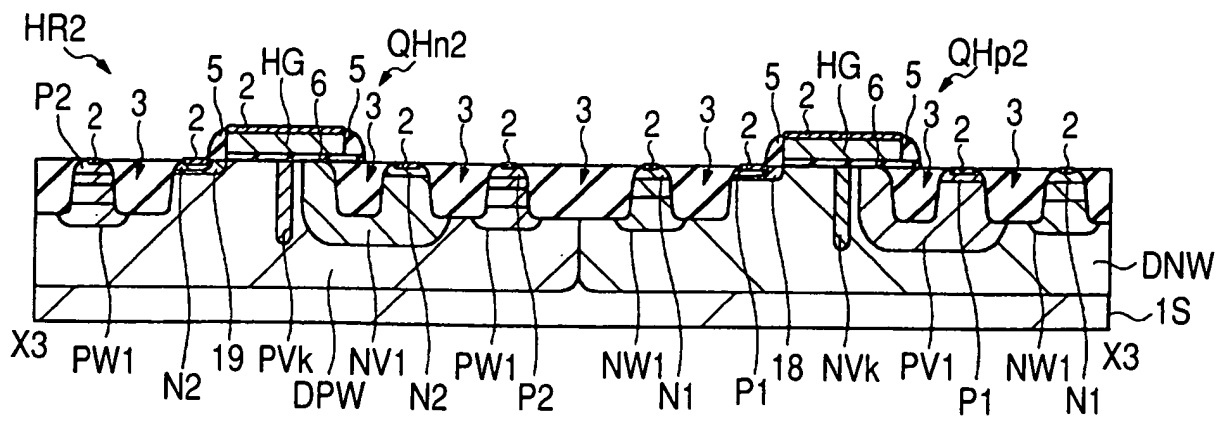


圖 62

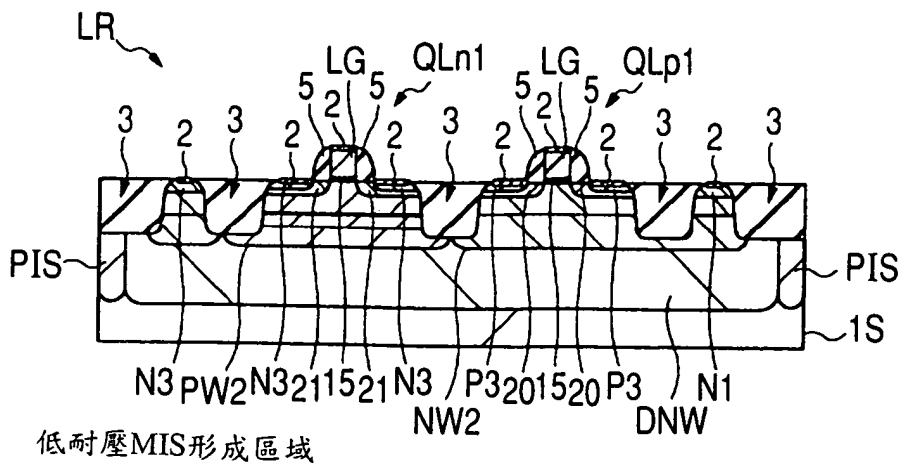


圖 63

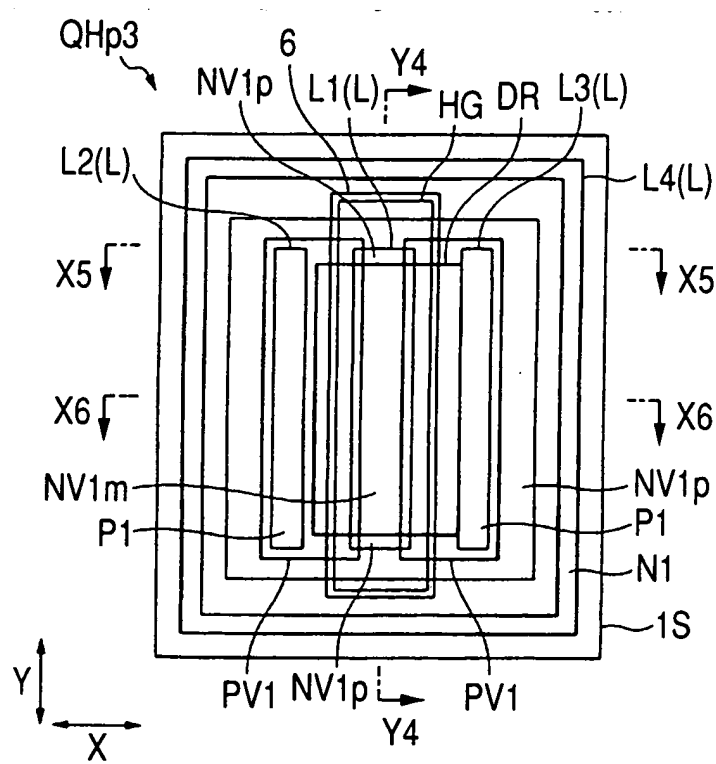


圖 64

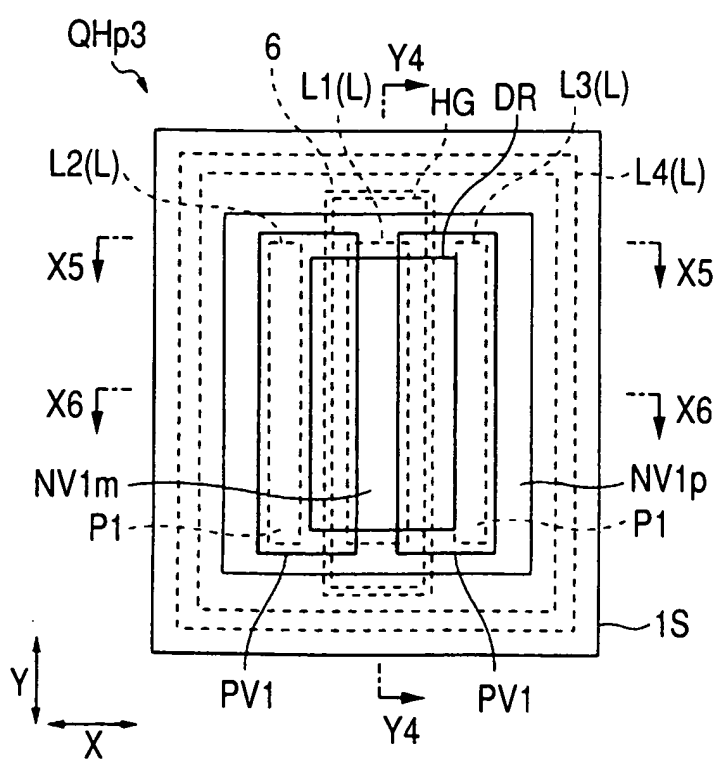


圖 65

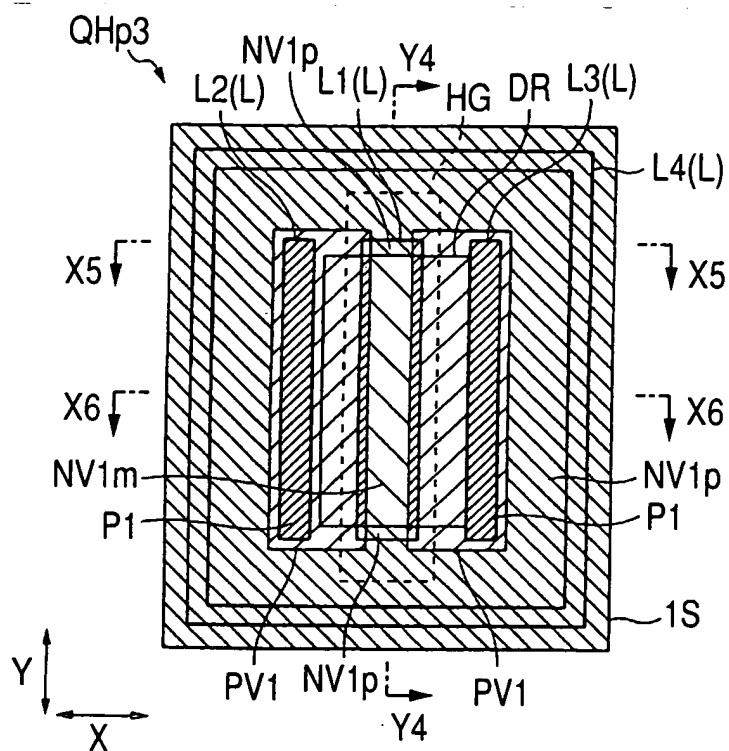


圖 66

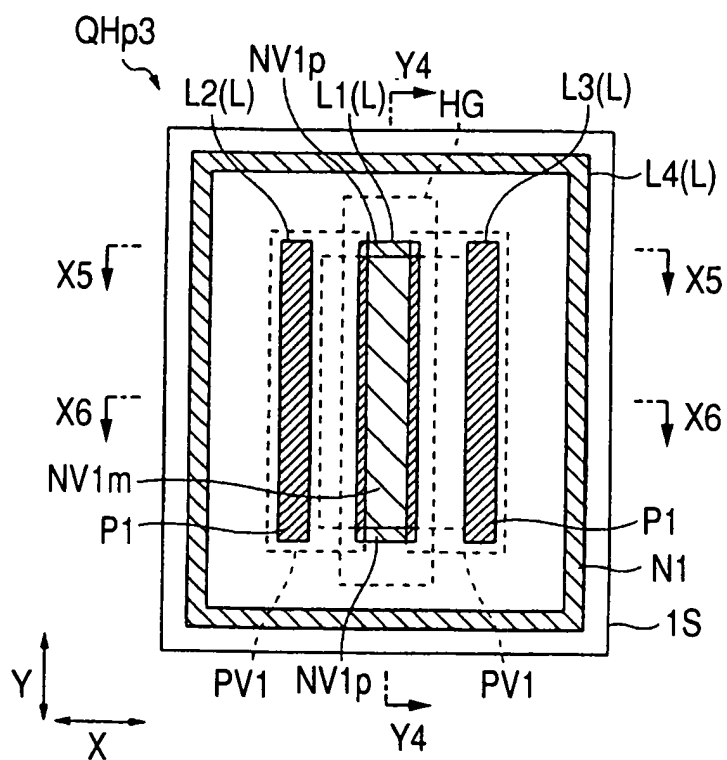


圖 67

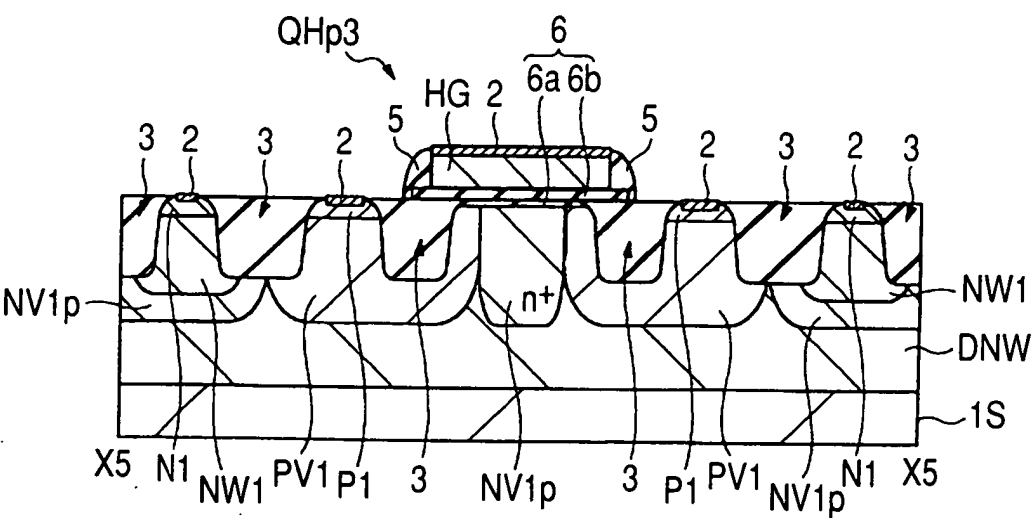


圖 68

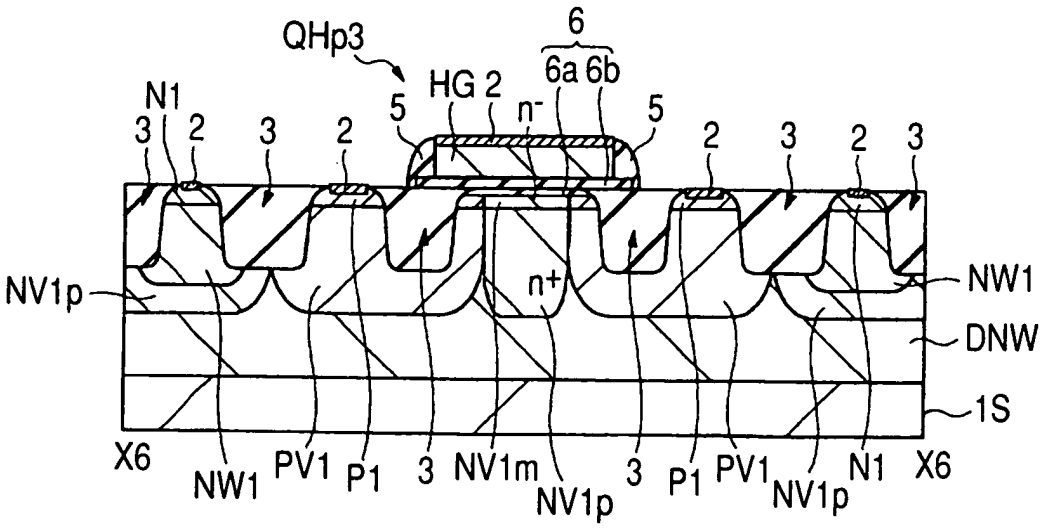


圖 69

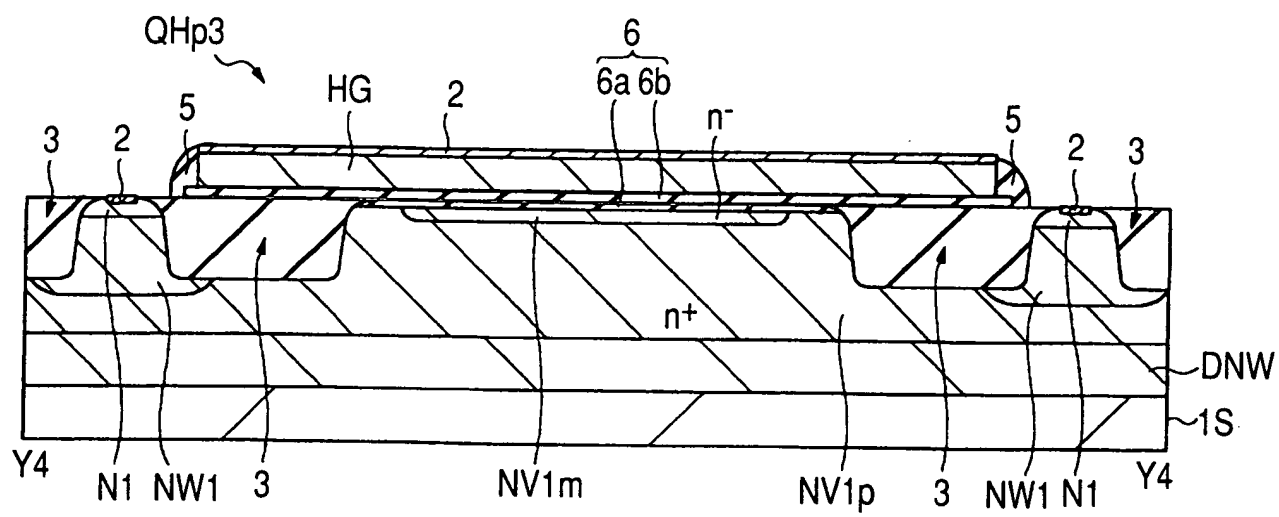


圖 70

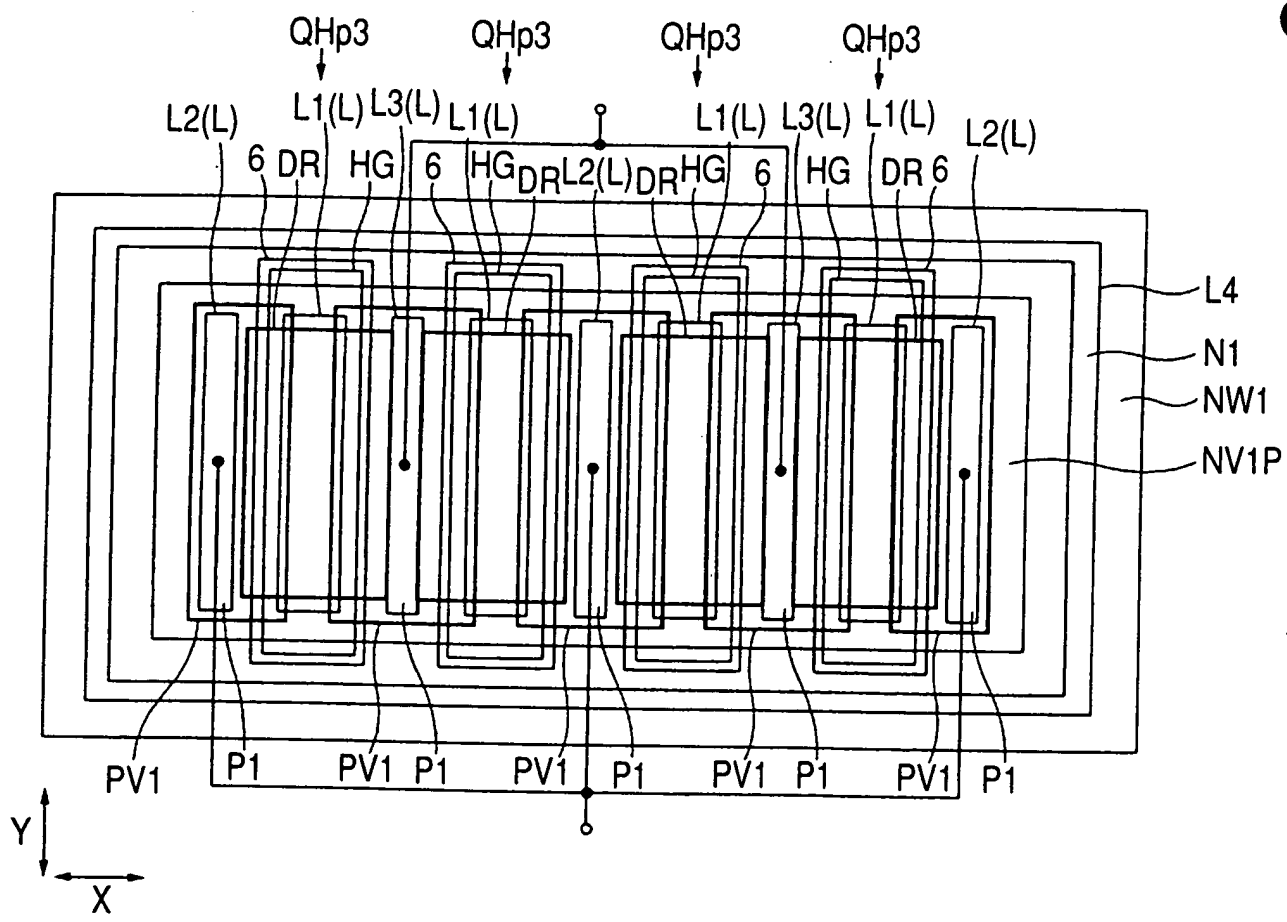


圖 71

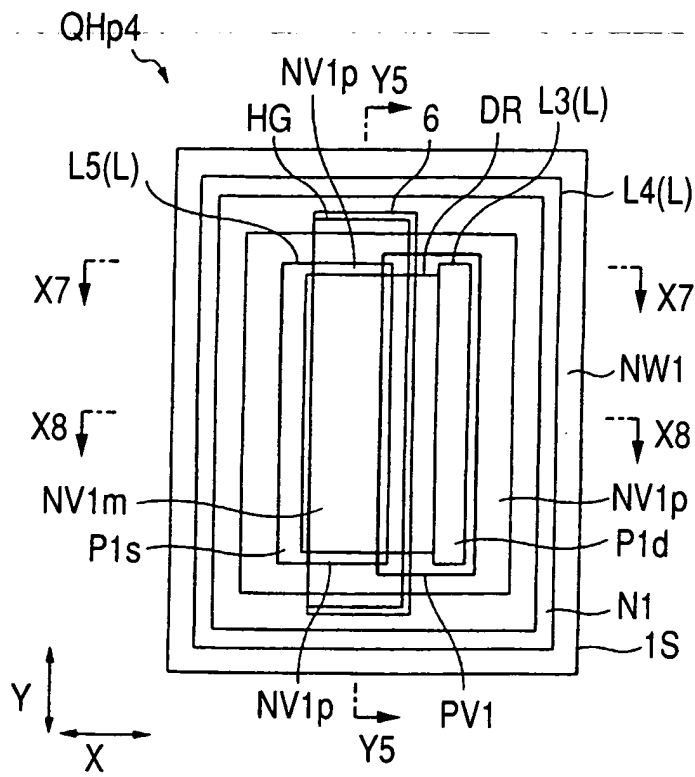


圖 72

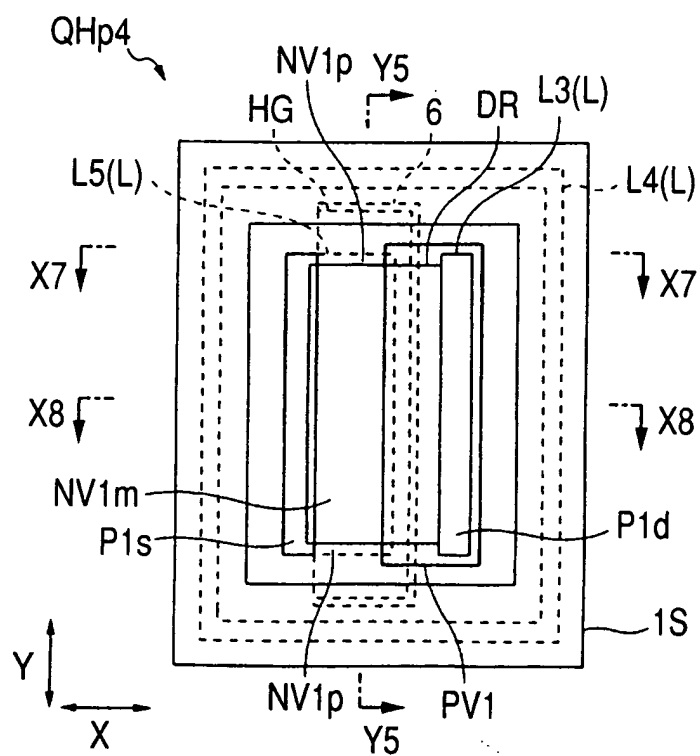


圖 73

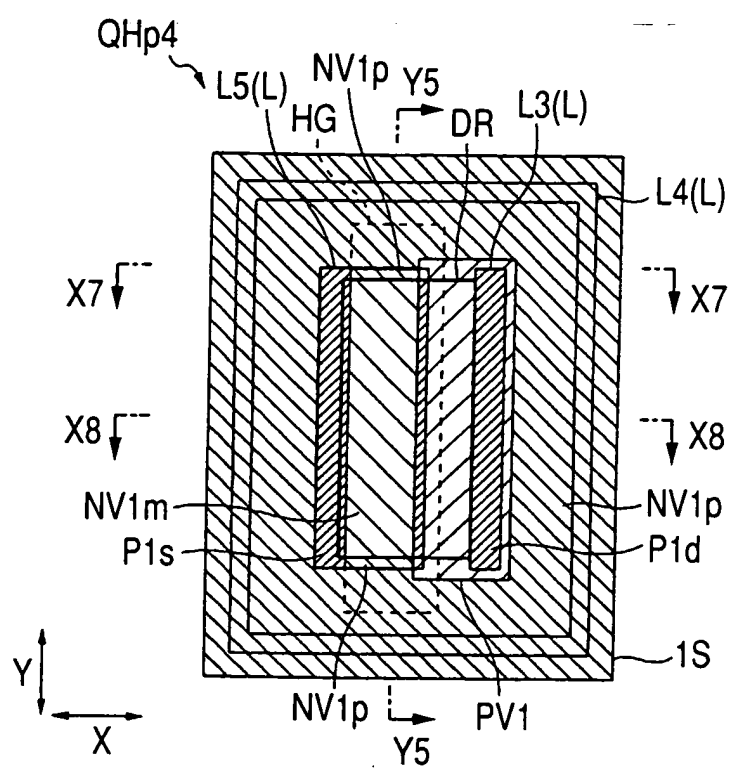


圖 74

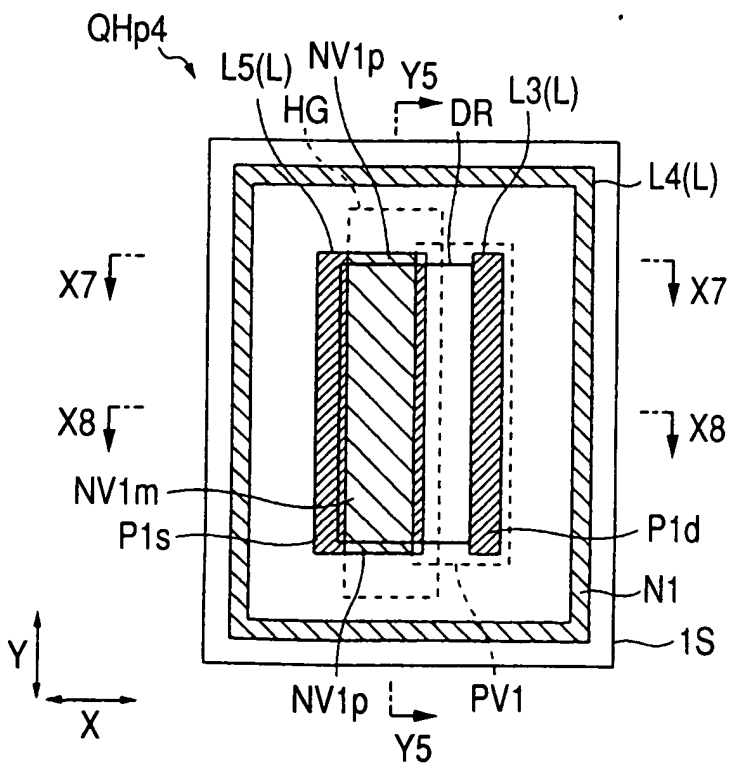


圖 75

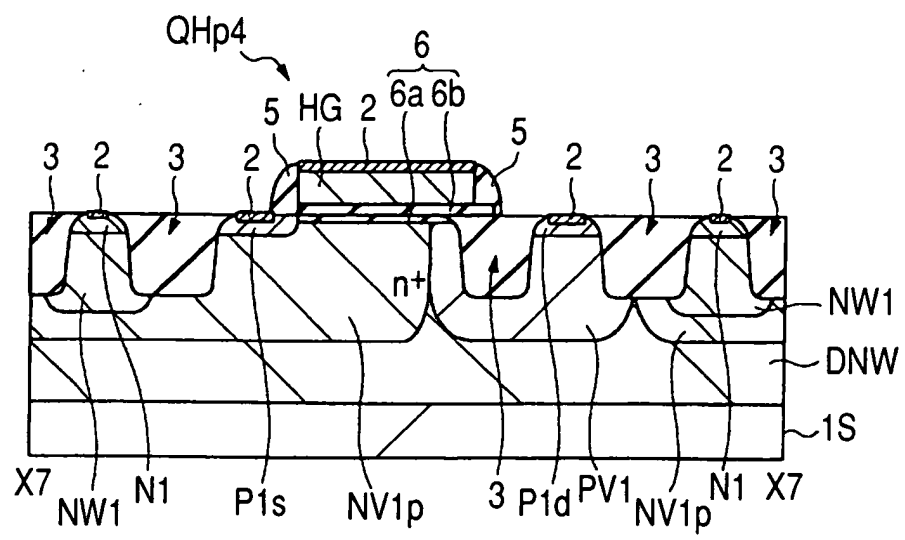


圖 76

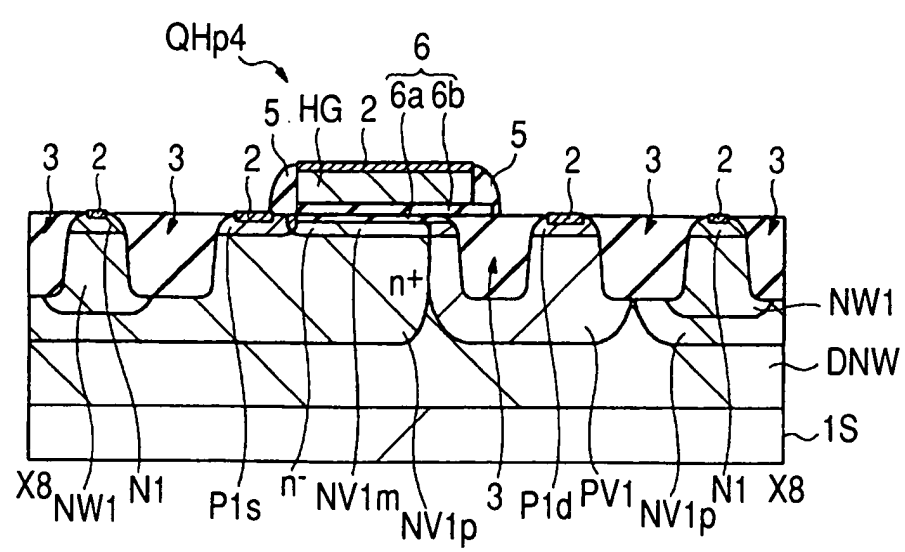


圖 77

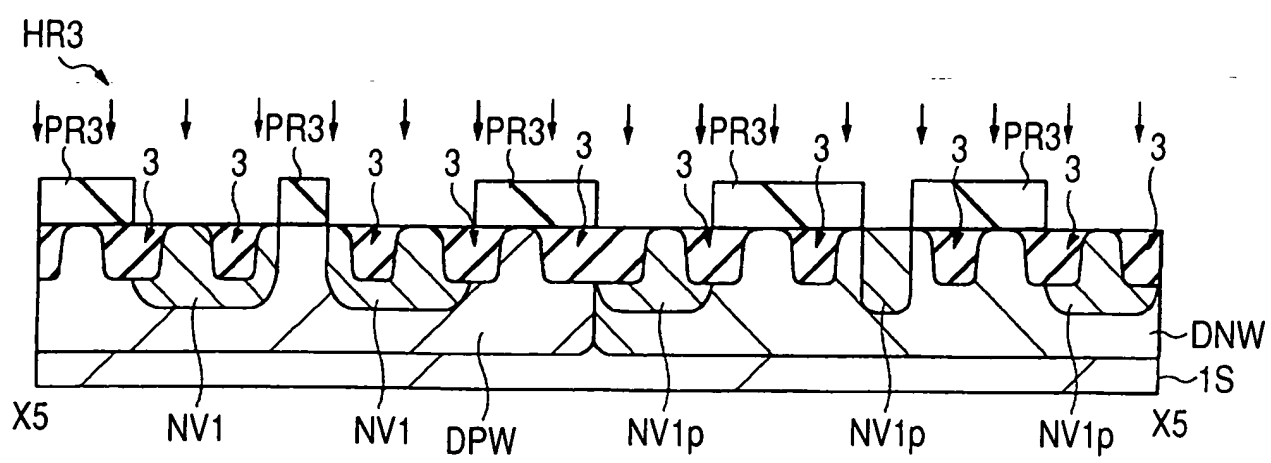


圖 78

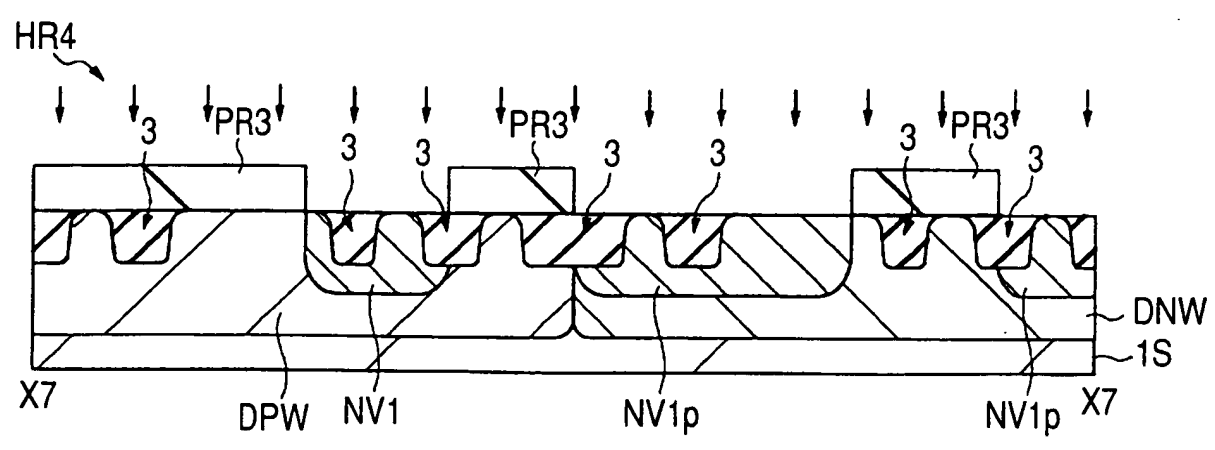


圖 79

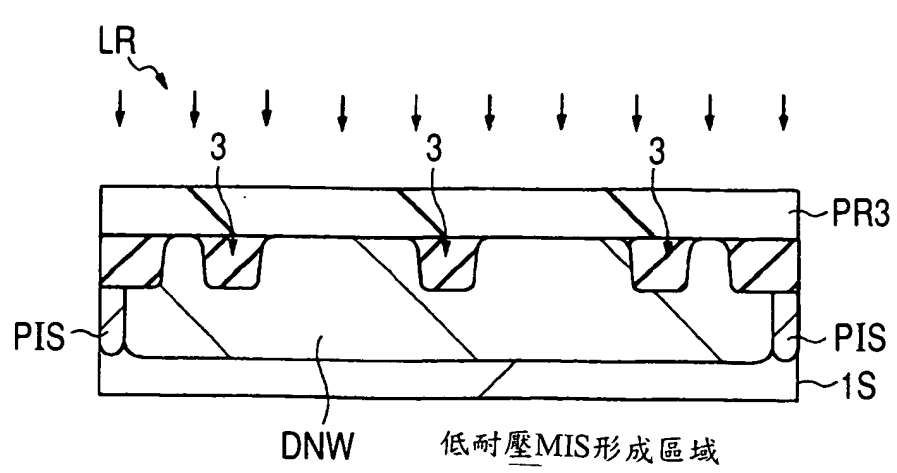


圖 80

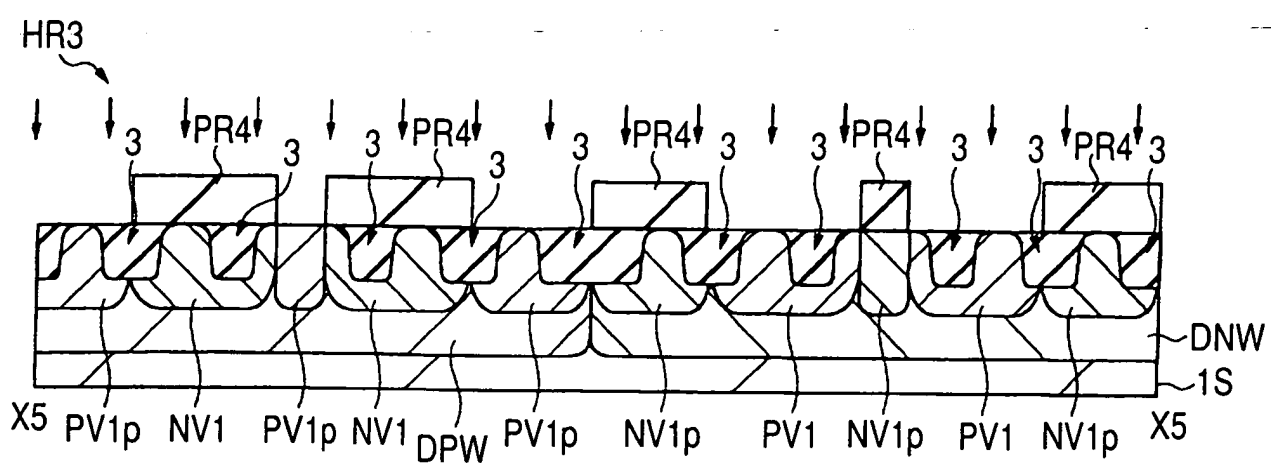


圖 81

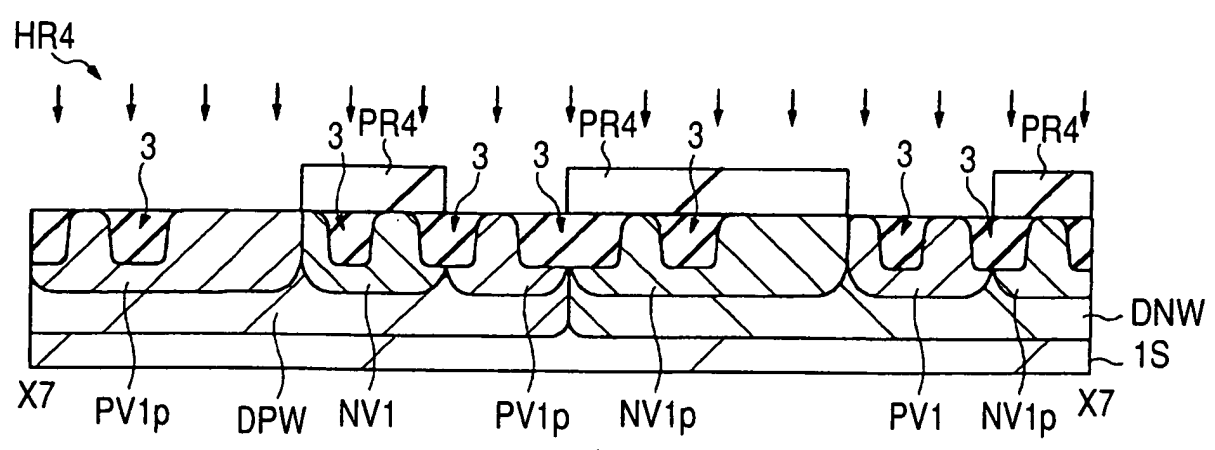
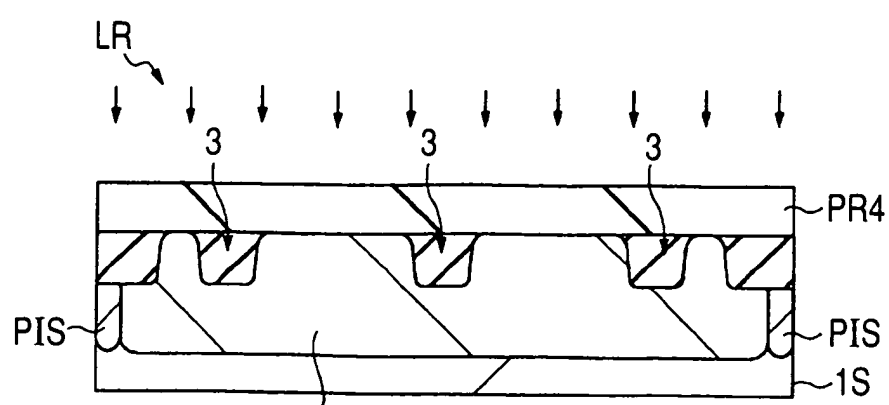


圖 82



低耐壓MIS形成區域

圖 83

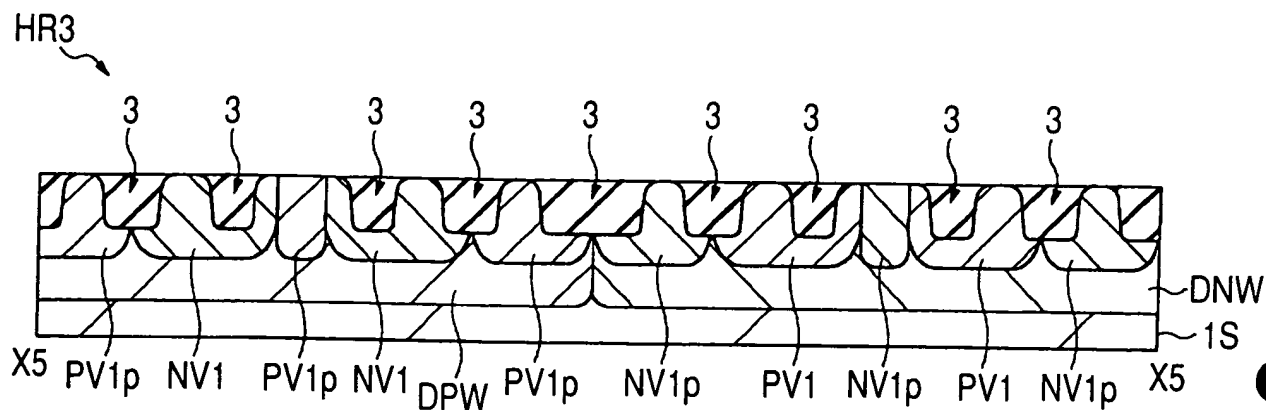


圖 84

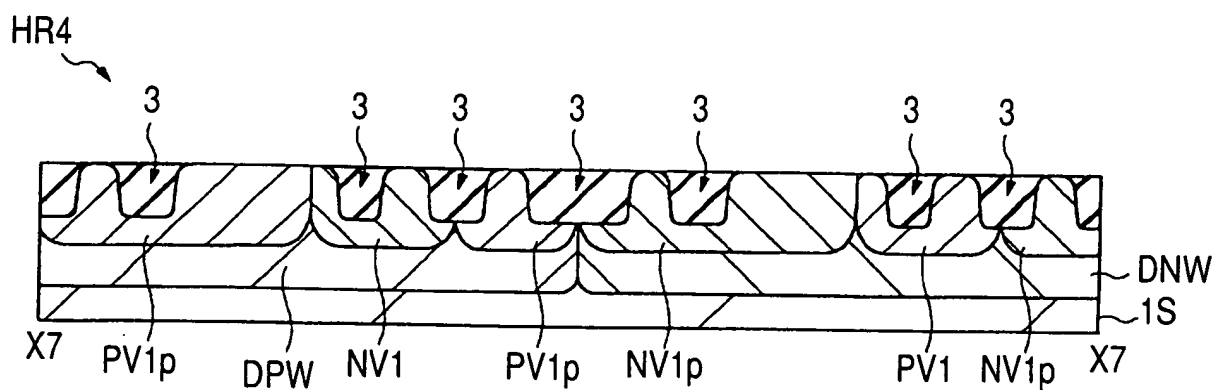


圖 85

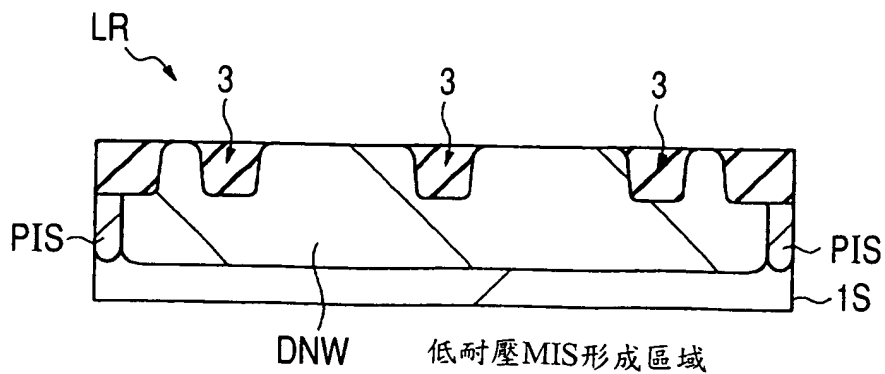


圖 86

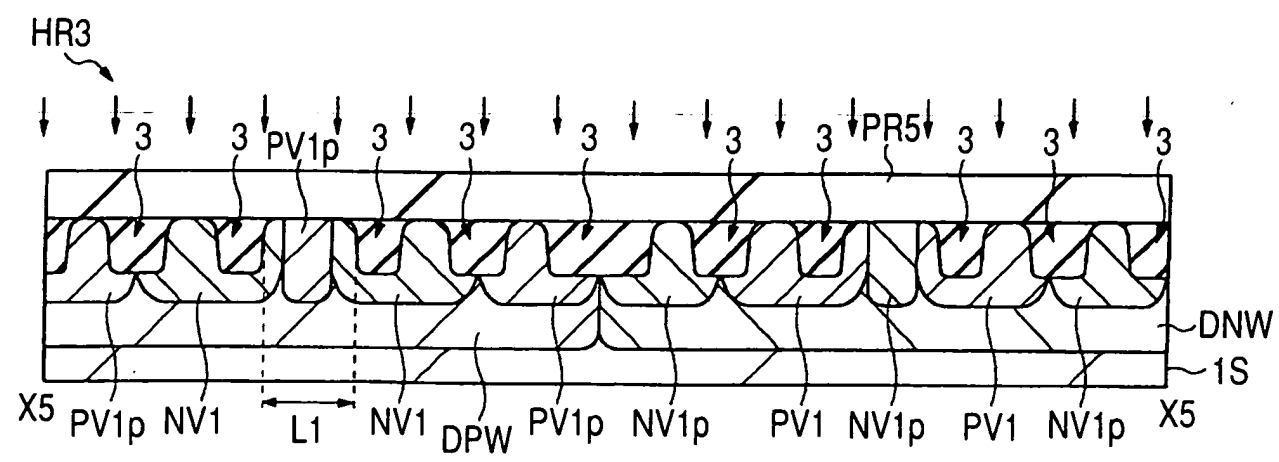


圖 87

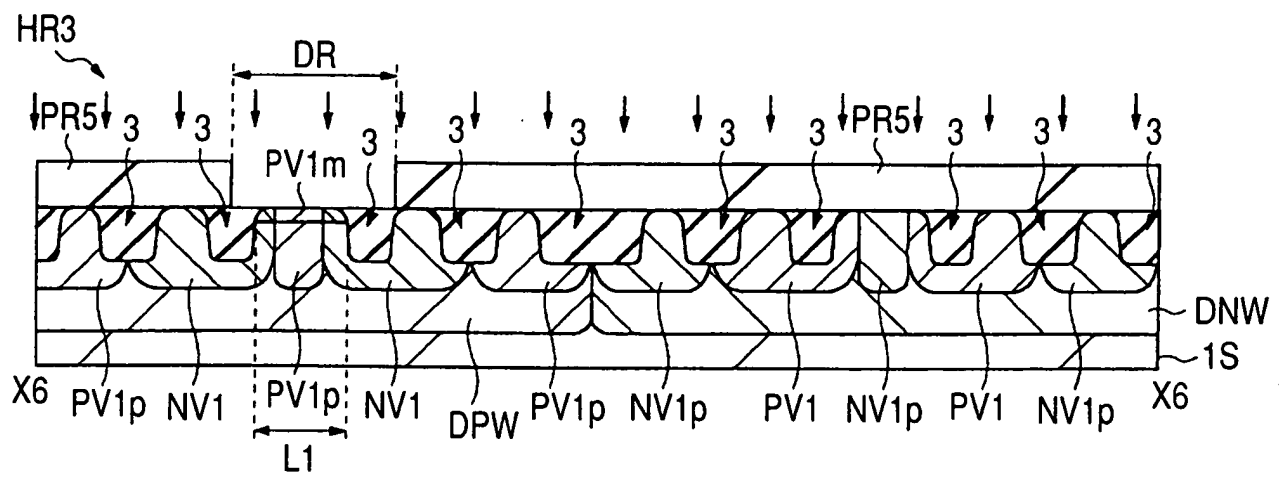


圖 88

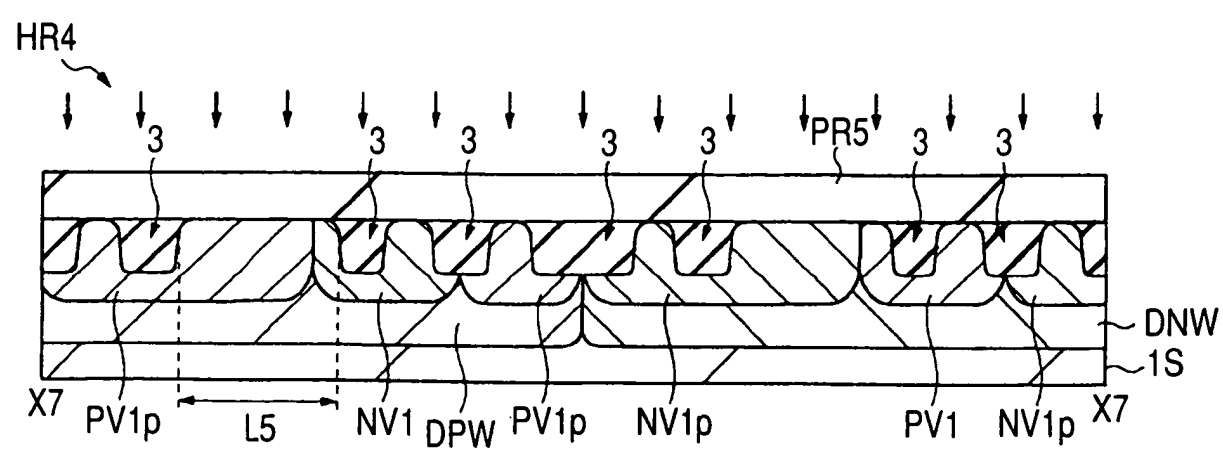


圖 89

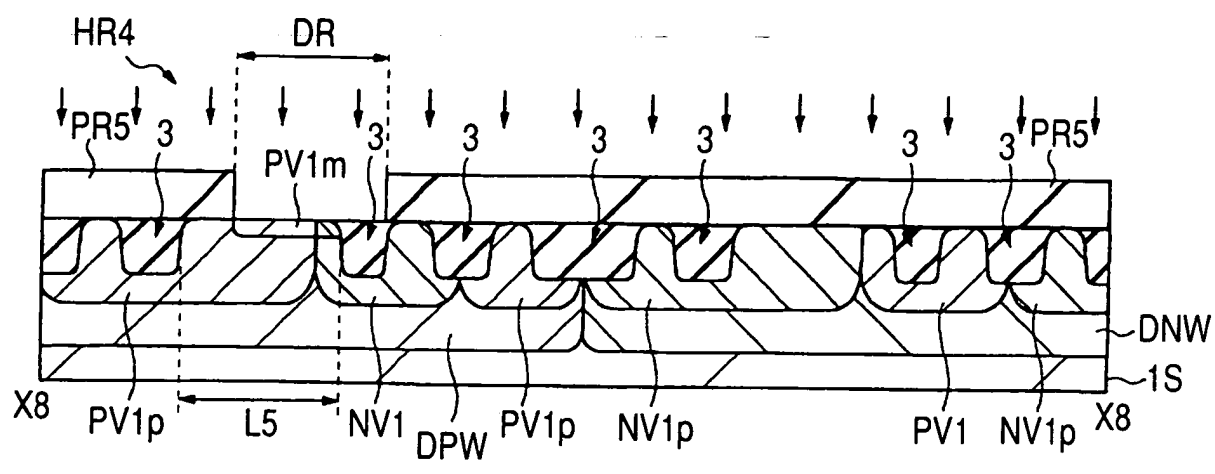


圖 90

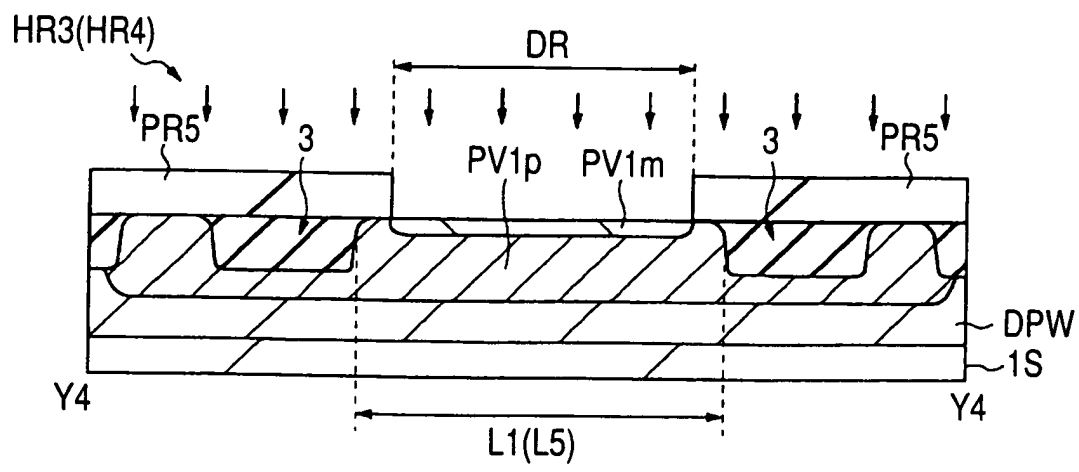


圖 91

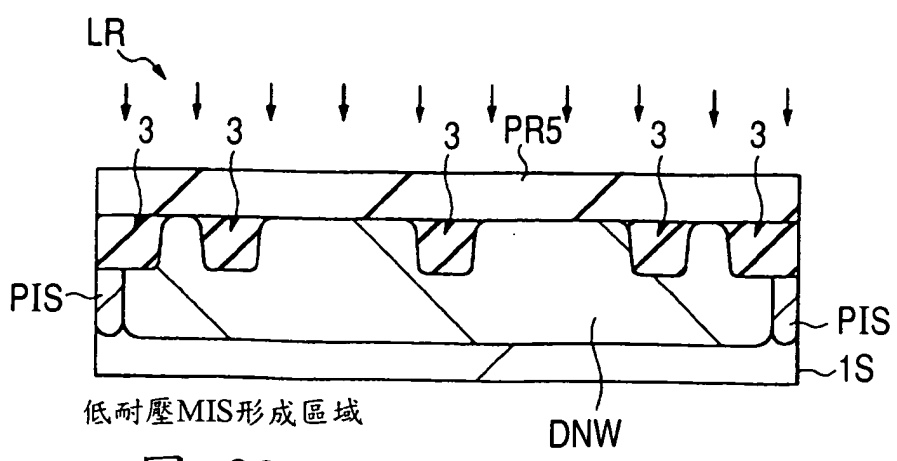


圖 92

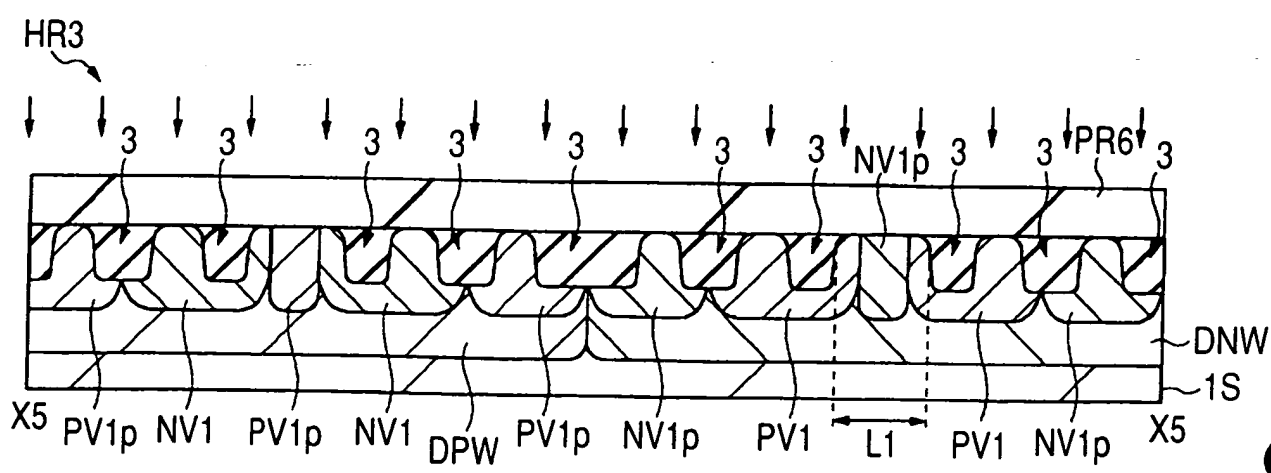


圖 93

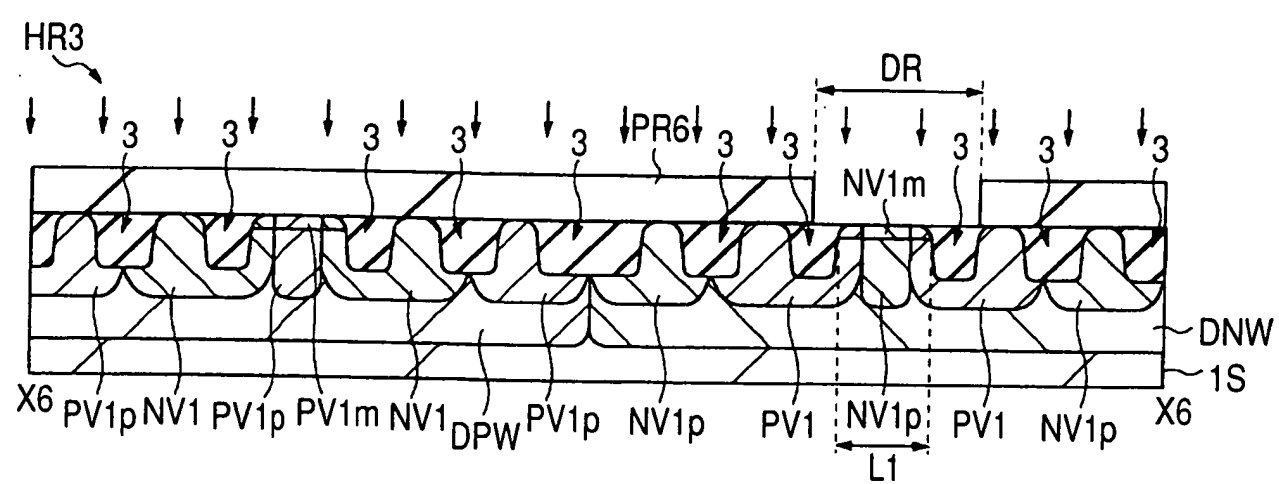


圖 94

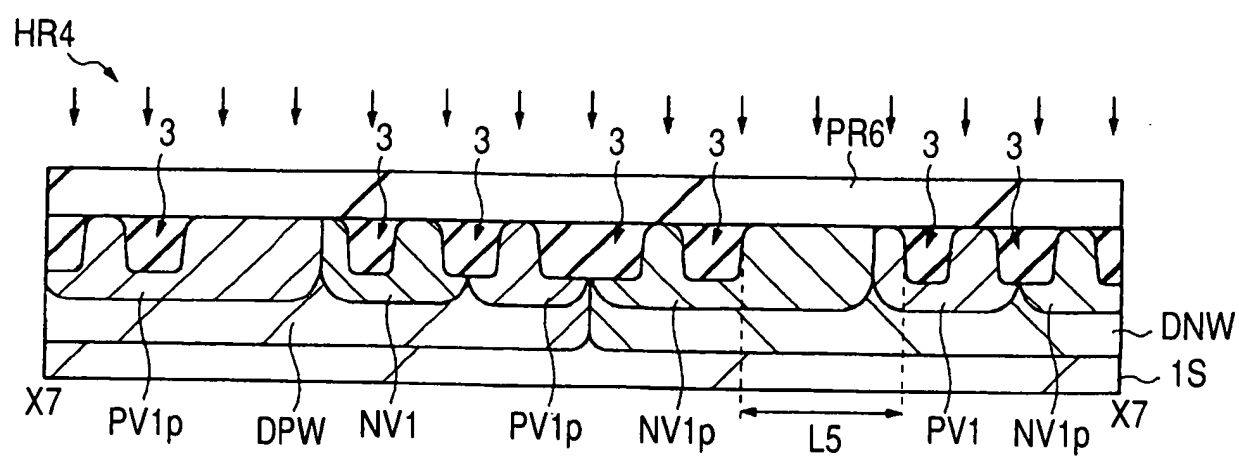


圖 95

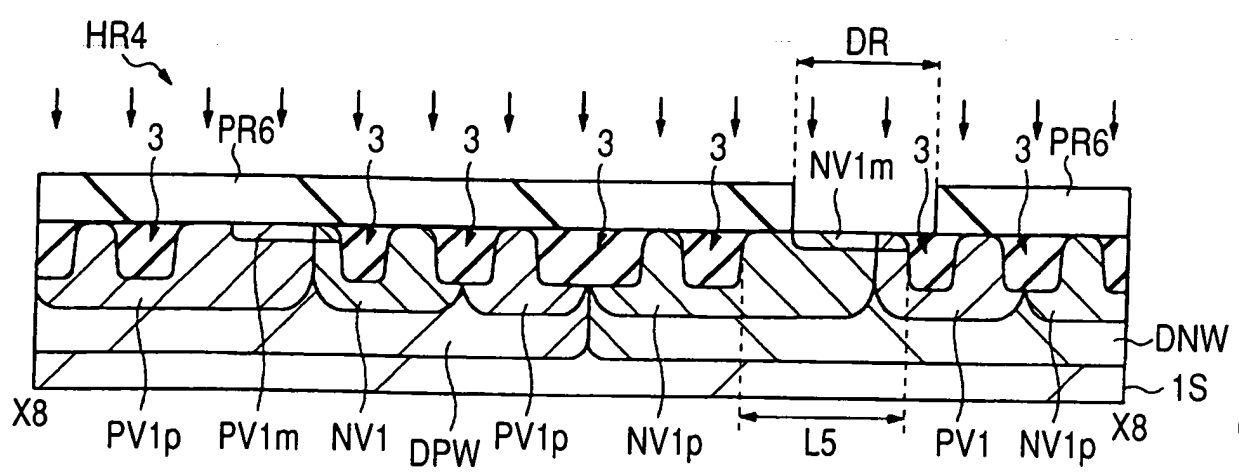


圖 96

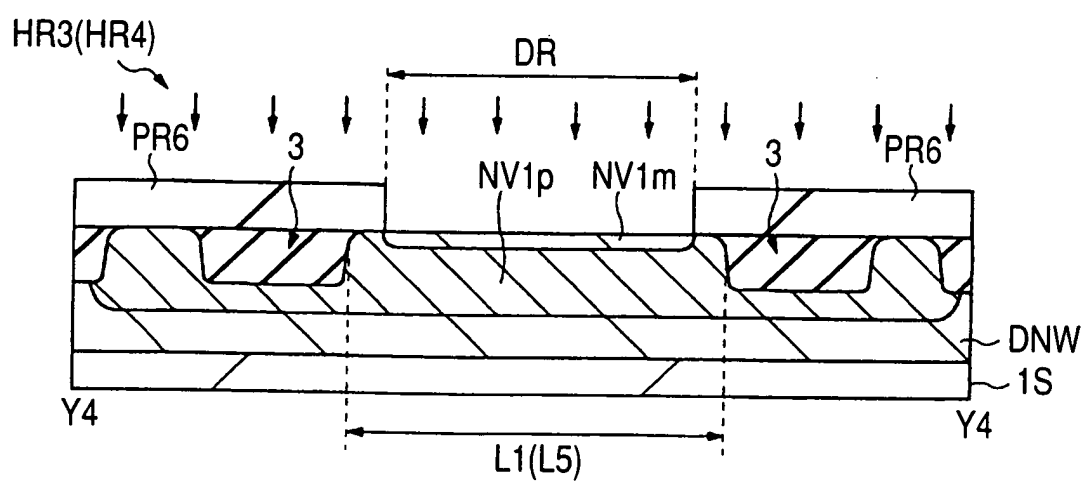


圖 97

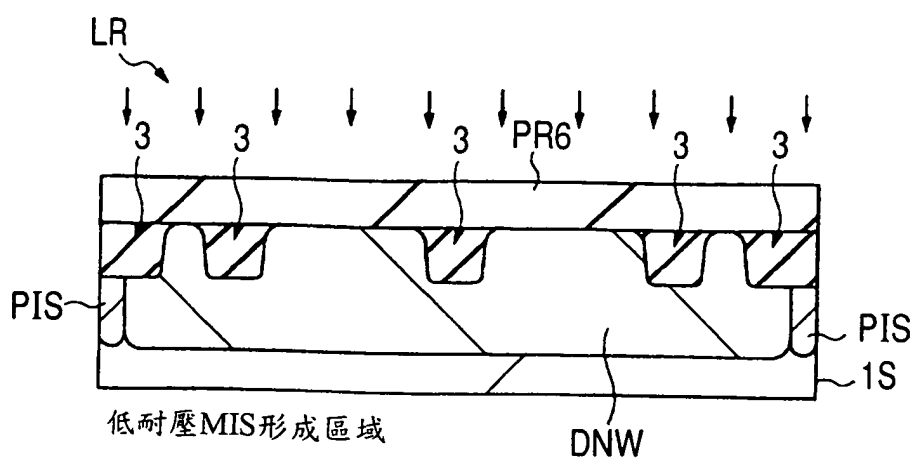


圖 98

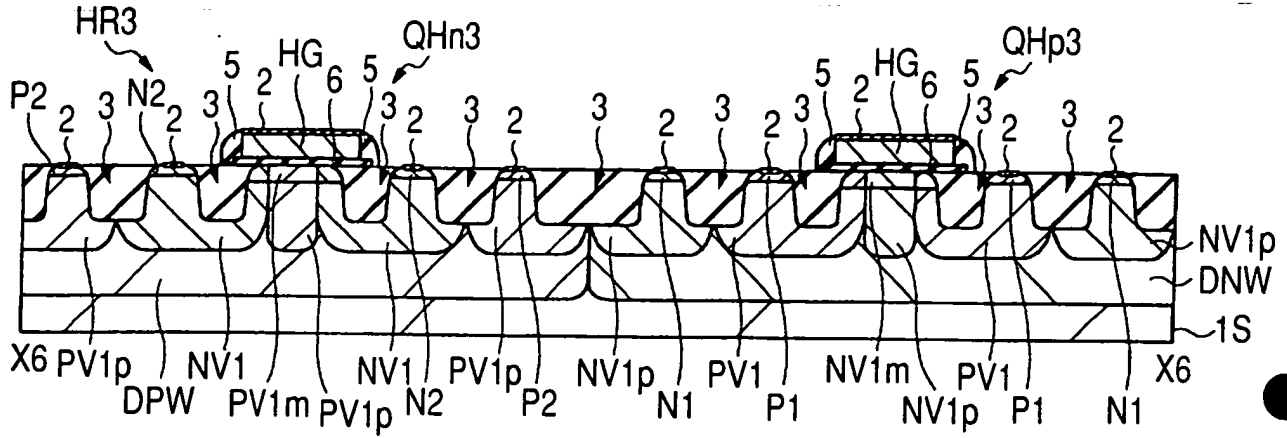


圖 99

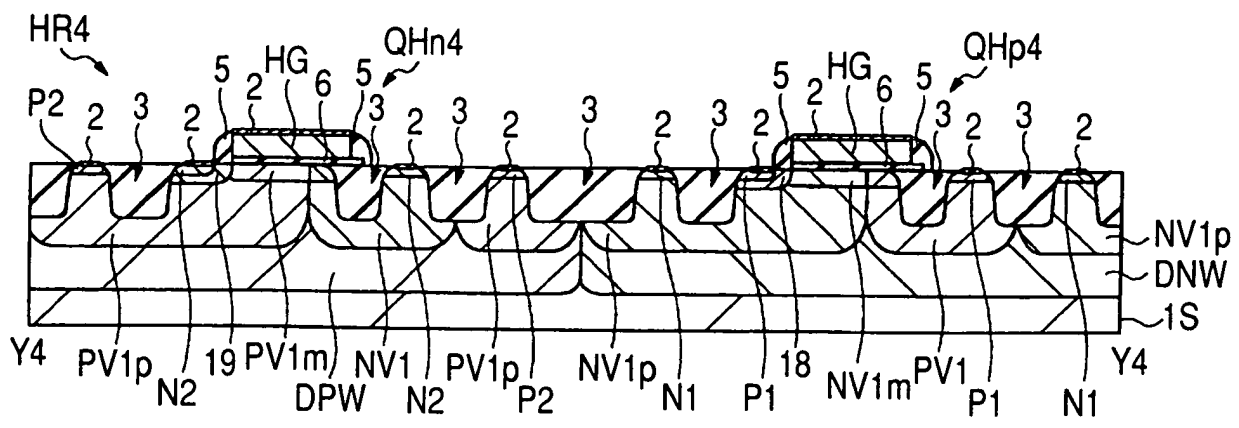
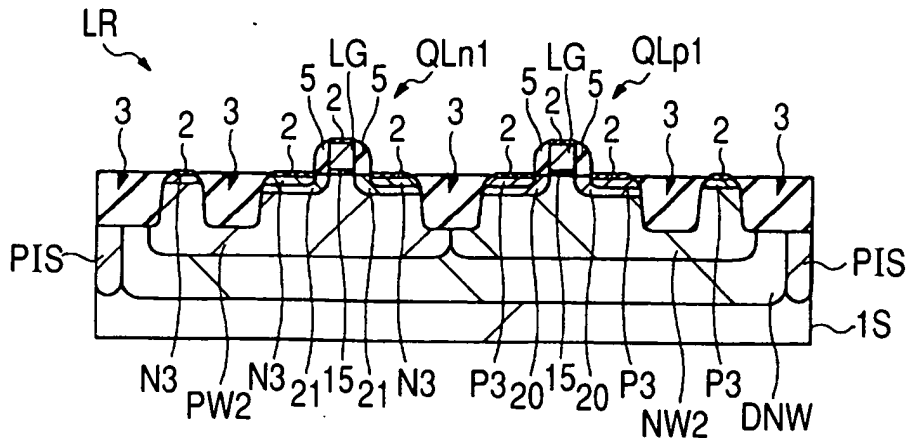


圖 100



低耐壓MIS形成區域

圖 101

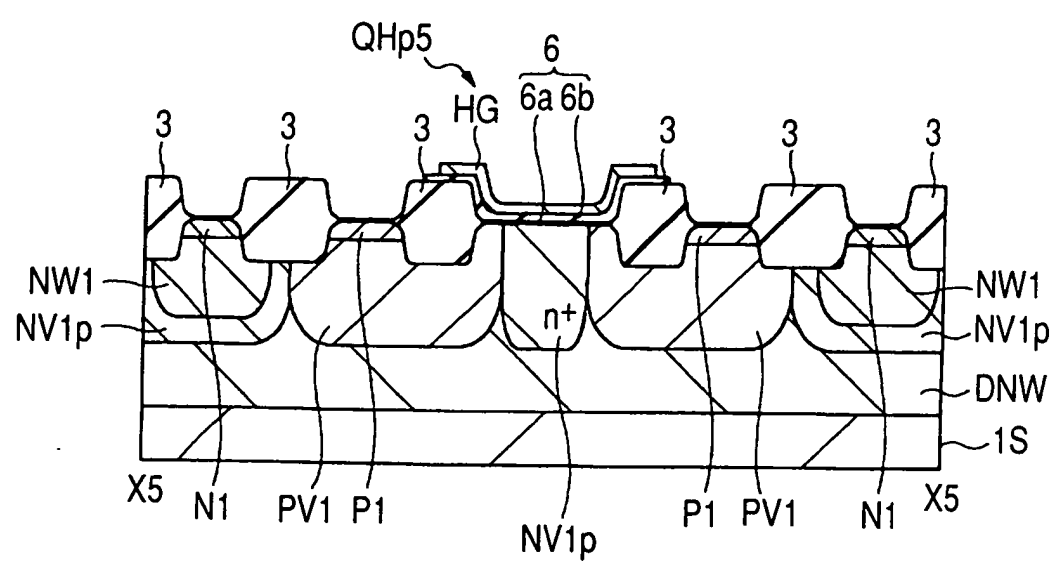


圖 102

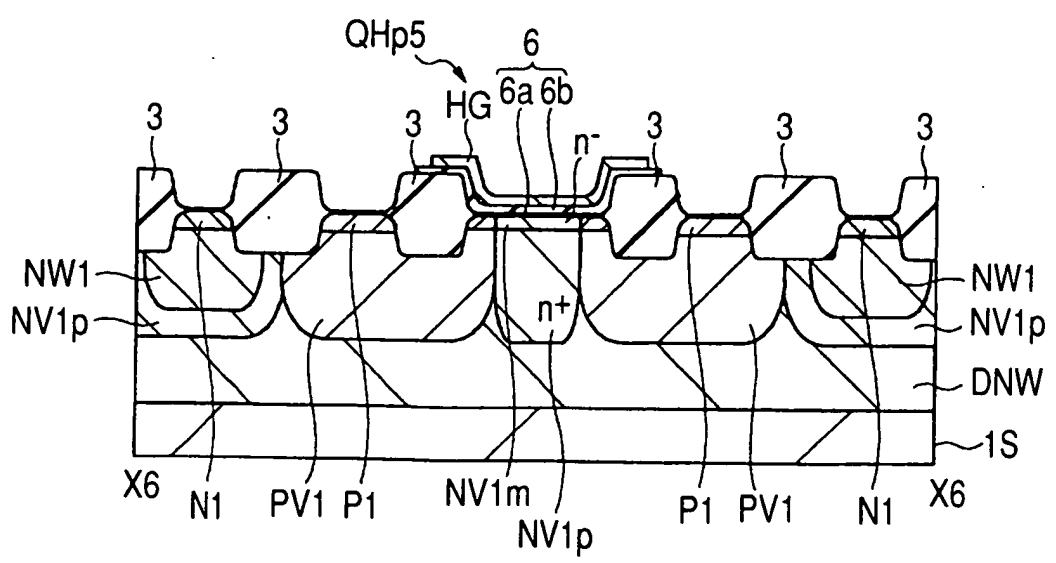


圖 103

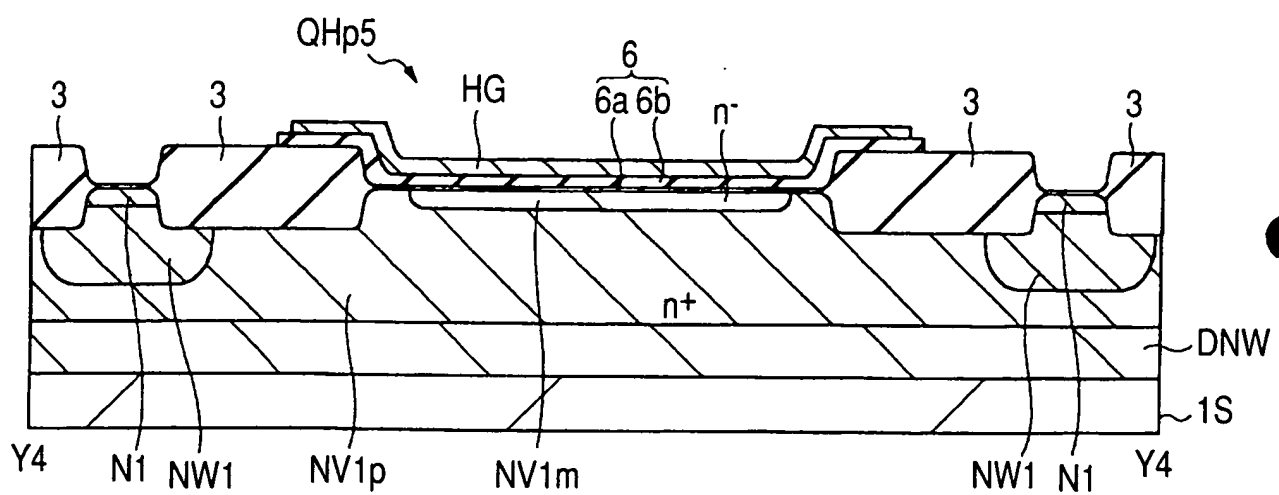


圖 104

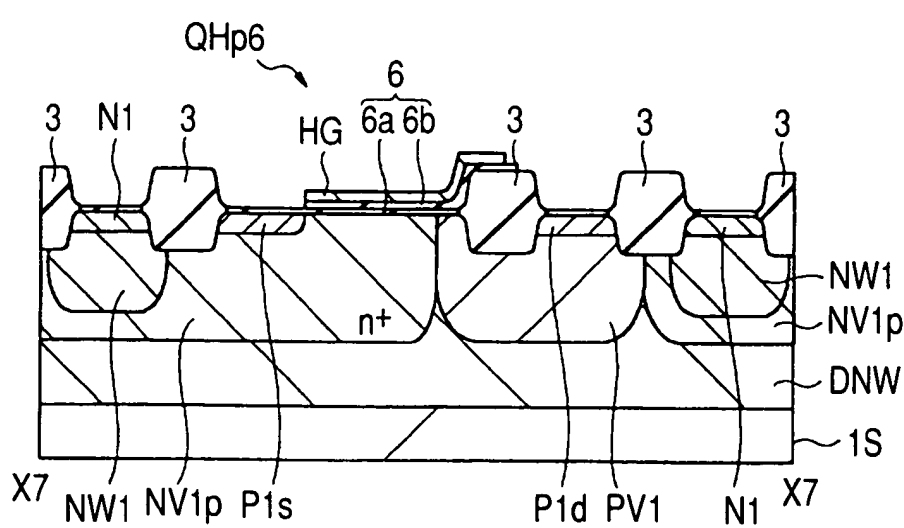
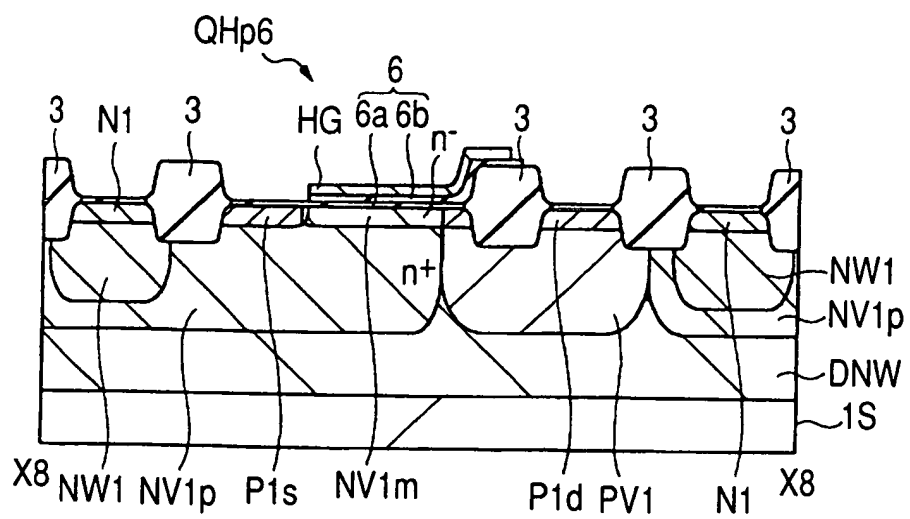


圖 105



106

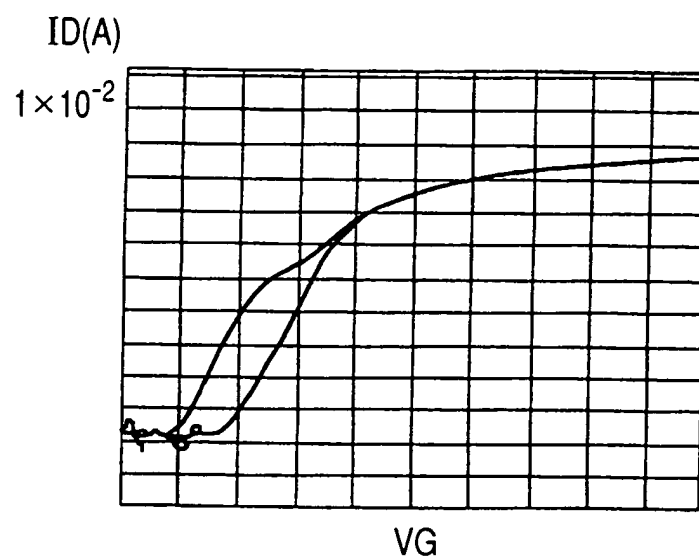


圖 107

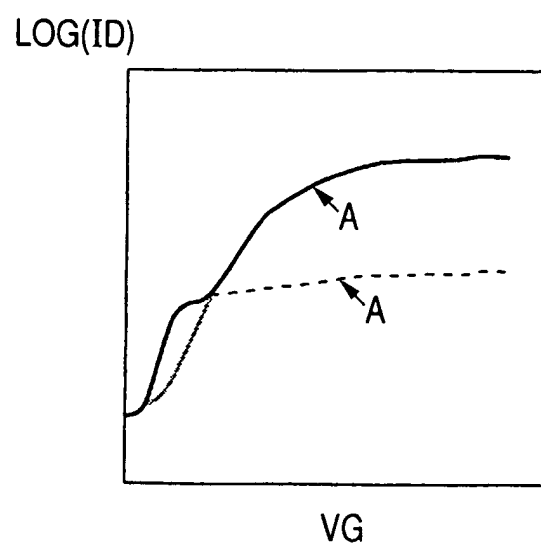


圖 108

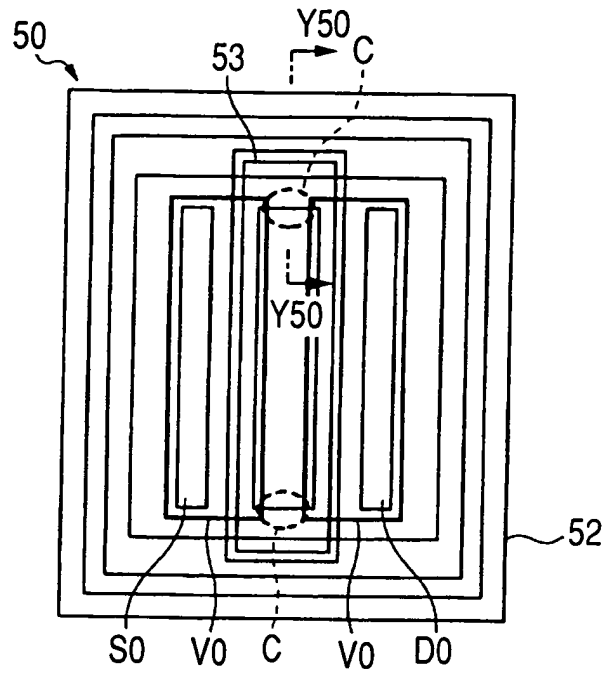


圖 109

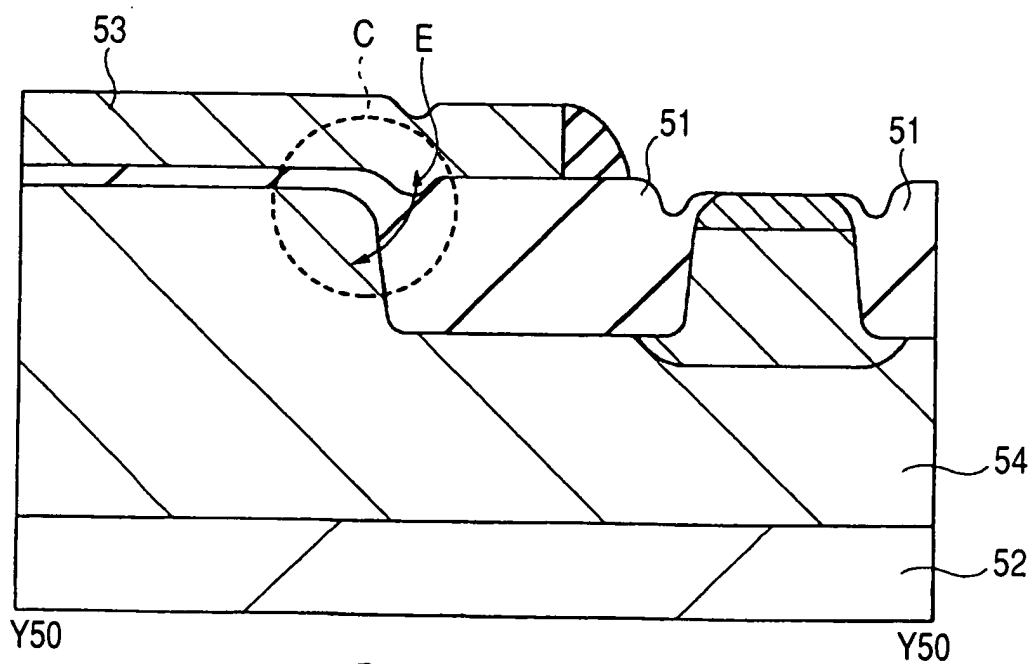


圖 110

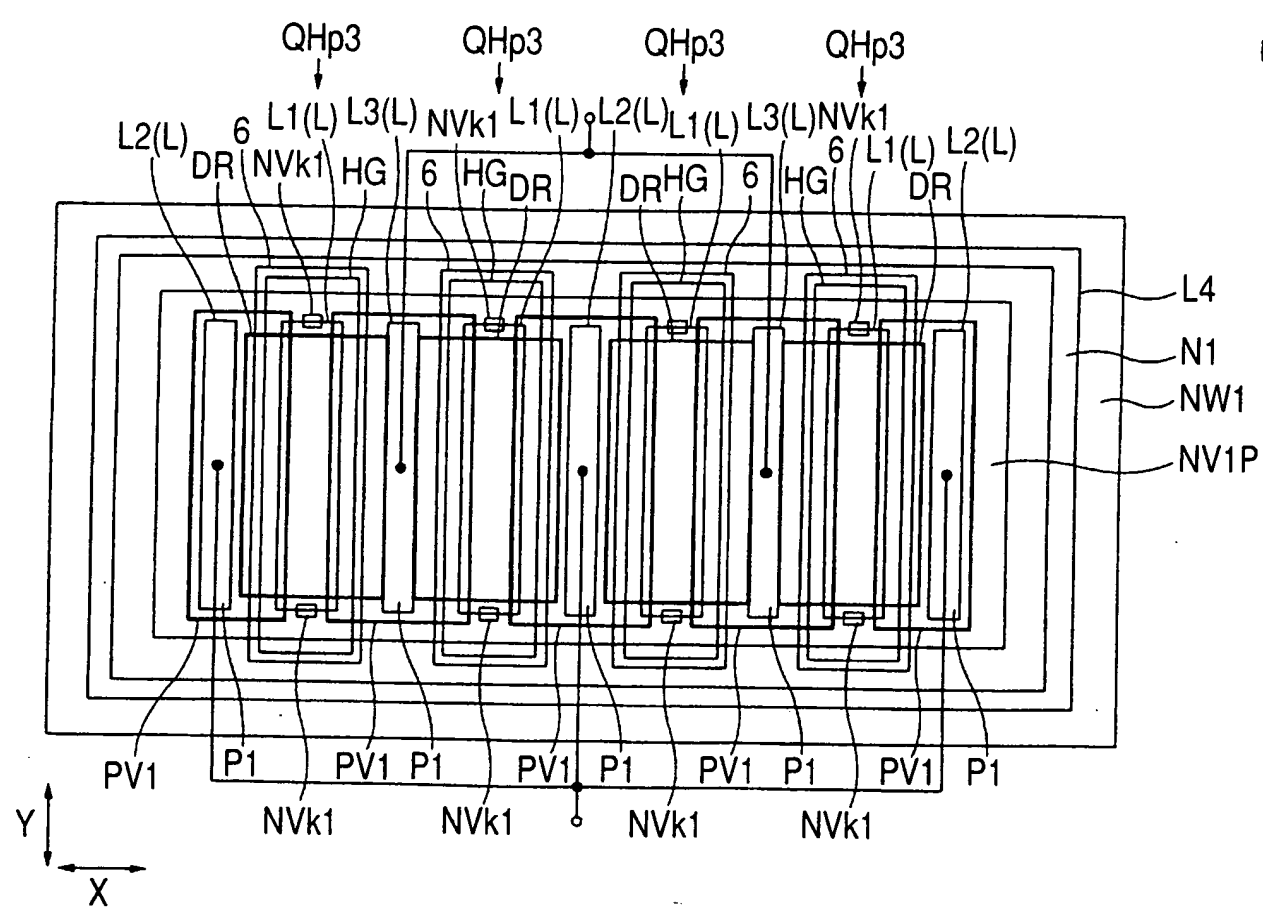


圖 111

## 七、指定代表圖：

(一)本案指定代表圖為：第 ( 5 ) 圖。

(二)本代表圖之元件符號簡單說明：

|                  |                       |
|------------------|-----------------------|
| 1S               | 半導體基板                 |
| 2                | 矽化物層                  |
| 3                | 隔離部                   |
| 5                | 側壁                    |
| 6                | 閘極絕緣膜                 |
| 6a, 6b           | 絕緣膜                   |
| DNW              | 深的n型井                 |
| HG               | 閘極電極                  |
| N1               | n <sup>+</sup> 型半導體區域 |
| NV <sub>k</sub>  | n <sup>+</sup> 型半導體區域 |
| NW1              | n <sup>+</sup> 型井     |
| P1               | p <sup>+</sup> 型半導體區域 |
| PV1              | p <sup>-</sup> 型半導體區域 |
| QH <sub>p1</sub> | 高耐壓p通道型MIS・FET        |

## 八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)