

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6207178号
(P6207178)

(45) 発行日 平成29年10月4日 (2017. 10. 4)

(24) 登録日 平成29年9月15日 (2017. 9. 15)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 6 T

H O 1 L 27/115 (2017. 01)

H O 1 L 29/78 6 1 7 K

H O 1 L 21/8242 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 27/108 (2006. 01)

H O 1 L 29/78 6 2 O

H O 1 L 29/788 (2006. 01)

H O 1 L 27/115

請求項の数 7 (全 37 頁) 最終頁に続く

(21) 出願番号 特願2013-42638 (P2013-42638)
 (22) 出願日 平成25年3月5日 (2013. 3. 5)
 (65) 公開番号 特開2013-214731 (P2013-214731A)
 (43) 公開日 平成25年10月17日 (2013. 10. 17)
 審査請求日 平成28年2月26日 (2016. 2. 26)
 (31) 優先権主張番号 特願2012-48373 (P2012-48373)
 (32) 優先日 平成24年3月5日 (2012. 3. 5)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 米田 誠一
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、容量素子と、を有し、前記トランジスタは、

絶縁表面上に設けられた半導体膜と、

絶縁膜と、

前記絶縁膜を挟んで前記半導体膜と重畳するように設けられたゲート電極と、

前記半導体膜の外周端部および前記ゲート電極の外周端部に至らない内側に設けられ

、かつ前記半導体膜と接する第 1 の電極と、

前記半導体膜と接する第 2 の電極と、を有し、

前記容量素子は、

前記絶縁膜と、

前記第 2 の電極と、

前記絶縁膜を挟んで前記第 2 の電極と少なくとも一部が重なる第 3 の電極と、を有し、
前記第 1 の電極は、前記ゲート電極の内周端部と重ならないように配置されていることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 2 の電極は、前記半導体膜の外周端部に おいて前記半導体膜の上面及び側面と接

して設けられている半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、
前記第 3 の電極は前記ゲート電極と同一層かつ同一材料からなる半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれかにおいて、
前記半導体膜は不純物添加領域を有し、
前記不純物添加領域は前記ゲート電極と重畳しない半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかにおいて、
前記半導体膜は、酸化物半導体膜である半導体装置。

10

【請求項 6】

請求項 5 において、
前記酸化物半導体膜は、少なくともインジウムを含む半導体装置。

【請求項 7】

請求項 5 または請求項 6 のいずれかにおいて、
前記酸化物半導体膜は、非晶質部および結晶部を有し、
前記結晶部は、c 軸が前記酸化物半導体膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃う半導体装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、トランジスタ、記憶素子、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。このような薄膜トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている（例えば、特許文献 1 および特許文献 2）。

30

【0004】

これらの電子デバイスでは、集積化と動作の高速化のためトランジスタの微細化が進められている。ところが、トランジスタの微細化に伴い、電子デバイスの消費電力に占めるリーク電流の割合が無視できなくなっている。

【0005】

またスマートフォンやポータブルゲーム機をはじめとする携帯機器の普及により、少ない電力で長時間動作ができる電子デバイスが求められている。

40

【0006】

このように電子デバイスの低消費電力化の要求は高まっている。

【0007】

低消費電力化のアプローチとしては、回路設計を工夫してパワーゲーティング技術等を適用する方法と、構造を改良してトランジスタのリーク電流を低減する方法とがある。

【0008】

トランジスタのリーク電流としては、ゲート絶縁膜の物理膜厚が薄くなることによって生じるトンネル電流や、トランジスタがオフ状態のときにソース - ドレイン間を流れるオフ電流等がある。

【先行技術文献】

50

【特許文献】

【0009】

【特許文献1】特開2006-222462号公報

【特許文献2】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

そこで本発明の一態様は、トランジスタのリーク電流の一つである、オフ電流の低いトランジスタを提供することを目的の一とする。またオフ電流の低いトランジスタを有する半導体装置の集積度を向上させることを目的の一とする。

10

【課題を解決するための手段】

【0011】

上記課題を解決するために本発明の一態様では、平面視において、ドレイン電極の外周端部をゲート電極の外周端部の内側に設けた構成のトランジスタとする。これはドレイン電極を囲むようにゲート電極を設けた構成のトランジスタと言い換えてもよい。

【0012】

このようにドレイン電極がゲート電極および半導体膜の外周端部の内側に設けられる構成のトランジスタとすることで、ゲート電極と重畳する領域において、少なくともドレイン電極が半導体膜の側面と接しないため、寄生チャネルが形成されることがない。従って、オフ電流が低く、安定した電気的特性を有し、低消費電力なトランジスタを提供することができる。

20

【0013】

また本発明の一態様では、上記の構成のトランジスタと他の受動素子、たとえば容量素子の構成要素の一部を共有させる。これにより、オフ電流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

【0014】

またトランジスタと容量素子の構成要素の一部を共有させることで、トランジスタ作製と同じ工程数で、トランジスタと容量素子を作製することが可能となる。そのため生産性高く作製可能な半導体装置を提供することができる。

【0015】

具体的には、本発明の一態様は、絶縁表面上に設けられた半導体膜と、絶縁膜と、絶縁膜を挟んで半導体膜と重畳するように設けられたゲート電極と、半導体膜の外周端部およびゲート電極の外周端部に至らない内側に設けられ、かつ半導体膜と接する第1の電極と、半導体膜と接する第2の電極と、を有するトランジスタと、絶縁膜と、第2の電極と、絶縁膜を挟んで第2の電極と少なくとも一部が重なる第3の電極とで形成される容量素子と、を有することを特徴とする半導体装置である。

30

【0016】

また第2の電極は半導体膜の外周端部に接して設けられていてもよい。

【0017】

また第3の電極はゲート電極と同一層かつ同一材料であってもよい。

40

【0018】

また半導体膜は、ゲート電極と重畳しない領域に不純物添加領域を有してもよい。

【0019】

また半導体膜は、酸化物半導体膜であってもよい。酸化物半導体膜である場合、少なくともインジウムを含むことができる。また酸化物半導体膜である場合、非晶質部および結晶部を有し、結晶部は、c軸が酸化物半導体膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っていてもよい。

【発明の効果】

【0020】

本発明の一態様によりオフ電流の低いトランジスタを提供することができる。またオフ電

50

流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

【図面の簡単な説明】

【 0 0 2 1 】

【図 1】半導体装置の一態様を説明する平面図、断面図および回路図。

【図 2】半導体装置の一態様を説明する平面図および断面図。

【図 3】半導体装置の一態様を説明する平面図および断面図。

【図 4】半導体装置の一態様を説明する平面図および断面図。

【図 5】半導体装置の一態様を説明する平面図および断面図。

【図 6】半導体装置の一態様を説明する平面図および断面図。

【図 7】半導体装置の一態様を説明する断面図および回路図。

【図 8】半導体装置の一態様を説明する回路図。

【図 9】半導体装置の一態様を説明する回路図。

【図 10】画素の (A) 構成例を示す図、(B) 動作例を示す図。

【図 11】有機 EL 素子を用いた表示装置の画素の一部の断面図および発光層の断面図。

【図 12】液晶素子を用いた表示装置の画素の回路図および断面図。

【図 13】電子機器を説明する図。

【図 14】電子機器を説明する図。

【発明を実施するための形態】

【 0 0 2 2 】

以下では、本明細書に開示する発明の実施の形態について図面を用いて詳細に説明する。ただし、本明細書に開示する発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本明細書に開示する発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【 0 0 2 3 】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【 0 0 2 4 】

また、「ソース」および「ソース電極」ならびに「ドレイン」および「ドレイン電極」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。また本明細書等において、チャネル領域とは、ソース領域（ソース電極）およびドレイン領域（ドレイン電極）の対向する領域をいう。

【 0 0 2 5 】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

【 0 0 2 6 】

(実施の形態 1)

本実施の形態では、半導体装置の一形態の構成およびその材料について、図 1 を参照して説明する。

【 0 0 2 7 】

< 半導体装置の構成 >

図 1 (A - 1) はトランジスタ 3 1 および容量素子 3 2 の平面図であり、図 1 (A - 2) は図 1 (A - 1) の一点鎖線 A - B の断面図、図 1 (A - 3) は図 1 (A - 1) の一点鎖

10

20

30

40

50

線 C - D の断面図である。なお、図 1 (A - 1) では煩雑になることを避けるために、トランジスタ 3 1 および容量素子 3 2 の構成要素の一部 (例えば、絶縁膜 1 6 など) を省略して図示する。また図 1 (B) はトランジスタ 3 1 および容量素子 3 2 の接続を示す回路図である。

【 0 0 2 8 】

図 1 に示すトランジスタ 3 1 は、絶縁表面を有する基板 1 0 上に設けられた半導体膜 1 2 a と、絶縁膜 1 6 と、絶縁膜を挟んで半導体膜と重畳するように設けられたゲート電極 1 8 a と、半導体膜 1 2 a の外周端部およびゲート電極 1 8 a の外周端部に至らない内側に設けられ、かつ半導体膜と接する第 1 の電極 1 4 a と、半導体膜と接する第 2 の電極 1 4 b と、を有する。

10

【 0 0 2 9 】

トランジスタ 3 1 の絶縁膜 1 6 はゲート絶縁膜、電極 1 4 a はドレイン電極、電極 1 4 b はソース電極として機能する。

【 0 0 3 0 】

また容量素子 3 2 は、絶縁膜 1 6 と、第 2 の電極 1 4 b と、絶縁膜 1 6 を挟んで第 2 の電極 1 4 b と少なくとも一部が重なる第 3 の電極 1 8 b と、を有する。

【 0 0 3 1 】

なお本明細書等において、外周端部とは島状または環状の電極等を平面視したときの電極等の外周の端部である。また内周端部は環状である電極等を平面視したときの電極の内周の端部である。たとえば図 1 のトランジスタ 3 1 において、ゲート電極 1 8 a の外周端部は、電極 1 8 b と対向している端部である。またゲート電極 1 8 a の内周端部は、電極 1 4 a と対向している端部である。

20

【 0 0 3 2 】

なお環状である電極等の一部に切り欠きがあっても (たとえば U 字状等であっても)、同様に外周端部、内周端部と表現する。

【 0 0 3 3 】

トランジスタのオフ電流の発生要因の一つとしては、寄生チャネルの発生が挙げられる。寄生チャネルとは意図しないキャリアの移動経路である。たとえば半導体膜の外周端部の側面が他の部分よりも低抵抗となり、当該領域にソースとドレインが電氣的に接続されると、該低抵抗領域に寄生チャネルが発生しうる。つまりゲートと重畳する領域の半導体膜であって、ゲートとソース間の電圧に応じてソースとドレイン間の最短経路に形成されるチャネル (前者のチャネルともいう) と、寄生チャネル (後者のチャネルともいう) との 2 種のチャネルが形成されうることになる。

30

【 0 0 3 4 】

2 種のチャネルが形成されうるトランジスタにおいては、多くの場合、それぞれのチャネルが形成されるゲートとソース間のしきい値電圧が異なる。典型的には、前者のチャネルが形成されるしきい値電圧は、後者のチャネルが形成されるしきい値電圧よりも高い。そして、前者のチャネルの電流駆動能力は、後者のチャネルの電流駆動能力よりも高い。よって、オフ状態にある当該トランジスタのゲートとソース間の電圧を上昇させていった場合、ソースとドレイン間の電流が 2 段階の変化をすることになる。具体的には、後者のチャネルが形成されるしきい値電圧の近傍において 1 段階目の変化 (ソースとドレイン間の電流の増加) が確認され、さらに、前者のチャネルが形成されるしきい値電圧の近傍において 2 段階目の変化 (ソースとドレイン間の電流の増加) が確認される。

40

【 0 0 3 5 】

従って、寄生チャネル (後者のチャネル) が形成されることで、トランジスタのしきい値電圧がマイナスにシフトし、オフ電流が増大するという問題が生じる。

【 0 0 3 6 】

そこで図 1 のようにドレイン電極 (電極 1 4 a) の外周端部を、ゲート電極 (ゲート電極 1 8 a) および半導体膜 1 2 a の外周端部の内側に位置させることで、ドレイン電極 (電極 1 4 a) と、半導体膜 1 2 a の外周端部の側面とが接しない構造としている。そのため

50

、半導体膜 1 2 a の側面が他の部分よりも低抵抗となってもトランジスタの特性は影響を受けない。これにより寄生チャネルの発生を防止し、トランジスタ 3 1 のしきい値電圧がマイナスにシフトすることを防止できる。そのため安定した電気的特性を有し、低消費電力なトランジスタを提供することができる。

【 0 0 3 7 】

しかしながら、ドレイン電極がゲート電極および半導体膜の外周端部の内側に設けられる構成とすることで、トランジスタ 1 つあたりの占有面積が広くなる恐れがある。

【 0 0 3 8 】

そこで、電極 1 4 b と電極 1 8 b の少なくとも一部を重畳して設ける構成とする。これにより、トランジスタ 1 つ分の面積にトランジスタおよび容量素子を設けることができる。したがって、オフ電流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

10

【 0 0 3 9 】

またトランジスタ 3 1 と容量素子 3 2 で電極 1 4 b および絶縁膜 1 6 を共有させることで、トランジスタの作製と同じ工程数で、トランジスタ 3 1 と容量素子 3 2 を形成することができ、生産性高く作製可能な半導体装置を提供することができる。

【 0 0 4 0 】

< < 半導体装置の構成材料 > >

< 基板 1 0 >

基板 1 0 に使用することができる基板に大きな制限はないが、少なくとも、半導体装置製造の際の加熱処理に耐えうる程度の耐熱性を有することが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板 1 0 として用いてもよい。

20

【 0 0 4 1 】

また、基板 1 0 として、可撓性基板を用いてもよい。可撓性を有する半導体装置とするには、可撓性基板上に半導体膜 1 2 a を含むトランジスタ 3 1 を直接作製してもよいし、他の作製基板上に半導体膜 1 2 a を含むトランジスタ 3 1 を作製し、その後、可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と半導体膜 1 2 a を含むトランジスタ 3 1 との間に剥離層（例えば、金属層や酸化タンゲステン層）を設けるとよい。

30

【 0 0 4 2 】

また基板 1 0 上に、下地膜として機能する絶縁膜を設けてもよい。絶縁膜としては、P E C V D 法またはスパッタリング法により、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウムなどの酸化物絶縁材料、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁材料、またはこれらの混合材料を用いて、単層構造または積層構造で、設けることができる。

40

【 0 0 4 3 】

絶縁膜として例えば、窒化シリコン膜と酸化窒化シリコン膜との積層構造を用いることが好ましい。窒化シリコン膜を用いることにより、基板から金属や水素などが半導体膜 1 2 a に達することを抑制できる。

【 0 0 4 4 】

< 半導体膜 1 2 a >

半導体膜 1 2 a としては、シリコン (S i)、ゲルマニウム (G e)、ヒ化ガリウム (G a A s)、リン化インジウム (I n P) 等を用いることができる。またシリコンよりもバンドギャップが広い窒化ガリウム (G a N) などの化合物半導体、酸化亜鉛 (Z n O) などの金属酸化物となる酸化物半導体などを用いてもよい。中でも酸化物半導体は、スパッ

50

タリング法や湿式法（印刷法など）により作製可能であり、量産性に優れるといった利点がある。さらに酸化物半導体は、安価で入手しやすいガラス基板上への成膜が可能であり、また集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。また、基板の大型化にも対応が可能である。よって、上述した半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能（例えば信頼性）を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250 から 800 の加熱処理によって結晶性の酸化物半導体を得ることができる。

【0045】

本実施の形態では、半導体膜12aとして、酸化物半導体を用いることとする。

【0046】

半導体膜12aに酸化物半導体を用いる場合、少なくともインジウム（In）または亜鉛（Zn）を含むことが好ましい。特にInおよびZnを含むことが好ましい。また、それらに加えて、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム（Ga）、スズ（Sn）、ハフニウム（Hf）およびアルミニウム（Al）の少なくともいずれかを有すればよい。

【0047】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を有してもよい。

【0048】

例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系の材料、一元系金属の酸化物であるIn系酸化物、Sn系酸化物、Zn系酸化物などを用いることができる。

【0049】

なお、ここで、例えば、In-Ga-Zn系酸化物とは、In、GaおよびZnを主成分として有する酸化物という意味であり、In、GaおよびZnの比率は問わない。

【0050】

また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$) で表記される材料を用いてもよい。

【0051】

例えば、 $\text{In}:\text{Ga}:\text{Zn} = 3:1:2$ 、 $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$ または $\text{In}:\text{Ga}:\text{Zn} = 2:2:1$ の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。または、 $\text{In}:\text{Sn}:\text{Zn} = 1:1:1$ 、 $\text{In}:\text{Sn}:\text{Zn} = 2:1:3$ または $\text{In}:\text{Sn}:\text{Zn} = 2:1:5$ の原子数比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0052】

10

20

30

40

50

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である酸化物が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) の酸化物のrだけ近傍であるとは、a、b、cが、

$$(a - A)^2 + (b - B)^2 + (c - C)^2 \leq r^2$$
 を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0053】

しかし、これらに限られず、必要とする半導体特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0054】

酸化物半導体をチャネル領域に用いたトランジスタは、酸化物半導体を高純度化することにより、オフ電流（ここでは、オフ状態のとき、たとえばソース電位を基準としたときのゲート電位との電位差が0V以下またはしきい値電圧以下のときのドレイン電流とする）を十分に低くすることが可能である。例えば、加熱成膜により酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにし、または成膜後の加熱により膜中から除去し、高純度化を図ることができる。高純度化されることにより、チャネル領域にIn-Ga-Zn系酸化物を用いたトランジスタで、チャネル長が10μm、半導体層の膜厚が30nm、ドレイン電圧が1V～10V程度の範囲である場合、オフ電流を、 1×10^{-13} A以下とすることが可能である。またチャネル幅あたりのオフ電流（オフ電流をトランジスタのチャネル幅で除した値）を 1×10^{-23} A/μm (10yA/μm) から 1×10^{-22} A/μm (100yA/μm) 程度とすることが可能である。

【0055】

半導体膜12aは、単結晶、多結晶（ポリクリスタルともいう。）または非晶質などの状態をとる。

【0056】

また、半導体膜12aは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜であることが好ましい。

【0057】

CAAC-OSは、例えば、透過型電子顕微鏡（TEM: Transmission Electron Microscope）による観察像で、結晶部を確認することができる場合がある。CAAC-OSに含まれる結晶部は、例えば、TEMによる観察像で、一辺100nmの立方体内に収まる大きさであることが多い。また、CAAC-OSは、TEMによる観察像で、結晶部と結晶部との境界を明確に確認できない場合がある。また、CAAC-OSは、TEMによる観察像で、粒界（グレインバウンダリーともいう。）を明確に確認できない場合がある。CAAC-OSは、例えば、明確な粒界を有さないため、不純物が偏析することが少ない。また、CAAC-OSは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、CAAC-OSは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

【0058】

CAAC-OSは、例えば、複数の結晶部を有し、当該複数の結晶部においてc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っている場合がある。そのため、CAAC-OSは、例えば、X線回折（XRD: X-Ray Diffraction）装置を用い、out-of-plane法による分析を行うと、2θが31°近傍のピークが現れる場合がある。2θが31°近傍のピークは、InGaZnO₄の結晶であれば、（009）面に配向していることを示す。また、CAAC-OSは、例えば、2θが36°近傍のピークが現れる場合がある。2θが36°近傍のピークは、Ga₂ZnO₄の結晶であれば、（222）面に配向していることを示す。CAAC-OSは、好ましくは、2θが31°近傍にピークが現れ、2θが36°近傍にピークが現れない。

【0059】

また、CAAC-OSは、例えば、異なる結晶部間で、それぞれa軸およびb軸の向きが揃っていない場合がある。例えば、 InGaZnO_4 の結晶を有するCAAC-OSであれば、XRD装置を用い、c軸に垂直な方向からX線を入射させるin-plane法による分析を行うと、2θが56°近傍のピークが現れる場合がある。2θが56°近傍のピークは、 InGaZnO_4 の結晶の(110)面を示す。ここで、2θを56°近傍で固定し、表面の法線ベクトルを軸(c軸)として試料を回転させて分析(スキャン)を行うと、a軸およびb軸の向きが揃っている単結晶酸化物半導体の場合は6つの対称性のピークが現れるが、CAAC-OSの場合は明瞭なピークが現れない。

【0060】

このように、CAAC-OSは、例えば、c軸配向し、a軸またはb軸はマクロに揃っていない場合がある。

【0061】

また、CAAC-OSは、例えば、電子線回折像で、スポット(輝点)が観測される場合がある。なお、特に、ビーム径が10nm以下、または5nm以下の電子線を用いて得られる電子線回折像を、極微電子線回折像と呼ぶ。

【0062】

CAAC-OSに含まれる結晶部は、例えば、c軸がCAAC-OSの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向になるように揃い、かつab面に垂直な方向から見て金属原子が三角形状または六角形状に配列し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0063】

また、CAAC-OSは、例えば、欠陥準位密度を低減することで形成することができる。酸化物半導体において、例えば、酸素欠損は欠陥準位である。酸素欠損は、トラップ準位となることや、水素を捕獲することによってキャリア発生源となる場合がある。CAAC-OSを形成するためには、例えば、酸化物半導体に酸素欠損を生じさせないことが重要となる。従って、CAAC-OSは、欠陥準位密度の低い酸化物半導体である。または、CAAC-OSは、酸素欠損の少ない酸化物半導体である。

【0064】

不純物濃度が低く、欠陥準位密度の低い(酸素欠損の少ない)ことを高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。なお、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性が不安定となる場合がある。

【0065】

また、高純度真性または実質的に高純度真性であるCAAC-OSを用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0066】

酸化物半導体は、例えば多結晶を有してもよい。なお、多結晶を有する酸化物半導体を、

10

20

30

40

50

多結晶酸化物半導体と呼ぶ。多結晶酸化物半導体は複数の結晶粒を含む。

【0067】

酸化物半導体は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。

【0068】

微結晶酸化物半導体は、例えば、TEMによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体に含まれる結晶部は、例えば、1 nm以上100 nm以下、または1 nm以上10 nm以下の大きさであることが多い。特に、例えば、1 nm以上10 nm以下の微結晶をナノ結晶(nc:nanocrystal)と呼ぶ。ナノ結晶を有する酸化物半導体を、nc-OS(nanocrystalline Oxide Semiconductor)と呼ぶ。また、nc-OSは、例えば、TEMによる観察像では、結晶部と結晶部との境界を明確に確認できない場合がある。また、nc-OSは、例えば、TEMによる観察像では、明確な粒界を有さないため、不純物が偏析することが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。また、nc-OSは、例えば、明確な粒界を有さないため、電子移動度の低下が小さい。

10

【0069】

nc-OSは、例えば、微小な領域(例えば、1 nm以上10 nm以下の領域)において原子配列に周期性を有する場合がある。また、nc-OSは、例えば、結晶部と結晶部との間で規則性がないため、巨視的には原子配列に周期性が見られない場合、または長距離秩序が見られない場合がある。従って、nc-OSは、例えば、分析方法によっては、非晶質酸化物半導体と区別が付かない場合がある。nc-OSは、例えば、XRD装置を用い、結晶部よりも大きいビーム径のX線でout-of-plane法による分析を行うと、配向を示すピークが検出されない場合がある。また、nc-OSは、例えば、結晶部よりも大きいビーム径(例えば、20 nm以上、または50 nm以上)の電子線を用いる電子線回折像では、ハローパターンが観測される場合がある。また、nc-OSは、例えば、結晶部と同じか結晶部より小さいビーム径(例えば、10 nm以下、または5 nm以下)の電子線を用いる極微電子線回折像では、スポットが観測される場合がある。また、nc-OSの極微電子線回折像は、例えば、円を描くように輝度の高い領域が観測される場合がある。また、nc-OSの極微電子線回折像は、例えば、当該領域内に複数のスポットが観測される場合がある。

20

30

【0070】

nc-OSは、微小な領域において原子配列に周期性を有する場合があるため、非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-OSは、結晶部と結晶部との間で規則性がないため、CAAC-OSと比べて欠陥準位密度が高くなる。

【0071】

なお、酸化物半導体が、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、CAAC-OSの領域、のいずれか二種以上の領域の積層構造を有する場合がある。

40

【0072】

なお、本実施の形態では、半導体膜12aがCAAC-OS膜であるとして説明を行うが、単結晶、多結晶(ポリクリスタルともいう)、または非晶質であってもよい。

【0073】

半導体膜12aとして酸化物半導体を用いる場合、チャネル形成領域は、水又は水素などの不純物が低減され、かつ酸素欠損が低減されることで高純度化された領域であることが好ましい。高純度化された酸化物半導体(purified OS)は、i型(真性半導体)またはi型に限りなく近い。そのため、上記酸化物半導体をチャネル形成領域に用い

50

たトランジスタは、オフ電流が著しく低く、しきい値電圧のマイナス方向のシフトが少ない（すなわちノーマリオフの特性が得られやすい）という特性を有する。

【0074】

具体的に、半導体膜12aのチャネル形成領域は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）による水素濃度の測定値が、 $5 \times 10^{18} / \text{cm}^3$ 未満、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とすることが好ましい。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、更に好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とすることが好ましい。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。不純物濃度が十分に低減され、かつ酸素欠損が低減されることで高純度化された酸化物半導体をチャネルが形成される領域に用いることにより、トランジスタのオフ電流を下げ、しきい値電圧のマイナス方向のシフトを少なくする（すなわちノーマリオフの特性を得る）ことができる。

10

【0075】

半導体膜12aにおいて、水素や酸素欠損が低減されていることにより、キャリアの発生を抑制することができる。キャリア密度が高まることを抑制することで、しきい値電圧のマイナス方向のシフトを小さくすることができる。なお半導体膜12aの端部では酸素が脱離しやすいため、キャリア密度が高まりやすい。

【0076】

20

そこで、本発明の一態様では、図1に示すように、ドレイン電極として機能する電極14aの外周端部を、ゲート電極18aの外周端部の内側に位置させることで、ドレイン電極として機能する14aと、半導体膜12aの外周端部の側面とが接しない構造としている。そのため、半導体膜12aの外周端部の影響を受けない。その結果、トランジスタ31のしきい値電圧がマイナスにシフトすることを防止できる。

【0077】

また半導体膜12aとして酸化物半導体を用いる場合は、下地膜として熱が与えられることにより酸素を放出する絶縁膜を設けることが好ましい。酸化物半導体と、熱が与えられることにより酸素を放出する絶縁膜とを接して設けることにより、加熱処理の際に、絶縁膜から酸素を放出し酸化物半導体に拡散（又は供給）させることができる。これにより、酸化物半導体の酸素欠損密度を低減することができる。また絶縁膜及び酸化物半導体の界面準位を低減することができる。この結果、トランジスタの動作などに起因して生じる電荷などが、絶縁膜及び酸化物半導体の界面に捕獲されることを抑制することができるため、しきい値電圧がマイナス方向へシフトすることを抑制することができる。

30

【0078】

熱が与えられることにより酸素を放出する絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む絶縁膜を用いることが好ましい。絶縁膜として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化イットリウム等を用いることができる。

【0079】

40

また、半導体膜12aとゲート絶縁層108aとの界面は、平坦であることが好ましい。界面が平坦であると、界面状態がよいためトランジスタの特性が向上する。たとえば、JIS B 0601：2001の算術平均粗さ（Ra）が0.2 nm以下であることが好ましい。

【0080】

<電極14a、電極14b>

ドレイン電極として機能する電極14a、ソース電極として機能する電極14bとして、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いることができる。また電極14a、電極14bは、酸化インジウム酸化スズ、酸化タングステンを含むイン

50

ジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、酸化インジウム酸化亜鉛、酸化ケイ素を添加したインジウムスズ酸化物などの導電性材料を用いることもできる。また、電極 14 a、電極 14 b は、上記の導電材料を用いて、単層構造または積層構造とすることができる。

【0081】

電極 14 a、電極 14 b を単層構造とする場合は、例えば、膜厚 100 nm のタングステン膜を用いればよい。

【0082】

電極 14 a、電極 14 b を 2 層の積層構造とする場合は、例えば、膜厚 30 nm の窒化タンタル膜と膜厚 200 nm の銅膜の積層構造とすればよい。銅膜を用いることにより、配線抵抗を低減することができる。また膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。また膜厚 200 nm の銅膜に代えて、タングステン膜を用いてもよい。

10

【0083】

また電極 14 a、電極 14 b を 3 層の積層構造とする場合は、例えば、膜厚 30 nm の窒化タンタル膜、膜厚 200 nm の銅膜、膜厚 30 nm のタングステン膜を用いればよい。また、膜厚 30 nm の窒化タンタル膜に代えて、タングステン膜、窒化タングステン膜、窒化モリブデン膜、窒化チタン膜を用いてもよい。また、膜厚 30 nm のタングステン膜に代えて、モリブデン膜を用いてもよい。銅膜を用いることにより、配線抵抗を低減することができる。また、銅膜上に、タングステン膜またはモリブデン膜を積層することで、銅が達することを抑制できる。

20

【0084】

<絶縁膜 16>

ゲート絶縁膜として機能する絶縁膜 16 としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ハフニウム、酸化ガリウムなどの酸化物絶縁材料、窒化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの窒化物絶縁材料、またはこれらの混合材料を用いて、単層構造または積層構造で、設けることができる。また半導体膜 12 a として酸化物半導体を用いる場合は、絶縁膜 16 として熱が与えられることにより酸素を放出する絶縁膜を用いることが好ましい。

30

【0085】

<ゲート電極 18 a、電極 18 b>

ゲート電極 18 a、容量素子電極として機能する電極 18 b としては、電極 14 a、電極 14 b と同様の材料を用いることができる。

【0086】

なおタングステン膜またはモリブデン膜は、仕事関数が比較的高いため、ゲート電極として用いると、トランジスタのしきい値電圧がプラスになりやすい（すなわちノーマリオフのトランジスタとしやすい）ため、好適である。なお絶縁膜 16 によって、銅が半導体膜 12 に達することを防止することができれば、タングステン膜およびモリブデン膜は形成しなくともよい。

40

【0087】

なお図示しないが、トランジスタ 31 および容量素子 32 上に絶縁膜を設けることが好ましい。絶縁膜は、1 つの工程で形成してもよいし、複数の工程を経て形成してもよい。また異なる材料からなる膜を積層させてもよい。絶縁膜の材料としては、絶縁膜 16 と同様の材料を用いることができる。

【0088】

(実施の形態 2)

本実施の形態では、実施の形態 1 と異なる半導体装置の一形態の構成について、図 2 乃至図 6 を参照して説明する。

【0089】

50

図2(A-1)はトランジスタ31および容量素子32の平面図であり、図2(A-2)は図2(A-1)の一点鎖線A-Bの断面図、図2(A-3)は図2(A-1)の一点鎖線C-Dの断面図である。なお、図2(A-1)では煩雑になることを避けるために、トランジスタ31および容量素子32の構成要素の一部(例えば、絶縁膜16など)を省略して図示する。

【0090】

実施の形態1の図1の半導体装置と、図2の半導体装置の主な相違点は、図2では半導体膜12aが不純物添加領域12a1を有する点である。不純物添加領域12a1は、半導体膜12aの導電率を変化させる不純物を有する領域であり、ゲート電極18a、電極14aおよび電極14bのいずれとも重畳しない領域に設けられる。

10

【0091】

不純物添加領域12a1を設けることにより、該領域がトランジスタ31のLDD領域として機能する。LDD領域を設けることにより、ドレイン電極端部における電界集中を緩和し、ホットキャリア劣化を防ぐことができる。また、ソース電極端部において、ドレイン電極端部からの電界の影響が小さくなるため、DIBLによるパンチスルー現象を抑制できる。

【0092】

なお、半導体膜12aのうち、不純物が添加された領域(不純物添加領域12a1)は結晶構造が乱れ、非晶質状態になりやすい。このため、半導体膜12aとしてCAAC-OS膜などの結晶性を有する膜を用い、当該膜に対して不純物を添加した場合、チャンネル形成領域はCAAC-OS膜の状態を保ち、不純物添加領域12a1は非晶質状態の酸化物半導体膜(または、非晶質状態を多く含む酸化物半導体膜。)になりやすい。

20

【0093】

非晶質状態の酸化物半導体膜(または、非晶質状態を多く含む酸化物半導体膜。)は、接して設けられたCAAC-OS膜などの結晶性を有する酸化物半導体膜に含まれる水素などのドナーとなる不純物をゲッタリングしやすい。このため、チャンネル形成領域から不純物添加領域12a1に水素などのドナーとなる不純物がゲッタリングされトランジスタ31の電気的特性を良好なものとすることができる。

【0094】

なお、不純物としては、15族元素(代表的にはリン(P)、砒素(As)、アンチモン(Sb))、ホウ素(B)、アルミニウム(Al)、窒素(N)、アルゴン(Ar)、ヘリウム(He)、ネオン(Ne)、インジウム(In)、フッ素(F)、塩素(Cl)、チタン(Ti)、及び亜鉛(Zn)のいずれかから選択される一以上を用いることができる。イオン注入法は、必要なイオンのみを取り出す質量分離器を用いているため、対象物に対して不純物のみを選択的に添加できる。このため、イオンドーピング法を用いて添加した場合と比べて半導体膜12a中への不純物(例えば水素など)の混入が少なくなるため好ましい。ただし、イオンドーピング法を除外するものではない。

30

【0095】

図3(A-1)はトランジスタ31および容量素子32の平面図であり、図3(A-2)は図3(A-1)の一点鎖線A-Bの断面図、図3(A-3)は図3(A-1)の一点鎖線C-Dの断面図である。なお、図3(A-1)では煩雑になることを避けるために、トランジスタ31および容量素子32の構成要素の一部(例えば、絶縁膜16など)を省略して図示する。

40

【0096】

実施の形態1の図1の半導体装置と、図3の半導体装置の主な相違点はドレイン電極およびソース電極の配置である。図1ではドレイン電極およびソース電極として機能する電極14aおよび電極14bが半導体膜12a上に設けられていたのに対して、図2ではドレイン電極およびソース電極として機能する電極20aおよび電極20bは半導体膜12aの下に設けられている。

【0097】

50

このような構成としても、寄生チャネルの発生を防止し、トランジスタ 3 1 のしきい値電圧がマイナスにシフトすることを防止できる。またソース電極として機能する電極 1 4 b と容量素子電極として機能する電極 1 8 b を重畳して設けるため、半導体装置の集積度を向上させることができる。

【0098】

図 4 (A - 1) はトランジスタ 3 1 および容量素子 3 2 の平面図であり、図 4 (A - 2) は図 4 (A - 1) の一点鎖線 A - B の断面図、図 4 (A - 3) は図 4 (A - 1) の一点鎖線 C - D の断面図である。なお、図 4 (A - 1) では煩雑になることを避けるために、トランジスタ 3 1 および容量素子 3 2 の構成要素の一部 (例えば、絶縁膜 1 6 など) を省略して図示する。

10

【0099】

実施の形態 1 の図 1 の半導体装置と、図 4 の半導体装置の主な相違点はゲート電極の配置である。図 1 ではゲート電極 1 8 a が半導体膜 1 2 a 上に設けられていたのに対して、図 4 ではゲート電極 2 2 a は半導体膜 1 2 a の下に設けられている。また、図 4 の容量素子 3 2 は、電極 1 8 b と、絶縁膜 2 3 と、電極 1 4 a とを有している。

【0100】

このような構成としても、これにより寄生チャネルの発生を防止し、トランジスタ 3 1 のしきい値電圧がマイナスにシフトすることを防止できる。そのためオフ電流が低く、安定した電気的特性を有し、低消費電力なトランジスタを提供することができる。また電極 1 4 b と電極 1 8 b とを重畳して設ける構成とすることで、オフ電流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

20

【0101】

なお図 4 の半導体装置ではゲート電極 2 2 a と容量素子電極として機能する電極 1 8 b を異なる導電層からなる構成としたが、これに限らない。ゲート電極と容量素子電極として機能する電極が同一層かつ同一材料からなる構成としてもよい。このような構成とすることで、生産性高く作製可能な半導体装置を提供することができる。

【0102】

図 5 (A - 1) はトランジスタ 3 1 および容量素子 3 2 の平面図であり、図 5 (A - 2) は図 5 (A - 1) の一点鎖線 A - B の断面図、図 5 (A - 3) は図 5 (A - 1) の一点鎖線 C - D の断面図である。なお、図 5 (A - 1) では煩雑になることを避けるために、トランジスタ 3 1 および容量素子 3 2 の構成要素の一部 (例えば、絶縁膜 1 6 など) を省略して図示する。

30

【0103】

実施の形態 1 の図 1 の半導体装置と、図 5 の半導体装置の主な相違点は半導体膜 1 2 a の形状である。図 1 では半導体膜 1 2 a の外周端部が電極 1 4 b と接して設けられているのに対して、図 5 では半導体膜 1 2 a は電極 1 4 b より外側にも設けられている。

【0104】

このような構成としても、寄生チャネルの発生を防止し、トランジスタ 3 1 のしきい値電圧がマイナスにシフトすることを防止できる。そのためオフ電流が低く、安定した電気的特性を有し、低消費電力なトランジスタを提供することができる。またソース電極として機能する電極 1 4 b と容量素子電極として機能する電極 1 8 b を重畳して設けるため、オフ電流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

40

【0105】

図 6 (A - 1) はトランジスタ 3 1 および容量素子 3 2 の平面図であり、図 6 (A - 2) は図 6 (A - 1) の一点鎖線 A - B の断面図、図 6 (A - 3) は図 6 (A - 1) の一点鎖線 C - D の断面図である。なお、図 6 (A - 1) では煩雑になることを避けるために、トランジスタ 3 1 および容量素子 3 2 の構成要素の一部 (例えば、絶縁膜 1 6 など) を省略して図示する。

【0106】

実施の形態 1 の図 1 の半導体装置と、図 6 の半導体装置の主な相違点は電極 1 4 b および

50

電極 1 8 b の配置および形状である。図 1 ではゲート電極 1 8 a を囲うように電極 1 4 b および電極 1 8 b が設けられていたのに対して、図 6 ではゲート電極 1 8 a の一辺と対向して電極 1 4 b および電極 1 8 b が設けられている。

【 0 1 0 7 】

このような構成としても、寄生チャネルの発生を防止し、トランジスタ 3 1 のしきい値電圧がマイナスにシフトすることを防止できる。またソース電極として機能する電極 1 4 b と容量素子電極として機能する電極 1 8 b を重畳して設けるため、オフ電流の低いトランジスタを有する半導体装置の集積度を向上させることができる。

【 0 1 0 8 】

なお、図 1 乃至図 6 ではゲート電極 1 8 a またはゲート電極 2 2 a は、ソース電極として機能する電極およびドレイン電極として機能する電極と重畳しない構成、すなわちオフセット領域または L D D 領域を有する構成について説明した。しかし電極が、絶縁膜を介してソース電極として機能する電極およびドレイン電極として機能する電極と重畳する構成としてもよい。

【 0 1 0 9 】

また図 1 乃至図 6 ではゲート電極、ドレイン電極およびソース電極として機能する電極が矩形のトランジスタについて説明したが、これらの構成要素はそれぞれ円形等、他の形状であってもよい。

【 0 1 1 0 】

また、図 1 乃至図 6 のトランジスタの特徴を組み合わせることで有するトランジスタとしてもよい。

【 0 1 1 1 】

(実施の形態 3)

本実施の形態では、本発明の一態様に係る記憶素子の一例について図 1 (B) および図 7 を参照して説明する。

【 0 1 1 2 】

図 1 (B) のトランジスタ 3 1 と容量素子 3 2 は D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) の記憶素子として用いることができる。D R A M は、記憶素子を構成するトランジスタを選択して容量素子に電荷を蓄積することで、情報を記憶する。

【 0 1 1 3 】

D R A M の記憶素子に用いる場合、トランジスタ 3 1 の半導体膜には酸化物半導体を用いることが好ましい。酸化物半導体を用いることで、オフ電流が極めて小さいトランジスタとすることができる。このため、トランジスタ 3 1 をオフ状態とすると容量素子 3 2 に与えられた電荷を長期間にわたって保持することができる。そのためリフレッシュ動作の頻度を極めて低くし、消費電力をより低減することが可能である。

【 0 1 1 4 】

すなわちトランジスタ 3 1 および容量素子 3 2 を用いて、実質的に不揮発性のランダムアクセスメモリを実現することが可能となる。

【 0 1 1 5 】

ところで、不揮発性のランダムアクセスメモリとして磁気トンネル接合素子 (M T J 素子) が知られている。M T J 素子は、絶縁膜を介して上下に配置している膜中のスピンの向きが平行であれば低抵抗状態、反平行であれば高抵抗状態となることで情報を記憶する素子である。したがって、本実施の形態で示す酸化物半導体を用いたメモリとは原理が全く異なっている。表 1 は M T J 素子と、本実施の形態に係る半導体装置との対比を示す。

【 0 1 1 6 】

【表 1】

	MTJ素子	本実施の形態に係る記憶素子
1) 耐熱性	キュリー温度	プロセス温度500℃ (信頼性150℃)
2) 駆動方式	電流駆動	電圧駆動
3) 書き込み原理	磁性体のスピンの向きを変える	FETのオン/オフ
4) Si LSI	バイポーラLSI向き (バイポーラは高集積化には不向きなため、高集積化回路ではMOSの方が好ましい。ただし、Wが大きくなる。)	MOSLSI向き
5) オーバーヘッド	大きい (ジュール熱が大きいため)	2～3桁以上小さい (寄生容量の充放電)
6) 不揮発性	スピンを利用	オフ電流が小さいことを利用
7) 読み出し回数	無制限	無制限
8) 3D化	難(できても二層まで)	容易(何層でも可)
9) 集積化度(F^2)	$4F^2 \sim 15F^2$	3D化の積層数で決まる (上層酸化物半導体FET工程のプロセス耐熱性の確保が必要)
10) 材料	磁性を有する希土類	酸化物半導体材料
11) ビットコスト	高い	低い (酸化物半導体を構成する材料によっては(Inなど)、多少コスト高の可能性有り)
12) 磁界耐性	弱い	強い

10

20

【0117】

MTJ素子は磁性材料を使用するためキュリー温度以上にすると磁性が失われてしまうという欠点がある。また、MTJ素子は電流駆動であるため、シリコンのバイポーラデバイスと相性が良いが、バイポーラデバイスは集積化に不向きである。そして、MTJ素子は書き込み電流が微小とはいえメモリの大容量化によって消費電力が増大してしまうといった問題がある。

30

【0118】

また、MTJ素子は、1セルあたりの書き込み電流が $50\mu A \sim 500\mu A$ と言われているが、本実施の形態に係る半導体装置では、容量素子への電荷の供給によりデータの待避を行っているので、データの書き込みに要する電流をMTJ素子の $1/100$ 程度に抑えることができる。そのため、本発明の一態様に係る半導体装置ではより消費電力を低減することができる。

40

【0119】

また、原理的にMTJ素子は磁界耐性に弱く強磁界にさらされるとスピンの向きが狂いやすい。また、MTJ素子に用いる磁性体のナノスケール化によって生じる磁化揺らぎを制御する必要がある。

【0120】

さらに、MTJ素子は希土類元素を使用するため、MTJ素子はビット当たりの材料コストから見ても高価であると考えられる。

【0121】

一方、本実施の形態で示す酸化物半導体を用いたトランジスタは、チャネルを形成する半導体材料が金属酸化物であること以外は、素子構造や動作原理がシリコンMOSFETと

50

同様である。また、酸化物半導体を用いたトランジスタは磁界の影響を受けず、ソフトエラーも生じ得ないといった特質を有する。このことからシリコン集積回路と非常に整合性が良いといえる。

【0122】

次に図7を用いて、図1(B)と異なる記憶素子の一例を示す。

【0123】

図7(A)は、本発明の一態様に係る記憶素子の断面図、図7(B)はその回路図である。図7に示す記憶素子はトランジスタ31、容量素子32およびトランジスタ34を有する。トランジスタ31と容量素子32には、実施の形態1および実施の形態2で示したトランジスタおよび容量素子を適用することができる。

10

【0124】

図7(A)に示すように、半導体膜12a、絶縁膜16、電極14a、電極14b、ゲート電極18aでトランジスタ31を構成する。また電極14b、絶縁膜16、電極18bで容量素子32を構成する。またチャネル形成領域117a、ドレイン電極117b、ソース電極117c、ゲート絶縁膜108、ゲート電極107でトランジスタ34を構成する。

【0125】

また図7(B)に示すように、本発明の一態様に係る記憶素子は第1の配線(1st Line)とトランジスタ34のソース電極またはドレイン電極117bとは、電氣的に接続され、第2の配線(2nd Line)とトランジスタ34のドレイン電極またはソース電極117cとは、電氣的に接続されている。また、第3の配線(3rd Line)とトランジスタ31のドレイン電極として機能する電極14aとは、電氣的に接続され、第4の配線(4th Line)と、トランジスタ31のゲート電極18aとは、電氣的に接続されている。そして、トランジスタ34のゲート電極107と、トランジスタ31のソース電極として機能する電極14b電氣的に接続され、また電極14bは容量素子32の電極の一方を兼ねている。また第5の配線(5th Line)と、容量素子32の電極の他方として機能する18bは電氣的に接続されている。

20

【0126】

ここでトランジスタ31の半導体膜には酸化物半導体を用いることが好ましい。酸化物半導体を用いることでオフ電流が極めて小さいトランジスタとすることができる。このため、トランジスタ31をオフ状態とすることで、トランジスタ34のゲート電極の電位を極めて長期間にわたって保持することが可能である。そして、容量素子32を有することにより、トランジスタ34のゲート電極に与えられた電位の保持が容易になり、また、保持されたデータの読み出しが容易になる。

30

【0127】

トランジスタ34は、基板150上に、チャネル形成領域117a、ソース電極またはドレイン電極117b、ドレイン電極またはソース電極117cを有する半導体膜と、ゲート絶縁膜108と、ゲート電極107とを有する。またトランジスタ34の周囲には絶縁膜101が設けられている。

【0128】

なお、トランジスタ34としては、チャネルの導電型とその半導体材料については特に限定されない。トランジスタのチャネルの導電型については、pチャネル型を用いると、低電位を用いずに読み出しを行うことができるため、低電位を生成する周辺回路が不要となる。一方、nチャネル型を用いると、高速な読み出しが可能となる。半導体材料については、データの読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

40

【0129】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の

50

形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0130】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電圧をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0131】

一方、本実施の形態に係る半導体装置は、トランジスタ31のスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電圧が不要である。これにより、隣接セルに対する、コントロールゲートによる高電圧の影響を考慮する必要がないため、高集積化が容易になる。

【0132】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）のデータを書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

【0133】

（実施の形態4）

本実施の形態では、本発明の一態様に係る半導体回路について説明する。なお、半導体回路に設けられるトランジスタおよび容量素子には、先の実施の形態で示したトランジスタおよび容量素子を適用することができる。先の実施の形態で示したトランジスタおよび容量素子は、安定した電気的特性を有し、低消費電力であるため、半導体回路の信頼性を高め消費電力を低減することができる。

【0134】

図8に本発明の一態様に係る半導体回路の構成例として、nチャネル型トランジスタを用いて構成されたバッファ回路100を示す。

【0135】

図8に示すバッファ回路200は、第1乃至第6のトランジスタと容量素子を有し、第1のトランジスタ201では、第1端子及び第3端子は、高電位側の電源線 V_{dd} に接続され、第2端子は、第2のトランジスタ202の第1端子及び第3のトランジスタ203の第3端子に接続され、第2のトランジスタ202では、第2端子は、低電位側の電源線 V_{ss} に接続され、第3端子は、バッファ回路200の入力部 V_{in} に接続され、第3のトランジスタ203では、第1端子は、高電位側の電源線 V_{dd} に接続され、第2端子は、第4のトランジスタ204の第1端子及び第5のトランジスタ205の第3端子に接続され、第4のトランジスタ204では、第2端子は、低電位側の電源線 V_{ss} に接続され、第3端子は、バッファ回路200の入力部 V_{in} に接続され、第5のトランジスタ205では、第1端子は、高電位側の電源線 V_{dd} に接続され、第2端子は、第6のトランジスタ206の第1端子及びバッファ回路200の出力部 V_{out} に接続され、第6のトランジスタ206では、第2端子は、低電位側の電源線 V_{ss} に接続され、第3端子は、バッファ回路200の入力部 V_{in} に接続され、第1のトランジスタ201の第2端子は、容量素子207を介して出力部 V_{out} に接続されている。

【0136】

図8に示すバッファ回路200は、駆動能力が高く、高周波成分の利得を大きくすることができる。更には、このようなバッファ回路は、スルーレートも高いものとなる。更には、同一極性のトランジスタにより構成することが可能なため、簡略な工程により作製することができる。

【 0 1 3 7 】

また、例えばトランジスタ 2 0 6 および容量素子 2 0 7 として、先の実施の形態のトランジスタおよび容量素子を適用することができる。これにより低消費電力で、専有面積の小さなバッファ回路とすることができる。

【 0 1 3 8 】

本実施の形態は、他の実施の形態と適宜組み合わせ実施することが可能である。

【 0 1 3 9 】

(実施の形態 5)

本実施の形態では、本発明の一態様に係る半導体回路について説明する。なお、半導体回路に設けられるトランジスタおよび容量素子には、先の実施の形態で示したトランジスタおよび容量素子を適用することができる。先の実施の形態で示したトランジスタおよび容量素子は、安定した電気的特性を有し、低消費電力であるため、半導体回路の信頼性を高め消費電力を低減することができる。

【 0 1 4 0 】

図 9 に本発明の一態様に係る半導体回路の構成例として、記憶素子 3 0 0 を示す。記憶素子 3 0 0 は、記憶回路 3 0 1 と、記憶回路 3 0 2 と、スイッチ 3 0 3 と、スイッチ 3 0 4 と、スイッチ 3 0 5 と、論理値を反転させる論理素子 3 0 6 と、容量素子 3 0 7 と、を有する。記憶回路 3 0 1 は、電源電圧が供給されている期間のみデータを保持する。記憶回路 3 0 2 は、容量素子 3 0 8 と、トランジスタ 3 0 9 と、トランジスタ 3 1 0 と、を有する。

【 0 1 4 1 】

なお、記憶素子 3 0 0 は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子をさらに有していても良い。

【 0 1 4 2 】

例えばトランジスタ 3 0 9 および容量素子 3 0 8 に、先の実施の形態のトランジスタおよび容量素子を適用することができる。これにより低消費電力で、集積度の高いバッファ回路とすることができる。

【 0 1 4 3 】

図 9 では、スイッチ 3 0 3 は、一導電型（例えば、 n チャネル型）のトランジスタ 3 1 3 を用いて構成され、スイッチ 3 0 4 は、一導電型とは異なる導電型（例えば、 p チャネル型）のトランジスタ 3 1 4 を用いて構成した例を示す。ここで、スイッチ 3 0 3 の第 1 の端子はトランジスタ 3 1 3 のソースとドレインの一方に対応し、スイッチ 3 0 3 の第 2 の端子はトランジスタ 3 1 3 のソースとドレインの他方に対応し、スイッチ 3 0 3 はトランジスタ 3 1 3 のゲートに入力される制御信号 S_2 によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 3 1 3 のオン状態またはオフ状態）が選択される。スイッチ 3 0 4 の第 1 の端子はトランジスタ 3 1 4 のソースとドレインの一方に対応し、スイッチ 3 0 4 の第 2 の端子はトランジスタ 3 1 4 のソースとドレインの他方に対応し、スイッチ 3 0 4 はトランジスタ 3 1 4 のゲートに入力される制御信号 S_2 によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 3 1 4 のオン状態またはオフ状態）が選択される。

【 0 1 4 4 】

トランジスタ 3 0 9 のソースとドレインの一方は、容量素子 3 0 8 の一対の電極のうちの一方、及びトランジスタ 3 1 0 のゲートと電氣的に接続される。ここで、接続部分をノード M_2 とする。トランジスタ 3 1 0 のソースとドレインの一方は、電位 V_1 が与えられる電源線に電氣的に接続され、他方は、スイッチ 3 0 3 の第 1 の端子（トランジスタ 3 1 3 のソースとドレインの一方）と電氣的に接続される。スイッチ 3 0 3 の第 2 の端子（トランジスタ 3 1 3 のソースとドレインの他方）はスイッチ 3 0 4 の第 1 の端子（トランジスタ 3 1 4 のソースとドレインの一方）と電氣的に接続される。スイッチ 3 0 4 の第 2 の端子（トランジスタ 3 1 4 のソースとドレインの他方）は電位 V_2 が与えられる電源線と電氣的に接続される。スイッチ 3 0 3 の第 2 の端子（トランジスタ 3 1 3 のソースとドレ

インの他方)と、スイッチ304の第1の端子(トランジスタ314のソースとドレインの一方)と、論理値を反転させる論理素子306の入力端子と、容量素子307の一对の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子307の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(接地電位等)または高電源電位が入力される構成とすることができる。容量素子307の一对の電極のうち他方は、電位V1が与えられる電源線と電氣的に接続されていてもよい。容量素子308の一对の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位(接地電位等)または高電源電位が入力される構成とすることができる。容量素子308の一对の電極のうち他方は、電位V1が与えられる電源線と電氣的に接続されていてもよい。図9では、容量素子307の一对の電極のうち他方、及び容量素子308の一对の電極のうち他方は、電位V1が与えられる電源線と電氣的に接続されている例を示す。

10

【0145】

なお、容量素子307は、トランジスタの寄生容量等を積極的に利用することによって省略することも可能である。容量素子308は、トランジスタの寄生容量等を積極的に利用することによって省略することも可能である。

【0146】

トランジスタ309のゲートには、制御信号S1が入力される。スイッチ303及びスイッチ304は、制御信号S1とは異なる制御信号S2によって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。スイッチ305は、制御信号S1及び制御信号S2とは異なる制御信号S3によって第1の端子と第2の端子の間の導通状態または非導通状態を選択される。

20

【0147】

トランジスタ309のソースとドレインの他方には、記憶回路301に保持されたデータに対応する信号が入力される。図9では、記憶回路301の出力端子(図9中、OUTと記載)から出力された信号が、トランジスタ309のソースとドレインの他方に入力される例を示した。スイッチ303の第2の端子(トランジスタ313のソースとドレインの他方)から出力される信号は、論理値を反転させる論理素子306によってその位相が反転された反転信号となり、制御信号S3によって第1の端子と第2の端子間が導通状態となったスイッチ305を介して記憶回路301に入力される。

30

【0148】

なお、図9では、スイッチ303の第2の端子(トランジスタ313のソースとドレインの他方)から出力される信号は、論理値を反転させる論理素子306及びスイッチ305を介して記憶回路301の入力端子(図9中、INと記載)に入力する例をしめしたがこれに限定されない。スイッチ303の第2の端子(トランジスタ313のソースとドレインの他方)から出力される信号が、位相を反転させられることなく、記憶回路301に入力されてもよい。例えば、記憶回路301内に、入力端子から入力された信号の位相が反転した信号が保持されるノードが存在する場合に、スイッチ303の第2の端子(トランジスタ313のソースとドレインの他方)から出力される信号を当該ノードに入力することができる。

40

【0149】

図9において、電位V1と電位V2の電位差に相当する電圧が、電源電圧として記憶素子300に供給されている。記憶回路301には電位V1と電位V2の電位差に相当する電圧が、電源電圧として供給されていてもよい。記憶回路301に電源電圧が供給されない期間では、電位V1と電位V2の電位差を(実質的に)無くすることができる。

【0150】

なお、スイッチ305は、トランジスタを用いて構成することができる。当該トランジスタはnチャネル型トランジスタであってもよいし、pチャネル型トランジスタであってもよい。また、nチャネル型トランジスタとpチャネル型トランジスタを組み合わせ用

50

いてもよい。例えば、スイッチ 305 は、アナログスイッチとすることができる。

【0151】

図9において、トランジスタ309は、酸化物半導体層を挟んで上下に2つのゲートを有するトランジスタとすることもできる。一方のゲートに制御信号S1を入力し、他方のゲートには、制御信号S4を入力することができる。制御信号S4は、一定の電位の信号であってもよい。一定の電位は、電位V1や電位V2であってもよい。なお、酸化物半導体層を挟んで上下に設けられた2つのゲートを電氣的に接続し、制御信号S1を入力してもよい。トランジスタ309の他方のゲートに入力される信号によって、トランジスタ309のしきい値電圧を制御することができる。例えば、トランジスタ309のオフ電流を更に低減することもできる。

10

【0152】

図9において、記憶素子300に用いられるトランジスタのうち、トランジスタ309以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子300に用いられるトランジスタ全てを、チャネルが酸化物半導体層に形成されるトランジスタとすることもできる。または、記憶素子300は、トランジスタ309以外にも、チャネルが酸化物半導体層に形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板にチャネルが形成されるトランジスタとすることもできる。

20

【0153】

図9における記憶回路301は、第1の論理値を反転させる論理素子及び第2の論理値を反転させる論理素子を有し、第1の論理値を反転させる論理素子の入力端子は第2の論理値を反転させる論理素子の出力端子と電氣的に接続され、第2の論理値を反転させる論理素子の入力端子は第1の論理値を反転させる論理素子の出力端子と電氣的に接続された構成を用いることができる。第1の論理値を反転させる論理素子及び第2の論理値を反転させる論理素子は、それぞれ電源電位が供給されている期間のみ、入力された信号に対応する信号を出力する。

【0154】

また、論理値を反転させる論理素子としては、例えばインバータやクロックドインバータ等を用いることができる。

30

【0155】

記憶素子300では、電源電圧が供給されない間は、揮発性のメモリに相当する記憶回路301に記憶されていたデータを、記憶回路302に設けられた容量素子308によって保持することができる。

【0156】

また、トランジスタ309の半導体膜として酸化物半導体を用いた場合、トランジスタ309のオフ電流を、例えば結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて極めて小さくすることができる。そのため、記憶素子300に電源電圧が供給されない間も容量素子308に保持された信号は長期間にわたり保たれる。こうして、記憶素子300は電源電圧の供給が停止した間も記憶内容(データ)を保持することが可能である。

40

【0157】

また、スイッチ303及びスイッチ304を設けることによって、上記プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、記憶回路301が元のデータを保持しなおすまでの時間を短くすることができる。

【0158】

また、記憶回路302において、容量素子308によって保持された信号はトランジスタ310のゲートに入力される。そのため、記憶素子300への電源電圧の供給が再開された後、容量素子308によって保持された信号を、トランジスタ310の状態(オン状

50

態、またはオフ状態)に変換して、記憶回路302から読み出すことができる。それ故、容量素子308に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0159】

このような記憶素子300を、信号処理回路が有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、信号処理回路全体、もしくは信号処理回路を構成する一または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる信号処理回路、消費電力を抑えることができる当該信号処理回路の駆動方法を提供することができる。

10

【0160】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0161】

(実施の形態6)

本実施の形態では、本発明の一態様に係る表示装置について説明する。

【0162】

<EL素子を用いた表示装置の例>

まず図10および図11を用いて、EL素子を用いた表示装置の例について説明する。

【0163】

20

図10は、画素410の構成例を示す回路図である。ここでは、表示素子として、一對の電極間に電流励起によって発光する有機物を備えた素子(以下、有機エレクトロルミネセンス(EL)素子ともいう)を用いる場合について説明する。

【0164】

図10に示す画素410は、トランジスタ411~416と、容量素子417、418と、有機EL素子419とを有する。

【0165】

ここで、例えばトランジスタ416および容量素子418に先の実施の形態で示したトランジスタおよび容量素子を適用することができる。先の実施の形態で示したトランジスタおよび容量素子を適用することで、画素410が有する回路の消費電力を低減し、集積度を向上させることができる。

30

【0166】

トランジスタ411では、ソースおよびドレインの一方が信号線408に電氣的に接続され、ゲートが走査線406に電氣的に接続されている。

【0167】

トランジスタ412では、ソースおよびドレインの一方が電位V1を供給する配線に電氣的に接続され、ゲートが走査線405に電氣的に接続されている。なお、ここでは、電位V1は、高電源電位(V_{dd})よりも低電位でありかつ低電源電位(V_{ss})よりも高電位であることとする。

【0168】

40

トランジスタ413では、ソースおよびドレインの一方が電源線409に電氣的に接続され、ゲートがトランジスタ412のソースおよびドレインの他方に電氣的に接続されている。

【0169】

トランジスタ414では、ソースおよびドレインの一方がトランジスタ411のソースおよびドレインの一方に電氣的に接続され、ソースおよびドレインの他方がトランジスタ413のソースおよびドレインの他方に電氣的に接続され、ゲートが走査線405に電氣的に接続されている。

【0170】

トランジスタ415では、ソースおよびドレインの一方が電位V0を供給する配線に電

50

氣的に接続され、ソースおよびドレインの他方がトランジスタ413のソースおよびドレインの他方、およびトランジスタ414のソースおよびドレインの他方に電氣的に接続され、ゲートが走査線404に電氣的に接続されている。なお、ここでは、電位V0は、電位V1よりも低電位でありかつ低電源電位(Vss)よりも高電位であることとする。

【0171】

トランジスタ416では、ソースおよびドレインの一方がトランジスタ413のソースおよびドレインの他方、トランジスタ414のソースおよびドレインの他方、およびトランジスタ415のソースおよびドレインの他方に電氣的に接続され、ゲートが反転走査線407に電氣的に接続されている。

【0172】

容量素子417では、一方の電極がトランジスタ412のソースおよびドレインの他方、およびトランジスタ413のゲートに電氣的に接続され、他方の電極がトランジスタ411のソースおよびドレインの他方、およびトランジスタ414のソースおよびドレインの一方に電氣的に接続されている。

【0173】

容量素子418では、一方の電極がトランジスタ411のソースおよびドレインの他方、トランジスタ414のソースおよびドレインの一方、および容量素子417の他方の電極に電氣的に接続され、他方の電極がトランジスタ413のソースおよびドレインの他方、トランジスタ414のソースおよびドレインの他方、トランジスタ415のソースおよびドレインの他方、およびトランジスタ416のソースおよびドレインの一方に電氣的に接続されている。

【0174】

有機EL素子419では、アノードがトランジスタ416のソースおよびドレインの他方、に電氣的に接続され、カソードが共通電位を供給する配線に電氣的に接続されている。なお、上述のトランジスタ412のソースおよびドレインの一方が電氣的に接続する配線に与えられる共通電位と、有機EL素子419のカソードに与えられる共通電位とが異なる電位であってもよい。

【0175】

なお、ここでは、電源線409が供給する電位は、高電源電位(Vdd)よりも低電位でありかつ電位V1よりも高電位であり、共通電位は、低電源電位(Vss)よりも低電位であることとする。

【0176】

また、以下においては、トランジスタ412のソースおよびドレインの他方、トランジスタ413のゲート、および容量素子417の一方の電極が電氣的に接続するノードをノードDと呼び、トランジスタ411のソースおよびドレインの他方、トランジスタ414のソースおよびドレインの一方、容量素子417の他方の電極、および容量素子418の一方の電極が電氣的に接続するノードをノードEと呼び、トランジスタ413のソースおよびドレインの他方、トランジスタ414のソースおよびドレインの他方、トランジスタ415のソースおよびドレインの他方、トランジスタ416のソースおよびドレインの一方、および容量素子418の他方の電極が電氣的に接続するノードをノードFと呼ぶこととする。

【0177】

図11(A)に、画素410の断面図のうちトランジスタ416および容量素子418を含む部分を示す。

【0178】

トランジスタ416および容量素子418上には、トランジスタ416のソース電極またはドレイン電極に達する開口部を有する平坦化絶縁膜480が設けられる。

【0179】

平坦化絶縁膜480上には、アノード481が設けられる。アノード481は、平坦化絶縁膜480の有する開口部でトランジスタ416のソース電極またはドレイン電極と接す

10

20

30

40

50

る。

【0180】

アノード481上には、アノード481に達する開口部を有する隔壁484が設けられる。

【0181】

隔壁484上には、隔壁484に設けられた開口部でアノード481と接する発光層482が設けられる。

【0182】

発光層482上には、カソード483が設けられる。

【0183】

アノード481、発光層482およびカソード483の重畳する領域が、有機EL素子419となる。

【0184】

なお、平坦化絶縁膜480は、平坦化絶縁膜4126として示した材料から選択して用いればよい。

【0185】

発光層482は、一層に限定されず、複数種の発光材料などを積層して設けてもよい。例えば、図11(B)に示すような構造とすればよい。図11(B)は、中間層485a、発光層486a、中間層485b、発光層486b、中間層485c、発光層486cおよび中間層485dの順番で積層した構造である。このとき、第1の発光層486a、発光層486bおよび発光層486cに適切な発光色の材料を用いると演色性の高い、または発光効率の高い、有機EL素子419を形成することができる。

【0186】

発光材料を複数種積層して設けることで、白色光を得てもよい。図11(A)には示さないが、白色光を、着色層を介して取り出す構造としても構わない。

【0187】

ここでは発光層482を3層および中間層を4層設けた構造を示しているが、これに限定されるものではなく、適宜発光層の数および中間層の数を変更することができる。例えば、中間層485a、発光層486a、中間層485b、発光層486bおよび中間層485cのみで構成することもできる。また、中間層485a、発光層486a、中間層485b、発光層486b、発光層486cおよび中間層485dで構成し、中間層485cを省いた構造としても構わない。

【0188】

また、中間層は、正孔注入層、正孔輸送層、電子輸送層および電子注入層などを積層構造で用いることができる。なお、中間層は、これらの層を全て備えなくてもよい。これらの層は適宜選択して設ければよい。なお、同様の機能を有する層を重複して設けてもよい。また、中間層としてキャリア発生層のほか、電子リレー層などを適宜加えてもよい。

【0189】

アノード481は、可視光透過性を有する導電膜を用いればよい。可視光透過性を有するとは、可視光領域(例えば400nm~800nmの波長範囲)における平均の透過率が70%以上、特に80%以上であることをいう。

【0190】

アノード481としては、例えば、In-Zn-W系酸化物膜、In-Sn系酸化物膜、In-Zn系酸化物膜、In系酸化物膜、Zn系酸化物膜およびSn系酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜(好ましくは、5nm~30nm程度)を用いることもできる。例えば5nmの膜厚を有するAg膜、Mg膜またはAg-Mg合金膜を用いてもよい。

【0191】

または、アノード481は、可視光を効率よく反射する膜が好ましい。アノード481は

10

20

30

40

50

、例えば、リチウム、アルミニウム、チタン、マグネシウム、ランタン、銀、シリコンまたはニッケルを含む膜を用いればよい。

【0192】

カソード483は、アノード481として示した膜から選択して用いることができる。ただし、アノード481が可視光透過性を有する場合は、カソード483が可視光を効率よく反射すると好ましい。また、アノード481が可視光を効率よく反射する場合は、カソード483が可視光透過性を有すると好ましい。

【0193】

なお、アノード481およびカソード483を図11(A)に示す構造で設けているが、アノード481とカソード483を入れ替えても構わない。アノードとして機能する電極には、仕事関数の大きい材料を用いることが好ましく、カソードとして機能する電極には仕事関数の小さい材料を用いることが好ましい。ただし、アノードと接してキャリア発生層を設ける場合には、仕事関数を考慮せずに様々な導電性材料を陽極に用いることができる。

【0194】

隔壁484は、平坦化絶縁膜4126として示した材料から選択して用いればよい。

【0195】

有機EL素子419と接続するトランジスタ416は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0196】

<液晶素子を用いた表示装置の例>

図10および図11では、表示素子として有機EL素子を用いた表示装置について詳細に示したが、これに限らない。例えば、表示素子として、液晶素子を用いた表示装置に本実施の形態を適用することは、当業者であれば容易に想到しうるものである。

【0197】

具体的な例として、液晶素子を用いた表示装置に適用可能な画素の構成について、図12を用いて以下に説明する。

【0198】

図12(A)は、液晶素子を用いた表示装置の画素の構成例を示す回路図である。図12(A)に示す画素450は、トランジスタ451と、容量素子452と、一对の電極間に液晶材料の充填された素子(以下液晶素子ともいう)453とを有する。

【0199】

ここで、トランジスタ451と容量素子452に、先の実施の形態で示したトランジスタおよび容量素子を適用することができる。先の実施の形態で示したトランジスタおよび容量素子を適用することで、画素450が有する回路の消費電力を低減し、集積度を向上させることができる。

【0200】

トランジスタ451では、ソースおよびドレインの一方が信号線455に電氣的に接続され、ゲートが走査線454に電氣的に接続されている。

【0201】

容量素子452では、一方の電極がトランジスタ451のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0202】

液晶素子453では、一方の電極がトランジスタ451のソースおよびドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述の容量素子452の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子453の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0203】

図12(B)に、画素450の断面のうちトランジスタ451および容量素子452を含む部分を示す。

【0204】

トランジスタ451および容量素子452上には、トランジスタ451のソース電極またはドレイン電極に達する開口部を有する平坦化絶縁膜490が設けられる。

【0205】

平坦化絶縁膜490上には、電極491が設けられる。電極491は、平坦化絶縁膜490の有する開口部でトランジスタ451のソース電極またはドレイン電極と接する。

【0206】

電極491上には、配向膜として機能する絶縁膜492が設けられる。

【0207】

絶縁膜492上には、液晶層493が設けられる。

10

【0208】

液晶層493上には、配向膜として機能する絶縁膜494が設けられる。

【0209】

絶縁膜494上には、スペーサ495が設けられる。

【0210】

スペーサ495および絶縁膜494上には、電極496が設けられる。

【0211】

電極496上には、基板497が設けられる。

【0212】

なお、平坦化絶縁膜490は、平坦化絶縁膜4126として示した材料から選択して用いられればよい。

20

【0213】

液晶層493は、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶、強誘電性液晶、反強誘電性液晶などを用いればよい。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相などを示す。

【0214】

なお、液晶層493として、ブルー相を示す液晶材料を用いてもよい。その場合、配向膜として機能する絶縁膜492、494を設けない構成とすればよい。

【0215】

電極491は、可視光透過性を有する導電膜を用いればよい。

30

【0216】

電極491としては、例えば、In-Zn-W系酸化物膜、In-Sn系酸化物膜、In-Zn系酸化物膜、In系酸化物膜、Zn系酸化物膜およびSn系酸化物膜などの酸化物膜を用いればよい。また、前述の酸化物膜は、Al、Ga、Sb、Fなどが微量添加されてもよい。また、光を透過する程度の金属薄膜（好ましくは、5nm～30nm程度）を用いることもできる。

【0217】

または、電極491は、可視光を効率よく反射する膜が好ましい。電極491は、例えば、アルミニウム、チタン、クロム、銅、モリブデン、銀、タンタルまたはタングステンを含む膜を用いればよい。

40

【0218】

電極496は、電極491として示した膜から選択して用いることができる。ただし、電極491が可視光透過性を有する場合は、電極496が可視光を効率よく反射すると好ましい。また、電極491が可視光を効率よく反射する場合は、電極496が可視光透過性を有すると好ましい。

【0219】

なお、電極491および電極496を図9(B)に示す構造で設けているが、電極491と電極496を入れ替えても構わない。

【0220】

50

絶縁膜 492、494 は、有機化合物材料または無機化合物材料から選択して用いればよい。

【0221】

スペーサ 495 は、有機化合物材料または無機化合物材料から選択して用いればよい。なお、スペーサ 495 の形状は、柱状、球状など様々にとることができる。

【0222】

液晶素子 453 と接続するトランジスタ 451 は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0223】

電極 491、絶縁膜 492、液晶層 493、絶縁膜 494 および電極 496 の重畳する領域が、液晶素子 453 となる。

【0224】

基板 497 は、ガラス材料、樹脂材料または金属材料などを用いればよい。基板 497 は可撓性を有してもよい。

【0225】

トランジスタ 451 は、電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0226】

本実施の形態に示したように、先の実施の形態で示したトランジスタを表示装置の一部に適用することができる。当該トランジスタは電気的特性のばらつきが小さいため、表示装置の表示品質を高めることができる。

【0227】

(実施の形態 7)

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、遊技機（パチンコ機、スロットマシン等）、ゲーム筐体が挙げられる。これらの電子機器の具体例を図 13 に示す。

【0228】

図 13 (A) は、表示部を有するテーブル 9000 を示している。テーブル 9000 は、筐体 9001 に表示部 9003 が組み込まれており、表示部 9003 により映像を表示することが可能である。なお、4 本の脚部 9002 により筐体 9001 を支持した構成を示している。また、電力供給のための電源コード 9005 を筐体 9001 に有している。

【0229】

先の実施の形態に示す半導体装置は、表示部 9003 に用いることが可能であり、電子機器の消費電力を低減することができる。

【0230】

表示部 9003 は、タッチ入力機能を有しており、テーブル 9000 の表示部 9003 に表示された表示ボタン 9004 を指などで触れることで、画面操作や、情報を入力することができ、また他の家電製品との通信を可能とする、または制御を可能とするので、画面操作により他の家電製品をコントロールする制御装置としてもよい。例えば、表示部 9003 にタッチ入力機能を持たせてもよい。

【0231】

また、筐体 9001 に設けられたヒンジによって、表示部 9003 の画面を床に対して垂直に立てることもでき、テレビジョン装置としても利用できる。狭い部屋においては、大きな画面のテレビジョン装置は設置すると自由な空間が狭くなってしまうが、テーブルに表示部が内蔵されていれば、部屋の空間を有効に利用することができる。

【0232】

図 13 (B) は、テレビジョン装置 9100 を示している。テレビジョン装置 9100 は

10

20

30

40

50

、筐体 9 1 0 1 に表示部 9 1 0 3 が組み込まれており、表示部 9 1 0 3 により映像を表示することが可能である。なお、ここではスタンド 9 1 0 5 により筐体 9 1 0 1 を支持した構成を示している。

【 0 2 3 3 】

テレビジョン装置 9 1 0 0 の操作は、筐体 9 1 0 1 が備える操作スイッチや、別体のリモコン操作機 9 1 1 0 により行うことができる。リモコン操作機 9 1 1 0 が備える操作キー 9 1 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 1 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 1 1 0 に、当該リモコン操作機 9 1 1 0 から出力する情報を表示する表示部 9 1 0 7 を設ける構成としてもよい。

【 0 2 3 4 】

図 1 3 (B) に示すテレビジョン装置 9 1 0 0 は、受信機やモデムなどを備えている。テレビジョン装置 9 1 0 0 は、受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方 (送信者から受信者) または双方向 (送信者と受信者間、または受信者間同士など) の情報通信を行うことも可能である。

【 0 2 3 5 】

先の実施の形態に示す半導体装置は、表示部 9 1 0 3 、 9 1 0 7 に用いることが可能であり、テレビジョン装置、およびリモコン操作機の消費電力を低減することができる。

【 0 2 3 6 】

図 1 3 (C) はコンピュータであり、本体 9 2 0 1 、筐体 9 2 0 2 、表示部 9 2 0 3 、キーボード 9 2 0 4 、外部接続ポート 9 2 0 5 、ポインティングデバイス 9 2 0 6 等を含む。

【 0 2 3 7 】

先の実施の形態に示す半導体装置は、表示部 9 2 0 3 に用いることが可能であり、低消費電力なコンピュータとすることが可能となる。

【 0 2 3 8 】

図 1 4 (A) および図 1 4 (B) は 2 つ折り可能なタブレット型端末である。図 1 4 (A) は、開いた状態であり、タブレット型端末は、筐体 9 6 3 0 、表示部 9 6 3 1 a 、表示部 9 6 3 1 b 、表示モード切り替えスイッチ 9 0 3 4 、電源スイッチ 9 0 3 5 、省電力モード切り替えスイッチ 9 0 3 6 、留め具 9 0 3 3 、操作スイッチ 9 0 3 8 、を有する。

【 0 2 3 9 】

先の実施の形態に示す半導体装置は、表示部 9 6 3 1 a 、表示部 9 6 3 1 b に用いることが可能であり、低消費電力なタブレット型端末とすることが可能となる。

【 0 2 4 0 】

表示部 9 6 3 1 a は、一部をタッチパネルの領域 9 6 3 2 a とすることができ、表示された操作キー 9 6 3 8 にふれることでデータ入力を行うことができる。なお、表示部 9 6 3 1 a においては、一例として半分の領域が表示のみの機能を有する構成、もう半分の領域がタッチパネルの機能を有する構成を示しているが該構成に限定されない。表示部 9 6 3 1 a の全ての領域がタッチパネルの機能を有する構成としてもよい。例えば、表示部 9 6 3 1 a の全面をキーボードボタン表示させてタッチパネルとし、表示部 9 6 3 1 b を表示画面として用いることができる。

【 0 2 4 1 】

また、表示部 9 6 3 1 b においても表示部 9 6 3 1 a と同様に、表示部 9 6 3 1 b の一部をタッチパネルの領域 9 6 3 2 b とすることができ、また、タッチパネルのキーボード表示切り替えボタン 9 6 3 9 が表示されている位置に指やスタイラスなどでふれることで表示部 9 6 3 1 b にキーボードボタン表示することができる。

【 0 2 4 2 】

また、タッチパネルの領域 9 6 3 2 a とタッチパネルの領域 9 6 3 2 b に対して同時にタッチ入力することもできる。

【 0 2 4 3 】

10

20

30

40

50

また、表示モード切り替えスイッチ 9034 は、縦表示または横表示などの表示の向きを切り替え、白黒表示やカラー表示の切り替えなどを選択できる。省電力モード切り替えスイッチ 9036 は、タブレット型端末に内蔵している光センサで検出される使用時の外光の光量に応じて表示の輝度を最適なものとすることができる。タブレット型端末は光センサだけでなく、ジャイロ、加速度センサ等の傾きを検出するセンサなどの他の検出装置を内蔵させてもよい。

【0244】

また、図 14 (A) では表示部 9631b と表示部 9631a の表示面積が同じ例を示しているが特に限定されず、一方のサイズともう一方のサイズが異なってもよく、表示の品質も異なってもよい。例えば一方が他方よりも高精細な表示を行える表示パネルとしてもよい。

10

【0245】

図 14 (B) は、閉じた状態であり、タブレット型端末は、筐体 9630、太陽電池 9633、充放電制御回路 9634、バッテリー 9635、DCDC コンバータ 9636 を有する。なお、図 14 (B) では充放電制御回路 9634 の一例としてバッテリー 9635、DCDC コンバータ 9636 を有する構成について示している。

【0246】

なお、タブレット型端末は 2 つ折り可能なため、未使用時に筐体 9630 を閉じた状態にすることができる。従って、表示部 9631a、表示部 9631b を保護できるため、耐久性に優れ、長期使用の観点からも信頼性の優れたタブレット型端末を提供できる。

20

【0247】

また、この他にも図 14 (A) および図 14 (B) に示したタブレット型端末は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付または時刻などを表示部に表示する機能、表示部に表示した情報をタッチ入力操作または編集するタッチ入力機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。

【0248】

タブレット型端末の表面に装着された太陽電池 9633 によって、電力をタッチパネル、表示部、または映像信号処理部等に供給することができる。なお、太陽電池 9633 は、筐体 9630 の一面または二面に効率的なバッテリー 9635 の充電を行う構成とすることができるため好適である。なお、バッテリー 9635 としては、リチウムイオン電池を用いると、小型化を図れる等の利点がある。

30

【0249】

また、図 14 (B) に示す充放電制御回路 9634 の構成、および動作について図 14 (C) にブロック図を示し説明する。図 14 (C) には、太陽電池 9633、バッテリー 9635、DCDC コンバータ 9636、コンバータ 9637、スイッチ SW1 乃至 SW3、表示部 9631 について示しており、バッテリー 9635、DCDC コンバータ 9636、コンバータ 9637、スイッチ SW1 乃至 SW3 が、図 14 (B) に示す充放電制御回路 9634 に対応する箇所となる。

【0250】

まず、外光により太陽電池 9633 により発電がされる場合の動作の例について説明する。太陽電池で発電した電力は、バッテリー 9635 を充電するための電圧となるよう DCDC コンバータ 9636 で昇圧または降圧がなされる。そして、表示部 9631 の動作に太陽電池 9633 からの電力が用いられる際にはスイッチ SW1 をオンにし、コンバータ 9637 で表示部 9631 に必要な電圧に昇圧または降圧をすることとなる。また、表示部 9631 での表示を行わない際には、SW1 をオフにし、SW2 をオンにしてバッテリー 9635 の充電を行う構成とすればよい。

40

【0251】

なお、太陽電池 9633 については、発電手段の一例として示したが、特に限定されず、圧電素子 (ピエゾ素子) や熱電変換素子 (ペルティエ素子) などの他の発電手段によるバ

50

ッテリー 9 6 3 5 の充電を行う構成であってもよい。例えば、無線（非接触）で電力を送受信して充電する無接点電力電送モジュールや、また他の充電手段を組み合わせる構成としてもよい。

【 0 2 5 2 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 符号の説明 】

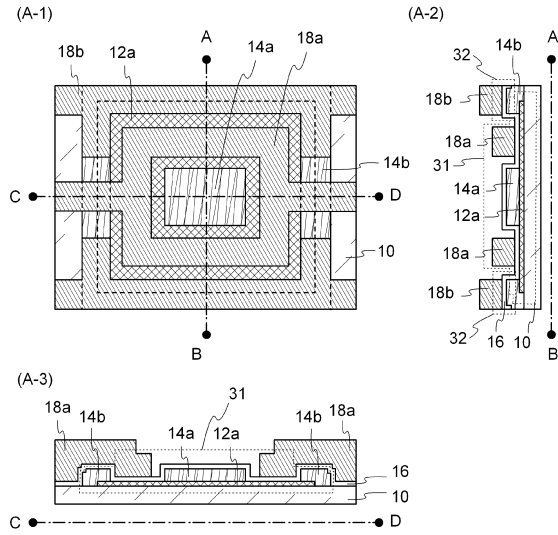
【 0 2 5 3 】

1 0	基板	
1 2	半導体膜	10
1 2 a	半導体膜	
1 2 a 1	不純物添加領域	
1 3	トランジスタ	
1 4 a	電極	
1 4 b	電極	
1 6	絶縁膜	
1 8 a	ゲート電極	
1 8 b	電極	
2 0 a	電極	
2 0 b	電極	20
2 2 a	ゲート電極	
2 3	絶縁膜	
3 1	トランジスタ	
3 2	容量素子	
3 4	トランジスタ	
1 0 0	バッファ回路	
1 0 1	絶縁膜	
1 0 7	ゲート電極	
1 0 8	ゲート絶縁膜	
1 0 8 a	ゲート絶縁層	30
1 1 7 a	チャネル形成領域	
1 1 7 b	ドレイン電極	
1 1 7 c	ソース電極	
1 5 0	基板	
2 0 0	バッファ回路	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	トランジスタ	
2 0 5	トランジスタ	40
2 0 6	トランジスタ	
2 0 7	容量素子	
3 0 0	記憶素子	
3 0 1	記憶回路	
3 0 2	記憶回路	
3 0 3	スイッチ	
3 0 4	スイッチ	
3 0 5	スイッチ	
3 0 6	論理値を反転させる論理素子	
3 0 7	容量素子	50

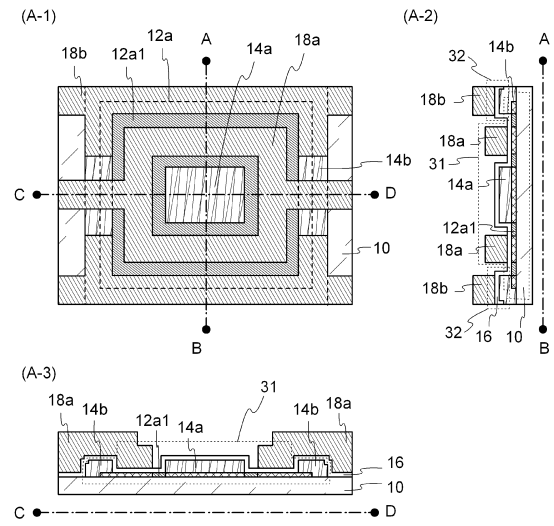
3 0 8	容量素子	
3 0 9	トランジスタ	
3 1 0	トランジスタ	
3 1 3	トランジスタ	
3 1 4	トランジスタ	
4 0 4	走査線	
4 0 5	走査線	
4 0 6	走査線	
4 0 7	反転走査線	
4 0 8	信号線	10
4 0 9	電源線	
4 1 0	画素	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	トランジスタ	
4 1 4	トランジスタ	
4 1 5	トランジスタ	
4 1 6	トランジスタ	
4 1 7	容量素子	
4 1 8	容量素子	20
4 1 9	有機 E L 素子	
4 5 0	画素	
4 5 1	トランジスタ	
4 5 2	容量素子	
4 5 3	液晶素子	
4 5 4	走査線	
4 5 5	信号線	
4 8 0	平坦化絶縁膜	
4 8 1	アノード	
4 8 2	発光層	30
4 8 3	カソード	
4 8 4	隔壁	
4 8 5 a	中間層	
4 8 5 b	中間層	
4 8 5 c	中間層	
4 8 5 d	中間層	
4 8 6 a	発光層	
4 8 6 b	発光層	
4 8 6 c	発光層	
4 9 0	平坦化絶縁膜	40
4 9 1	電極	
4 9 2	絶縁膜	
4 9 3	液晶層	
4 9 4	絶縁膜	
4 9 5	スペーサ	
4 9 6	電極	
4 9 7	基板	
4 1 2 6	平坦化絶縁膜	
9 0 0 0	テーブル	
9 0 0 1	筐体	50

9 0 0 2	脚 部	
9 0 0 3	表 示 部	
9 0 0 4	表 示 ボ タ ン	
9 0 0 5	電 源 コ ー ド	
9 0 3 3	留 め 具	
9 0 3 4	ス イ ッ チ	
9 0 3 5	電 源 ス イ ッ チ	
9 0 3 6	ス イ ッ チ	
9 0 3 8	操 作 ス イ ッ チ	
9 1 0 0	テ レ ビ ジ ョ ン 装 置	10
9 1 0 1	筐 体	
9 1 0 3	表 示 部	
9 1 0 5	ス タ ン ド	
9 1 0 7	表 示 部	
9 1 0 9	操 作 キ ー	
9 1 1 0	リ モ コ ン 操 作 機	
9 2 0 1	本 体	
9 2 0 2	筐 体	
9 2 0 3	表 示 部	
9 2 0 4	キ ー ボ ー ド	20
9 2 0 5	外 部 接 続 ポ ー ト	
9 2 0 6	ポ イ ン テ ィ ン グ デ バ イ ス	
9 6 3 0	筐 体	
9 6 3 1	表 示 部	
9 6 3 1 a	表 示 部	
9 6 3 1 b	表 示 部	
9 6 3 2 a	領 域	
9 6 3 2 b	領 域	
9 6 3 3	太 陽 電 池	
9 6 3 4	充 放 電 制 御 回 路	30
9 6 3 5	バ ッ テ リ ー	
9 6 3 6	D C D C コ ン バ ー タ	
9 6 3 7	コ ン バ ー タ	
9 6 3 8	操 作 キ ー	
9 6 3 9	ボ タ ン	

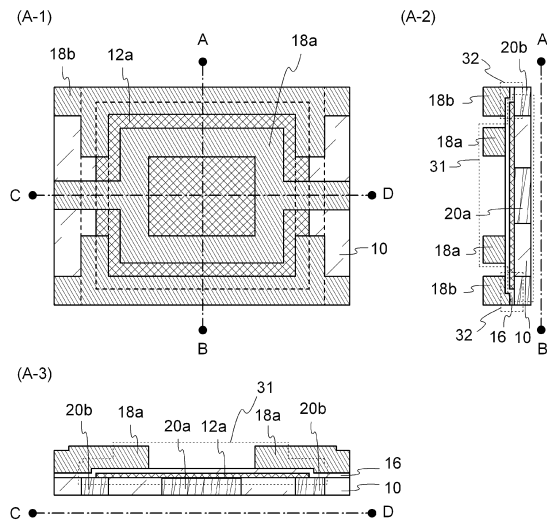
【図 1】



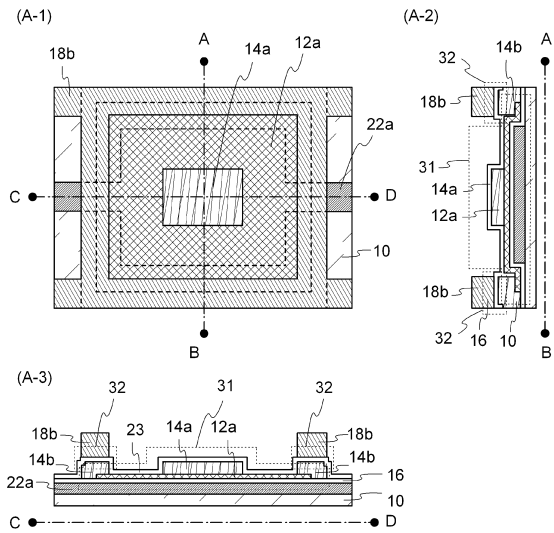
【図 2】



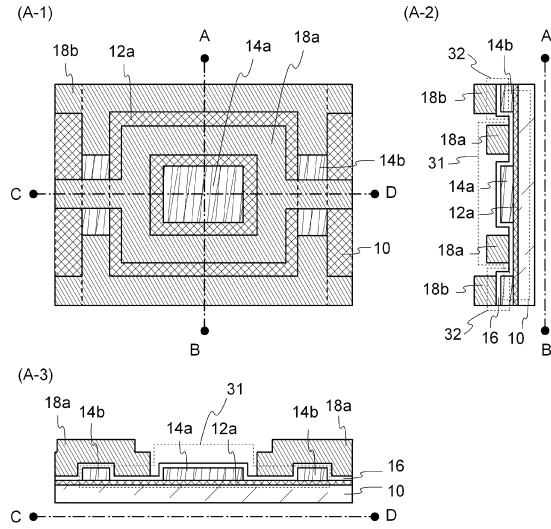
【図 3】



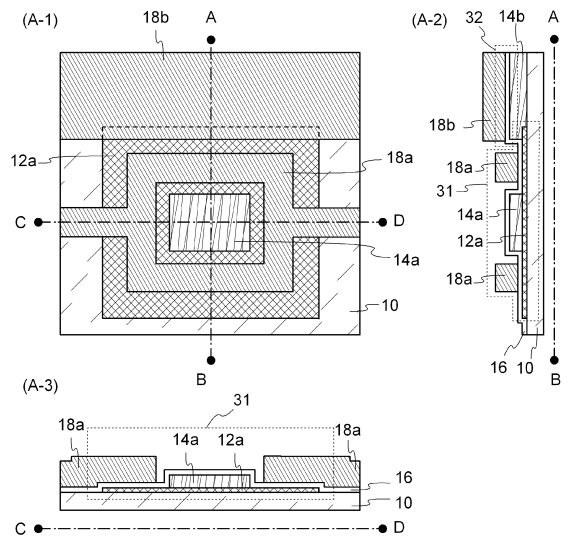
【図 4】



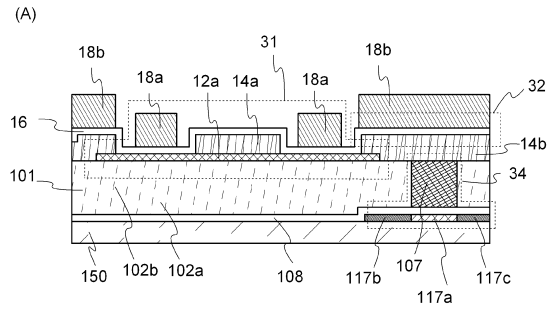
【図 5】



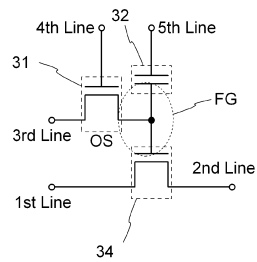
【図 6】



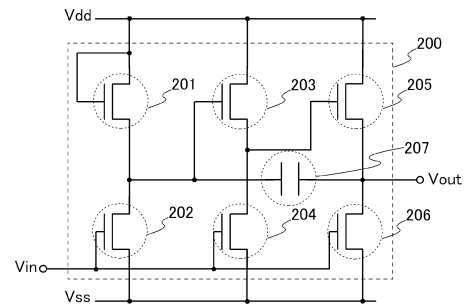
【図 7】



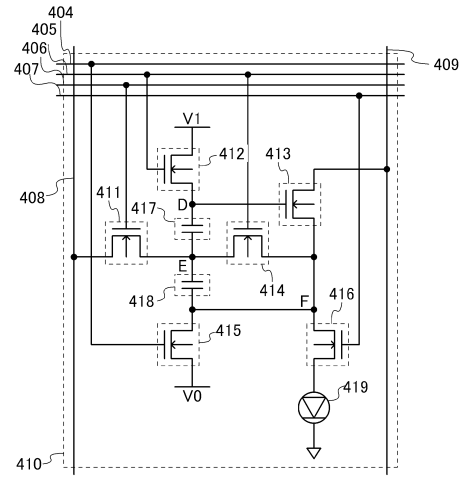
(B)



【図 8】

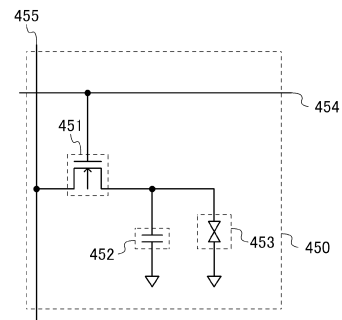


【 図 1 0 】

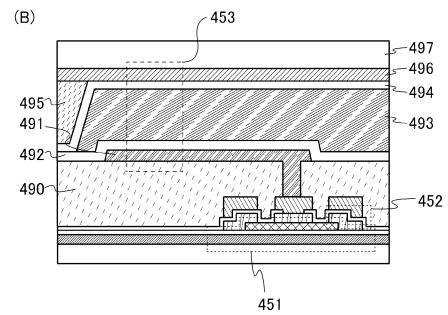


【 図 1 2 】

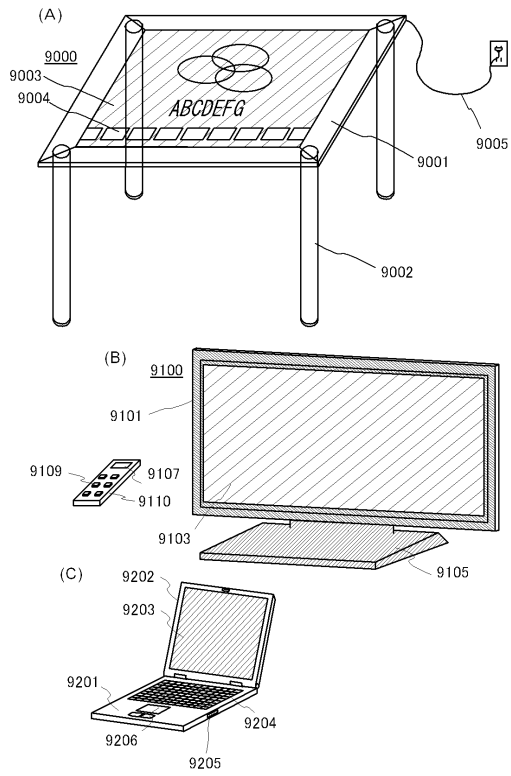
(A)



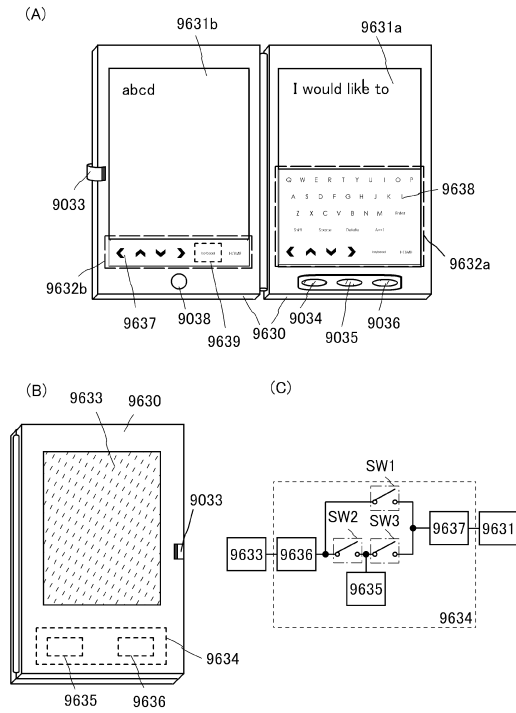
(B)



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/336</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/108</i> <i>6 7 1 C</i>
<i>H 0 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/108</i> <i>6 2 1 Z</i>
<i>H 0 1 L</i>	<i>51/50</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i> <i>3 7 1</i>
<i>G 0 2 F</i>	<i>1/1368</i>	<i>(2006.01)</i>	<i>H 0 5 B</i>	<i>33/14</i> <i>A</i>
			<i>G 0 2 F</i>	<i>1/1368</i>

(56)参考文献 特開 2 0 1 1 - 0 9 1 3 8 2 (J P , A)
 特開 2 0 1 2 - 0 1 5 5 0 0 (J P , A)
 特開 2 0 0 7 - 2 5 0 9 8 3 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 2 3 9 2 9 9 (U S , A 1)
 特開 2 0 0 6 - 2 8 6 7 7 2 (J P , A)
 特開 2 0 0 3 - 1 9 7 9 1 5 (J P , A)
 特表 2 0 0 5 - 5 2 4 1 1 0 (J P , A)
 米国特許出願公開第 2 0 0 3 / 0 2 2 2 3 1 5 (U S , A 1)
 特開 2 0 0 2 - 1 5 1 7 0 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L *2 9 / 7 8 6*
H 0 1 L *2 1 / 3 3 6*
H 0 1 L *2 7 / 1 0 8*