(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.7
H01L 21/8232

(45) 공고일자 2004년07월15일
(11) 등록번호 10-0440077
(24) 등록일자 2004년07월02일

(21) 출원번호 10-1999-0061867
(22) 출원일자 1999년12월24일
(65) 공개번호 10-2001-0063779
(43) 공개일자 2001년07월09일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 나진석
서울특별시광진구광장동삼성아파트1-1406

김영서
경기도이천시대월면사동리441-1현대전자사원아파트106-304

(74) 대리인 이후동
이정훈

심사관 : 반성원

(54) 반도체 소자의 제조 방법

요약

본 발명은 플러그(Plug)층 형성용인 다결정 실리콘층을 워드 라인(Word Line) 네가티브(Negative) 감광막을 마스크로 식각한 후, 워드 라인 상부 부위의 질화막을 에치-스톱퍼(Etch-stopper)로 층간 절연막인 산화막과 상기 다결정 실리콘층을 평탄화 시켜 플러그층을 형성하므로 소자의 수율을 향상시키기 위한 반도체 소자의 제조 방법에 관한 것이다.
본 발명의 반도체 소자의 제조 방법은 평탄화된 층간 절연막상에 형성한 플러그층 형성용인 다결정 실리콘층을 층간 절연막을 에치-스톱퍼로 제 1 차 평탄화 시키고 워드 라인 네가티브 감광막을 마스크로 제 2 차 식각한 후, 워드 라인 상부 부위의 하드 마스크층을 에치-스톱퍼로 제 3 차 평탄화 시켜 플러그층을 형성하므로, 상기 하드 마스크층이 손상되지 않고 플러그층간의 절연이 이루어지지 않아 발생되는 전기적 쇼트를 방지하여 소자의 수율을 향상시키는 특징이 있다.

대표도

도 3g

명세서

도면의 간단한 설명

도 1은 일반적인 워드라인 및 T-타입 활성영역을 나타낸 레이아웃도
도 2a 내지 도 2f는 도 1의 Ⅰ Ⅰ선상의 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도
도 3a 내지 도 3h는 도 1의 Ⅰ Ⅰ선상의 본 발명의 실시 예에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도
< 도면의 주요 부분에 대한 부호의 설명 >

31: 반도체 기판 32: 게이트 산화막
33: 제 1 질화막 34: 제 2 질화막 측벽
36: 제 2 산화막 37: 제 1 감광막
38: 플러그 색 39: 다결정 실리콘층
39a: 플러그층 40: 제 2 감광막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 워드 라인(Word Line) 네가티브(Negative) 감광막을 사용하여 워드 라인 상측 부위의 플러그(Plug) 형성용 도전층을 미리 식각하므로 소자의 수율을 향상시키는 반도체 소자의 제조 방법에 관한 것이다.
도 1은 일반적인 워드라인 및 T-타입 활성영역을 나타낸 레이아웃도이고, 도 2a 내지 도 2f는 도 1의 Ⅰ Ⅰ 선상의 종래 기술에 따른 반도체 소자의 제조 방법을 나타낸 공정 단면도이다.
비트 라인(Bit Line) 콘택과 스토리지 노드(Storage Node) 콘택을 형성할 때, 원형의 콘택홀은 리소그래피(Lithography) 공정의 미스얼라인먼트(Misalignment)로 인하여 콘택 영역의 확보에 문제가 있으므로 디자인 룰(Deign Rule)이 좁아짐에 따라 소자 제조에 한계가 있다.
상기 문제점을 극복하기 위하여 도 1에서와 같이, 서로 격리되며 일 방향으로 배열된 다수개의 워드 라인(W)들과 상기 두 개의 워드 라인(W) 하측 부위 마다 일 방향으로 배열되어 위치한 다수개의 T-타입(type) 활성영역(T)이 형성된 상태에서 그 상측에 T-타입 플러그 색(Plug Sac) 마스크로 층간 절연막을 식각한 후 다결정 실리콘층을 증착하고 평탄화 하여 플러그층을 형성하는 기술이 제안되었다.
상기 기술을 사용할 경우 비트 라인 콘택홀과 스토리지 노드 콘택홀을 동시에 형성할 수 있는 넓은 영역을 이용함으로써 리소그래피 공정 및 식각 공정에서 보다 넓은 마진(Magin)을 확보할 수 있다.
상기 T-타입 플러그 색 대신에 I-타입 플러그 색 마스크를 사용할 수 있다.
종래의 반도체 소자의 제조 방법은 도 2a에서와 같이 디램(DRAM) 셀(Cell)의 비트 라인 및 스토리지 노드 전극의 플러그층 형성 방법으로, 불순물 영역을 포함 한 반도체 기판(11)상에 게이트 산화막(12)이 내재되며 상부 부위에 하드 마스크(Hard Mask)로 제 1 질화막(13)이 그리고 양측에 제 2 질화막 측벽(14)이 형성된 워드 라인(W)들을 형성한다.
도 2b에서와 같이, 상기 워드 라인(W)들을 포함한 전면에 층간 절연막으로 산화막(16)을 형성한 다음, 상기 산화막(16)을 평탄화 시킨다.
도 2c에서와 같이, 상기 산화막(16)상에 감광막(37)을 도포한 후, 상기 감광막(17)을 T-타입(T-type)의 콘택 플러그용 자기정렬 콘택(self aling contact: SAC)인 플러그 색이 형성될 부위만 제거되도록 선택적으로 노광 및 현상한다.
도 2d에서와 같이, 상기 선택적으로 노광 및 현상된 감광막(17)을 마스크로 상기 산화막(16)을 식각하여 플러그 색(18)을 형성한 후, 상기 감광막(17)을 제거한다.
도 2e에서와 같이, 상기 플러그 색(18)을 포함한 전면에 플러그층 형성용 다결정 실리콘층(19)을 형성한다.
도 2f에서와 같이, 상기 제 1 질화막(33)을 에치-스톱퍼(Etch-stopper)로 하여 상기 산화막(17)과 다결정 실리콘층(19)을 평탄화 시켜 다수개의 플러그층(19a)을 형성한다.

발명이 이루고자 하는 기술적 과제

종래의 반도체 소자의 제조 방법은 플러그층 형성용인 다결정 실리콘층을 형성한 후, 워드 라인 상부 부위의 질화막을 에치-스톱퍼로 층간 절연막인 산화막과 상기 다결정 실리콘층을 평탄화 시켜 플러그층을 형성할 때, 상기 산화막의 두께가 지역에 따라 1000 2000Å의 차이가 발생하기 때문에 평탄화 공정시 다음과 같은 이유로 소자의 오동작이 발생되는 문제점이 있었다.
첫째, 산화막의 두께가 가장 두꺼운 곳을 기준으로 평탄화 공정을 진행하는 경우에는 산화막의 두께가 얇은 부위에는 워드 라인 상부 부위의 질화막이 과다하게 손상된다.
둘째, 산화막의 두께가 가장 얇은 곳을 기준으로 평탄화 공정을 진행하는 경우에는 산화막의 두께가 두꺼운 부위에는 플러그층간의 절연이 이루어지지 않아 전기적 쇼트(Short)가 발생된다.
본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 플러그층 형성용인 다결정 실리콘층을 워드 라인 네가티브 감광막을 마스크로 식각한 후, 워드 라인 상부 부위의 질화막을 에치-스톱퍼로 층간 절연막인 산화막과 상기 다결정 실리콘층을 평탄화 시켜 플러그층을 형성하므로 소자의 수율을 향상시키는 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명의 반도체 소자의 제조 방법은 다수개의 플러그층들이 형성될 부위가 정의된 기판을 마련하는 단계, 양측과 상부에 각각 제 1 절연막 측벽과 제 2 절연막이 형성된 다수개의 워드 라인들을 상기 기판상에 형성하는 단계, 상기 워드 라인들을 포함한 전면에 상기 제 1, 제 2 절연막과 식각 선택비를 갖는 제 3 절연막을 형성하는 단계, 상기 플러그층들이 형성될 부위의 기판이 노출되도록 제 3 절연막을 선택적으로 식각하는 단계, 전면에 플러그 형성용 도전층을 형성하는 단계, 상기 제 3 절연막을 에치-스톱퍼로 하여 상기 도전층을 평탄화 시키는 단계, 상기 제 2 절연막을 에치-스톱퍼로 상기 워드 라인 상측의 도전층을 식각하는 단계 및 상기 제 1 절연막을 에치-스톱퍼로 상기 제 3 절연막과 도전층을 평탄화 시켜 다수개의 플러그층들을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.
상기와 같은 본 발명에 따른 반도체 소자의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
본 발명의 실시 예에 따른 반도체 소자의 제조 방법은 도 3a에서와 같이 DRAM 셀의 비트 라인 및 스토리지 노드 전극의 플러그층 형성 방법으로, 불순물 영역을 포함한 반도체 기판(31)상에 게이트 산화막(32)이 내재되며 상부 부위에 하드 마스크로 제 1 질화막(33)이 그리고 양측에 제 2 질화막 측벽(34)이 형성된 워드 라인(W)들을 형성한다.
여기서, 상기 제 1 질화막(33)과 제 2 질화막 측벽(34)을 SiN이나 SiON 또는Si-RICH SiON으로 형성한다.
그리고, 후공정에서 플러그 색 형성을 위한 산화막 식각시 발생되는 소자분리산화막(도시하지 않음)의 손상을 방지하기 위해 상기 워드 라인(W)들을 포함한 전면에 200Å 이하의 얇은 두께를 갖으며 SiN, SiON, Al_2O_3, Ta_2O_5, SiOCH 및 SiCH중 하나를 사용한 질화막을 형성할 수 있다.
도 3b에서와 같이, 상기 워드 라인(W)들을 포함한 전면에 층간 절연막으로서 두께가 두꺼운 산화막(36)을 형성한 다음, 상기 산화막(36)을 평탄화 시킨다.
여기서, 상기 산화막(36)을 피에스지(Phospho Silicate Glass:PSG), 비피에 스지(Boron Phosphrus Silicate Glass:BPSG), 에치디피(High Density Plasma:HDP), 유에스지(Undoped Silicate Glass:USG) 및 에이피엘(Advanced Planaraization Layer:APL)중 하나로 형성할 수 있다.
또한, 상기 산화막(36)을 CMP(Chemical Mechanical Polishing) 또는 에치 백(Etch Back)공정으로 평탄화 시킨다.
그리고, 상기 산화막(36)을 상에 제 1 감광막(37)을 도포하고, 상기 제 1 감광막(37)을 T-타입의 플러그 색이 형성될 부위만 제거되도록 선택적으로 노광 및 현상한다.
도 3c에서와 같이, 상기 선택적으로 노광 및 현상된 제 1 감광막(37)을 마스크로 상기 산화막(36)을 식각하여 T-타입의 플러그 색(38)을 형성한 후, 상기 제 1 감광막(37)을 제거한다.
여기서, 상기 산화막(37)을 질화막에 대한 고선택비를 갖도록 C_2F_6, C_2F_4, C_3F_6, C_3F_8, C_4F_6, C_4F_8, C_5F_8, C_5F_{10}과, C_2HF_5 등 다량의 폴리머(Polymer)를 유발하는 과탄소 함유 가스를 사용하여 식각한다.
그리고, 상기 산화막(37)을 상기 과탄소 함유 가스와 식각 멈춤 문제를 해결하고 식각 공정 윈도우(Window)를 증가시켜 재현성 있는 식각 공정을 확보하기 위하여 $C_xH_yF_z$계의 CHF_3, CH_2F_2, CH_3F, CH_2, CH_4, C_2H_4과, H_2 등의 수소를 포함하는 가스가 혼합된 가스를 사용하여 식각한다.
또한, 상기 산화막(37)을 플라즈마 안정 및 스퍼터링(Sputtering) 효과를 증가 시켜 식각 멈춤 문제를 해결하기 위하여 He, Ne, Ar과, Ze 등의 불활성 가스가 혼합된 가스를 사용하여 식각한다.
도 3d에서와 같이, 상기 플러그 색(38)을 포함한 전면에 플러그층 형성용 다결정 실리콘층(39)을 형성한다.
여기서, 상기 다결정 실리콘층(39)을 텅스텐(W), Ti/TiN, 셀렉티브(Selective) Si-에픽택셜 그로스(Eptiaxial Growth) 및 셀렉티브 텅스텐중 하나로 형성할 수 있다.
도 3e에서와 같이, 상기 산화막(36)을 에치-스톱퍼로 하여 상기 다결정 실리콘층(39)을 평탄화 시킨다.
여기서, 상기 다결정 실리콘층(39)을 CMP 또는 에치 백 공정으로 평탄화 시킨다.
도 3f에서와 같이, 상기 평탄화된 다결정 실리콘(39)과 산화막(37)상에 네가티브(Negative)인 제 2 감광막(40)을 형성한다.
그리고, 상기 워드 라인(W) 상측 부위의 제 2 감광막(40)이 제거되도록 상기 워드 라인(W) 형성시 사용한 마스크에 의해 상기 제 2 감광막(40)을 선택적으로 노광 및 현상한다.
도 3g에서와 같이, 상기 선택적으로 노광 및 현상된 제 2 감광막(40)을 마스크로 상기 다결정 실리콘층(39)을 선택적으로 식각하여 다수개의 플러그층(39a)을 형성하고, 상기 제 2 감광막(40)을 제거한다.
여기서, 상기 다결정 실리콘층(39)을 로딩(Loading) 효과에 의한 식각율 감소를 방지하고 주변 영역을 덮어 식각율을 유지하기 위해 상기 제 2 감광막(40)과 탑 일렉트로드 네가티브(Top Electrode Negative) 감광막을 마스크로 식각하여 다수개의 플러그층(39a)을 형성할 수 있다.
또한, 상기 제 2 감광막(40)을 주변 영역까지 덮을 수 있도록 노광 및 현상한 다음, 상기 제 2 감광막(40)을 마스크로 상기 다결정 실리콘층(39)을 선택적으로 식각하여 다수개의 플러그층(39a)을 형성할 수 있다.
도 3h에서와 같이, 상기 제 1 질화막(33)을 에치-스톱퍼로 하여 상기 산화막(37)과 다결정 실리콘층(39)을 평탄화 시킨다.
여기서, 상기 산화막(37)과 다결정 실리콘층(39)을 CMP 또는 에치 백 공정으로 평탄화 시킨다.

발명의 효과

본 발명의 반도체 소자의 제조 방법은 평탄화된 층간 절연막상에 형성한 플러그층 형성용인 다결정 실리콘층을 층간 절연막을 에치-스톱퍼로 제 1 차 평탄화 시키고 워드 라인 네가티브 감광막을 마스크로 제 2 차 식각한 후, 워드 라인

상부 부위의 하드 마스크층을 에치-스톱퍼로 제 3 차 평탄화 시켜 플러그층을 형성하므로, 상기 하드 마스크층이 손상되지 않고 플러그층간의 절연이 이루어지지 않아 발생되는 전기적 쇼트를 방지하여 소자의 수율을 향상시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

다수개의 플러그층들이 형성될 부위가 정의된 기판을 마련하는 단계;
양측과 상부에 각각 제 1 절연막 측벽과 제 2 절연막이 형성된 다수개의 워드 라인들을 상기 기판상에 형성하는 단계;
상기 워드 라인들을 포함한 전면에 상기 제 1, 제 2 절연막과 식각 선택비를 갖는 제 3 절연막을 형성하는 단계;
상기 플러그층들이 형성될 부위의 기판이 노출되도록 제 3 절연막을 선택적으로 식각하는 단계;
전면에 플러그 형성용 도전층을 형성하는 단계;
상기 제 3 절연막을 에치-스톱퍼로 하여 상기 도전층을 평탄화 시키는 단계;
상기 제 2 절연막을 에치-스톱퍼로 상기 워드 라인 상측의 도전층을 식각하는 단계;
상기 제 1 절연막을 에치-스톱퍼로 상기 제 3 절연막과 도전층을 평탄화 시켜 다수개의 플러그층들을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2.

제 1 항에 있어서,
상기 도전층을 다결정 실리콘층, 텅스텐, Ti/TiN, 셀렉티브 Si-에피택셜 그로스 및 셀렉티브 텅스텐중 하나로 형성함을 특징으로 하는 반도체 소자의 제조 방 법.

청구항 3.

제 1 항에 있어서,
상기 워드 라인 상측의 도전층을 워드 라인 네가티브 감광막을 마스크로 하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4.

제 1 항에 있어서,
상기 워드 라인 상측의 도전층을 주변 영역까지 덮을 수 있도록 노광 및 현상된 워드 라인 네가티브 감광막을 마스크로 하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5.

제 1 항에 있어서,
상기 워드 라인 상측의 도전층을 워드 라인 네가티브 감광막과 탑 일렉트로드 네가티브 감광막을 마스크로 하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6.

제 1 항에 있어서,
상기 제 1, 제 2 절연막을 질화막으로 형성하고 상기 제 3 절연막을 산화막으로 형성함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7.

제 6 항에 있어서,
상기 제 3 절연막을 과탄소 함유 가스를 사용하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8.

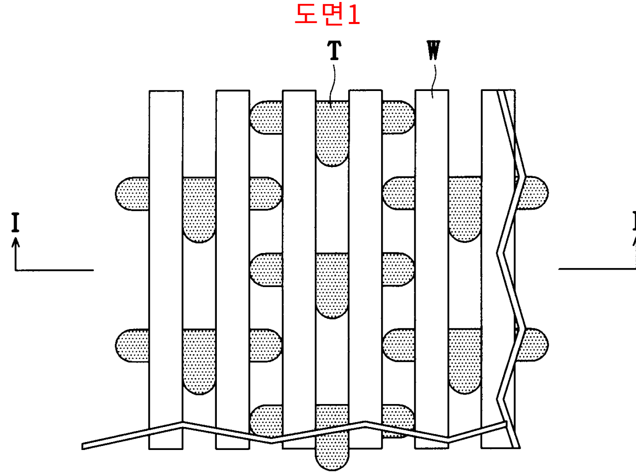
제 6 항에 있어서,
상기 제 3 절연막을 과탄소 함유 가스와 CxHyFz계의 수소를 포함하는 가스가 혼합된 가스를 사용하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9.

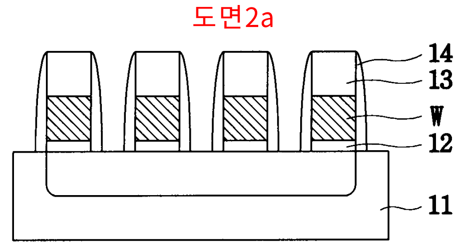
제 6 항에 있어서,
상기 제 3 절연막을 He, Ne, Ar과, Ze 등의 불활성 가스가 혼합된 가스를 사용하여 식각함을 특징으로 하는 반도체 소자의 제조 방법.

도면

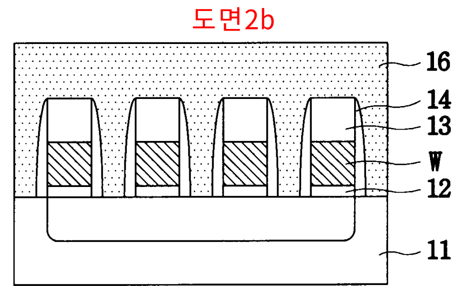
도면1



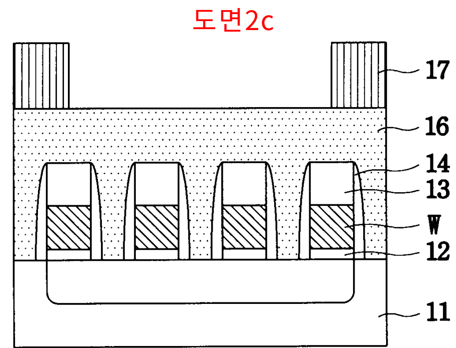
도면2a



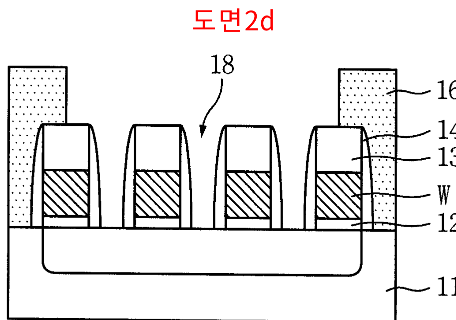
도면2b



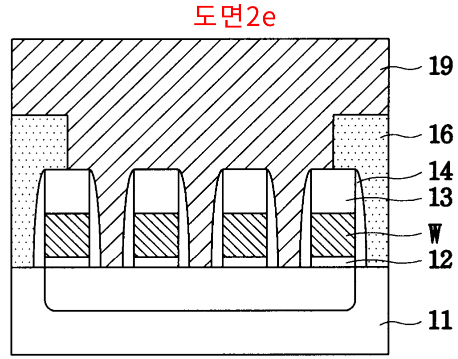
도면2c



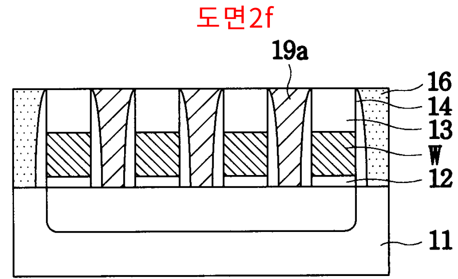
도면2d



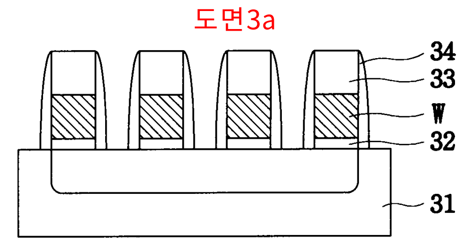
도면2e



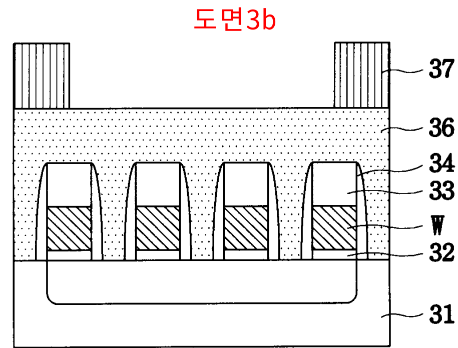
도면2f



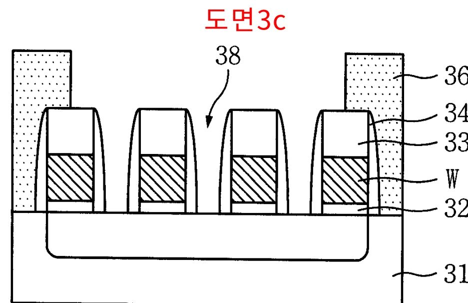
도면3a



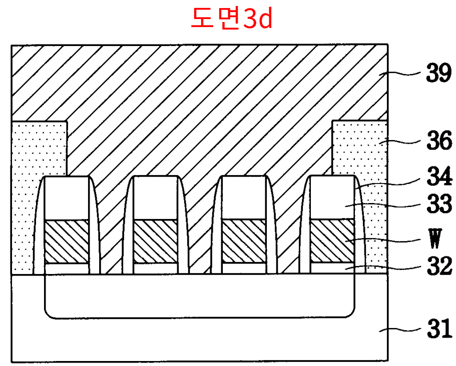
도면3b



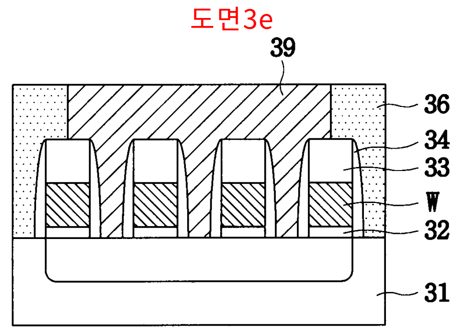
도면3c



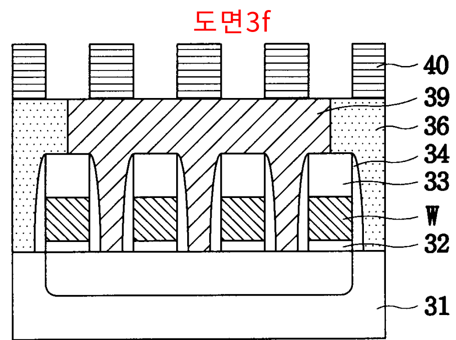
도면3d



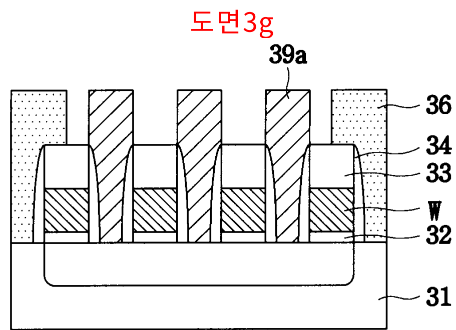
도면3e



도면3f



도면3g



도면3h