



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2005 019 552 B4** 2009.10.01

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 019 552.0**
 (22) Anmeldetag: **27.04.2005**
 (43) Offenlegungstag: **17.11.2005**
 (45) Veröffentlichungstag
 der Patenterteilung: **01.10.2009**

(51) Int Cl.⁸: **H01L 21/8247** (2006.01)
G11C 16/04 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2004-0030648 30.04.2004 KR

(73) Patentinhaber:
Dongbu Electronics Co.,Ltd., Seoul, KR

(74) Vertreter:
COHAUSZ & FLORACK, 40211 Düsseldorf

(72) Erfinder:
Lee, Sang Bum, Incheon, KR

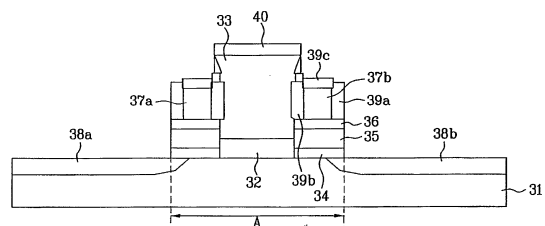
(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

US 66 73 677 B2
US 2003/02 03 572 A1

**Ogura, T. [u.a.]: Embedded Twin MONOS Flash
 Memories with 4 ns and 15 ns Fast Acces
 Times. In: 2003 Symposium on VLSI Circuits
 Digest of technical Papers, S. 207-210**

(54) Bezeichnung: **Verfahren zum Herstellen eines Flash-Speichers**

(57) Hauptanspruch: Verfahren zur Herstellung eines Flash-Speicherbausteins, umfassend:
 Ausbilden einer Gatterstrukturschicht (46a) mit einer Mindestlinienbreite (A) durch Übereinanderordnen einer Materialschicht (46) für ein Gatter und Isolationsdeckschichten (47, 48) auf einer ONO-Schicht (43, 44, 45) eines Halbleitersubstrats (41) und primäres Ätzen der übereinander angeordneten Schichten;
 Ausbilden einer Isolationsschicht (51) zur Planarisierung auf einer gesamten Oberfläche des Halbleitersubstrats (41) und Entfernen einer der Isolationsdeckschichten (48a), dergestalt, dass eine Selektionsgatterbildungsregion (52) definiert wird;
 Ausbilden einer Maskenstrukturschicht (53) mit einer Seitenwandform in der Selektionsgatterbildungsregion (52) und sekundäres Ätzen der Gatterstrukturschicht (46a) unter Verwendung der Maskenstrukturschicht (53), dergestalt, dass Steuergatter (46b, 46c) entstehen; und
 Ausbilden eines Selektionsgatters (56), das von den Steuergattern (46b, 46c) in der Selektionsgatterbildungsregion (52) isoliert ist, und Ausbilden von Source- und Drainübergangsregionen (58a, 58b) in der Oberfläche des Halbleitersubstrats (41) auf beiden Seiten des Selektionsgatters (56).



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines Flash-Speicherbausteins, mit dem die Zellengröße durch Ausbilden eines Steuergatters innerhalb einer durch den Herstellungsprozess zugelassenen Mindestlinienbreite verringert wird.

[0002] In der jüngeren Vergangenheit hat ein nicht-flüchtiger Speicherbaustein aus SONOS (Polysilicium-Oxid-Nitrid-Oxid-Halbleiter) große Aufmerksamkeit erlangt, weil es möglich ist, die nachteiligen Eigenschaften anderer nicht-flüchtiger Speicherbausteine zu überwinden. Im Fall des nicht-flüchtigen Speicherbausteins aus SONOS dient eine obere Oxidschicht als Potentialsperre für den Zutritt elektrischer Ladungen durch ein Gatter. Des Weiteren erzeugt die obere Oxidschicht eine neue Speicherfalle von hoher Dichte zu einer Grenzfläche mit einer Nitridschicht. Dementsprechend ist es möglich, eine dünne Gatterisolationsschicht, insbesondere eine dünne Nitridschicht, im Zustand der Beibehaltung einer Speicherfenstergröße zu erhalten, wodurch ein hocheffizienter nicht-flüchtiger Speicherbaustein mit einer niedrigen programmierbaren Spannung zum Aufzeichnen und Löschen und einem niedrigen Stromverbrauch entsteht.

[0003] Im Weiteren wird ein Flash-Speicherbaustein vom SONOS-Typ nach dem Stand der Technik anhand der begleitenden Zeichnungen beschrieben. [Fig. 1](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein vom SONOS-Typ nach dem Stand der Technik veranschaulicht. [Fig. 2](#) ist eine TEM-Fotografie, die einen Flash-Speicherbaustein vom Zwillings-MONOS-Typ nach dem Stand der Technik veranschaulicht. Der üblicherweise verwendete Flash-Speicherbaustein lässt sich grob unterteilen in einen Mehrschichtgatter-Flashzellenbaustein mit einer übereinander angeordneten Struktur eines Steuergatters und eines floatenden Gatters, und einen SONOS-Flashzellenbaustein, bei dem ein einzelnes Gatter und ein Gatterdielektrikum als eine ONO-Struktur (Oxid-Nitrid-Oxid) übereinander angeordnet sind.

[0004] [Fig. 1](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein mit einer SONOS-Zellenstruktur veranschaulicht, wobei eine Tunneloxidschicht **12**, eine Einfangnitridschicht **13** und eine Sperroxidschicht **14** als die ONO-Struktur der Reihe nach auf einem Halbleitersubstrat **11** vom p-Typ übereinander angeordnet sind. Dann wird ein Polysiliciumgatter **15** vom n-Typ auf die ONO-Struktur **12**, **13**, und **14** aufgesetzt, und es werden Störstellenregionen **16** und **17** vom n-Typ in der Oberfläche des Halbleitersubstrats **11** auf beiden Seiten des Polysiliciumgatters **15** vom n-Typ ausgebildet, wobei die Störstellenregionen **16** und **17** vom n-Typ als Source- und Drainregionen ausgebildet werden.

[0005] Es wird nun eine Programmierungs- und Löschoperation an dem oben beschriebenen Flash-Speicherbaustein vom SONOS-Typ beschrieben.

[0006] In einem Programmiermodus wird eine zuvor festgelegte positive (+) Spannung an die Drainregion **17** und das Gatter **15** angelegt, und die Sourcereion **16** und das Halbleitersubstrat (Körper) **11** sind geerdet. In diesem Zustand werden entsprechend der angelegten Vorspannung Kanalelektronen durch ein seitliches elektrisches Feld, das von der Sourcereion **16** zur Drainregion **17** gebildet wird, beschleunigt, wodurch die Kanalelektronen um die Drainregion **17** herum zu heißen Elektronen werden. Des Weiteren werden die heißen Elektronen lokal auf einer Einfangebene der Einfangnitridschicht **13** um die Drainregion **17** herum über der Potentialsperre der Tunneloxidschicht **12** eingefangen, wodurch eine Schwellenspannung ansteigt. Dieses Programmierverfahren nennt man CHEI (Channel Hot Electron Injection).

[0007] In einem Löschmodus wird eine zuvor festgelegte positive (+) Spannung an die Drainregion **17** angelegt, und eine zuvor festgelegte negative (-) Spannung wird an das Gatter **15** angelegt. Des Weiteren sind die Sourcereion **16** und das Halbleitersubstrat **11** geerdet. In diesem Zustand wird entsprechend der angelegten Vorspannung durch ein hohes elektrisches Feld, das in einem Überlappungsbereich zwischen der Drainregion **17** und dem Gatter **15** gebildet wird, eine Verarmungsregion in der Drainregion **17** vom n-Typ gebildet. In der Verarmungsregion werden durch einen Band-Band-Tunneleffekt Elektron-Loch-Paare gebildet. Dann weicht das Elektron zur Region vom n-Typ, und das Loch wird durch das seitliche elektrische Feld der Verarmungsregion beschleunigt, wodurch sich das Loch in ein heißes Loch verwandelt. Das heiße Loch wird in ein Valenzband der Einfangnitridschicht **13** über einer Energiesperre, die zwischen der Tunneloxidschicht **12** und dem Halbleitersubstrat **11** gebildet wird, injiziert und darin gefangen, wodurch der Löschmodus ausgeführt wird, was die Schwellenspannung senkt. Diese Löschungsmethode wird auch als Heißlochinjektion (Hot Hole Injection) HHI bezeichnet.

[0008] Die Maximierung des HCI-Effekts (Hot Carrier Injection) ist für die Eigenschaften des Flash-Speicherbausteins vom SONOS-Typ sehr wichtig. Insbesondere wird es zunehmend wichtiger infolge der allgemeinen

Verbreitung von Bausteinen mit geringem Stromverbrauch. Bei dem Flash-Speicherbaustein vom SONOS-Typ von [Fig. 1](#) wird das HHI-Löschverfahren verwendet, um die Elektronen zu entfernen, die beim Löschmodus injiziert wurden. In diesem Fall ist es sehr schwierig, die Löcher entsprechend der Anzahl der Elektronen, die beim Löschmodus injiziert wurden, zu injizieren. Dadurch werden einige der Elektronen, die beim Löschmodus injiziert wurden, infolge der fehlerhaften Lochinjektion angesammelt, wodurch die Lebensdauer des Bausteins beeinträchtigt wird.

[0009] Um diese Probleme zu lösen, ist in [Fig. 2](#) eine andere Zellenstruktur gezeigt. In [Fig. 2](#) sind Steuergatter SG von Seitenwand-Abstandshaltertyp auf beiden Seiten einer Wortleitung WL ausgebildet, und Nitridspeicherstellen sind unter den Steuergattern SG ausgebildet ("Embedded twin MONOS flash memories with 4ns and 15ns fast access times". Ogura, T.; Ogura, N.; Kirihara, M.; Park, K. T.; Baba, Y.; Sekine, M.; Shimeno, K. Digest of Technical Papers. 2003 Symposium on VLSI Circuits. Issue 12, June 14, 2003, Pages 207–210). Für diese Struktur wird der Zustand der in den Programmier- und Löschmodi angelegten Vorspannung in Tabelle 1 dargestellt.

Betriebsmodus	Gewählte WL (nicht gewählt)	Gewählte BL (nicht gewählt)	Gewähltes SG (nicht gewählt)	Elektrische Eigenschaften
Lesen	1,8 V (0 V)	0 und 1,5 V (1,8 V)	1,8 und > 2,8 V (1,8 V)	$I_{\text{Lein}} > 60 \mu\text{A}/\mu\text{m}$ $I_{\text{aus}} < 3,5 \mu\text{A}/\mu\text{m}$
Programmieren	1,0V (0 V)	4,5 und 0 V (1,8 V)	5,5 und > 2,8 V (1,8 V)	$I_{\text{pgm}} < 2 \mu\text{A}/\text{Bit}$ $T_{\text{pgm}} = 20 \mu\text{s}$
Heißlochlöschen	0 floatend	4,5V (1,8 oder 0 V)	-3 V (0 V)	$I_{\text{lösch}} < 2 \text{nA}/\text{Bit}$ $T_{\text{lösch}} = 10\text{--}100 \text{ms}$

[0010] Im Löschmodus ist es durch diesen Vorspannungszustand möglich, die Effizienz der Lochinjektion durch das Steuergatter vom Seitenwandtyp zu verbessern, wodurch die Lebensdauer verlängert wird. Jedoch ist das Steuergatter vom Seitenwandtyp außerhalb einer Mindestlinienbreite (A) ausgebildet, die das Fertigungsverfahren zulässt, wodurch die Zellengröße zunimmt. Es ist somit nachteilig für die Miniaturisierung des Bausteins und für die Verbesserung der Zellenintegration. Des Weiteren wird die Seitenwand des Steuergatters durch Zurückätzen ausgebildet, was die Produktionsrate senkt.

[0011] Die Druckschrift US 2003/0203572 A1 offenbart einen nichtflüchtigen Halbleiterspeicherbaustein und eine Herstellungsmethode hierfür, wobei der Halbleiterspeicherbaustein eine Speicherzelle mit Steuergattern vom Seitenwandtyp darstellt, deren Seitenwände durch Zurückätzen ausgebildet sind.

[0012] Die Druckschrift US 6,673,677 B2 offenbart ein Verfahren zur Herstellung einer Speicherzelle, wobei eine für das Einfangen von Ladungsträgern über dem Source-Bereich und dem Drain-Bereich vorgesehene Speicherschicht über dem Kanal unterbrochen ist, so dass ein Diffundieren der Ladungsträger, die über dem Source-Bereich und über dem Drain-Bereich eingefangen sind, verhindert wird.

Kurzdarstellung der Erfindung

[0013] Dementsprechend betrifft die vorliegende Erfindung ein Verfahren zur Herstellung eines Flash-Speicherbausteins, der ein oder mehrere Probleme, die mit den Beschränkungen und Nachteilen des Standes der Technik einhergehen, im Wesentlichen beseitigt.

[0014] Eine Aufgabe der vorliegenden Erfindung ist die Bereitstellung eines Verfahrens zur Herstellung eines Flash-Speicherbausteins, mit dem die Zellengröße durch Ausbilden eines Steuergatters innerhalb einer durch den Herstellungsprozess zugelassenen Mindestlinienbreite verringert wird und mit dem die Betriebseigenschaften selbst im Fall der Verringerung der Zellengröße effektiv erreicht werden.

[0015] Um diese Aufgaben und sonstigen Vorteile zu erreichen, und gemäß dem Zweck der Erfindung, wie er im vorliegenden Text verkörpert und im weiten Sinne beschrieben ist, wird ein Verfahren zur Herstellung eines Flash-Speicherbausteins bereitgestellt, das folgende Schritte beinhaltet: Ausbilden einer Gatterstrukturschicht mit einer Mindestlinienbreite (A) durch Übereinanderanordnen einer Materialschicht für ein Gatter und Isolationsdeckschichten auf einer ONO-Schicht eines Halbleitersubstrats und primäres Ätzen der übereinander angeordneten Schichten; Ausbilden einer Isolationsschicht zur Planarisierung auf einer gesamten Oberfläche des Halbleitersubstrats und Entfernen einer der Isolationsdeckschichten, dergestalt, dass eine Selektionsgatterbildungsregion definiert wird; Ausbilden einer Maskenstrukturschicht mit einer Seitenwandform in der Selektionsgatterbildungsregion.

tionsgatterbildungsregion und sekundäres Ätzen der Gatterstrukturschicht unter Verwendung der Maskenstrukturschicht, dergestalt, dass Steuergatter entstehen; und Ausbilden eines Selektionsgatters, das von den Steuergattern in der Selektionsgatterbildungsregion isoliert ist, und Ausbilden von Source- und Drainübergangsregionen in der Oberfläche des Halbleitersubstrats auf beiden Seiten des Selektionsgatters.

[0016] Zu diesem Zeitpunkt werden die Isolationsdeckschichten durch Übereinanderordnen einer Oxidschicht und einer Nitridschicht ausgebildet. Die Nitridschicht wird im Prozess des Definierens der Selektionsgatterbildungsregion entfernt, während die Oxidschicht bleibt.

[0017] Vor dem Ausbilden der Isolationsschicht zur Planarisierung werden des Weiteren die Seitenabschnitte der freiliegenden Materialschicht für das Gatter oxidiert, und eine Nitridschicht, die als Ätzsperrschicht fungiert, wird auf der gesamten Oberfläche des Halbleitersubstrats ausgebildet.

[0018] Des Weiteren wird die ONO-Schicht mittels der Maskenstrukturschicht nach der Ausbildung der Steuergatter primär strukturiert und anschließend nach der Ausbildung des Selektionsgatters sekundär strukturiert, so dass die ONO-Schicht unter den Steuergattern bleibt.

[0019] Es versteht sich, dass sowohl die obige allgemeine Beschreibung als auch die folgende detaillierte Beschreibung der vorliegenden Erfindung beispielhaft und erklärend sind und dazu dienen, die beanspruchte Erfindung eingehender zu erläutern.

Kurze Beschreibung der Zeichnungen

[0020] [Fig. 1](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein vom SONOS-Typ nach dem Stand der Technik veranschaulicht.

[0021] [Fig. 2](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein vom Zwillings-MONOS-Typ nach dem Stand der Technik veranschaulicht.

[0022] [Fig. 3](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein gemäß der vorliegenden Erfindung veranschaulicht.

[0023] [Fig. 4A](#) bis [Fig. 4M](#) sind Querschnittsansichten, die den Herstellungsprozess eines Flash-Speicherbausteins gemäß der vorliegenden Erfindung veranschaulichen.

Detaillierte Beschreibung der Erfindung

[0024] Es wird nun eingehender auf die bevorzugten Ausführungsformen der vorliegenden Erfindung, von der Beispiele in den begleitenden Zeichnungen veranschaulicht sind, eingegangen. Wo immer möglich, werden in allen Zeichnungen die gleichen Bezugszahlen verwendet, um dieselben oder gleiche Teile zu bezeichnen.

[0025] Im Weiteren wird ein Verfahren zur Herstellung eines Flash-Speicherbausteins gemäß der bevorzugten Ausführungsform der vorliegenden Erfindung anhand der begleitenden Zeichnungen beschrieben.

[0026] [Fig. 3](#) ist eine Querschnittsansicht, die einen Flash-Speicherbaustein gemäß der vorliegenden Erfindung veranschaulicht. Bei dem Flash-Speicherbaustein gemäß der vorliegenden Erfindung wird ein Steuergatter innerhalb einer durch den Herstellungsprozess zugelassenen Mindestlinienbreite (A) ausgebildet. Zu diesem Zweck wird eine Materialschicht für ein Gatter mit der Mindestlinienbreite (A) primär strukturiert, woraufhin die primär strukturierte Materialschicht für das Gatter zweitens unter Verwendung einer Maskenstrukturschicht in Seitenwandform mittels eines Rückätzverfahrens geätzt wird, wodurch Steuergatter gebildet werden. Danach wird zwischen den Steuergattern ein Selektionsgatter ausgebildet. Bei dem Flash-Speicherbaustein gemäß der vorliegenden Erfindung wird das Steuergatter innerhalb der durch den Herstellungsprozess zugelassenen Mindestlinienbreite ausgebildet, wenn das Steuergatter zur Verbesserung der Effektivität der Lochinjektion beim Löschoperationsmodus vorhanden ist.

[0027] Wie in [Fig. 3](#) zu sehen, wird das Selektionsgatter **33** auf einer Gatterisolationsschicht **32** eines Halbleitersubstrats **31** ausgebildet. Dann werden ONO-Schichten auf beiden Seiten des Selektionsgatters **33** ausgebildet, wobei jede ONO-Schicht in einem Verfahren des Übereinanderordnens einer Tunneloxidschicht **34**, einer Einfangnitridschicht **35** und einer Sperroxydschicht **36** gebildet wird. Außerdem werden die Steuergatter **37a** und **37b** auf den ONO-Schichten ausgebildet. Zu diesem Zeitpunkt werden das Selektionsgatter **33**

und die Steuergatter **37a** und **37b** innerhalb der durch den Herstellungsprozess zugelassenen Mindestlinienbreite (A) ausgebildet. Dann werden Source- und Drainübergangsregionen **38a** und **38b** in der Oberfläche des Halbleitersubstrats **31** auf beiden Seiten des Selektionsgatters **33** und der Steuergatter **37a** und **37b** ausgebildet. Die Steuergatter **37a** und **37b** sind von dem Selektionsgatter **33** und anderen leitenden Schichten durch Isolationsschichten **39a**, **39b** und **39c** isoliert, und auf dem Selektionsgatter **33** ist eine Gatterisoliationsdeckschicht **40** ausgebildet.

[0028] Im Folgenden wird ein Verfahren zur Herstellung des oben besprochenen Flash-Speicherbausteins gemäß der vorliegenden Erfindung beschrieben. Die [Fig. 4A](#) bis [Fig. 4M](#) sind Querschnittsansichten, die den Herstellungsprozess des Flash-Speicherbausteins gemäß der vorliegenden Erfindung veranschaulichen.

[0029] Wie in [Fig. 4A](#) gezeigt, wird eine Pufferoxidschicht **42** auf einem Halbleitersubstrat **41** ausgebildet, woraufhin Ionenimplantation eingesetzt wird, um eine (nicht gezeigte) Muldenregion in der Oberfläche des Halbleitersubstrats **41** auszubilden und eine Schwellenspannung zu steuern.

[0030] Wenden wir uns [Fig. 4B](#) zu. Die Pufferoxidschicht **42** wird entfernt, woraufhin darauf eine ONO-Schicht ausgebildet wird, wobei die ONO-Schicht in der Weise gebildet wird, dass nacheinander eine untere Oxidschicht, eine Einfangnitridschicht **44** und eine obere Oxidschicht übereinander angeordnet werden. Zu diesem Zeitpunkt dient die untere Oxidschicht als eine Tunneloxidschicht **43**, und die obere Oxidschicht dient als Sperroxidschicht **45**. Die untere Oxidschicht **43**, die Einfangnitridschicht **44** und die Sperroxidschicht **45** werden chemisch aufgedampft.

[0031] Anschließend wird eine Polysiliciumschicht **46** auf der ONO-Schicht ausgebildet, welche die übereinander angeordnete Struktur der unteren Oxidschicht **43**, der Einfangnitridschicht **44** und der Sperroxidschicht **45** aufweist, wobei die Polysiliciumschicht **46** als eine Materialschicht für ein Gatter dient. Dann werden eine erste Oxidschicht **47** und eine erste Nitridschicht **48** nacheinander auf der Polysiliciumschicht **46** ausgebildet, so dass eine Isolationsdeckschicht entsteht.

[0032] Wie in [Fig. 4C](#) dargestellt, werden die erste Nitridschicht **48** und die erste Oxidschicht **47** im Verlauf des Gatterstrukturierungsprozesses selektiv so geätzt, dass durch Fotolithografie eine Mindestlinienbreite 'A' entsteht, wodurch eine Gatterstruktur entsteht, welche die übereinander angeordnete Struktur einer Polysiliciumschicht **46a**, einer Oxidstrukturschicht **47a** und einer Nitridstrukturschicht **48a** aufweist. Nach dem Ätzen der Gatterstruktur **46a**, **47a** und **48a** erfolgt der Reinigungsprozess. In diesem Zustand hat 'A', das der Gatterlinienbreite von [Fig. 4C](#) entspricht, die gleiche Größe wie 'A', das der Gatterlinienbreite von [Fig. 2](#) entspricht.

[0033] Anschließend, wie in [Fig. 4D](#) gezeigt, wird die freiliegende Polysiliciumschicht **46a** der Gatterstruktur oxidiert, so dass zweite Oxidschichten **49** an beiden Seitenwänden der Polysiliciumschicht **46a** entstehen. Dann wird eine Nitridschicht auf einer gesamten Oberfläche des Halbleitersubstrats abgelagert, wodurch eine zweite Nitridschicht **50** entsteht. Zu diesem Zeitpunkt fungiert die zweite Nitridschicht **50** als Sperrschicht im Planarisierungsprozess.

[0034] Wie in [Fig. 4E](#) zu sehen, wird eine dritte Oxidschicht **51** chemisch aufgedampft, wobei die dritte Oxidschicht **51** als eine Isolationsschicht für die Planarisierung fungiert. Anschließend wird die dritte Oxidschicht **51** durch chemisches/mechanisches Polieren planarisiert, wobei die zweite Nitridschicht **50** als Sperrschicht verwendet wird. Wie in [Fig. 4F](#) zu sehen, wird eine Selektionsgatterbildungsregion **52** definiert, indem die freiliegende zweite Nitridschicht **50** und die Nitridstrukturschicht **48a** entfernt werden.

[0035] Anschließend, wie in [Fig. 4G](#) gezeigt, wird eine Nitridschicht auf der gesamten Oberfläche des Halbleitersubstrats abgelagert, wobei die Nitridschicht als Maskierungsschicht für den Prozess der Strukturierung von Steuergattern verwendet wird, woraufhin das Rückätzen erfolgt, wodurch eine Maskenstrukturschicht **53** als eine Seitenwandform in der Selektionsgatterbildungsregion **52** ausgebildet wird. Durch Verwendung der Maskenstrukturschicht **53** werden die freiliegende Polysiliciumschicht **46a** und die Oxidstrukturschicht **47a** selektiv geätzt, wodurch Steuergatter **46b** und **46c** innerhalb der ursprünglichen Gatterlinienbreite A gebildet werden. Zu diesem Zeitpunkt wird die Oxidstrukturschicht **47a** auf die Maskenstrukturschicht **53** auf den Steuergattern **46b** und **46c** ausgerichtet und gleichzeitig geätzt, wodurch ein Teil der Oxidstrukturschicht **47b** zurückbleibt.

[0036] Anschließend wird, wie in [Fig. 4H](#) gezeigt, in dem Zustand, wo die Maskenstrukturschicht **53** zurückbleibt, die freiliegende ONO-Schicht **43**, **44** und **45** selektiv und primär entfernt, und es entsteht eine Gatteroxidschicht **54**, um eine Isolierung des Gatters in der Oberfläche des Halbleitersubstrats **41** zu erhalten. In dem

Gatteroxidationsprozess werden, obgleich nicht gezeigt, die Seitenabschnitte der Einfangnitridschicht **44** und der Sperroxidschicht **45**, die (ga) entsprechen, oxidiert, wodurch Oxidschichten entstehen. Ebenso werden die innenliegenden Abschnitte der Steuergatter **46b** und **46c** oxidiert, wodurch vierte Oxidschichten **55** an den Seitenabschnitten der Steuergatter **46b** und **46c** gebildet werden.

[0037] Wie in [Fig. 4I](#) gezeigt, wird eine Polysiliciumschicht auf der gesamten Oberfläche des Halbleitersubstrats abgelagert, wobei die Polysiliciumschicht als eine Materialschicht für die Bildung des Selektionsgatters dient, woraufhin ein Rückätzen erfolgt, wodurch ein Selektionsgatter **56** entsteht. Anschließend wird, wie in [Fig. 4J](#) gezeigt, die Nitridschicht, die für die Maskenstrukturschicht **53** bei der Ausbildung des Selektionsgatters **56** verwendet wurde, entfernt, und dann wird die dritte Oxidschicht **51** entfernt, wie in [Fig. 4K](#) gezeigt. Beim Entfernen der dritten Oxidschicht **51** wird auch die Oxidstrukturschicht **47b** an den Steuergattern **46b** und **46c** entfernt. Der Ätzprozess zum Entfernen der dritten Oxidschicht **51** wird fortgeführt, wobei die zweite Nitridschicht **50** als ein Ätzendpunkt festgesetzt wird.

[0038] Wie in [Fig. 4L](#) gezeigt, werden nach dem Entfernen der freiliegenden zweiten Nitridschicht **50** die untere Oxidschicht **43**, die Einfangnitridschicht **44** und die Sperroxidschicht **45** selektiv und sekundär strukturiert, indem die Steuergatter **46b** und **46c** und das Selektionsgatter **56** als Maske verwendet werden, wodurch die ONO-Schichten **43a**, **44a** und **45a** unter den Steuergattern **46b** und **46c** ausgebildet werden.

[0039] Danach wird, wie in [Fig. 4M](#) gezeigt, der Oxidationsprozess weitergeführt, wodurch Gatterisoliationsdeckschichten **57a**, **57b** und **57c** auf der freiliegenden Oberfläche der Steuergatter **46b** und **46c** und des Selektionsgatters **56** ausgebildet werden. Dann werden Störionen in die Oberfläche des Halbleitersubstrats **41** auf beiden Seiten des Selektionsgatters **56** implantiert, wodurch Source- und Drainübergangsregionen **58a** und **58b** gebildet werden. Obgleich nicht gezeigt, wird der Prozess der Bildung einer Isolationszwischen-schicht, einer Kontaktregion und oberer Linien fortgeführt.

[0040] Bei dem Flash-Speicherbaustein gemäß der vorliegenden Erfindung werden die Steuergatter – wenn die Steuergatter auf beiden Seiten des Selektionsgatters ausgebildet werden, um die Effizienz der Lochinjektion beim Löschoptionsmodus zu verbessern – innerhalb der durch den Herstellungsprozess zugelassenen Mindestlinienbreite ausgebildet. Des Weiteren werden, anstatt die Steuergatter durch Rückätzen auszubilden, die Steuergatter vom Seitenwandtyp mittels der Maskenstruktur ausgebildet, um das korrekte Ätzprofil zu erhalten, wobei dies für die Realisierung des Herstellungsprozesses vorteilhaft ist.

[0041] Wie oben angesprochen, hat das Verfahren zur Herstellung des Flash-Speicherbausteins gemäß der vorliegenden Erfindung die folgenden Vorteile.

[0042] Als Erstes ist es möglich, die Effizienz der Lochinjektion beim Löschoptionsmodus zu verbessern, indem die Zellenstruktur das Steuergatter aufweist, wodurch die Lebensdauer verlängert wird.

[0043] Des Weiteren wird das Steuergatter beim Ätzprozess unter Verwendung der Maskenstrukturschicht ausgebildet, so dass das korrekte Strukturprofil erhalten werden kann, wodurch der Herstellungsprozess optimal realisiert werden kann.

[0044] Außerdem wird das Steuergatter innerhalb der durch den Herstellungsprozess zugelassenen Mindestlinienbreite (A) ausgebildet, was für die Miniaturisierung des Bausteins und die Verbesserung der Zellenintegration vorteilhaft ist.

[0045] Des Weiteren wird, anstatt das Steuergatter durch Rückätzen auszubilden, das Steuergatter vom Seitenwandtyp mittels der Maskenstruktur ausgebildet, um das korrekte Ätzprofil zu erhalten, so dass es möglich ist, die Probleme des Herstellungsprozesses zu verringern.

Patentansprüche

1. Verfahren zur Herstellung eines Flash-Speicherbausteins, umfassend:

Ausbilden einer Gatterstrukturschicht (**46a**) mit einer Mindestlinienbreite (A) durch Übereinanderordnen einer Materialschicht (**46**) für ein Gatter und Isolationsdeckschichten (**47**, **48**) auf einer ONO-Schicht (**43**, **44**, **45**) eines Halbleitersubstrats (**41**) und primäres Ätzen der übereinander angeordneten Schichten;
Ausbilden einer Isolations-schicht (**51**) zur Planarisierung auf einer gesamten Oberfläche des Halbleitersubstrats (**41**) und Entfernen einer der Isolationsdeckschichten (**48a**), dergestalt, dass eine Selektionsgatterbildungsregion (**52**) definiert wird;

Ausbilden einer Maskenstrukturschicht (53) mit einer Seitenwandform in der Selektionsgatterbildungsregion (52) und sekundäres Ätzen der Gatterstrukturschicht (46a) unter Verwendung der Maskenstrukturschicht (53), dergestalt, dass Steuergatter (46b, 46c) entstehen; und
Ausbilden eines Selektionsgatters (56), das von den Steuergattern (46b, 46c) in der Selektionsgatterbildungsregion (52) isoliert ist, und Ausbilden von Source- und Drainübergangsregionen (58a, 58b) in der Oberfläche des Halbleitersubstrats (41) auf beiden Seiten des Selektionsgatters (56).

2. Verfahren nach Anspruch 1, wobei die Isolationsdeckschichten (47, 48) durch Übereinanderanordnen einer Oxidschicht (47) und einer Nitridschicht (48) gebildet werden und wobei die Nitridschicht (48) im Prozess des Definierens der Selektionsgatterbildungsregion (52) entfernt wird und die Oxidschicht (47) bleibt.

3. Verfahren nach Anspruch 1, wobei vor dem Ausbilden der Isolationsschicht (51) zur Planarisierung die Seitenabschnitte der Gatterstrukturschicht (46a) oxidiert werden und eine als Ätzsperrschicht fungierende Nitridschicht (50) auf der gesamten Oberfläche des Halbleitersubstrats (41) ausgebildet wird.

4. Verfahren nach Anspruch 1, wobei die ONO-Schicht (43, 44, 45) durch Verwenden der Maskenstrukturschicht (53) nach der Ausbildung der Steuergatter (46b, 46c) primär strukturiert wird und anschließend nach der Ausbildung des Selektionsgatters (56) sekundär strukturiert wird, dergestalt, dass die ONO-Schicht (43, 44, 45) unter den Steuergattern (46b, 46c) bleibt.

5. Verfahren nach Anspruch 1 oder Anspruch 4, wobei es nach der Ausbildung des Selektionsgatters (56) erforderlich ist, die Maskenstrukturschicht (53), die verbliebene Isolationsschicht (51) für die Planarisierung, die verbliebene Isolationsdeckschicht (47b) unter der Maskenstrukturschicht (53) sowie die Nitridschicht (50), die als Sperrschicht während des chemischen mechanischen Polierens zum Ausbilden der Isolationsschicht (51) für die Planarisierung verwendet wird, zu entfernen, woraufhin die ONO-Schicht (43, 44, 45) sekundär strukturiert wird.

6. Verfahren nach Anspruch 4, wobei, nach dem primären Strukturieren der ONO-Schicht (44, 45, 46) mittels der Maskenstrukturschicht (53), eine Gatteroxidschicht (54) innerhalb der Selektionsgatterbildungsregion (52) in der Oberfläche des Halbleitersubstrats (41) ausgebildet wird.

7. Verfahren nach Anspruch 6, wobei, nach dem Ausbilden der Gatteroxidschicht (54), eine Polysiliciumschicht (56) ausgebildet wird, um die Selektionsgatterbildungsregion (52) zu verdecken, und anschließend anisotrop geätzt wird, um auf der Selektionsgatterbildungsregion (52) zu verbleiben, wodurch das Selektionsgatter (56) gebildet wird.

8. Verfahren nach Anspruch 1, wobei in einem Verfahren des Oxidierens der Oberseiten des Selektionsgatters (56) und der Steuergatter (46b, 46c) vor dem Ionenimplantationsprozess eine Gatterisolationsschicht (57a, 57b, 57c) ausgebildet wird, um die Source- und Drainübergangsregionen (58a, 58b) auszubilden.

Es folgen 16 Blatt Zeichnungen

FIG. 1

Stand der Technik

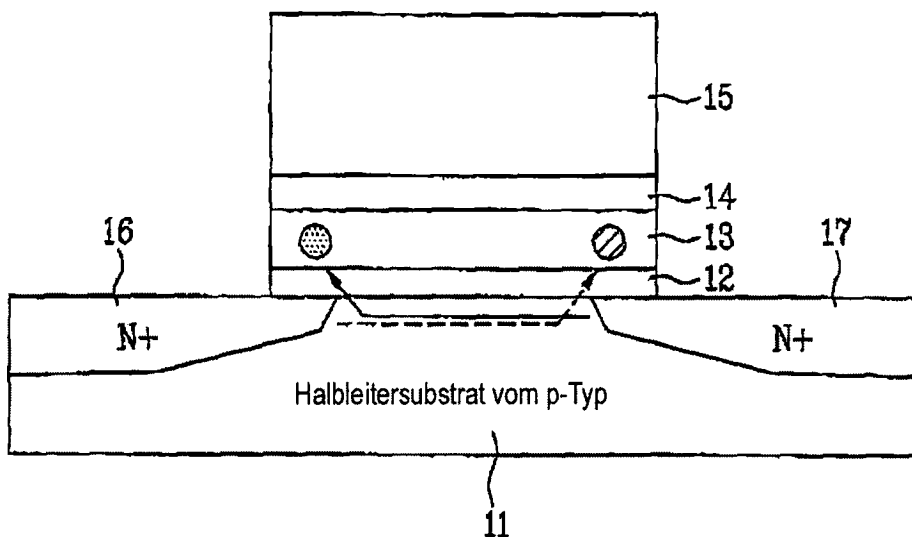


FIG. 2
Stand der Technik

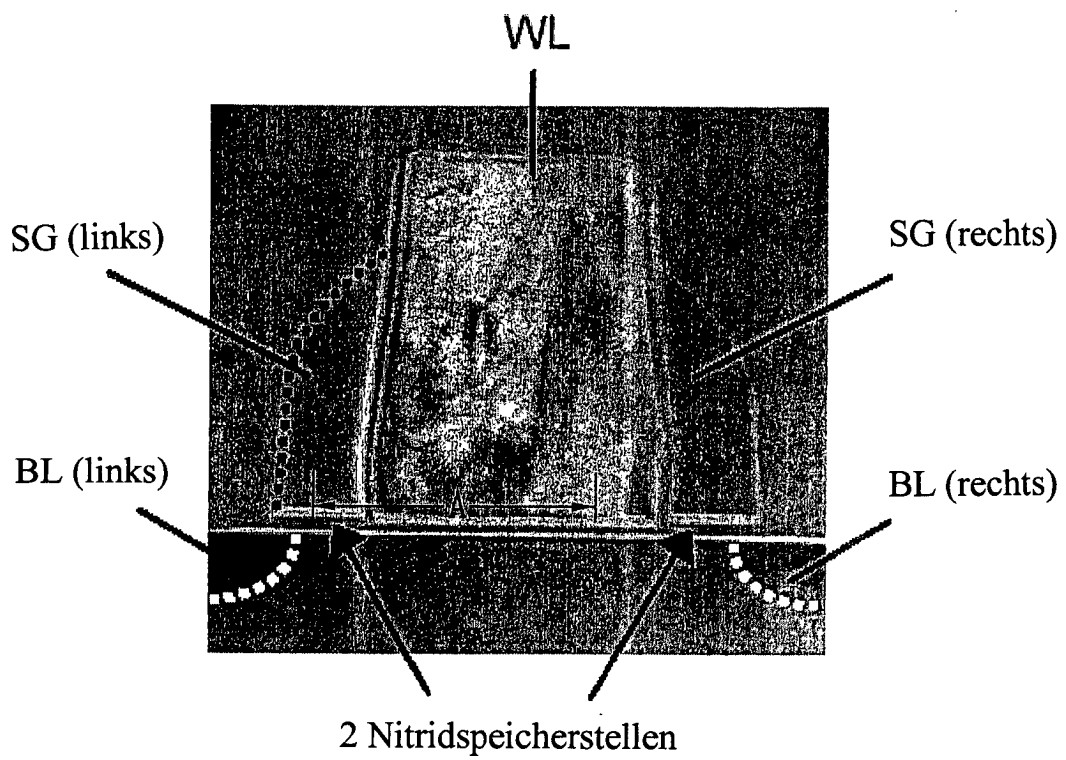


FIG. 3

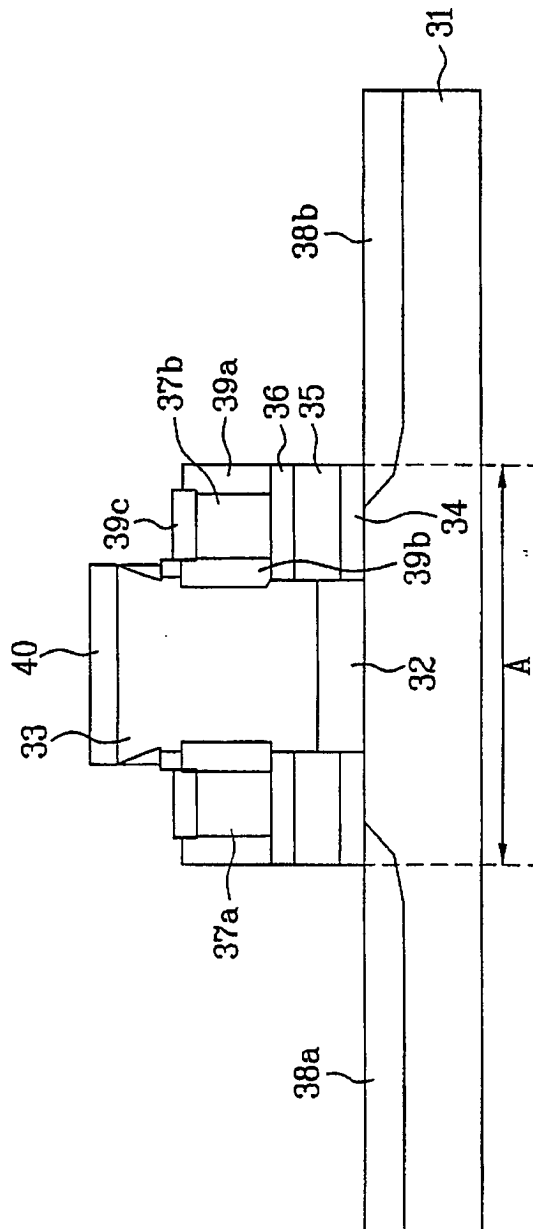


FIG. 4A

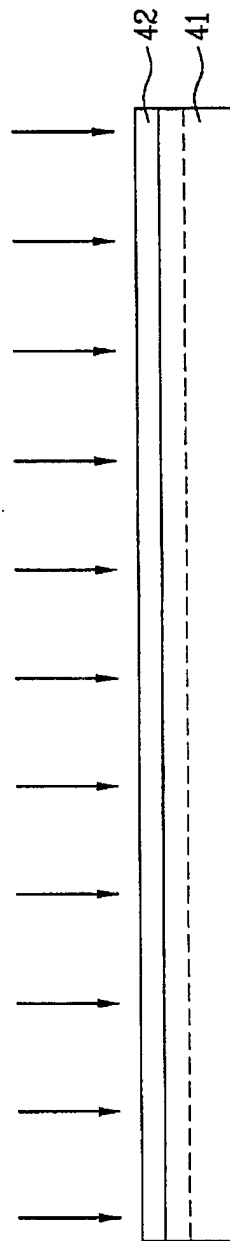


FIG. 4B

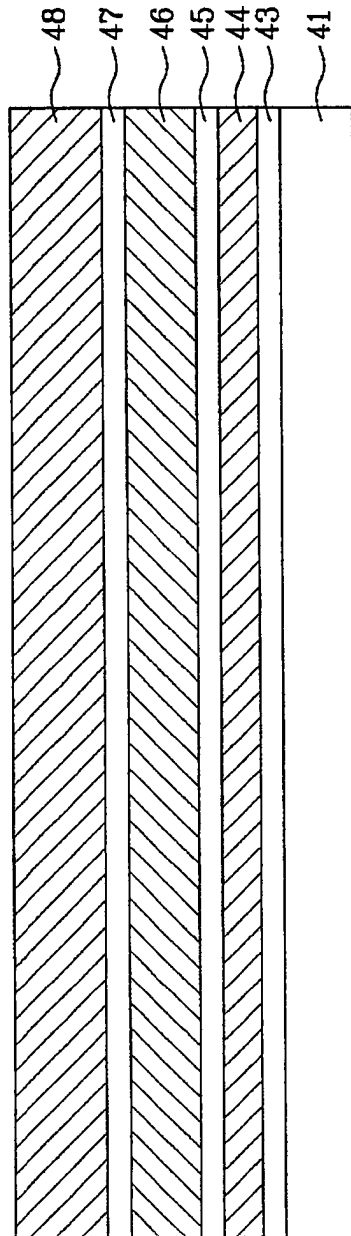


FIG. 4C

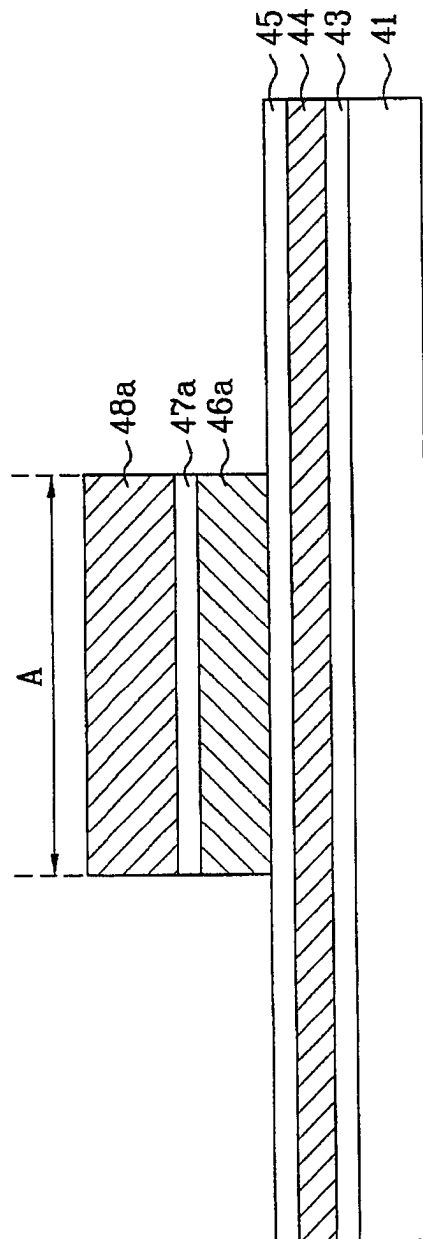


FIG. 4D

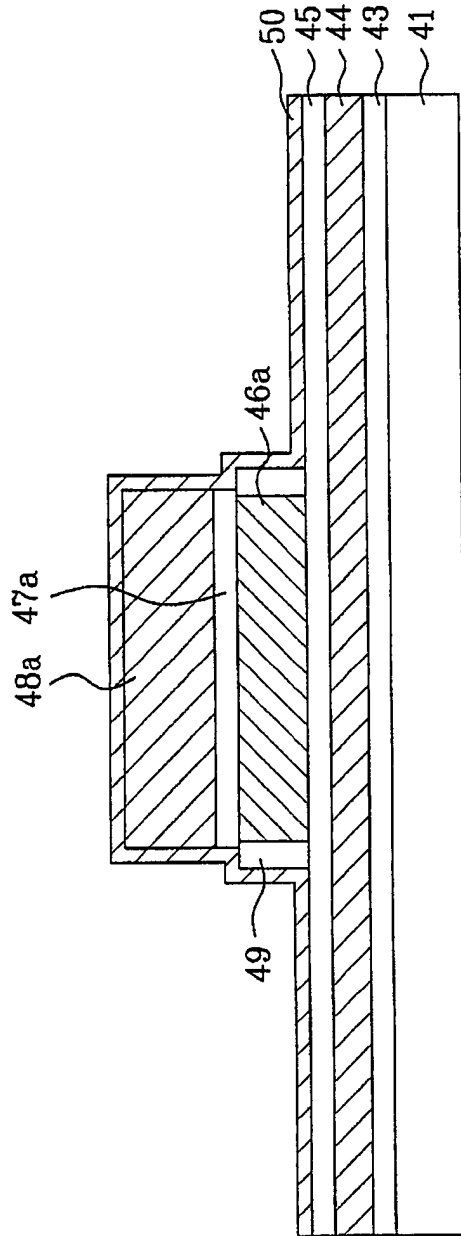


FIG. 4E

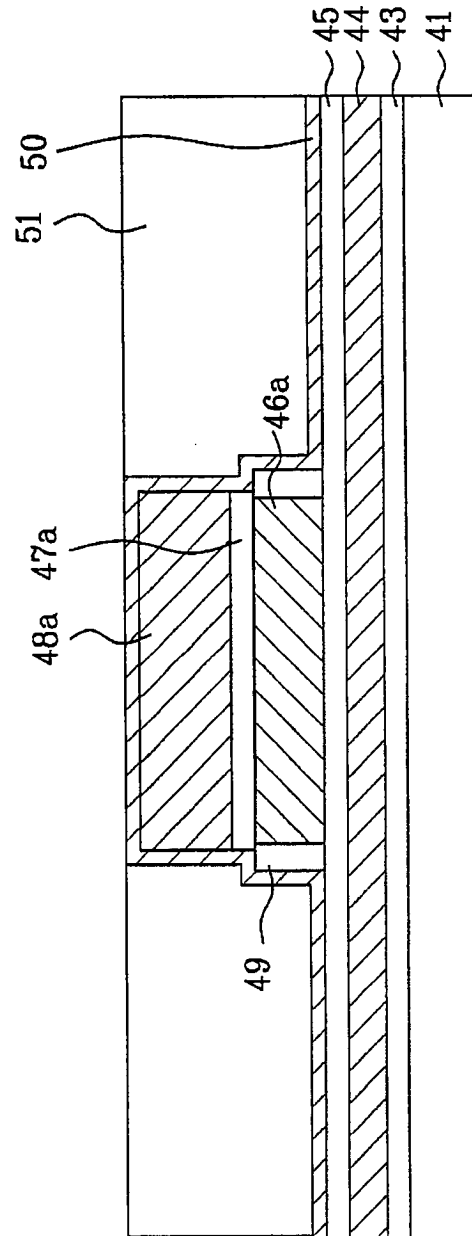


FIG. 4F

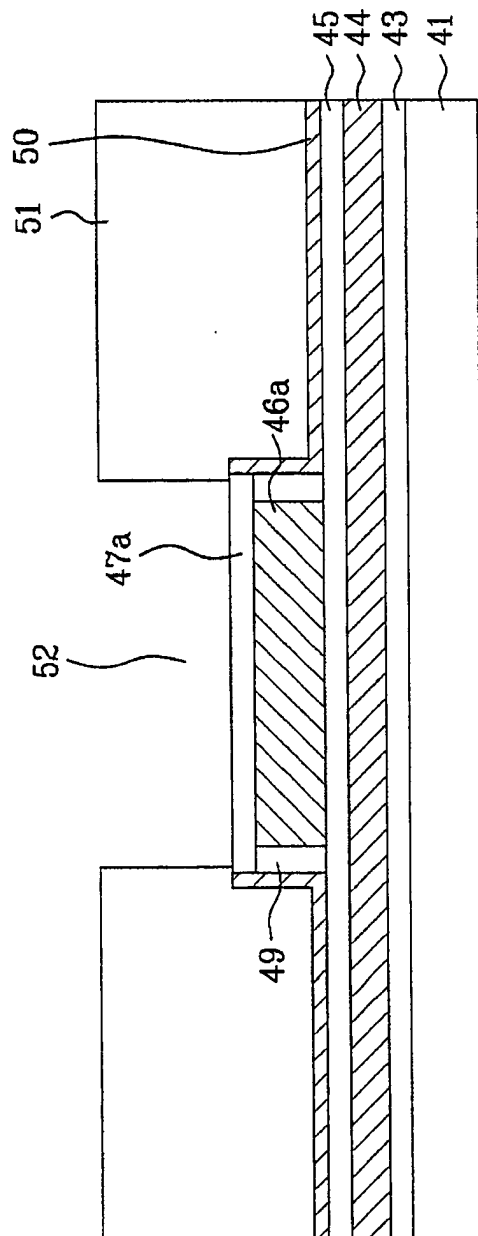


FIG. 4G

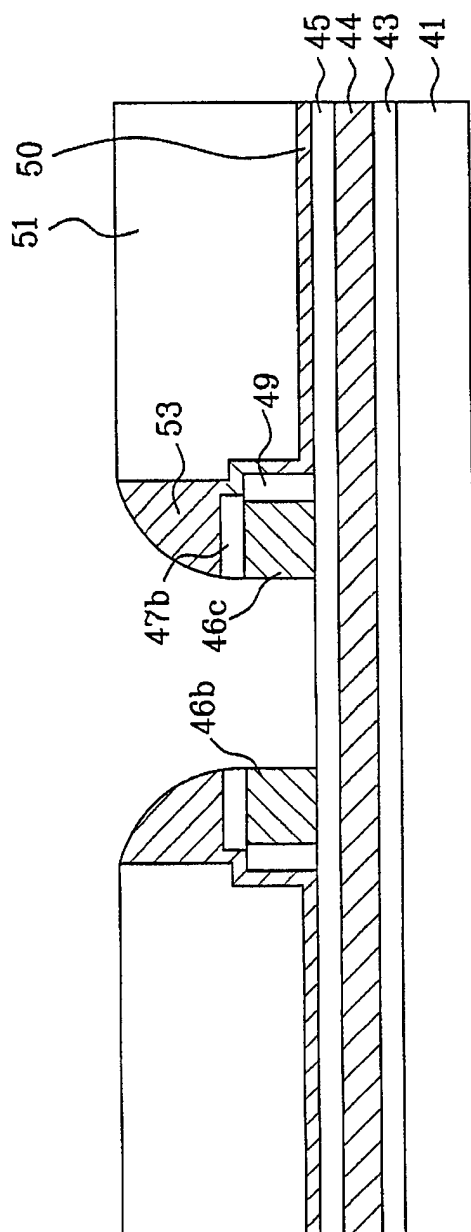


FIG. 41

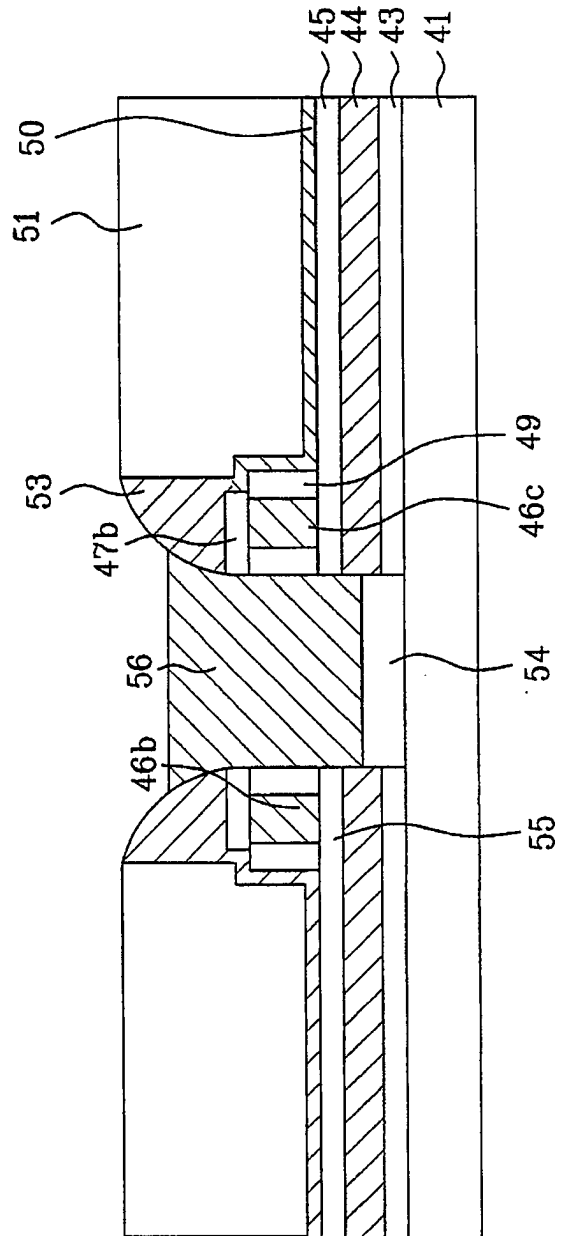


FIG. 4J

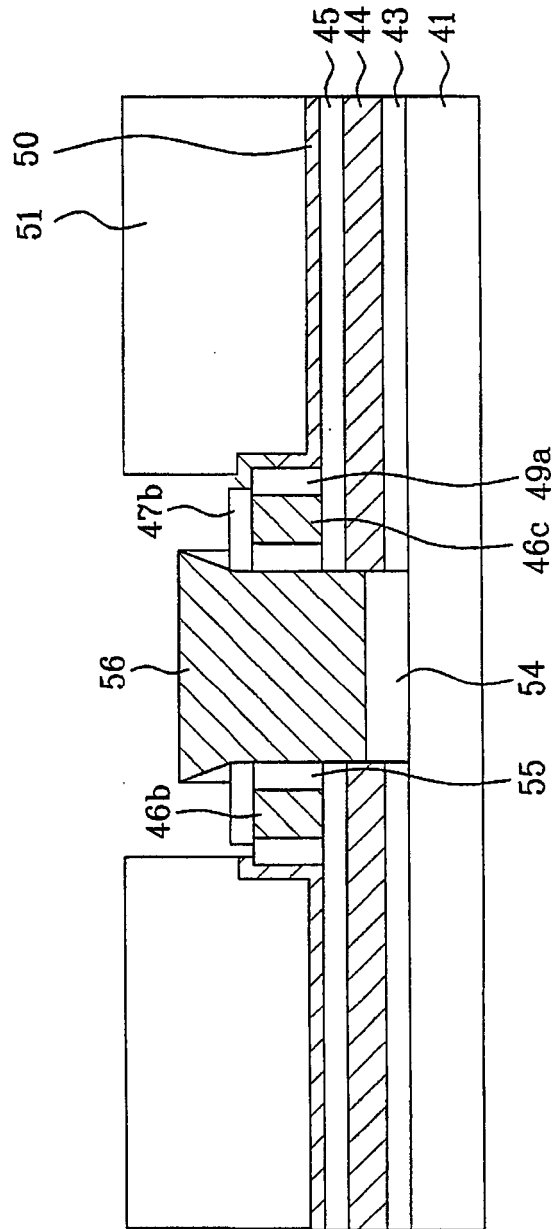


FIG. 4K

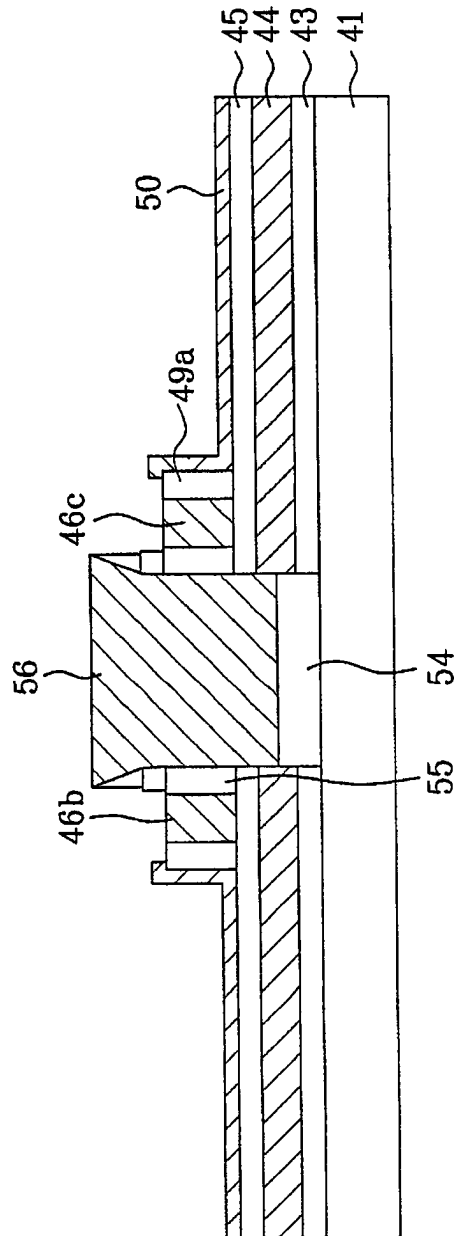


FIG. 4L

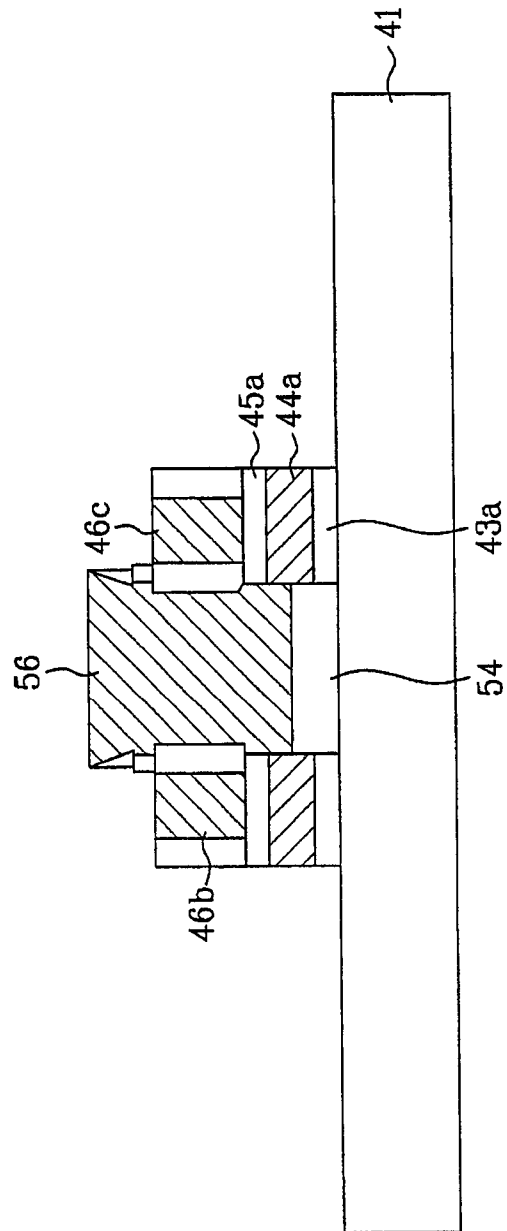


FIG. 4M

