(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119422193 A
(43)申请公布日 2025.02.11

(21)申请号 202380008753.4

(22)申请日 2023.04.24

(85)PCT国际申请进入国家阶段日
2023.04.24

(86)PCT国际申请的申请数据
PCT/CN2023/090338 2023.04.24

(87)PCT国际申请的公布数据
WO2024/221178 ZH 2024.10.31

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72)发明人 李健 侯帅 田雪松 朱元章 先建波

(74)专利代理机构 北京三高永信知识产权代理有限责任公司 11138
专利代理师 雷思鸣

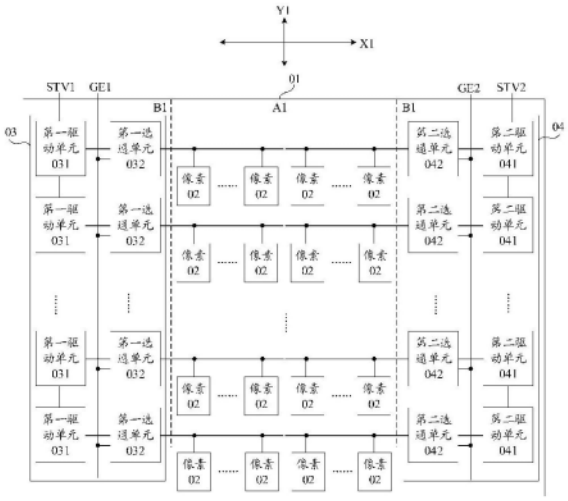
(51)Int.Cl.
G09G 3/32(2016.01)

(54)发明名称

显示面板及其显示控制方法、显示装置

(57)摘要

提供了一种显示面板及其显示控制方法、显示装置，属于显示技术领域。显示面板中，第一驱动电路(03)包括的多个第一驱动单元(031)能够基于耦接的第一开启线提供的开启信号输出栅极驱动信号。第二驱动电路(04)包括的多个第二驱动单元(041)能够基于耦接的第二开启线提供的开启信号输出栅极驱动信号。第一选通单元(032)能够基于耦接的第一使能线提供的使能信号，控制对应的第一驱动单元(031)与一部分像素的通断。第二选通单元(042)能够基于耦接的第二使能线提供的使能信号，控制对应的第二驱动单元(041)与另一部分像素的通断。如此，可以通过灵活设置使能信号和开启信号，实现对显示区中不同区域内像素的灵活刷新，且针对不同区域的刷新率可以不同，即可以实现分区变频，从而降低功耗。



CN 119422193 A

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 10 月 31 日 (31.10.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/221178 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2023/090338

(22) 国际申请日: 2023 年 4 月 24 日 (24.04.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区（西区）合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人:李健(**LI, Jian**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 侯帅(**HOU, Shuai**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 田雪松(**TIAN, Xuesong**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 朱元章(**ZHU, Yuanzhang**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 先建波(**XIAN, Jianbo**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人:北京三高永信知识产权代理有限责任公司(**BEIJING SAN GAO YONG XIN INTELLECTUAL PROPERTY AGENCY CO., LTD.**); 中国北京市海淀区上地信息产业基地三街1号楼四层C段457, Beijing 100085 (CN)。

(54) **Title:** DISPLAY PANEL AND DISPLAY CONTROL METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 显示面板及其显示控制方法、显示装置

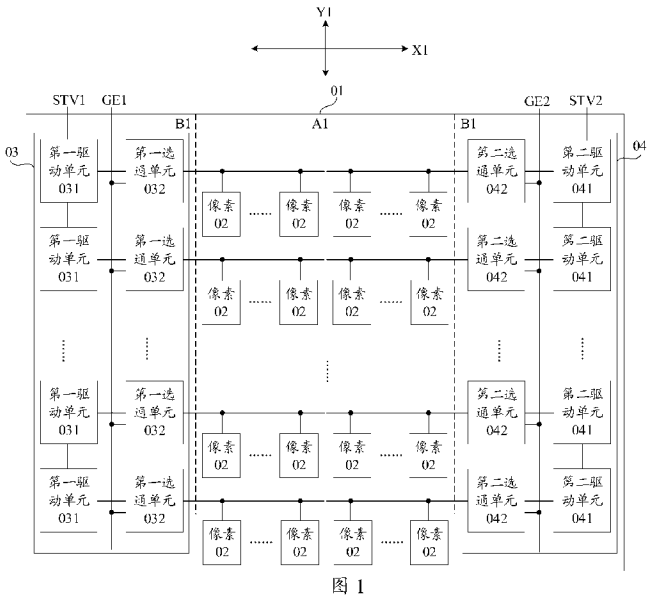


图 1

02 Pixel
031 First driving unit
032 First gating unit
041 Second driving unit
042 Second gating unit

(57) **Abstract:** Provided are a display panel and a display control method therefor, and a display apparatus, relating to the technical field of display. In the display panel, a plurality of first driving units (031) comprised in a first driving circuit (03) can output gate driving signals on the basis of a turn-on signal provided by a coupled first turn-on line. A plurality of second driving units (041) comprised in a second driving circuit (04) can output gate driving signals on the basis of a turn-on signal provided by a coupled second turn-on line. First gating units (032) can control connection/disconnection between corresponding first driving units (031) and some pixels on

WO 2024/221178 A1

[见续页]

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

the basis of an enable signal provided by a coupled first enable line. Second gating units (042) can control connection/disconnection between corresponding second driving units (041) and the other pixels on the basis of an enable signal provided by a coupled second enable line. In this way, flexible refreshing of pixels in different areas in the display area can be realized by flexibly setting the enable signal and the turn-on signal, and refreshing rates for different areas can be different, that is, partitioned frequency conversion can be realized, thereby reducing power consumption.

(57) 摘要: 提供了一种显示面板及其显示控制方法、显示装置，属于显示技术领域。显示面板中，第一驱动电路（03）包括的多个第一驱动单元（031）能够基于耦接的第一开启线提供的开启信号输出栅极驱动信号。第二驱动电路（04）包括的多个第二驱动单元（041）能够基于耦接的第二开启线提供的开启信号输出栅极驱动信号。第一选通单元（032）能够基于耦接的第一使能线提供的使能信号，控制对应的第一驱动单元（031）与一部分像素的通断。第二选通单元（042）能够基于耦接的第二使能线提供的使能信号，控制对应的第二驱动单元（041）与另一部分像素的通断。如此，可以通过灵活设置使能信号和开启信号，实现对显示区中不同区域内像素的灵活刷新，且针对不同区域的刷新率可以不同，即可以实现分区变频，从而降低功耗。

显示面板及其显示控制方法、显示装置

技术领域

本公开涉及显示技术领域，特别涉及一种显示面板及其显示控制方法、显示装置。

背景技术

低温多晶硅氧化物（low temperature polycrystalline oxide，LTPO）显示产品因其可做到低频显示，来节约显示功耗而越来越受到市场的关注。

相关技术中，LTPO 显示产品一般包括：衬底，位于衬底上的多行像素，每行又包括多列个像素，以及还包括驱动多个像素发光的阵列基板行驱动（gate driver on array，GOA）电路。其中，GOA 电路包括级联的多个 GOA 单元，且多个 GOA 单元通过多条栅线与衬底上的多行像素一一对应耦接，并用于向多行像素逐行传输栅极驱动信号，以实现逐行扫描刷新，来逐行点亮多行像素。

但是，受限于 GOA 电路与像素的耦接和布局，目前仅能进行全屏刷新（即，全屏不同区域处的刷新率相同），而无法针对不同区域分屏刷新，刷新灵活性较差，进而造成显示产品的工作功耗较大。

发明内容

提供了一种显示面板及其显示控制方法、显示装置。所述技术方案如下：

一方面，提供了一种显示面板，所述显示面板包括：

衬底，具有显示区和至少部分围绕所述显示区的周边区；

阵列排布的多个像素，位于所述显示区；

第一驱动电路，位于所述周边区，所述第一驱动电路包括：级联的多个第一驱动单元，以及与所述多个第一驱动单元一一对应的多个第一选通单元；

第二驱动电路，位于所述周边区，所述第二驱动电路包括：级联的多个第二驱动单元，以及与所述多个第二驱动单元一一对应的多个第二选通单元；

其中，至少一个第一驱动单元和至少一个第二驱动单元分别位于所述衬底

在像素行方向上的两侧，每个第一选通单元与对应的第一驱动单元位于所述衬底的同侧，且每个第二选通单元与对应的第二驱动单元位于所述衬底的同侧；

并且，每个第一驱动单元通过对应的第一选通单元与至少一行像素中的一部分像素耦接；所述第一选通单元还与第一使能线耦接，并用于基于所述第一使能线提供的第一使能信号，控制所述第一驱动单元与所述一部分像素的通断；所述多个第一驱动单元还与第一开启线耦接，并用于基于所述第一开启线提供的第一开启信号，输出第一栅极驱动信号；

每个第二驱动单元通过对应的第二选通单元与所述至少一行像素中的另一部分像素耦接；所述第二选通单元还与第二使能线耦接，并用于基于所述第二使能线提供的第二使能信号，控制所述第二驱动单元与所述另一部分像素的通断；所述多个第二驱动单元还与第二开启线耦接，并用于基于所述第二开启线提供的第二开启信号，输出第二栅极驱动信号。

可选的，所述多个第一驱动单元均位于所述两侧中的第一侧；所述多个第二驱动单元均位于所述两侧中的第二侧。

可选的，所述多个第一驱动单元中，一部分第一驱动单元位于所述两侧中的第一侧，除所述一部分第一驱动单元外的其余第一驱动单元位于所述两侧中的第二侧；

所述多个第二驱动单元中，一部分第二驱动单元位于所述两侧中的第一侧，除所述一部分第二驱动单元外的其余第二驱动单元位于所述两侧中的第二侧。

可选的，每个第一驱动单元通过对应的第一选通单元与一行像素中的一部分像素耦接；

所述多个第一驱动单元中，耦接偶数行像素的各个第一驱动单元位于所述第一侧，耦接奇数行像素的各个第一驱动单元位于所述第二侧。

可选的，每个第二驱动单元通过对应的第二选通单元与一行像素中的另一部分像素耦接；

所述多个第二驱动单元中，耦接偶数行像素的各个第二驱动单元位于所述第一侧，耦接奇数行像素的各个第二驱动单元位于所述第二侧。

可选的，位于所述第一侧的各个第一驱动单元和各个第二驱动单元，在像素列方向上按照一个第一驱动单元和一个第二驱动单元的顺序依次排布；

位于所述第二侧的各个第一驱动单元和各个第二驱动单元，在像素列方向

上按照一个第二驱动单元和一个第一驱动单元的顺序依次排布。

可选的，每个第一驱动单元通过对应的第一选通单元与第一驱动线耦接，所述第一驱动线与所述一部分像素耦接；每个第二驱动单元通过对应的第二选通单元与第二驱动线耦接，所述第二驱动线与所述另一部分像素耦接；且，所述多个第一驱动单元通过所述第一驱动线级联；所述多个第二驱动单元通过所述第二驱动线级联。

可选的，在所述多个第一驱动单元均位于所述两侧中的第一侧，且所述多个第二驱动单元均位于所述两侧中的第二侧时，所述第一驱动线与所述第二驱动线相互独立。

可选的，在所述多个第一驱动单元中，一部分第一驱动单元位于所述两侧中的第一侧，除所述一部分第一驱动单元外的其余第一驱动单元位于所述两侧中的第二侧；所述多个第二驱动单元中，一部分第二驱动单元位于所述两侧中的第一侧，除所述一部分第二驱动单元外的其余第二驱动单元位于所述两侧中的第二侧时：

所述第一驱动线除耦接像素外，还贯穿所述显示区，并级联位于所述第一侧的第一驱动单元和位于所述第二侧的第一驱动单元；

所述第二驱动线除耦接像素外，还贯穿所述显示区，并级联位于所述第一侧的第二驱动单元和位于所述第二侧的第二驱动单元；

并且，耦接同一行像素的第一驱动线和第二驱动线在所述显示区存在交叠。

可选的，所述第一驱动线用于耦接像素的部分和用于级联第一驱动单元的部分位于不同层；所述第二驱动线用于耦接像素的部分和用于级联第二驱动单元的部分位于不同层；且，所述第一驱动线与所述第二驱动线存在交叠的部分位于不同层。

可选的，所述像素包括：位于所述衬底一侧，且依次层叠的栅金属层、绝缘层和源漏金属层；

其中，所述第一驱动线中，用于耦接像素的部分与所述栅金属层位于同层，用于级联第一驱动单元的部分与所述源漏金属层位于同层，且用于耦接像素的部分和用于级联第一驱动单元的部分通过贯穿所述绝缘层的过孔转接；

所述第二驱动线中，用于耦接像素的部分与所述栅金属层位于同层，用于级联第二驱动单元的部分与所述源漏金属层位于同层，且用于耦接像素的部分

和用于级联第二驱动单元的部分通过贯穿所述绝缘层的过孔转接。

可选的，所述衬底包括:

由第一列像素至最后一列像素，沿像素行方向排布的左显示区和右显示区，所述左显示区包括所述一部分像素，所述右显示区包括所述另一部分像素;

由第一行像素至最后一行像素，沿像素列方向排布的上显示区和下显示区，所述上显示区和所述下显示区均分别包括至少一行像素。

可选的，所述上显示区的刷新率大于等于所述下显示区的刷新率。

可选的，所述左显示区和所述右显示区的面积相同，且包括的像素数量相同；和/或，所述上显示区和所述下显示区的面积相同，且包括的像素数量相同。

可选的，所述多个第一选通单元和所述多个第二选通单元中，位于所述衬底同侧的各个选通单元共用同一条使能线。

可选的，所述第一选通单元包括：第一选通开关管；所述第二选通单元包括：第二选通开关管;

所述第一选通开关管的栅极与所述第一使能线耦接，所述第一选通开关管的第一极与对应的第一驱动单元耦接，所述第一选通开关管的第二极与所述一部分像素耦接;

所述第二选通开关管的栅极与所述第二使能线耦接，所述第二选通开关管的第一极与对应的第二驱动单元耦接，所述第二选通开关管的第二极与所述另一部分像素耦接。

可选的，每个第一驱动单元通过对应的第一选通单元与至少一行像素中，靠近所述第一选通单元的一部分像素耦接；每个第二驱动单元通过对应的第二选通单元与至少一行像素中，靠近所述第二选通单元的另一部分像素耦接；并且，所述一部分像素中的各个像素相互邻接，所述另一部分像素中的各个像素相互邻接。

可选的，所述显示面板包括：低温多晶硅氧化物 LTPO 显示面板。

另一方面，提供了一种显示控制方法，用于控制如上述一方面所述的显示面板；所述方法包括:

确定衬底具有的显示区中不同区域的刷新需求，所述不同区域包括沿像素行方向排布的左侧区域和右侧区域，和/或，沿像素列方向排布的上侧区域和下侧区域，所述刷新需求用于指示是否需要刷新和刷新频率;

响应于帧同步信号，基于所述刷新需求向所述多个第一选通单元耦接的第一使能线传输第一使能信号，并向所述多个第二选通单元耦接的第二使能线传输第二使能信号；第一电位的第一使能信号用于指示所述第一选通单元控制对应的第一驱动单元与耦接的一部分像素导通，所述第二电位的第一使能信号用于指示所述第一选通单元控制对应的第一驱动单元与耦接的一部分像素断开耦接；第一电位的第二使能信号用于指示所述第二选通单元控制对应的第二驱动单元与耦接的另一部分像素导通，第二电位的第二使能信号用于指示所述第二选通单元控制对应的第二驱动单元与耦接的另一部分像素断开耦接；

响应于帧同步信号，向所述多个第一驱动单元耦接的第一开启线传输第一开启信号，并向所述多个第二驱动单元耦接的第二开启线传输第二开启信号；所述第一开启信号用于指示所述多个第一驱动单元输出第一栅极驱动信号，第二开启信号用于指示所述多个第二驱动单元输出第二栅极驱动信号；

其中，在所述第一选通单元控制所述第一驱动单元与耦接的一部分像素导通时，所述第一驱动单元向所述一部分像素传输所述第一栅极驱动信号；

在所述第二选通单元控制所述第二驱动单元与耦接的另一部分像素导通时，所述第二驱动单元向所述另一部分像素传输所述第二栅极驱动信号。

又一方面，提供了一种显示装置，所述显示装置包括：驱动芯片，以及如上述一方面所述的显示面板；

其中，所述驱动芯片与所述显示面板中的电路耦接的信号线耦接，并用于向所述信号线提供信号。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本公开实施例提供的一种显示面板的结构示意图；

图 2 是本公开实施例提供的另一种显示面板的结构示意图；

图 3 是本公开实施例在图 1 基础上提供的另一种显示面板的结构示意图；

图 4 是本公开实施例在图 2 基础上提供的另一种显示面板的结构示意图；

图 5 是本公开实施例提供的一种像素的膜层结构示意图；

图 6 是本公开实施例在图 4 基础上提供的一种显示面板的局部结构示意图；

图 7 是本公开实施例提供的一种衬底的显示区划分示意图；

图 8 是本公开实施例提供的一种驱动单元和选通单元的电路结构示意图；

图 9 是本公开实施例提供的一种像素的电路结构示意图；

图 10 是本公开实施例提供的一种显示控制方法的流程图；

图 11 是本公开实施例在图 1 结构基础上提供的一种信号时序图；

图 12 是本公开实施例在图 2 结构基础上提供的一种信号时序图；

图 13 是本公开实施例提供的一种显示装置的结构示意图。

具体实施方式

为了使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。

需要说明的是，本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件，根据在电路中的作用本公开的实施例所采用的晶体管主要为开关晶体管。由于这里采用的开关晶体管的源极和漏极是对称的，所以其源极、漏极是可以互换的。在本公开实施例中，将源极称为第一极，漏极称为第二极。按附图中的形态规定晶体管的中间端为控制极，也可以称为栅极、信号输入端为源极、信号输出端为漏极。此外，本公开实施例所采用的开关晶体管可以包括 P 型开关晶体管和 N 型开关晶体管中的任一种，其中，P 型开关晶体管在栅极为低电平时导通，在栅极为高电平时截止，N 型开关晶体管在栅极为高电平时导通，在栅极为低电平时截止。此外，本公开各个实施例中的多个信号都对应有第一电位和第二电位。第一电位和第二电位仅代表该信号的电位有 2 个状态量，不代表全文中第一电位或第二电位具有特定的数值。

随着消费者对显示产品极致的功耗追求，LTPO 显示面板被设计出来，其因材料特殊性，可以做到低频显示，最低可实现 1 赫兹（Hz），达到降低功耗的效果，满足用户对低功耗的需求。当然，也不仅限于此，现在许多厂商还纷纷在低频显示的基础上进一步的提出分区变频的设计。其中，分区变频是指：将一个显示面板的显示区划分为多块区域，针对每块区域可以设置不同的刷新率。

如此，可以实现局部刷新区域更新，局部无需刷新区域保持，实现更加智能的刷新，从而更加节约功耗。但是，现有的分区变频设计仅能将最小刷新区域控制在一整行，即仅能将显示区按像素行为单位划分多块区域，每块区域包括至少一行像素，并针对包括至少一行像素的上下各块区域进行分区刷新。

在此基础上，本公开实施例考虑到进一步的缩小刷新区域，以更加省电和智能为目的，提出一种既能实现上下分区又能实现左右分区（即，以像素列为单元划分区域）的分区变频设计。

图 1 是本公开实施例提供的一种显示面板的结构示意图。如图 1 所示，该显示面板包括:

衬底 01。该衬底 01 具有显示区 A1 和至少部分围绕显示区 A1 的周边区 B1。如参考图 1，其示出的衬底 01 中，周边区 B1 部分围绕显示区 A1，且位于显示区 A1 的左右两侧。当然，在一些其他实施例中，周边区 B1 也可以位于显示区 A1 的上侧和/或下侧。或者，周边区 B1 也可以围绕显示区 A1，即显示区 A1 被 GOA 区所包围。本公开实施例对周边区 B1 和显示区 A1 的位置关系不做限定。

阵列排布的多个像素 02。该多个像素 02 位于显示区 A1。其中，阵列排布可以是指多个像素 02 按照如图 1 所示的像素行方向 X1 和像素列方向 Y1 排布，即显示面板可以包括如图 1 所示的多行多列个像素。

第一驱动电路 03。该第一驱动电路 03 位于周边区 B1，且该第一驱动电路 03 包括：级联的多个第一驱动单元 031，以及与多个第一驱动单元 031 一一对应的多个第一选通单元 032。

第二驱动电路 04，该第二驱动电路 04 位于周边区 B1。且该第二驱动电路 04 包括：级联的多个第二驱动单元 041，以及与多个第二驱动单元 041 一一对应的多个第二选通单元 042。

需要说明的是，以第一驱动电路 03 为例，参考图 1，多个第一驱动单元 031 与多个第一选通单元 032 一一对应可以是指：每个第一驱动单元 031 对应一个第一选通单元 032，不同的第一驱动单元 031 对应不同的第一选通单元 032。以及，多个第一驱动单元 031 级联可以是指：两个（也可以称为两极）第一驱动单元 031 相互耦接，后一级第一驱动单元 031 在前一级第一驱动单元 031 的驱动下工作。并且，此处相互耦接的两个第一驱动单元 031 可以如图 1 所示相邻，或者也可以不相邻。第二驱动电路 04 的相关记载同理，本公开实施例不再赘述。

在上述耦接基础上，继续参考图 1 可以看出，本公开实施例记载的至少一个第一驱动单元 031 和至少一个第二驱动单元 041 可以分别位于衬底 01 在像素行方向 X1 上的两侧。即，如图 1 所示，存在一个或多个第一 GOA 单元 031 和第二 GOA 单元 041 分别位于显示区 A1 的左侧和右侧。并且，每个第一选通单元 032 与对应的第一驱动单元 031 可以位于衬底 01 的同侧，且每个第二选通单元 042 与对应的第二驱动单元 041 可以位于衬底 01 的同侧。

其中，每个第一驱动单元 031 通过对应的第一选通单元 032 与至少一行像素 02 中的一部分像素 02 耦接。每个第一选通单元 032 还与第一使能线 GE1 耦接，并用于基于第一使能线 GE1 提供的第一使能信号，控制第一驱动单元 031 与一部分像素 02 的通断。多个第一驱动单元 031 还与第一开启线 STV1 耦接，并用于基于第一开启线 STV1 提供的第一开启信号，输出第一栅极驱动信号。

例如，图 1 示出的每个第一驱动单元 031 通过对应的第一选通单元 032 与一行像素 02 中的一部分像素 02 耦接。以及，第一选通单元 032 可以在第一使能线 GE1 提供的第一使能信号的电位为第一电位时，控制第一驱动单元 031 与耦接的一部分像素 02 导通，从而使得第一驱动单元 031 输出的第一栅极驱动信号可以进一步传输至该一部分像素 02，实现对该一部分像素 02 的刷新扫描，驱动该一部分像素 02 发光。以及，第一选通单元 032 可以在第一使能线 GE1 提供的第一使能信号的电位为第二电位时，控制第一驱动单元 031 与耦接的一部分像素 02 断开耦接，从而使得第一驱动单元 031 输出的第一栅极驱动信号无法传输至该一部分像素 02。即，第一选通单元 032 可以基于第一使能信号的电位有效控制第一驱动单元 031 输出的第一栅极驱动信号是否进入像素 02。

可选的，在本公开实施例中，第一电位可以为有效电位，第二电位可以为无效电位，且第一电位相对于第二电位可以为高电位。当然，在一些其他实施例中，第一电位相对于第二电位也可以为低电位。

每个第二驱动单元 041 通过对应的第二选通单元 042 与至少一行像素 02 中的另一部分像素 02 耦接。每个第二选通单元 042 还与第二使能线 GE2 耦接，并用于基于第二使能线 GE2 提供的第二使能信号，控制第二驱动单元 041 与另一部分像素 02 的通断。多个第二驱动单元 041 还与第二开启线 STV2 耦接，并用于基于第二开启线 STV2 提供的第二开启信号，输出第二栅极驱动信号。

例如，图 1 示出的每个第二驱动单元 041 通过对应的第二选通单元 042 与

一行像素 02 中的另一部分像素 02 耦接。第二选通单元 042 可以在第二使能线 GE2 提供的第二使能信号的电位为第一电位时，控制第二驱动单元 041 与耦接的另一部分像素 02 导通，从而使得第二驱动单元 041 输出的第二栅极驱动信号可以进一步传输至该另一部分像素 02，实现对该另一部分像素 02 的刷新扫描，驱动该另一部分像素 02 发光。以及，第二选通单元 042 可以在第二使能线 GE2 提供的第二使能信号的电位为第二电位时，控制第二驱动单元 041 与耦接的另一部分像素 02 断开耦接，从而使得第二驱动单元 041 输出的第二栅极驱动信号无法传输至该另一部分像素 02。即，第二选通单元 042 可以基于第二使能信号的电位有效控制第二驱动单元 041 输出的第二栅极驱动信号是否进入像素 02。

也即是，本公开实施例记载的显示面板中，针对每行像素 02 而言，一部分（可以是一个或多个）像素 02 可以通过一个第一选通单元 032 与对应的一个第一驱动单元 031 耦接；除该一部分像素 02 外的另一部分像素 02 可以通过一个第二选通单元 042 与对应的一个第二驱动单元 041 耦接。换言之，对于位于同一行的多个像素 02 而言，其可以在像素行方向 X1 上，被划分为两部分，并分别耦接至不同的驱动单元，接收不同的栅极驱动信号。并且，第一选通单元 032 可以基于接收到的第一使能信号，控制第一驱动单元 031 与该一行像素 02 中一部分像素 02 的通断；第二选通单元 042 可以基于接收到的第二使能信号，控制第二驱动单元 041 与该一行像素 02 中另一部分像素 02 的通断。换言之，第一选通单元 032 和第二选通单元 042 可以基于不同使能线提供的不同使能信号控制对应的驱动单元与像素 02 的通断。以及，第一驱动单元 031 可以基于接收到的第一开启信号输出第一栅极驱动信号；第二驱动单元 041 可以基于接收到的第二开启信号输出第二栅极驱动信号。换言之，第一驱动单元 031 和第二驱动单元 041 可以基于不同开启线提供的不同开启信号输出栅极驱动信号。如此，可以通过灵活设置开启信号和使能信号，搭配耦接关系，实现对显示区 A1 中上、下、左和右不同区域像素 02 的灵活智能刷新，并且针对不同区域的刷新可以提供不同的刷新率，从而实现分频设计的目的，达到更加省电的目的。此外，通过设置第一驱动单元 031 和第二驱动单元 041 分别排布在显示区 A1 的左右两侧，还可以利于显示装置的窄边框设计，进而可以为全面屏设计奠定基础。

需要说明的是，因第一驱动单元 031 和第二驱动单元 041 均用于输出栅极驱动信号，故在本公开实施例中，还可以将第一驱动单元 031 和第二驱动单元

041 称为上述实施例记载的 GOA 单元，相应的，可以将包括第一驱动单元 031 的第一驱动电路 03 和包括第二驱动单元 041 的第二驱动电路 04 称为 GOA 电路。

综上所述，本公开实施例提供了一种显示面板。该显示面板包括具有显示区和周边区的衬底，位于显示区的多个像素，以及位于周边区的第一驱动电路和第二驱动电路。其中，第一驱动电路包括一一对应的多个第一驱动单元和多个第一选通单元。第二驱动电路包括一一对应的多个第二驱动单元和多个第二选通单元。多个第一驱动单元级联并与第一开启线耦接，且还通过对应的第一选通单元与一行像素中的一部分像素耦接。多个第二驱动单元级联并与第二开启线耦接，且还通过对应的第二选通单元与该一行像素中的另一部分像素耦接。第一选通单元还与第一使能线耦接。第二选通单元还与第二使能线耦接。多个第一驱动单元能够基于第一开启线提供的第一开启信号输出第一栅极驱动信号。多个第二驱动单元能够基于第二开启线提供的第二开启信号输出第二栅极驱动信号。第一选通单元能够基于第一使能线提供的第一使能信号，控制对应的第一驱动单元与一部分像素的通断。第二选通单元能够基于第二使能线提供的第二使能信号，控制对应的第二驱动单元与另一部分像素的通断。如此，可以通过灵活设置使能信号和开启信号，实现对显示区中上、下、左或右不同区域内像素的灵活刷新，且针对不同区域的刷新率可以不同，即可以实现分区变频，从而降低功耗，达到智能省电的目的。

可选的，继续参考图 1 还可以看出，在本公开实施例中，每个第一驱动单元 031 可以通过对应的第一选通单元 032 与至少一行像素 02 中，靠近第一选通单元 032 的一部分像素 02 耦接。并且，每个第二驱动单元 041 可以通过对应的第二选通单元 042 与至少一行像素 02 中，靠近第二选通单元 042 的另一部分像素 02 耦接。并且，一部分像素 02 中的各个像素 02 可以相互邻接，另一部分像素 02 中的各个像素 02 可以相互邻接。如此，对于位于同一行的多个像素 02 而言，其可以在像素行方向 X1 上，被划分为左和右共两部分，从而实现左右分频设计。此外，还可以便于版图布局和布线，节省制造成本。

可选的，继续参考图 1 可以看出，多个第一驱动单元 031 中，可以是在像素列方向 Y1 上，与由上至下的第一行像素 02 耦接的第一个第一驱动单元 031 与第一开启线 STV1 耦接，除该第一个第一驱动单元 031 外的其余各个第一驱动

单元 031 可以依次与相邻的前一级第一驱动单元 031 耦接。同理，多个第二驱动单元 041 中，也可以是在像素列方向 Y1 上，与由上至下的第一行像素 02 耦接的第一个第二驱动单元 041 与第二开启线 STV2 耦接，除该第一个第二驱动单元 041 外的其余各个第二驱动单元 041 可以依次与相邻的前一级第二驱动单元 041 耦接。如此，可以进一步便于布线，且便于版图布局，节省制造成本。

可选的，作为一种可选的实现方式：

如图 1 所示，第一驱动电路 03 包括的多个第一驱动单元 031 可以均位于两侧中的第一侧。第二驱动电路 04 包括的多个第二驱动单元 041 可以均位于该两侧中的第二侧。即，在像素行方向 X1 上的两侧中，一侧可以包括级联的多个第一驱动单元 031，另一侧可以包括级联的多个第二驱动单元 041。

可选的，参考图 1，本公开实施例记载的第一侧可以是指显示区 A1 的左侧，第二侧可以是指显示区 A1 的右侧。在此基础上，结合图 1 的耦接方式，位于显示区 A1 左侧的多个第一驱动单元 031 可以驱动显示区 A1 中左半边的像素。位于显示区 A1 右侧的多个第二驱动单元 041 可以驱动显示区 A1 中右半边的像素。实现左右双边驱动，为分频设计奠定基础。当然，在一些其他实施例中，第一侧也可以是指显示区 A1 的右侧，相应的，第二侧可以是指显示区 A1 的左侧。

但是，经测试，图 1 所示的该一种可选的实现方式容易出现工艺波动或者负载（loading）差异。为此，本本公开实施例还提出另一种布局方式。

可选的，作为另一种可选的实现方式：

参考图 2 示出的另一种显示面板的结构示意图可以看出，多个第一驱动单元 031 中，一部分（可以是一个或多个）第一驱动单元 031 可以位于两侧中的第一侧（如，左侧），除一部分第一驱动单元 031 外的其余第一驱动单元 031 可以位于两侧中的第二侧（如，右侧）。同理，多个第二驱动单元 041 中，一部分（可以是一个或多个）第二驱动单元 041 可以位于两侧中的第一侧，除一部分第二驱动单元 041 外的其余第二驱动单元 041 可以位于两侧中的第二侧。

相对于图 1 所示一种可选的实现方式而言，该另一种可选的实现方式，也同样可以实现左右双边驱动，且还可以使得第一栅极驱动信号和第二栅极驱动信号均贯穿整行传输，不再是物理上简单的左右分区，不易出现左右分屏现象。

可选的，继续参考图 2 可以看出，每个第一驱动单元 031 可以通过对应的第一选通单元 032 与一行像素 02 中的一部分像素 02 耦接。在此基础上，多个

第一驱动单元 031 中，耦接偶数行（即，第 2 行，第 4 行，第 6 行……）像素 02 的各个第一驱动单元 031 可以位于第一侧，耦接奇数行（即，第 1 行，第 3 行，第 5 行……）像素 02 的各个第一驱动单元 031 可以位于第二侧。

可选的，继续参考图 2 可以看出，每个第二驱动单元 041 可以通过对应的第二选通单元 042 与一行像素 02 中的另一部分像素 02 耦接。在此基础上，多个第二驱动单元 041 中，耦接偶数行像素 02 的各个第二驱动单元 041 可以位于第一侧，耦接奇数行像素 02 的各个第二驱动单元 041 可以位于第二侧。

也即是，耦接奇数行像素 02 的各个第一驱动单元 031 和耦接偶数行像素 02 的各个第一驱动单元 031 可以交替排布于像素行方向 X1 上的左右两侧。以及，耦接奇数行像素 02 的各个第二驱动单元 041 和耦接偶数行像素 02 的各个第二驱动单元 041 可以交替排布于行方向上的两侧。并且，耦接奇数行像素 02 的各个第一驱动单元 031 与耦接偶数行像素 02 的各个第二驱动单元 041 可以位于同一侧（如，左侧）；以及，耦接偶数行像素 02 的各个第一驱动单元 031 与耦接奇数行像素 02 的各个第二驱动单元 041 可以位于同一侧（如，右侧）。

相应的，在此基础上，继续参考图 2 可以看出，位于第一侧的各个第一驱动单元 031 和各个第二驱动单元 041，可以在像素列方向 Y1 上按照一个第一驱动单元 031 和一个第二驱动单元 041 的顺序依次排布。位于第二侧的各个第一驱动单元 031 和各个第二驱动单元 041，在像素列方向 Y1 上可以按照一个第二驱动单元 041 和一个第一驱动单元 031 的顺序依次排布。如此，也可以便于版图布局，简化布线，从而节省制造成本。

当然，在一些其他实施例中，也可以是以每相邻的多行像素 02 为一组，设置耦接同一组的各个第一驱动单元 031 位于同一侧，且设置耦接相邻组的各个第一驱动单元 031 分别位于左右两侧。第二驱动单元 041 的布局同理。换言之，在设置多个第一驱动单元 031 和多个第二驱动单元 041 中，一部分驱动单元位于第一侧，另一部分驱动单元位于第二侧的基础上，不限于如图 2 所示的布局。

可选的，参考上述图 1 和图 2 还可以看出，多个第一选通单元 032 和多个第二选通单元 042 中，位于衬底 01 同侧的各个选通单元可以共用同一条使能线。即，与同一条使能线耦接。如此，可以进一步的简化布线，节省成本。

可选的，以 GOA1 标识第一驱动单元 031，MS1 标识第一选通单元 032；GOA2 标识第二驱动单元 041，MS2 标识第二选通单元 042 为例，图 3 在图 1

所示结构基础上示出了又一种显示面板的结构示意图，图 4 在图 2 所示结构基础上示出了再一种显示面板的结构示意图。并且，图 3 和图 4 均示意性示出 10 个第一驱动单元 GOA1-1 至 GOA1-10 和对应的 10 个第一选通单元 MS1-1 至 MS1-10，以及均示意性示出 10 个第二驱动单元 GOA2-1 至 GOA2-10 和对应的 10 个第二选通单元 MS2-1 至 MS2-10。

其中，参考图 3 和图 4 可以看出，每个第一驱动单元 031（如，GOA1-1）可以通过对应的第一选通单元 032（如，MS1-1）与第一驱动线 G1 耦接，第一驱动线 G1 可以与一部分像素 02 耦接。每个第二驱动单元 041（如，GOA2-1）可以通过对应的第二选通单元 042（如，MS2-1）与第二驱动线 G2 耦接，第二驱动线 G2 可以与另一部分像素 02 耦接。且，多个第一驱动单元 031 可以通过第一驱动线 G1 级联。多个第二驱动单元 041 可以通过第二驱动线 G2 级联。相应的，各个第一驱动单元 031 均可以通过第一驱动线 G1 传输第一栅极驱动信号，并传输级联信号。同理，各个第二驱动单元 041 均可以通过第二驱动线 G2 传输第二栅极驱动信号，并传输级联信号。

以及，作为一种可选的实现方式：

参考图 3，在多个第一驱动单元 031 均位于两侧中的第一侧，且多个第二驱动单元 041 均位于两侧中的第二侧时，第一驱动线 G1 与第二驱动线 G2 可以相互独立。即，不相互连接。换言之，位于同一行的像素 02 可以通过两条驱动线与两个驱动单元耦接。

作为另一种可选的实现方式：

参考图 4，在多个第一驱动单元 031 中，一部分第一驱动单元 031 位于两侧中的第一侧，除一部分第一驱动单元 031 外的其余第一驱动单元 031 位于两侧中的第二侧。多个第二驱动单元 041 中，一部分第二驱动单元 041 位于两侧中的第一侧，除一部分第二驱动单元 041 外的其余第二驱动单元 041 位于两侧中的第二侧时，第一驱动线 G1 除耦接像素 02 外，还可以贯穿显示区 A1，并级联位于第一侧的第一驱动单元 031 和位于第二侧的第一驱动单元 031。第二驱动线 G2 除耦接像素 02 外，还可以贯穿显示区 A1，并级联位于第一侧的第二驱动单元 041 和位于第二侧的第二驱动单元 041。并且，耦接同一行像素 02 的第一驱动线 G1 和第二驱动线 G2 在显示区 A1 可以存在交叠。

可选的，第一驱动线 G1 用于耦接像素 02 的部分 G11 和用于级联第一驱动

单元 031 的部分 G12 可以位于不同层。第二驱动线 G2 用于耦接像素 02 的部分 G21 和用于级联第二驱动单元 041 的部分 G22 可以位于不同层。且，第一驱动线 G1 与第二驱动线 Gate 存在交叠的部分（见交叠区域 C1）可以位于不同层。

可选的，首先参考图 5 可以看出，本公开实施例记载的像素 02 可以包括：位于衬底 01 一侧且依次层叠的栅金属层 GATE、绝缘层 J1 和源漏金属层 SD。

例如，图 5 示出的栅金属层 GATE、绝缘层 J1 和源漏金属层 SD 可以沿远离衬底 01 的方向依次层叠。且，像素 02 还可以包括：位于衬底 01 与栅金属层 GATE 之间，且沿远离衬底 01 的方向依次层叠的缓冲层 BUFFER 和有源层 ACT。在图 5 基础上，继续参考图 6 示出的一种显示面板的局部结构示意图可以看出：

第一驱动线 G1 中，用于耦接像素 02 的部分 G11 可以与栅金属层 GATE 位于同层，用于级联第一驱动单元 031 的部分 G12 可以与源漏金属层 SD 位于同层，且用于耦接像素 02 的部分 G11 和用于级联第一驱动单元 031 的部分 G12 可以通过贯穿绝缘层 J1 的过孔（图中未示出）转接。

以及，第二驱动线 G2 中，用于耦接像素 02 的部分 G21 可以与栅金属层 GATE 位于同层，用于级联第二驱动单元 041 的部分 G22 可以与源漏金属层 SD 位于同层，且用于耦接像素 02 的部分 G21 和用于级联第二驱动单元 041 的部分 G22 可以通过贯穿绝缘层 J1 的过孔（图中未示出）转接。

在交叠区域 C1，第一驱动线 G1 和第二驱动线 G2 交叠的部分中，一个可以与栅金属层 GATE 位于同层，另一个可以与源漏金属层 SD 位于同层。

也即是，在图 2 布局基础上，显示区 A1 中左侧区域和右侧区域内的跨线可以选择栅金属层 GATE 和源漏金属层 SD。在一些实施例中，像素可以包括依次层叠的两层源漏金属层 SD1 和 SD2。相应的，这里的跨线也可以选择源漏金属层 SD1 和/或源漏金属层 SD2。例如，同上述实施例记载，与像素 02 耦接的跨线可以选择栅金属层 GATE，不与像素 02 耦接的跨线可以选择源漏金属层 SD1。

需要说明的是，位于同层可以是指：采用同一成膜工艺形成用于形成特定图形的膜层，然后利用同一掩模板通过一次构图工艺对该膜层图案化所形成的层结构。根据特定图形的不同，一次构图工艺可能包括多次曝光、显影或刻蚀工艺，而形成的层结构中的特定图形可以是连续的也可以是不连续的。即，位于“同层”的多个元件、部件、结构和/或部分由相同的材料构成，并通过同一次构图工艺形成。如此，可以节省制造工艺和制造成本，且可以加快制造效率。

可选的，继续参考图 5 可以看出，本公开实施例记载的一行像素 02 可以包括红色（red，R）像素 02、绿色（green，G）像素 02 和蓝色（blue，B）像素。当然，在一些其他实施例中，也可以包括其他颜色的像素，如白色像素。

可选的，继续参考图 5 还可以看出，在像素列方向 Y1 上，本公开实施例记载的多列像素 02 还可以与多条数据线 S1 一一对应耦接，并用于接收来自数据线 S1 传输的数据信号。每个像素 02 可以基于接收到的栅极驱动信号和数据信号发光。

可选的，继续参考图 3 和图 4，以及图 7 示出的一种衬底 01 的示意图可以看出，本公开实施例记载的衬底 01 可以包括：由第一列像素 02 至最后一列像素 02，沿像素行方向 X1 排布的左显示区 A11 和右显示区 A12，左显示区 A11 可以包括一行像素 02 中的一部分像素 02，右显示区 A12 可以包括一行像素 02 中的另一部分像素 02。其中，如上述实施例记载，这里的一部分像素 02 是指一行像素 02 中与第一驱动单元 031 耦接的像素 02；另一部分像素 02 是指一行像素 02 中与第二驱动单元 041 耦接的像素 02。也即是，第一驱动单元 031 可以与左显示区 A11 内的多个像素 02 耦接，并驱动左显示区 A11 内的像素 02 发光。第二驱动单元 041 可以与右显示区 A12 内的多个像素 02 耦接，并驱动右显示区 A12 内的像素 02 发光。如此，即可以实现左右分频设计。

以及，在上述实施例记载，继续参考图 7 可以看出，在划分为左显示区 A11 和右显示区 A12 的基础上，衬底 01 还可以包括：由第一行像素 02 至最后一行像素 02，沿像素列方向 Y1 排布的上显示区和下显示区，上显示区和下显示区均可以分别包括至少一行像素 02。示例的，图 7 将划分至左显示区 A11 的上显示区标识为：A11-1，下显示区标识为：A11-2。将划分至右显示区 A12 的上显示区标识为：A12-1，下显示区标识为：A12-2。

可选的，在图 2 和图 4 所示布局基础上，考虑到第一驱动单元 031 和第二驱动单元 041 的可靠级联传输，本公开实施例还可以设置上显示区的刷新率（frames rate，FR）可以大于下显示区的刷新率。

如，图 7 中，左显示区 A11 中，上显示区 A11-1 的刷新率 FR1 可以大于等于下显示区 A11-2 的刷新率 FR3；右显示区 A12 中，上显示区 A12-1 的刷新率 FR2 可以大于等于下显示区 A12-2 的刷新率 FR4。

当然，左显示区 A11 和右显示区 A12 中，上显示区 A11-1 的刷新率 FR1 和

上显示区 A12-1 的刷新率 FR2 的大小可以无关。下显示区 A11-2 的刷新率 FR3 和下显示区 A12-2 的刷新率 FR4 的大小可以无关。

可选的，在本公开实施例中，结合图 7，左显示区 A11 和右显示区 A12 的面积可以相同，且包括的像素 02 数量可以相同。和/或，上显示区（A11-1 和 A12-1）和下显示区（A11-2 和 A12-2）的面积可以相同，且包括的像素 02 数量可以相同。也即是，分频驱动时，左右分频面积可以相同，和/或，上下分频面积可以相同。如此，可以实现均匀分频驱动，确保显示效果较好。

当然，在一些其他实施例中，根据不同客户需求，左右分频面积也可以不同。如，左显示区 A11 的面积可以为显示区 A1 整体面积的 2/3；相应的，右显示区 A12 的面积可以为显示区 A1 整体面积的 1/3。即，可以设置左边 2/3 分频，右边 1/3 分频。以及，上下分频面积也可以不同。当然，上下分频刷新率也可以不同。如，上显示区的刷新率可以为 120Hz，下显示区的刷新率可以为 30Hz。

可选的，图 8 是本公开实施例提供的一种电路简图。参考图 8 可以看出，本公开实施例记载的第一选通单元 032 可以包括：第一选通开关管 MS-T1。第二选通单元 042 包括：第二选通开关管 MS-T2。

第一选通开关管 MS-T1 的栅极可以与第一使能线 GE1 耦接，第一选通开关管 MS-T1 的第一极可以与对应的第一驱动单元 031 耦接，第一选通开关管 MS-T1 的第二极可以与一部分像素 02 耦接。第一选通开关管 MS-T1 可以用于在第一使能线 GE1 提供的第一使能信号的电位为第一电位时开启，使得第一驱动单元 031 与像素 02 导通，进而使得第一驱动单元 031 向像素 02 传输第一栅极驱动信号。以及，第一选通开关管 MS-T1 可以用于在第一使能线 GE1 提供的第一使能信号的电位为第二电位时关断，使得第一驱动单元 031 与像素 02 断开耦接。

第二选通开关管 MS-T2 的栅极可以与第二使能线 GE2 耦接，第二选通开关管 MS-T2 的第一极可以与对应的第二驱动单元 041 耦接，第二选通开关管 MS-T2 的第二极可以与另一部分像素 02 耦接。第二选通开关管 MS-T2 可以用于在第二使能线 GE2 提供的第二使能信号的电位为第一电位时开启，使得第二驱动单元 041 与像素 02 导通，进而使得第二驱动单元 041 向像素 02 传输第二栅极驱动信号。以及，第二选通开关管 MS-T2 可以用于在第二使能线 GE2 提供的第二使能信号的电位为第二电位时关断，使得第二驱动单元 041 与像素 02 断开耦接。

可选的，本公开实施例记载的显示面板可以包括上述实施例记载的 LTPO

显示面板。示例的，以 LTPO 显示面板为例，图 9 示出其包括的一种像素的结构示意图。如图 9 所示，像素 02 可以包括像素电路 021 和发光元件 L1。并且，像素电路 021 可以为 8T1C 结构，即包括 8 个晶体管 T1 至 T8 和 1 个电容器 C1。

其中，晶体管 T1 的栅极可以与复位端 N-Reset 耦接，晶体管 T1 的第一极可以与第一初始端 Vinit1 耦接，晶体管 T1 的第二极可以与节点 N3 耦接。晶体管 T1 可以用于在复位端 N-Reset 提供的复位信号的电位为第一电位时开启，使得第一初始端 Vinit1 与节点 N3 导通，进而使得第一初始端 Vinit1 提供的第一初始信号可以传输至节点 N3，实现对节点 N3 的复位。以及，晶体管 T1 可以用于在复位端 N-Reset 提供的复位信号的电位为第二电位时关断，使得第一初始端 Vinit1 与节点 N3 断开耦接。

晶体管 T2 的栅极可以与栅信号端 Gate_N 耦接，晶体管 T2 的第一极可以与节点 N3 耦接，晶体管 T2 的第二极可以与节点 N1 耦接。晶体管 T2 可以用于在栅信号端 Gate_N 提供的栅极驱动信号的电位为第一电位时开启，使得节点 N1 与节点 N3 导通。以及，晶体管 T2 用于在栅信号端 Gate_N 提供的栅极驱动信号的电位为第二电位时关断，使得节点 N1 与节点 N3 断开耦接。

晶体管 T3 的栅极可以与节点 N1 耦接，晶体管 T3 的第一极可以与节点 N2 耦接，晶体管 T1 的第二极可以与节点 N3 耦接。晶体管 T3 可以用于基于节点 N1 的电位和节点 N2 的电位，向节点 N3 传输发光驱动信号。晶体管 T3 也可以称为驱动晶体管。

晶体管 T4 的栅极可以与栅信号端 Gate_P 耦接，晶体管 T4 的第一极可以与数据信号端 Vdata 耦接，晶体管 T4 的第二极可以与节点 N2 耦接。晶体管 T4 可以用于在栅信号端 Gate_P 提供的栅极驱动信号的电位为第一电位时开启，使得数据信号端 Vdata 与节点 N2 导通，进而使得数据信号端 Vdata 提供的数据信号可以传输至节点 N2。在晶体管 T2 和晶体管 T3 均导通的基础上，传输至节点 N2 的数据信号即可以进一步经晶体管 T3 和晶体管 T2 写入至节点 N1。以及，晶体管 T4 可以用于在栅信号端 Gate_P 提供的栅极驱动信号的电位为第二电位时关断，使得数据信号端 Vdata 与节点 N2 断开耦接。

晶体管 T5 的栅极可以与发光控制端 EM 耦接，晶体管 T5 的第一极可以与驱动电源端 VDD 耦接，晶体管 T5 的第二极可以与节点 N2 耦接。晶体管 T5 可以用于在发光控制端 EM 提供的发光控制信号的电位为第一电位时开启，使得

驱动电源端 VDD 与节点 N2 导通，进而使得驱动电源端 VDD 提供的驱动电源信号可以传输至节点 N2。以及，晶体管 T5 可以用于在发光控制端 EM 提供的发光控制信号的电位为第二电位时关断，使得驱动电源端 VDD 与节点 N2 断开耦接。

晶体管 T6 的栅极可以与发光控制端 EM 耦接，晶体管 T6 的第一极可以与节点 N3 耦接，晶体管 T6 的第二极可以与发光元件 L1 的第一极耦接。晶体管 T6 可以用于在发光控制端 EM 提供的发光控制信号的电位为第一电位时开启，使得节点 N3 与发光元件 L1 的第一极导通，进而使得传输至节点 N3 的信号（如，发光驱动信号）可以传输至发光元件 L1 的第一极。以及，晶体管 T6 可以用于在发光控制端 EM 提供的发光控制信号的电位为第二电位时关断，使得节点 N3 与发光元件 L1 的第一极断开耦接。此外，发光元件 L1 的第二极还可以与下拉电源端 VSS 耦接，发光元件 L1 可以在其第一极接收到的信号和第二极耦接的下拉电源端 VSS 提供的下拉电源信号的压差作用下发光。

可选的，发光元件 L1 的第一极和第二极中，一极可以为阳极，另一极可以为阴极。如，参考 9，其示出的第一极为阳极，第二极为阴极。

晶体管 T7 的栅极可以与复位端 P-Reset 耦接，晶体管 T7 的第一极可以与第二初始端 Vinit2 耦接，晶体管 T7 的第二极可以与发光元件 L1 的第一极耦接。晶体管 T7 可以用于在复位端 P-Reset 提供的复位信号的电位为第一电位时开启，使得第二初始端 Vinit2 与发光元件 L1 的第一极导通，进而使得第二初始端 Vinit2 提供的第二初始信号可以传输至发光元件 L1 的第一极，实现对发光元件 L1 的第一极的复位。以及，晶体管 T7 可以用于在复位端 P-Reset 提供的复位信号的电位为第二电位时关断，使得第二初始端 Vinit2 与发光元件 L1 的第一极断开耦接。

晶体管 T8 的栅极可以与复位端 H-Reset 耦接，晶体管 T8 的第一极可以与第三初始端 Vinit3 耦接，晶体管 T8 的第二极可以与节点 N2 耦接。晶体管 T8 可以用于在复位端 H-Reset 提供的复位信号的电位为第一电位时开启，使得第三初始端 Vinit3 与节点 N2 导通，进而使得第三初始端 Vinit3 提供的第三初始信号可以传输至节点 N2，实现对节点 N2 的复位。以及，晶体管 T8 可以用于在复位端 H-Reset 提供的复位信号的电位为第二电位时关断，使得第三初始端 Vinit3 与节点 N2 断开耦接。

电容器 C1 的一端可以与节点 N1 耦接，电容器 C1 的另一端可以与驱动电源端 VDD 耦接。电容器 C1 可以用于基于驱动电源端 VDD 提供的驱动电源信号，存储节点 N1 的电位。

并且，其中耦接栅信号端 Gate_N 的晶体管 T2 可以为氧化物（oxide）材料的 N 型晶体管；耦接栅信号端 Gate_P 的晶体管 T4 可以为低温多晶硅（low temperature poly-silicon，LTPS）的 P 型晶体管。如此，显示面板称为 LTPO 面板。需要说明的是，这里的晶体管材料可以是指：晶体管包括的有源层的材料。

以及，结合上述图 3 和图 4，第一驱动线 G1 和第二驱动线 G2 可以均与像素 02 中，像素电路 021 包括的晶体管 T2 耦接的栅信号端 Gate_N 耦接。相应的，可以将第一开启线 STV1 和第二开启线 STV2 均标识为 NSTV。这里 N 代表 N 型晶体管，相应的代表第一电位为高电位，第二电位为低电位的实施例。当然，在一些实施例中，也不局限于耦接栅信号端 Gate_N，如，第一驱动线 G1 和第二驱动线 G2 还可以与像素电路 02 包括的晶体管 T4 耦接的栅信号端 Gate_P 耦接。即，第一驱动单元 031 和第二驱动单元 041 可以仅作用于晶体管 T2，或者可以共同作用于晶体管 T2 和晶体管 T4。此外，数据线 S1 可以均与像素 02 中，像素电路 021 包括的晶体管 T4 耦接的数据信号端 Vdata 耦接。

需要说明的是，像素电路 021 可以不局限于图 9 所示的 8T1C 结构。如，在一些其他实施例中，像素电路 021 可以不包括晶体管 T8，为 7T1C 结构。

综上所述，本公开实施例提供了一种显示面板。该显示面板包括具有显示区和周边区的衬底，位于显示区的多个像素，以及位于周边区的第一驱动电路和第二驱动电路。其中，第一驱动电路包括一一对应的多个第一驱动单元和多个第一选通单元。第二驱动电路包括一一对应的多个第二驱动单元和多个第二选通单元。多个第一驱动单元级联并与第一开启线耦接，且还通过对应的第一选通单元与一行像素中的一部分像素耦接。多个第二驱动单元级联并与第二开启线耦接，且还通过对应的第二选通单元与该一行像素中的另一部分像素耦接。第一选通单元还与第一使能线耦接。第二选通单元还与第二使能线耦接。多个第一驱动单元能够基于第一开启线提供的第一开启信号输出第一栅极驱动信号。多个第二驱动单元能够基于第二开启线提供的第二开启信号输出第二栅极驱动信号。第一选通单元能够基于第一使能线提供的第一使能信号，控制对应的第一驱动单元与一部分像素的通断。第二选通单元能够基于第二使能线提供

的第二使能信号，控制对应的第二驱动单元与另一部分像素的通断。如此，可以通过灵活设置使能信号和开启信号，实现对显示区中上、下、左或右不同区域内像素的灵活刷新，且针对不同区域的刷新率可以不同，即可以实现分区变频，从而降低功耗，达到智能省电的目的。

图 10 是本公开实施例提供的一种显示控制方法的方法流程图，该方法可以用于控制如上述实施例记载的显示面板。如图 10 所示，该方法包括:

步骤 1001、确定衬底具有的显示区中不同区域的刷新需求。

其中，在本公开实施例中，不同区域可以包括沿像素行方向 X1 排布的左侧区域和右侧区域，和/或，沿像素列方向 Y1 排布的上侧区域和下侧区域，刷新需求可以用于指示是否需要刷新和刷新频率。示例的，结合图 7，左侧区域可以是指左显示区 A11，右侧区域可以是指右显示区 A12。进一步的，上侧区域可以是指上显示区 A11-1 和 A12-1，下侧区域可以是指下显示区 A11-2 和 A12-2。

可选的，本公开实施例记载的显示控制方法可以应用于显示装置包括的驱动芯片，也称为驱动集成电路（driver integrated circuit，DIC）中。

其中，DIC 可以与主机端接入点（access point，AP）耦接。DIC 可以直接确定刷新需求，即判断显示区左右刷新区域位置和上下刷新区域位置；或者，DIC 也可以接收来自 AP 的数据信号，并通过对比实时接收到的数据信号和上一帧的数据信号确定刷新需求。

步骤 1002、响应于帧同步信号，基于刷新需求向多个第一选通单元耦接的第一使能线传输第一使能信号，并向多个第二选通单元耦接的第二使能线传输第二使能信号。

其中，第一电位的第一使能信号可以用于指示第一选通单元控制对应的第一驱动单元与耦接的一部分像素导通；第二电位的第一使能信号可以用于指示第一选通单元控制对应的第一驱动单元与耦接的一部分像素断开耦接。

同理，第一电位的第二使能信号可以用于指示第二选通单元控制对应的第二驱动单元与耦接的另一部分像素导通；第二电位的第二使能信号可以用于指示第二选通单元控制对应的第二驱动单元与耦接的另一部分像素断开耦接。

可选的，DIC 在确定了刷新需求之后，即可以进一步响应于帧同步信号 Vsync，基于刷新需求产生第一使能信号和第二使能信号，并分别输出至第一使

能线 GE1 和第二使能线 GE2。帧同步信号 Vsync 用于指示一帧扫描的开启。

步骤 1003、响应于帧同步信号，向多个第一驱动单元耦接的第一开启线传输第一开启信号，并向多个第二驱动单元耦接的第二开启线传输第二开启信号。

其中，第一开启信号可以用于指示多个第一驱动单元输出第一栅极驱动信号，第二开启信号可以用于指示多个第二驱动单元输出第二栅极驱动信号。

可选的，DIC 还可以响应于帧同步信号 Vsync，产生第一开启信号和第二开启信号，并分别传输至第一开启线 STV1 和第二开启线 STV2。

在本公开实施例中，在第一选通单元控制第一驱动单元与耦接的一部分像素导通时，第一驱动单元即可以向一部分像素传输第一栅极驱动信号，以驱动该一部分像素发光。在第二选通单元控制第二驱动单元与耦接的另一部分像素导通时，第二驱动单元可以向另一部分像素传输第二栅极驱动信号，以驱动该另一部分像素发光。

可选的，以第一电位为高电位，第二电位为低电位为例，在图 1 和图 3 所示结构基础上，图 11 示出了一种时序图；以及在图 2 和图 4 所示结构基础上，图 12 示出了另一种时序图。参考图 11 和图 12 可以看出，在帧同步信号 Vsync 来临之后，可以在任意一行开始拉低或拉高第一使能线 GE1 提供的第一使能信号，并在任意一行开始拉低或拉高第二使能线 GE2 提供的第二使能信号。

其中，拉高第一使能信号，即使得第一使能信号的电位为高电位时，第一选通单元 032 可以基于该高电位的第一使能信号控制第一驱动单元 031 与所耦接的一部分像素 02 导通，使得第一驱动单元 031 向该一部分像素 02 传输第一栅极驱动信号，从而实现对该一部分像素 02 的刷新扫描。拉低第一使能信号，即使得第一使能信号的电位为低电位时，第一选通单元 032 可以基于该高电位的第一使能信号控制第一驱动单元 031 与所耦接的一部分像素 02 断开耦接，使得第一驱动单元 031 无法向该一部分像素 02 传输第一栅极驱动信号，从而不对该一部分像素 02 进行刷新扫描，该一部分像素 02 可以保持为最近一帧的状态。

第二使能信号同理，拉高第二使能信号，即使得第二使能信号的电位为高电位时，第二选通单元 042 可以基于该高电位的第二使能信号控制第二驱动单元 041 与所耦接的另一部分像素 02 导通，使得第二驱动单元 041 向该另一部分像素 02 传输第一栅极驱动信号，从而实现对该另一部分像素 02 的刷新扫描。拉低第二使能信号，即使得第二使能信号的电位为低电位时，第二选通单元 042

可以基于该高电位的第二使能信号控制第二驱动单元 041 与所耦接的另一部分像素 02 断开耦接，使得第二驱动单元 041 无法向该另一部分像素 02 传输第一栅极驱动信号，从而不对该另一部分像素 02 进行刷新扫描，该另一部分像素 02 可以保持为最近一帧的状态。

由此，即可以通过灵活设置第一使能信号和第二使能信号，实现对显示区上、下、左和右不同区域位置的智能刷新，实现分频驱动。

综上所述，本公开实施例提供了一种显示控制方法。该方法中，多个第一驱动单元能够基于第一开启线提供的第一开启信号输出第一栅极驱动信号。多个第二驱动单元能够基于第二开启线提供的第二开启信号输出第二栅极驱动信号。第一选通单元能够基于第一使能线提供的第一使能信号，控制对应的第一驱动单元与一部分像素的通断。第二选通单元能够基于第二使能线提供的第二使能信号，控制对应的第二驱动单元与另一部分像素的通断。如此，可以通过灵活设置使能信号和开启信号，实现对显示区中上、下、左或右不同区域内像素的灵活刷新，且针对不同区域的刷新率可以不同，即可以实现分区变频，从而降低功耗，达到智能省电的目的。

图 13 是本公开实施例提供的一种显示装置的结构示意图。如图 13 所示，该显示装置包括：驱动芯片 DIC，以及如上述实施例记载的显示面板 00。

其中，驱动芯片 DIC 与显示面板 00 中的电路耦接的信号线耦接，并用于向信号线提供信号。

如，驱动芯片 DIC 可以与显示面板 00 中，第一驱动电路 03 包括的第一驱动单元 031 耦接的第一开启线 STV1 耦接，第一驱动电路 03 包括的第一选通单元 032 耦接的第一使能线 GE1 耦接，第二驱动电路 04 包括的第二驱动单元 041 耦接的第二开启线 STV2 耦接，第二驱动电路 04 包括的第二选通单元 042 耦接的第二使能线 GE2 耦接。驱动芯片 DIC 用于向第一开启线 STV1 提供第一开启信号，向第二开启线 STV2 提供第二开启信号，向第一使能线 GE1 提供第一使能信号，并向第二使能线 GE2 提供第二使能信号。

可选的，本公开实施例记载的显示装置可以为：手机（如，能够实现左右分屏的折叠手机）、平板电脑、柔性显示装置、电视机和显示器等任何具有显示功能的产品或部件。以显示装置为手机为例，本公开实施例记载的方案还可

以使得手机在旋转时，也能实现左右分屏设计，具有较高的驱动灵活性。

需要指出的是，本公开实施方式使用的术语用于对本公开的实施例进行解释，而非旨在限定本公开。除非另作定义，本公开实施方式使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。

如，在本公开实施例中，术语“第一”和“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性。术语“多个”指两个或两个以上，除非另有明确的限定。

同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一条。

“连接”或者“耦接”是指电连接。“和/或”，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 这三种情况。字符“/”一般表示前后关联对象是一种“或”的关系。

“包括”或者“包含”等类似的词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出现在“包括”或者“包含”后面列举的元件或者物件及其等同，并不排除其他元件或者物件。

“上”、“下”、“左”或者“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则所述相对位置关系也可能相应地改变。

以上所述仅为本公开的可选实施例，并不用以限制本公开，凡在本公开的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本公开的保护范围之内。

权 利 要 求 书

1.一种显示面板，所述显示面板包括：

衬底，具有显示区和至少部分围绕所述显示区的周边区；

阵列排布的多个像素，位于所述显示区；

第一驱动电路，位于所述周边区，所述第一驱动电路包括：级联的多个第一驱动单元，以及与所述多个第一驱动单元一一对应的多个第一选通单元；

第二驱动电路，位于所述周边区，所述第二驱动电路包括：级联的多个第二驱动单元，以及与所述多个第二驱动单元一一对应的多个第二选通单元；

其中，至少一个第一驱动单元和至少一个第二驱动单元分别位于所述衬底在像素行方向上的两侧，每个第一选通单元与对应的第一驱动单元位于所述衬底的同侧，且每个第二选通单元与对应的第二驱动单元位于所述衬底的同侧；

并且，每个第一驱动单元通过对应的第一选通单元与至少一行像素中的一部分像素耦接；所述第一选通单元还与第一使能线耦接，并用于基于所述第一使能线提供的第一使能信号，控制所述第一驱动单元与所述一部分像素的通断；所述多个第一驱动单元还与第一开启线耦接，并用于基于所述第一开启线提供的第一开启信号，输出第一栅极驱动信号；

每个第二驱动单元通过对应的第二选通单元与所述至少一行像素中的另一部分像素耦接；所述第二选通单元还与第二使能线耦接，并用于基于所述第二使能线提供的第二使能信号，控制所述第二驱动单元与所述另一部分像素的通断；所述多个第二驱动单元还与第二开启线耦接，并用于基于所述第二开启线提供的第二开启信号，输出第二栅极驱动信号。

2.根据权利要求 1 所述的显示面板，其中，所述多个第一驱动单元均位于所述两侧中的第一侧；所述多个第二驱动单元均位于所述两侧中的第二侧。

3.根据权利要求 1 所述的显示面板，其中，所述多个第一驱动单元中，一部分第一驱动单元位于所述两侧中的第一侧，除所述一部分第一驱动单元外的其余第一驱动单元位于所述两侧中的第二侧；

所述多个第二驱动单元中，一部分第二驱动单元位于所述两侧中的第一侧，

除所述一部分第二驱动单元外的其余第二驱动单元位于所述两侧中的第二侧。

4.根据权利要求 3 所述的显示面板，其中，每个第一驱动单元通过对应的第一选通单元与一行像素中的一部分像素耦接；

所述多个第一驱动单元中，耦接偶数行像素的各个第一驱动单元位于所述第一侧，耦接奇数行像素的各个第一驱动单元位于所述第二侧。

5.根据权利要求 3 或 4 所述的显示面板，其中，每个第二驱动单元通过对应的第二选通单元与一行像素中的另一部分像素耦接；

所述多个第二驱动单元中，耦接偶数行像素的各个第二驱动单元位于所述第一侧，耦接奇数行像素的各个第二驱动单元位于所述第二侧。

6.根据权利要求 5 所述的显示面板，其中，位于所述第一侧的各个第一驱动单元和各个第二驱动单元，在像素列方向上按照一个第一驱动单元和一个第二驱动单元的顺序依次排布；

位于所述第二侧的各个第一驱动单元和各个第二驱动单元，在像素列方向上按照一个第二驱动单元和一个第一驱动单元的顺序依次排布。

7.根据权利要求 1 至 6 任一所述的显示面板，其中，每个第一驱动单元通过对应的第一选通单元与第一驱动线耦接，所述第一驱动线与所述一部分像素耦接；每个第二驱动单元通过对应的第二选通单元与第二驱动线耦接，所述第二驱动线与所述另一部分像素耦接；且，所述多个第一驱动单元通过所述第一驱动线级联；所述多个第二驱动单元通过所述第二驱动线级联。

8.根据权利要求 7 所述的显示面板，其中，在所述多个第一驱动单元均位于所述两侧中的第一侧，且所述多个第二驱动单元均位于所述两侧中的第二侧时，所述第一驱动线与所述第二驱动线相互独立。

9.根据权利要求 7 所述的显示面板，其中，在所述多个第一驱动单元中，一部分第一驱动单元位于所述两侧中的第一侧，除所述一部分第一驱动单元外的

其余第一驱动单元位于所述两侧中的第二侧；所述多个第二驱动单元中，一部分第二驱动单元位于所述两侧中的第一侧，除所述一部分第二驱动单元外的其余第二驱动单元位于所述两侧中的第二侧时：

所述第一驱动线除耦接像素外，还贯穿所述显示区，并级联位于所述第一侧的第一驱动单元和位于所述第二侧的第一驱动单元；

所述第二驱动线除耦接像素外，还贯穿所述显示区，并级联位于所述第一侧的第二驱动单元和位于所述第二侧的第二驱动单元；

并且，耦接同一行像素的第一驱动线和第二驱动线在所述显示区存在交叠。

10.根据权利要求 9 所述的显示面板，其中，所述第一驱动线用于耦接像素的部分和用于级联第一驱动单元的部分位于不同层；所述第二驱动线用于耦接像素的部分和用于级联第二驱动单元的部分位于不同层；且，所述第一驱动线与所述第二驱动线存在交叠的部分位于不同层。

11.根据权利要求 10 所述的显示面板，其中，所述像素包括：位于所述衬底一侧，且依次层叠的栅金属层、绝缘层和源漏金属层；

其中，所述第一驱动线中，用于耦接像素的部分与所述栅金属层位于同层，用于级联第一驱动单元的部分与所述源漏金属层位于同层，且用于耦接像素的部分和用于级联第一驱动单元的部分通过贯穿所述绝缘层的过孔转接；

所述第二驱动线中，用于耦接像素的部分与所述栅金属层位于同层，用于级联第二驱动单元的部分与所述源漏金属层位于同层，且用于耦接像素的部分和用于级联第二驱动单元的部分通过贯穿所述绝缘层的过孔转接。

12.根据权利要求 1 至 11 任一所述的显示面板，其中，所述衬底包括：

由第一列像素至最后一列像素，沿像素行方向排布的左显示区和右显示区，所述左显示区包括所述一部分像素，所述右显示区包括所述另一部分像素；

由第一行像素至最后一行像素，沿像素列方向排布的上显示区和下显示区，所述上显示区和所述下显示区均分别包括至少一行像素。

13.根据权利要求 12 所述的显示面板，其中，所述上显示区的刷新率大于等

于所述下显示区的刷新率。

14.根据权利要求 12 所述的显示面板，其中，所述左显示区和所述右显示区的面积相同，且包括的像素数量相同；

和/或，所述上显示区和所述下显示区的面积相同，且包括的像素数量相同。

15.根据权利要求 1 至 14 任一所述的显示面板，其中，所述多个第一选通单元和所述多个第二选通单元中，位于所述衬底同侧的各个选通单元共用同一条使能线。

16.根据权利要求 1 至 15 任一所述的显示面板，其中，所述第一选通单元包括：第一选通开关管；所述第二选通单元包括：第二选通开关管；

所述第一选通开关管的栅极与所述第一使能线耦接，所述第一选通开关管的第一极与对应的第一驱动单元耦接，所述第一选通开关管的第二极与所述一部分像素耦接；

所述第二选通开关管的栅极与所述第二使能线耦接，所述第二选通开关管的第一极与对应的第二驱动单元耦接，所述第二选通开关管的第二极与所述另一部分像素耦接。

17.根据权利要求 1 至 16 任一所述的显示面板，其中，每个第一驱动单元通过对应的第一选通单元与至少一行像素中，靠近所述第一选通单元的一部分像素耦接；每个第二驱动单元通过对应的第二选通单元与至少一行像素中，靠近所述第二选通单元的另一部分像素耦接；并且，所述一部分像素中的各个像素相互邻接，所述另一部分像素中的各个像素相互邻接。

18.根据权利要求 1 至 17 任一所述的显示面板，其中，所述显示面板包括：低温多晶硅氧化物 LTPO 显示面板。

19.一种显示控制方法，用于控制如权利要求 1 至 18 任一所述的显示面板；所述方法包括：

确定衬底具有的显示区中不同区域的刷新需求，所述不同区域包括沿像素行方向排布的左侧区域和右侧区域，和/或，沿像素列方向排布的上侧区域和下侧区域，所述刷新需求用于指示是否需要刷新和刷新频率；

响应于帧同步信号，基于所述刷新需求向所述多个第一选通单元耦接的第一使能线传输第一使能信号，并向所述多个第二选通单元耦接的第二使能线传输第二使能信号；第一电位的第一使能信号用于指示所述第一选通单元控制对应的第一驱动单元与耦接的一部分像素导通，所述第二电位的第一使能信号用于指示所述第一选通单元控制对应的第一驱动单元与耦接的一部分像素断开耦接；第一电位的第二使能信号用于指示所述第二选通单元控制对应的第二驱动单元与耦接的另一部分像素导通，第二电位的第二使能信号用于指示所述第二选通单元控制对应的第二驱动单元与耦接的另一部分像素断开耦接；

响应于帧同步信号，向所述多个第一驱动单元耦接的第一开启线传输第一开启信号，并向所述多个第二驱动单元耦接的第二开启线传输第二开启信号；所述第一开启信号用于指示所述多个第一驱动单元输出第一栅极驱动信号，第二开启信号用于指示所述多个第二驱动单元输出第二栅极驱动信号；

其中，在所述第一选通单元控制所述第一驱动单元与耦接的一部分像素导通时，所述第一驱动单元向所述一部分像素传输所述第一栅极驱动信号；

在所述第二选通单元控制所述第二驱动单元与耦接的另一部分像素导通时，所述第二驱动单元向所述另一部分像素传输所述第二栅极驱动信号。

20.一种显示装置，所述显示装置包括：驱动芯片，以及如权利要求 1 至 18 任一所述的显示面板；

其中，所述驱动芯片与所述显示面板中的电路耦接的信号线耦接，并用于向所述信号线提供信号。

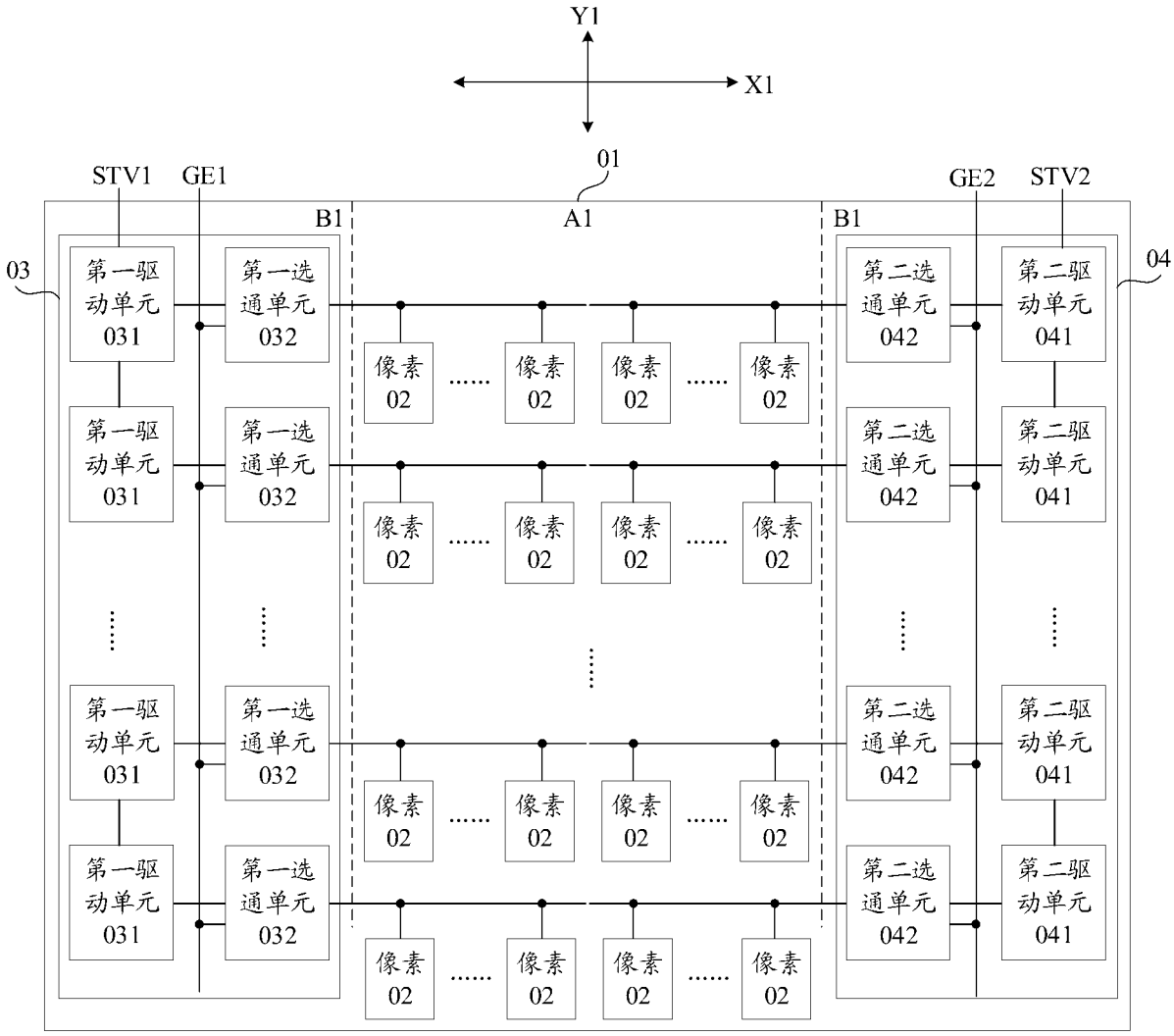

Y1
X1
01
STV1
GE1
B1
A1
B1
GE2
STV2
03
04
第一驱动单元031
第一选通单元032
像素02
第二选通单元042
第二驱动单元041

图 1

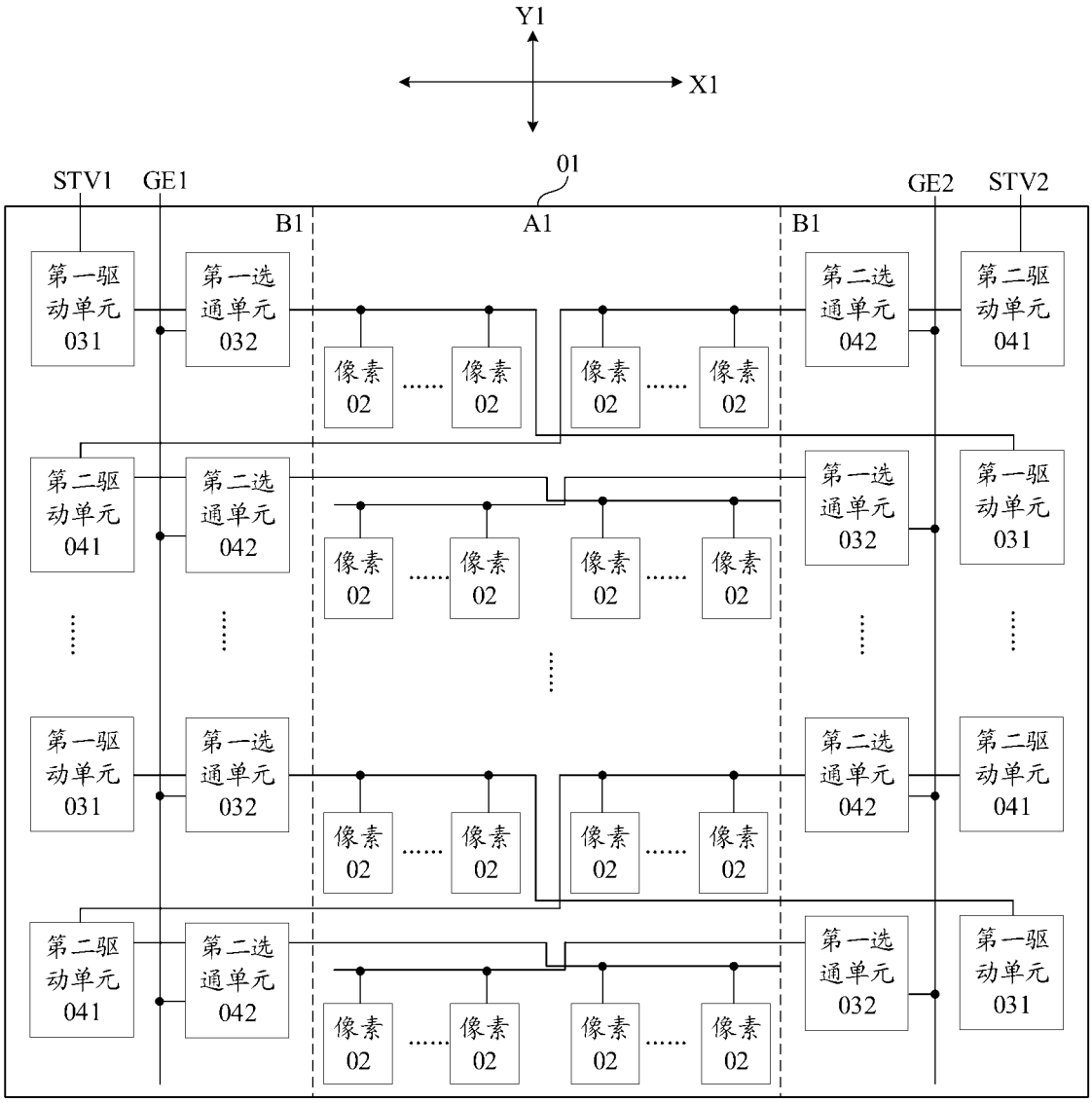

Y1
X1
01
STV1
GE1
B1
A1
B1
GE2
STV2
第一驱动单元031
第一选通单元032
第二选通单元042
第二驱动单元041
像素02

图 2

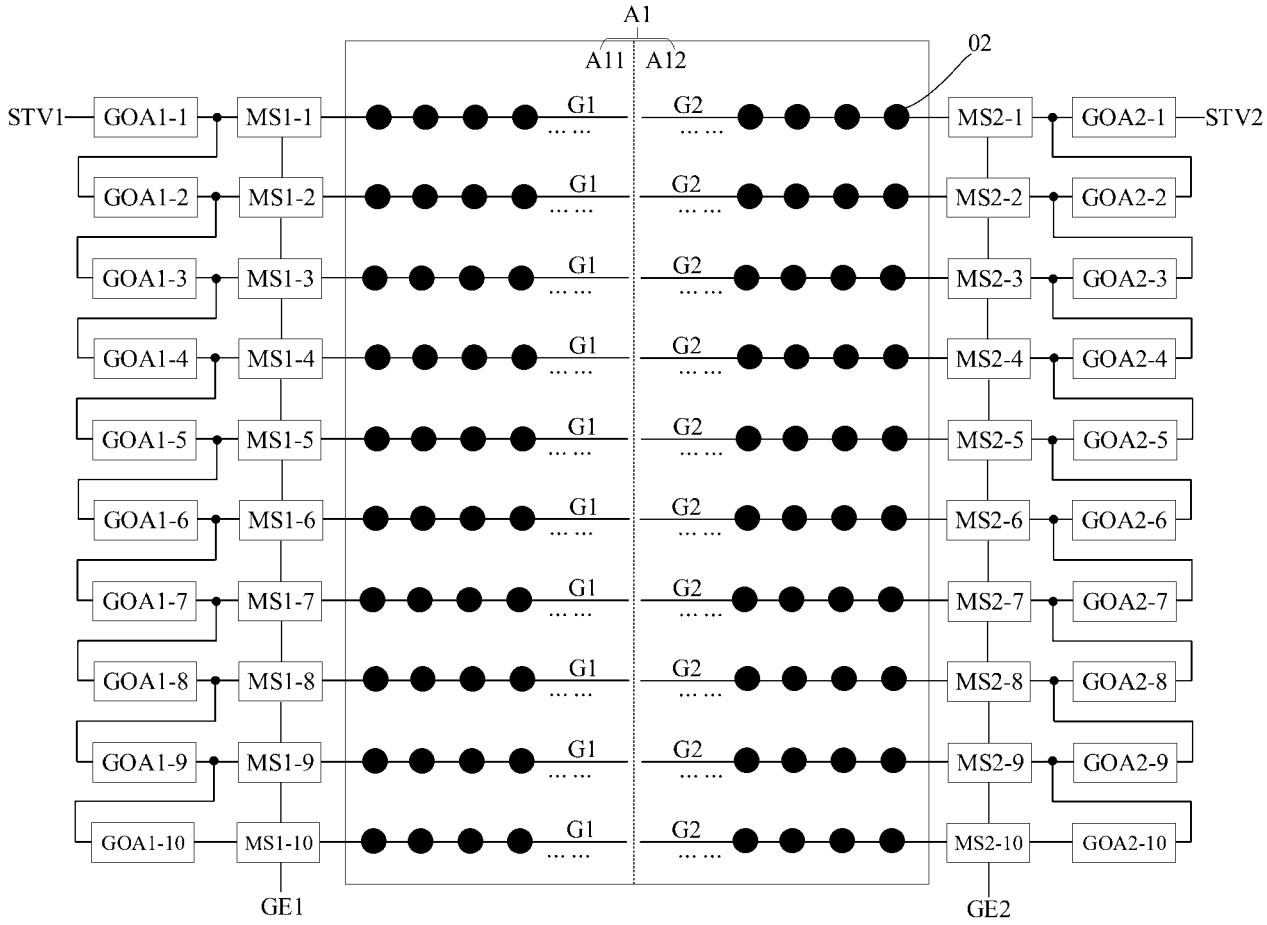

A1
A11
A12
02
STV1
GOA1-1
GOA1-2
GOA1-3
GOA1-4
GOA1-5
GOA1-6
GOA1-7
GOA1-8
GOA1-9
GOA1-10
MS1-1
MS1-2
MS1-3
MS1-4
MS1-5
MS1-6
MS1-7
MS1-8
MS1-9
MS1-10
G1
G2
MS2-1
MS2-2
MS2-3
MS2-4
MS2-5
MS2-6
MS2-7
MS2-8
MS2-9
MS2-10
GOA2-1
GOA2-2
GOA2-3
GOA2-4
GOA2-5
GOA2-6
GOA2-7
GOA2-8
GOA2-9
GOA2-10
STV2
GE1
GE2

图 3

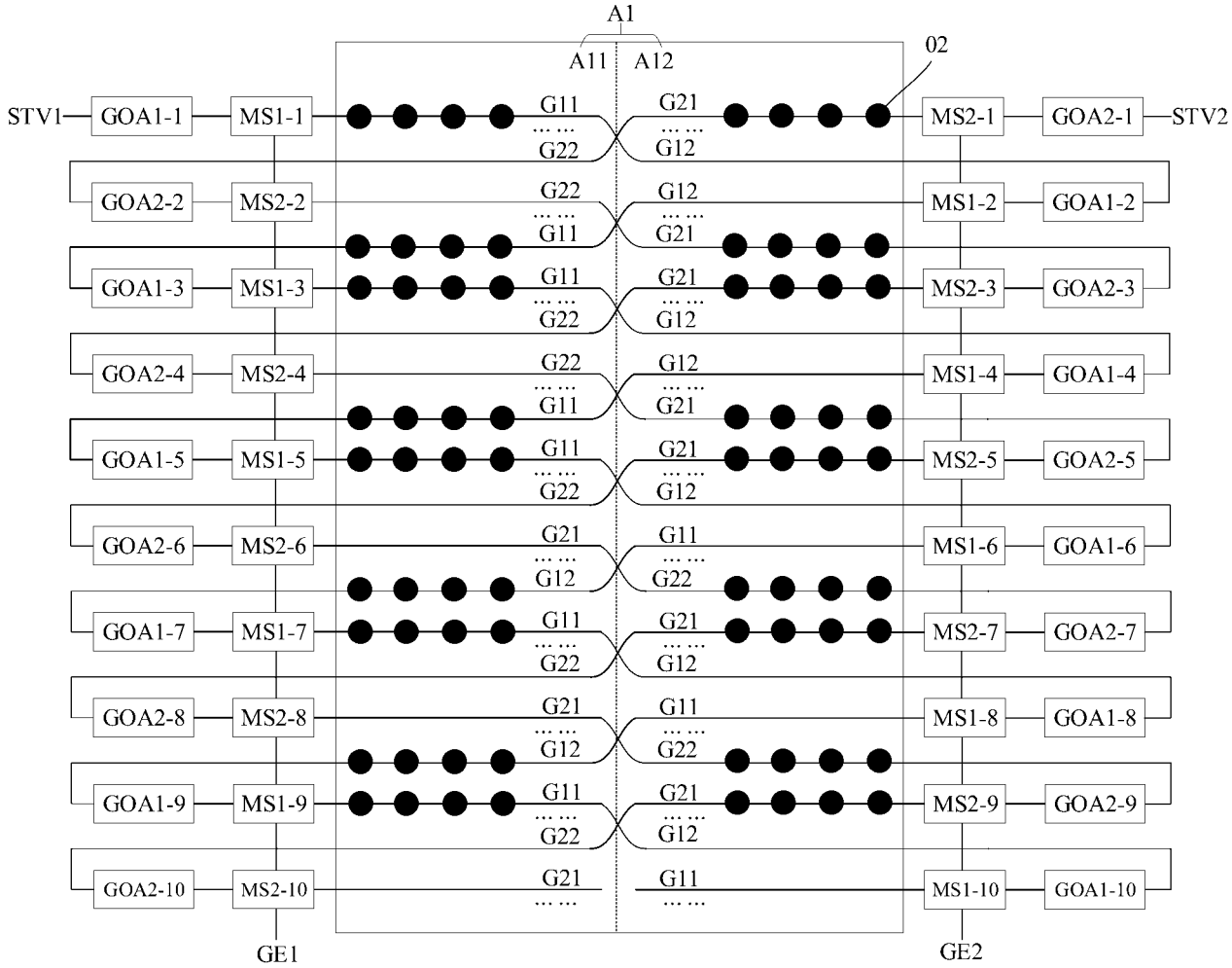

A1
A11
A12
02
STV1
GOA1-1
MS1-1
G11
G21
G22
G12
MS2-1
GOA2-1
STV2
GOA2-2
MS2-2
MS1-2
GOA1-2
GOA1-3
MS1-3
MS2-3
GOA2-3
GOA2-4
MS2-4
MS1-4
GOA1-4
GOA1-5
MS1-5
MS2-5
GOA2-5
GOA2-6
MS2-6
MS1-6
GOA1-6
GOA1-7
MS1-7
MS2-7
GOA2-7
GOA2-8
MS2-8
MS1-8
GOA1-8
GOA1-9
MS1-9
MS2-9
GOA2-9
GOA2-10
MS2-10
MS1-10
GOA1-10
GE1
GE2

图 4

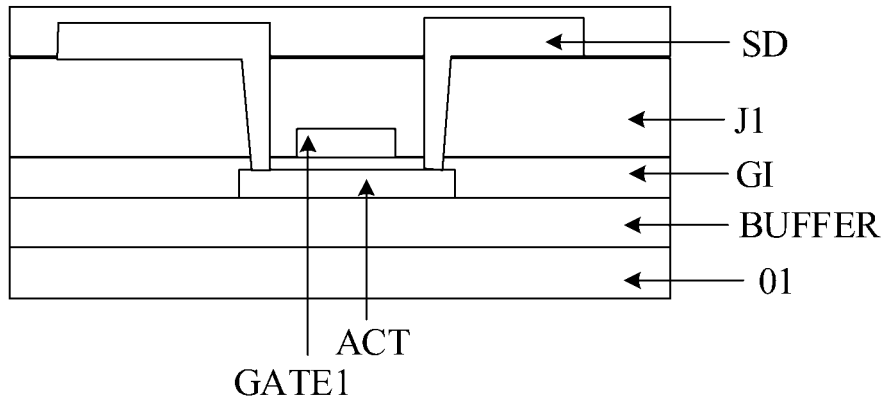

SD
J1
GI
BUFFER
01
ACT
GATE1

图 5

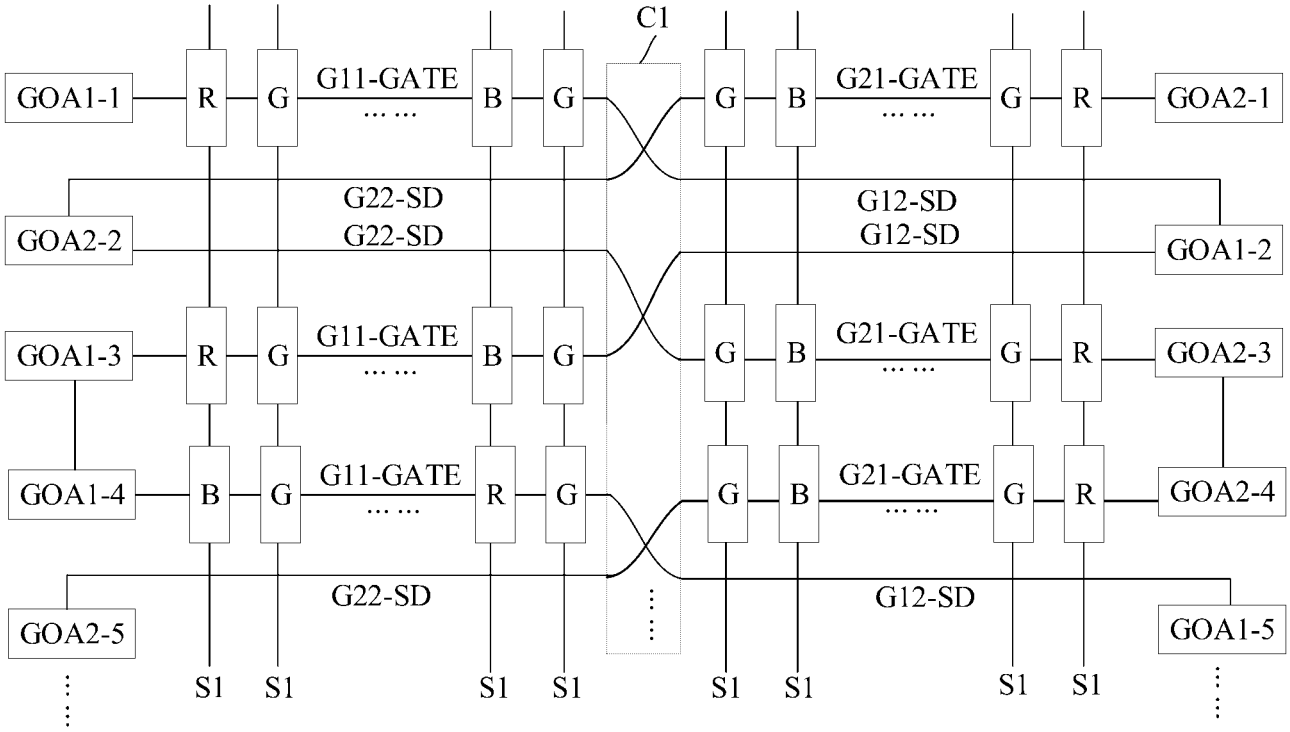

C1
GOA1-1
R
G
G11-GATE
B
G
G
B
G21-GATE
G
R
GOA2-1
G22-SD
G12-SD
GOA2-2
G22-SD
G12-SD
GOA1-2
GOA1-3
GOA2-3
GOA1-4
GOA2-4
GOA2-5
GOA1-5
S1

图 6

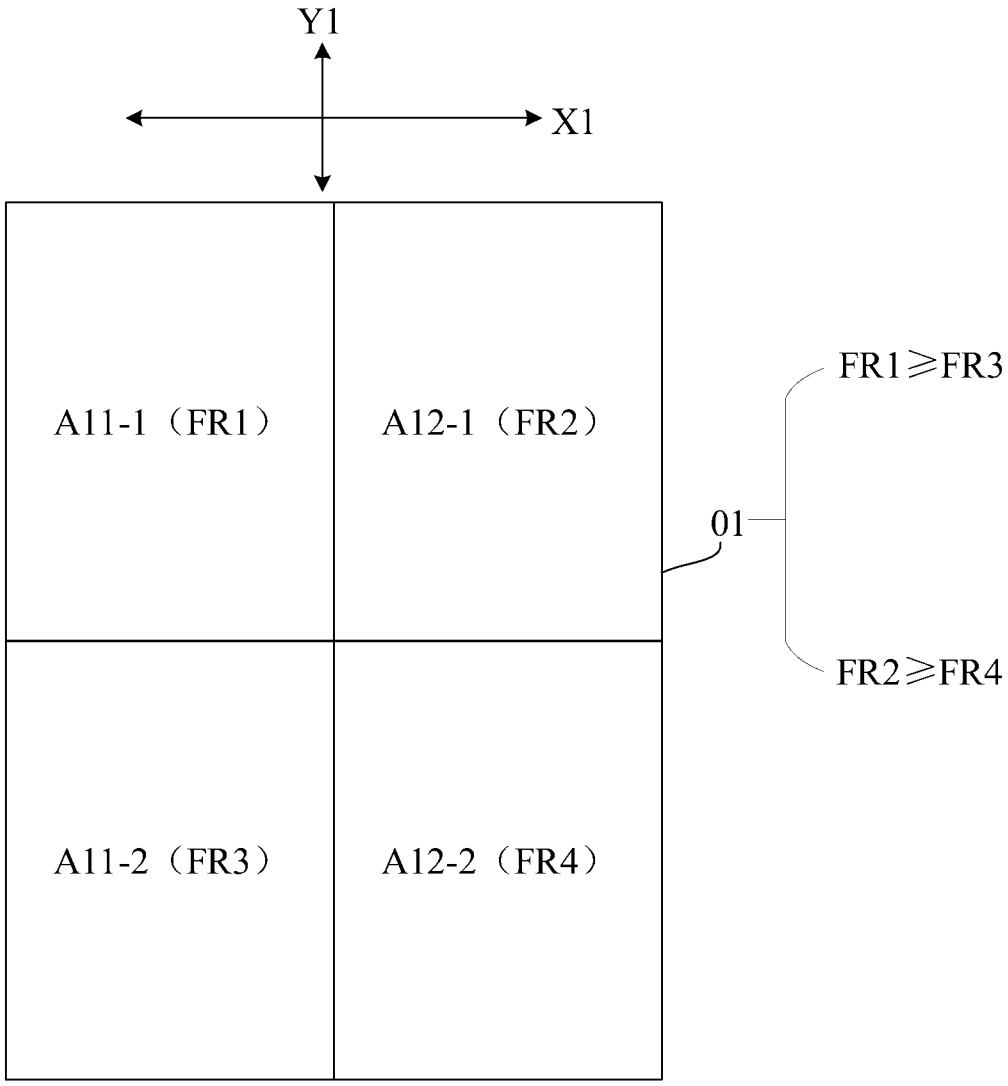

Y1
X1
A11-1（FR1）
A12-1（FR2）
A11-2（FR3）
A12-2（FR4）
01
FR1≥FR3
FR2≥FR4

图 7

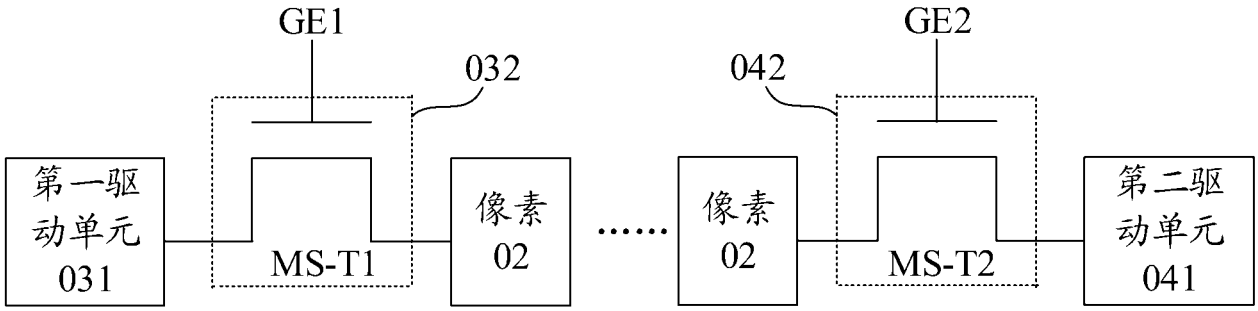

GE1
032
042
GE2
第一驱动单元031
MS-T1
像素02
……
像素02
MS-T2
第二驱动单元041

图 8

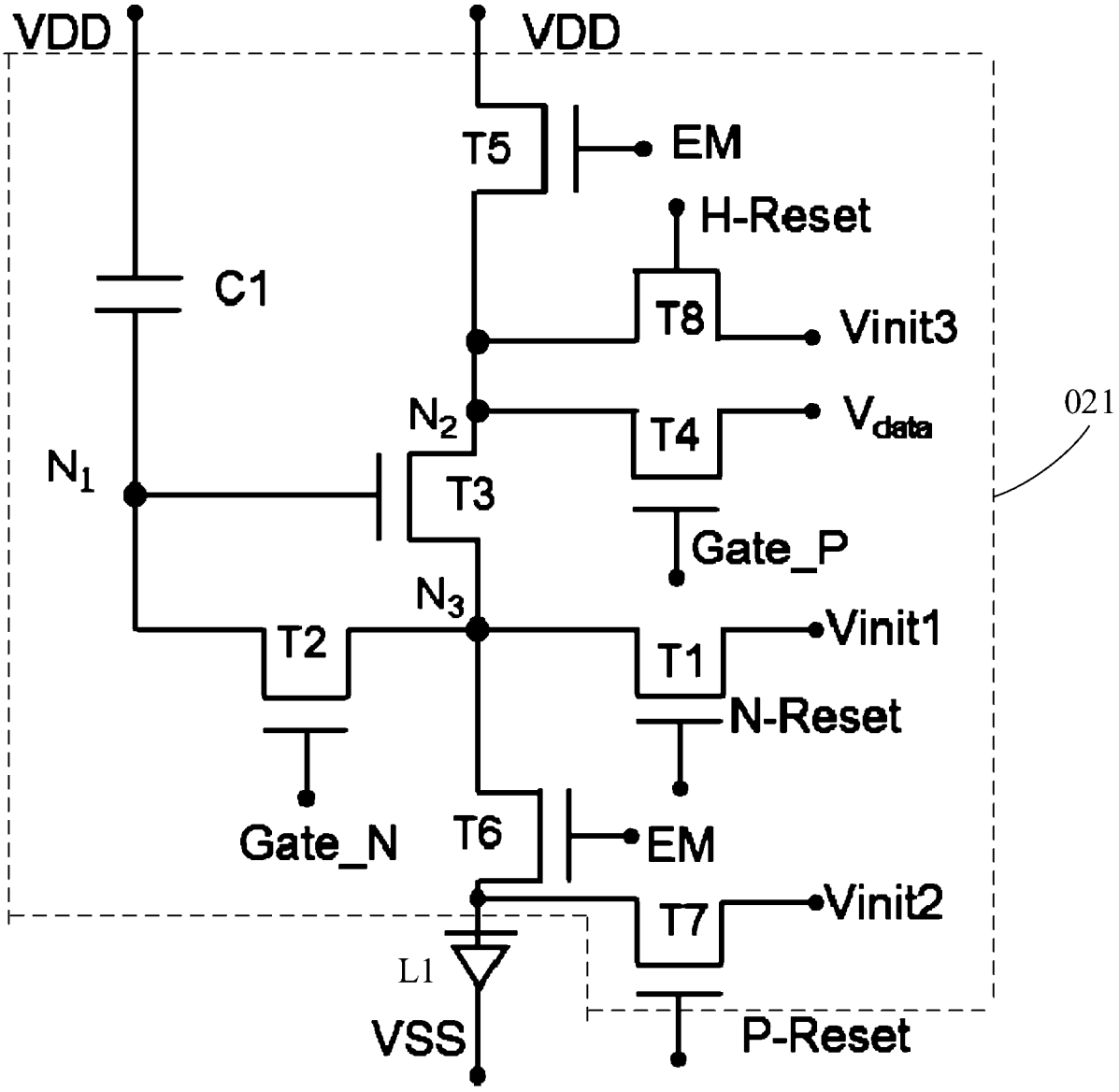

VDD
VDD
T5
EM
H-Reset
C1
T8
Vinit3
N2
T4
Vdata
021
N1
T3
Gate_P
N3
T2
T1
Vinit1
N-Reset
Gate_N
T6
EM
T7
Vinit2
L1
VSS
P-Reset

图 9

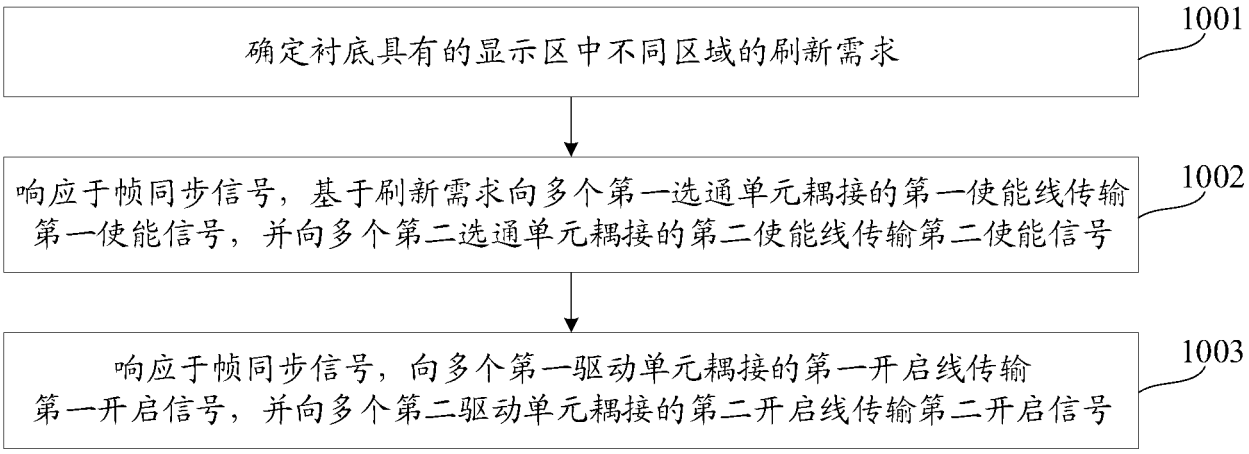

确定衬底具有的显示区中不同区域的刷新需求
1001
响应于帧同步信号，基于刷新需求向多个第一选通单元耦接的第一使能线传输第一使能信号，并向多个第二选通单元耦接的第二使能线传输第二使能信号
1002
响应于帧同步信号，向多个第一驱动单元耦接的第一开启线传输第一开启信号，并向多个第二驱动单元耦接的第二开启线传输第二开启信号
1003

图 10

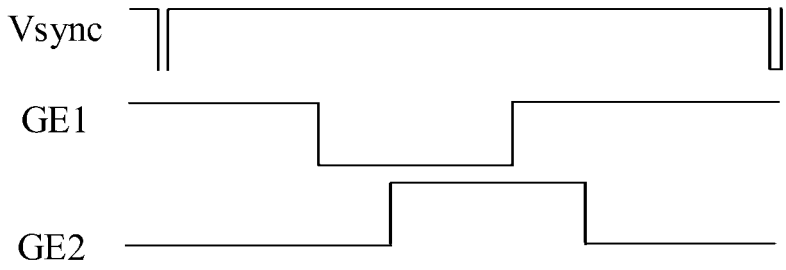


图 11

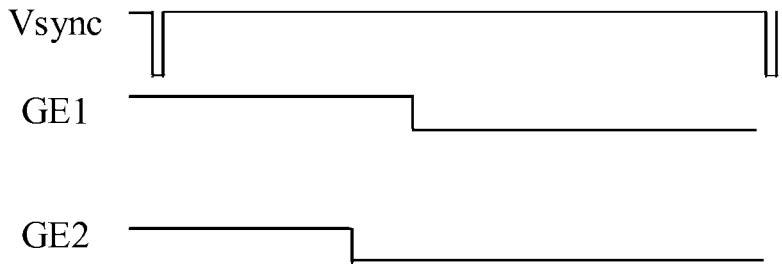


图 12

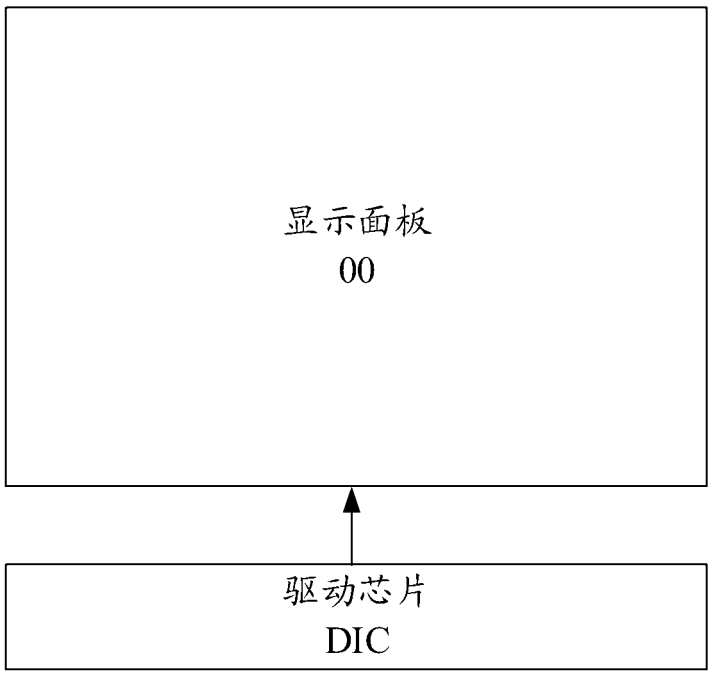


图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/090338

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, VEN, CJFD: 分屏, 分区, 折叠, 变频, 双栅, double, gate, variable, frequency, fold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 111477185 A (SHANGHAI AVIC OPTOELECTRONICS CO., LTD.) 31 July 2020 (2020-07-31) description, paragraphs 25-74, and figures 1-10	1-20
X	CN 112951160 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 June 2021 (2021-06-11) description, paragraphs 28-119, and figures 1-6	1-20
A	CN 114038418 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 11 February 2022 (2022-02-11) entire document	1-20
A	CN 114974114 A (HEFEI BOE ZHUOYIN TECHNOLOGY CO., LTD. et al.) 30 August 2022 (2022-08-30) entire document	1-20
A	CN 115775547 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 March 2023 (2023-03-10) entire document	1-20

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 January 2024	**17 January 2024**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 115842028 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 March 2023 (2023-03-24) entire document	1-20
A	US 2006012549 A1 (IKEDA, K.) 19 January 2006 (2006-01-19) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/090338

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 111477185 A	31 July 2020	None	
CN 112951160 A	11 June 2021	None	
CN 114038418 A	11 February 2022	None	
CN 114974114 A	30 August 2022	None	
CN 115775547 A	10 March 2023	None	
CN 115842028 A	24 March 2023	None	
US 2006012549 A1	19 January 2006	US 7944412 B2	17 May 2011
		KR 20060050204 A	19 May 2006
		KR 100767175 B1	15 October 2007
		JP 2006053539 A	23 February 2006
		JP 5207581 B2	12 June 2013

国际检索报告

国际申请号
PCT/CN2023/090338

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNTXT,ENTXT,VEN,CJFD:分屏,分区,折叠,变频，双栅，double，gate，variable，frequency，fold

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 111477185 A (上海中航光电子有限公司) 2020年7月31日 (2020 - 07 - 31) 说明书第25-74段，图1-10	1-20
X	CN 112951160 A (京东方科技集团股份有限公司等) 2021年6月11日 (2021 - 06 - 11) 说明书第28-119段，图1-6	1-20
A	CN 114038418 A (京东方科技集团股份有限公司等) 2022年2月11日 (2022 - 02 - 11) 全文	1-20
A	CN 114974114 A (合肥京东方卓印科技有限公司等) 2022年8月30日 (2022 - 08 - 30) 全文	1-20
A	CN 115775547 A (京东方科技集团股份有限公司等) 2023年3月10日 (2023 - 03 - 10) 全文	1-20
A	CN 115842028 A (京东方科技集团股份有限公司等) 2023年3月24日 (2023 - 03 - 24) 全文	1-20
A	US 2006012549 A1 (IKEDA KYOJI) 2006年1月19日 (2006 - 01 - 19) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年1月11日	2024年1月17日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 王敏 电话号码 (+86) 010-62085827

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/090338

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111477185	A	2020年7月31日	无			
CN	112951160	A	2021年6月11日	无			
CN	114038418	A	2022年2月11日	无			
CN	114974114	A	2022年8月30日	无			
CN	115775547	A	2023年3月10日	无			
CN	115842028	A	2023年3月24日	无			
US	2006012549	A1	2006年1月19日	US	7944412	B2	2011年5月17日
				KR	20060050204	A	2006年5月19日
				KR	100767175	B1	2007年10月15日
				JP	2006053539	A	2006年2月23日
				JP	5207581	B2	2013年6月12日