

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4974474号
(P4974474)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int. Cl.	F I	
HO 1 L 21/762 (2006.01)	HO 1 L 21/76	D
HO 1 L 21/76 (2006.01)	HO 1 L 21/76	M
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	G 2 1
HO 1 L 21/336 (2006.01)	HO 1 L 29/91	D
HO 1 L 29/868 (2006.01)	HO 1 L 29/72	P
請求項の数 12 (全 21 頁) 最終頁に続く		

(21) 出願番号	特願2005-125243 (P2005-125243)	(73) 特許権者	302062931
(22) 出願日	平成17年4月22日(2005.4.22)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2006-41476 (P2006-41476A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成18年2月9日(2006.2.9)	(74) 代理人	100064746
審査請求日	平成20年4月16日(2008.4.16)		弁理士 深見 久郎
(31) 優先権主張番号	特願2004-183365 (P2004-183365)	(74) 代理人	100085132
(32) 優先日	平成16年6月22日(2004.6.22)		弁理士 森田 俊雄
(33) 優先権主張国	日本国(JP)	(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫
最終頁に続く			

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

所定の基板の主表面上に形成された絶縁膜と、
前記絶縁膜上に形成された第1導電型の半導体層と、
前記半導体層において素子形成領域となる所定の領域を連続して取囲むとともに、前記半導体層の表面から前記絶縁膜の表面にわたって形成され、内側側壁および外側側壁を有する分離領域と、

前記所定の領域を連続して取り囲む前記分離領域の前記内側内壁の全面に接するように、前記内側側壁の全周にわたって形成され、前記所定の領域に位置する前記半導体層の部分と前記分離領域との間に位置する第2導電型の第1不純物領域と、

前記半導体層において前記分離領域の外側に位置し、他の素子形成領域となる他の所定の領域と、

前記所定の領域を連続して取り囲む前記分離領域の前記外側側壁の全面に接するように、前記外側外壁の全周にわたって形成され、前記他の所定の領域に位置する前記半導体層の部分と前記分離領域との間に位置する第2導電型の第2不純物領域とを備えた、半導体装置。

【請求項2】

前記第1不純物領域に電気的に接続されるように形成され、前記第1不純物領域を所定の電位に保持するための第1電極を備えた、請求項1記載の半導体装置。

【請求項3】

前記第 2 不純物領域に電氣的に接続されるように形成され、前記第 2 不純物領域を所定の電位に保持するための第 2 電極を備えた、請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記所定の領域に形成された素子を備えた、請求項 1 ~ 3 のいずれかに記載の半導体装置。

【請求項 5】

前記素子として、所定の前記領域には、

ソース領域と、

ドレイン領域と、

チャンネルとなるボディ領域と

10

前記ボディ領域上にゲート絶縁膜を介在させて形成されたゲートと、を含むトランジスタが形成され、

前記第 1 不純物領域は前記ボディ領域および前記ドレイン領域のいずれかを含む、請求項 4 記載の半導体装置。

【請求項 6】

前記素子として、所定の前記領域には、

カソード領域と、

アノード領域と

を含むダイオードが形成され、

前記第 1 不純物領域は前記アノード領域および前記カソード領域のいずれかを含む、請求項 4 記載の半導体装置。

20

【請求項 7】

前記素子として、所定の前記領域には、

エミッタ領域と、

コレクタ領域と、

ベース領域と

を含むバイポーラトランジスタが形成され、

前記第 1 不純物領域は前記ベース領域および前記コレクタ領域のいずれかを含む、請求項 4 記載の半導体装置。

30

【請求項 8】

前記第 1 不純物領域は、前記所定の領域に形成された前記素子の動作時において前記第 1 不純物領域と前記所定の領域に位置する前記半導体層の部分との界面から延びる空乏層の端が前記分離領域に到達しないように所定の不純物濃度を有して形成された、請求項 4 ~ 7 のいずれかに記載の半導体装置。

【請求項 9】

前記第 1 不純物領域の不純物濃度は、前記素子を構成する不純物領域の不純物濃度よりも高い濃度に設定された、請求項 4 ~ 8 のいずれかに記載の半導体装置。

【請求項 10】

前記所定の領域に形成され、第 1 導電型および第 2 導電型の少なくともいずれかの導電型からなるウェル領域と、

40

前記半導体層上に前記ウェル領域の表面を露出するように形成された他の絶縁膜とを備え、

前記素子として、露出した前記ウェル領域には、

前記ウェル領域の導電型とは反対の導電型のソース領域およびドレイン領域と、

ゲート電極部と

を含むトランジスタが形成された、請求項 4 記載の半導体装置。

【請求項 11】

前記ゲート電極部は、

下層電極と、

前記下層電極上に形成された誘電体膜と、

50

前記誘電体膜上に形成された上層電極とを含む、請求項 10 記載の半導体装置。

【請求項 12】

所定の基板の上に絶縁膜を介在させて形成された第 1 導電型の半導体層に、素子形成領域となる領域を連続して取囲むとともに、前記絶縁膜の表面を露出するように溝を形成する工程と、

前記溝内に露出している、前記所定の領域が位置する側の前記半導体層の第 1 部分の全面に、第 2 導電型の不純物を導入することにより、前記第 1 部分の全周にわたって連続するように第 2 導電型の第 1 不純物領域を形成する工程と、

前記溝内に露出している、前記所定の領域が位置する側とは反対側の前記半導体層の第 2 部分の全面に、第 2 導電型の不純物を導入することにより、前記第 2 部分の全周にわたって連続するように第 2 導電型の第 2 不純物領域を形成する工程と、

前記溝に絶縁材料を埋め込む工程と、を備えた、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置およびその製造方法に関し、特に、トレンチ分離構造を有する半導体装置とその製造方法に関するものである。

【背景技術】

【0002】

高耐圧が要求される集積回路を備えた半導体装置では、素子と素子との間の電氣的影響を避けるために、素子間を電氣的に分離するための分離構造が必要とされる。特に、トレンチ分離は素子分離に必要な領域が比較的小さいため、高集積化を図るうえで優れた素子分離の手法とされる。とりわけ、SOI (Silicon On Insulator) 基板とトレンチ分離とを組合わせた分離構造では、一つの素子が他の素子と電氣的に完全に分離されて、素子間の寄生動作が少なく、この分離構造は優れた手法とされる。

【0003】

ここで、そのような SOI 基板を用いた半導体装置の一例について説明する。シリコンの半導体基板の上に BOX (Bottom Oxide Layer) 層を介在させて N - 層が形成されている。その N - 層に素子形成領域を形成するとともに素子間を分離するためのトレンチ分離領域が形成されている。その素子形成領域内に、半導体素子として、たとえばソース、ドレイン、ゲートおよびボディを含む n チャネル型の MOS (Metal Oxide Semiconductor) トランジスタが形成されている。

【0004】

また、特許文献 1、2 に記載された半導体装置では、トレンチ分離領域に接するように P 型領域が形成された半導体装置も提案されている。従来の SOI 基板を用いた半導体装置は上記のように構成される。

【特許文献 1】特開 2001 - 44437 号公報

【特許文献 2】特開 2003 - 197639 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来の半導体装置では、素子形成領域の N - 層がトレンチ分離領域と接しているため、MOS トランジスタがオフの状態では、電界がトレンチ分離領域にまで及ぶことになる。そのため、トレンチ分離領域の近傍の電界の集中による MOS トランジスタの主耐圧の低下を防ぐために、素子形成領域内に形成される MOS トランジスタのボディとなる P 型不純物領域とトレンチ分離領域との距離を確保する必要があった。その結果、素子形成領域の占有面積が大きくなるという問題があった。

【0006】

10

20

30

40

50

また、MOSトランジスタがオフの状態では、電界がトレンチ分離領域の内部にまで及び、トレンチ分離領域を形成する材料によっては長期的に信頼性が損なわれるおそれがあった。

【0007】

さらに、MOSトランジスタの動作状態によってはBOX層の上面にP型の反転層が形成される場合がある。このとき、N層の表面に形成されているP型不純物領域とBOX層が接触していないために高速動作時に反転層の形成が遅くなって、スイッチング速度を低下させる問題があった。

【0008】

また、特許文献1、2に記載された半導体装置では、トレンチ分離領域に接するように形成されたP型領域には、異なる2つ以上の電極端子と接続されている。そのために、素子形成領域内の電界を制御することはできず、トレンチ分離の特性を向上するには限界があった。

【0009】

本発明は上記問題点を解決するためになされたものであり、一つの目的は素子形成領域の占有面積を増大させることなく電気的分離が確実に行なわれる半導体装置を提供することであり、他の目的はそのような半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【0010】

本発明に係る半導体装置は、絶縁膜と、第1導電型の半導体層と、分離領域と、第2導電型の第1不純物領域と、他の素子形成領域となる他の所定の領域と、第2導電型の第2不純物領域とを備えている。絶縁膜は、所定の基板の主表面上に形成されている。第1導電型の半導体層は絶縁膜上に形成されている。分離領域は、半導体層において素子形成領域となる所定の領域を連続して取囲むとともに、半導体層の表面から絶縁膜の表面にわたって形成され、内側側壁および外側側壁を有している。第2導電型の第1不純物領域は、所定の領域を連続して取り囲む分離領域の内側内壁の全面に接するように、内側側壁の全周にわたって形成され、所定の領域に位置する半導体層の部分と分離領域との間に位置している。他の素子形成領域となる他の所定の領域は、半導体層において分離領域の外側に位置している。第2導電型の第2不純物領域は、所定の領域を連続して取り囲む分離領域の外側側壁の全面に接するように、外側外壁の全周にわたって形成され、他の所定の領域

【0011】

また、本発明に係る半導体装置の製造方法は以下の工程を備えている。所定の基板上に絶縁膜を介在させて形成された第1導電型の半導体層に、素子形成領域となる領域を連続して取囲むとともに、絶縁膜の表面を露出するように溝を形成する。その溝内に露出している、所定の領域が位置する側の半導体層の第1部分の全面に、第2導電型の不純物を導入することにより、第1部分の全周にわたって連続するように第2導電型の第1不純物領域を形成する。また、溝内に露出している、所定の領域が位置する側とは反対側の半導体層の第2部分の全面に、第2導電型の不純物を導入することにより、第2部分の全周にわたって連続するように第2導電型の第2不純物領域を形成する。その後、溝に絶縁材料を埋め込む。

【発明の効果】

【0012】

本発明に係る半導体装置によれば、第1不純物領域は、所定の領域を連続して取り囲む分離領域の内側内壁の全面に接するように、内側側壁の全周にわたって形成されている。また、第2不純物領域は、所定の領域を連続して取り囲む分離領域の外側側壁の全面に接するように、外側外壁の全周にわたって形成されている。これにより、分離領域は、所定の領域に位置する半導体層の部分と第1不純物領域とのPN接合によって電気的に分離されるとともに、他の所定の領域に位置する半導体層の部分と第2不純物領域とのPN接合によって電気的に分離される。その結果、素子形成領域の面積を増大させることなく電気

10

20

30

40

50

的な分離をより確実にこなうことができる。

【0013】

本発明に係る半導体装置の製造方法によれば、所定の領域が位置する側の半導体層の第1部分の全面に、第2導電型の不純物を導入することにより、第1部分の全周にわたって連続するように第2導電型の第1不純物領域が形成され、所定の領域が位置する側とは反対側の半導体層の第2部分の全面に、第2導電型の不純物を導入することにより、第2部分の全周にわたって連続するように第2導電型の第2不純物領域が形成される。これにより、半導体層の第1部分と第1不純物領域との界面にPN接合が形成されるとともに、半導体層の第2部分と第2不純物領域との界面にPN接合が形成されて、電気的に分離するための構造を容易に形成することができる。

10

【発明を実施するための最良の形態】

【0014】

実施の形態1

本発明の実施の形態1に係る半導体装置について説明する。図1および図2に示すように、半導体基板1上にBOX層2が形成されている。そのBOX層2上に、たとえばエピタキシャル層からなるN-層3が形成されている。そのN-層3には素子形成領域となるN-層3の部分(N-層3a)を取囲むようにトレンチ分離領域4が形成されている。トレンチ分離領域4はN-層3の表面からBOX層2に達するように形成されている。トレンチ分離領域4の外側には、他の素子形成領域となるN-層3bが位置している。N-層3上に、たとえばシリコン酸化膜などの絶縁膜15が形成されている。

20

【0015】

トレンチ分離領域4とN-層3aとの間には、P型拡散領域10aが形成されている。P型拡散領域10aは、素子形成領域を取囲むトレンチ分離領域4の内側側壁の全面に接するように切れ目なく連続して形成されている。N-層3a等の素子形成領域には、後述するように、トランジスタやダイオード等の半導体素子が形成されることになる。

【0016】

上述した半導体装置では、素子形成領域となるN-層3aとトレンチ分離領域4との間に、P型拡散領域10aがトレンチ分離領域4の内側側壁の全面に接するように切れ目なく連続して形成されている。そのため、トレンチ分離領域4は、N-層3aとP型拡散領域10aとのPN接合によって電気的に分離されることになる。

30

【0017】

これにより、このようなP型拡散領域10aを備えずに、素子形成領域となるN-層3aと他の素子形成領域となるN-層3bとの間に素子分離領域だけが形成されている従来の半導体装置の場合と比較すると、PN接合によって電気的な分離をより確実にこなうことができる。

【0018】

また、前述した他の従来の半導体装置として、トレンチ分離領域に接するようにP型領域が形成され、そのP型領域に異なる2つ以上の電極端子と接続されていた半導体装置と比較しても、上述した半導体装置では電気的な分離を高めることができる。この場合について、より具体的に説明する。

40

【0019】

図3および図4に示すように、他の従来の半導体装置では、半導体基板101上にBOX層102を介在させてN-層103が形成されている。そのN-層103には素子形成領域となるN-層103の部分(N-層103a)を取囲むようにトレンチ分離領域104が形成されている。トレンチ分離領域104の外側には、他の素子形成領域となるN-層103bが位置している。N-層103上に絶縁膜115が形成されている。

【0020】

トレンチ分離領域104のうち互いに対向する部分では、トレンチ分離領域104とN-層103aとの間にP型拡散領域110a、110bがそれぞれ形成されている。そのP型拡散領域110aには電極120が電気的に接続され、P型拡散領域110bには電

50

極 1 2 1 が電氣的に接続されている。

【 0 0 2 1 】

ここで、素子形成領域に形成される半導体素子として、たとえばM O Sトランジスタを想定すると、P型拡散領域 1 1 0 a がドレイン領域となりP型拡散領域 1 1 0 b がソース領域となる。電極 1 2 0 がドレイン電極なり電極 1 2 1 がソース電極となる。ドレイン領域およびソース領域は互いに異なる動作を行なうため、ドレイン領域およびソース領域のそれぞれの電位は同じ電位ではない。そのため、図 3 に示すように、P型拡散領域 1 1 0 a とP型拡散領域 1 1 0 b とは繋がっておらず距離を隔てられて、電氣的には接続されていない。

【 0 0 2 2 】

このように他の従来の半導体装置におけるP型拡散領域 1 1 0 a , 1 1 0 b では、それぞれの電位が同電位ではないために、素子分離領域 1 0 4 の内側の電界を制御することが困難になって、素子分離領域 1 0 4 による電氣的な分離には限界があった。

【 0 0 2 3 】

これに対して、本実施の形態に係る半導体装置では、P型拡散領域 1 0 a がトレンチ分離領域 4 の内側側壁の全面に接するように連続して形成されていることで、P型拡散領域 1 0 a の電位は常に同じ電位になる。これにより、トレンチ分離領域においてP型拡散領域 1 0 a に接する内側側壁の電位も同じ電位に保たれて、電氣的な分離特性を向上することができる。

【 0 0 2 4 】

実施の形態 2

前述した半導体装置では、トレンチ分離領域の内側側壁に沿ってP型拡散領域が形成されている場合を説明した。ここでは、トレンチ分離領域の内側側壁と外側側壁とのそれぞれの全面に接するようにP型拡散領域が形成されている場合を例に挙げる。

【 0 0 2 5 】

図 5 および図 6 に示すように、まず、トレンチ分離領域 4 とN - 層 3 a との間には、P型拡散領域 1 0 a が形成されている。P型拡散領域 1 0 a は、素子形成領域を取囲むトレンチ分離領域 4 の内側側壁の全面に接するように切れ目なく連続して形成されている。

【 0 0 2 6 】

そして、トレンチ分離領域 4 とN - 層 3 b との間にも、P型拡散領域 1 0 b が形成されている。P型拡散領域 1 0 b は、素子形成領域を取囲むトレンチ分離領域 4 の外側側壁の全面に接するように連続して形成されている。なお、これ以外の構成については、前述した半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 0 2 7 】

上述した半導体装置では、P型拡散領域 1 0 a に加えて、他の素子形成領域となるN - 層 3 b とトレンチ分離領域 4 との間にP型拡散領域 1 0 b が形成されている。これにより、トレンチ分離領域 4 はN - 層 3 a とP型拡散領域 1 0 a とのPN接合に加えて、N - 層 3 b とP型拡散領域 1 0 b とのPN接合によっても電氣的に分離されることになる。その結果、前述した半導体装置の場合よりも、2つのPN接合によってN - 層 3 a とN - 層 3 b との電氣的な分離をより確実にこなうことができる。

【 0 0 2 8 】

実施の形態 3

本発明の実施の形態 3 に係る半導体装置として、P型拡散領域を所定の電位に保持する半導体装置の一例について説明する。図 7 に示すように、絶縁膜 1 5 上には、P型拡散領域 1 0 a に電氣的に接続される電極 2 0 a が形成されている。なお、これ以外の構成については、図 2 に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

【 0 0 2 9 】

上述した半導体装置では、電極 2 0 a に所定の電圧を印加することによって、P型拡散領域 1 0 a の電位を一定の値に保持することができる。たとえば電極 2 0 a に 0 V の電圧

10

20

30

40

50

を印加することによって、P型拡散領域10aの電位は0Vに保持されることになる。これにより、N-層3aの電位による電界がトレンチ分離領域4やN-層3bに及ぶのを効率的に防止することができる。

【0030】

実施の形態4

ここでは、P型拡散領域を所定の電位に保持する半導体装置の他の例について説明する。図8に示すように、絶縁膜15上には、P型拡散領域10aに電氣的に接続される電極20aに加えて、P型拡散領域10bに電氣的に接続される電極20bが形成されている。なお、これ以外の構成については、図6に示す半導体装置と同様なので、同一部材には同一符号を付しその説明を省略する。

10

【0031】

上述した半導体装置では、電極20aに所定の電圧を印加することによって、P型拡散領域10aの電位を一定の値に保持するとともに、電極20bにも所定の電圧を印加することによって、P型拡散領域10bの電位も一定の値に保持することができる。たとえば電極20a、20bにそれぞれ0Vの電圧を印加することによって、P型拡散領域10aに加えてP型拡散領域10bの電位も0Vに保持されることになる。

【0032】

これにより、P型拡散領域10aだけを備えてこれを0Vに保持する場合と比べると、N-層3aの電位による電界がトレンチ分離領域4やN-層3bに及ぶのを阻止することができるとともに、N-層3bの電位による電界がトレンチ分離領域4やN-層3aに及ぶのを阻止することができる。

20

【0033】

その結果、それぞれ素子形成領域となるN-層3aとN-層3bとの電氣的な相互作用を確実に防止することができる。また、N-層3aとN-層3bに電位が印加された場合でも、トレンチ分離領域4には電界が及ばないので、電氣的な分離の信頼性を向上することができる。

【0034】

上述した各実施の形態では、トレンチ分離領域の基本的な構造について説明した。以下の実施の形態では、トレンチ分離領域によって形成された素子形成領域に形成される半導体素子を具体的に挙げて説明する。

30

【0035】

実施の形態5

ここでは、素子形成領域に形成される半導体素子としてnチャネル型MOSトランジスタを例に挙げる。図9に示すように、トレンチ分離領域4の内側の領域には素子形成領域となるN-層3aが位置している。トレンチ分離領域4の外側の領域には他の素子形成領域となるN-層3bが位置している。

【0036】

そのN-層3aの表面には、トレンチ分離領域4の内側側壁の全面に接するように連続して形成されたP型拡散領域10aに接続されるように、ボディーとなるP型拡散領域5が形成されている。そのP型拡散領域5の表面には、ソースとなるN+拡散領域6が形成されている。そのN+拡散領域とN-層3によって挟まれたP型拡散領域5の部分上に絶縁膜9を介在させて、ゲートとなる導電膜8が形成されている。

40

【0037】

P型拡散領域5と距離を隔ててドレインとなるN+拡散領域7が形成されている。素子形成領域を覆うように絶縁膜15が形成されている。その絶縁膜15上にN+拡散領域6に電氣的に接続される電極20が形成されている。また、N+拡散領域7に電氣的に接続される電極21が形成されている。

【0038】

このようにして、N-層3からなる素子形成領域には、N+拡散領域(ソース)6、N+拡散領域(ドレイン)7、導電膜(ゲート)8およびP型拡散領域(ボディー)5を含む

50

nチャネル型のMOSトランジスタが形成されている。なお、ボディとは、ウェルまたはバックゲートとも呼ばれ、MOSトランジスタにおいてチャンネルが形成される領域となり、また、耐圧が保持される部分となる。

【0039】

上述した半導体装置では、トレンチ分離領域4の内側側壁の全面に接するように連続して形成されたP型拡散領域10aにボディーとなるP型拡散領域5が接続されて、P型拡散領域10aはP型拡散領域5を含む構造とされる。そのため、素子分離領域4とP型拡散領域5との距離を確保する必要がなく、素子形成領域の占有面積の増大を抑制することができる。

【0040】

また、トレンチ分離領域4は、トレンチ分離領域4とN-層3との間にP型拡散領域10が位置していることでN-層3と電気的に分離されている。そのため、P型拡散領域10の不純物濃度が、たとえば $1 \times 10^{17} \text{ cm}^{-3}$ 以上の十分に高い濃度であれば、ソース・ドレイン間に高い電圧が作用するトランジスタのオフの状態でも、空乏層がトレンチ分離領域4にまで到達するのを阻止することができる。これにより、トレンチ分離領域4には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

【0041】

さらに、上述した半導体装置では、BOX層2の上面がP型拡散領域10を介してボディーとなるP型拡散領域5と接続されている。そのため、ドレインとなるN+拡散領域7に高い電圧が印加された場合に、BOX層2の上面近傍にP型チャンネル層が形成されたとしても、P型チャンネル層を形成するホールの供給が速やかに行なわれることになる。その結果、nチャネル型MOSトランジスタの動作速度が向上して半導体装置の性能を向上することができる。

【0042】

実施の形態6

ここでは、素子形成領域に形成される半導体素子としてpチャネル型MOSトランジスタを例に挙げる。図10に示すように、素子形成領域に位置するN-層3aの表面には、トレンチ分離領域4の内側側壁の全面に接するように連続して形成されたP型拡散領域10aに接続されるように、ドレインとなるP型拡散領域5が形成されている。

【0043】

そのP型拡散領域5に隣接するように、ボディーとなるN型拡散領域7が形成されている。そのN型拡散領域7の表面にソースとなるP+拡散領域12が形成されている。そのP+拡散領域12とP型拡散領域5によって挟まれたN型拡散領域7の部分上に絶縁膜9を介在させて、ゲートとなる導電膜8が形成されている。

【0044】

素子形成領域を覆うように絶縁膜15が形成されている。その絶縁膜15上にP+拡散領域5に電気的に接続される電極20が形成されている。また、P+拡散領域12に電気的に接続される電極21が形成されている。

【0045】

このようにして、N-層3からなる素子形成領域には、P+拡散領域(ソース)12、P+拡散領域(ドレイン)5、導電膜(ゲート)8およびN型拡散領域(ボディ)7を含むpチャネル型のMOSトランジスタが形成されている。

【0046】

上述した半導体装置では、前述したnチャネル型のMOSトランジスタの場合と同様に、トレンチ分離領域4の内側側壁の全面に接するように連続して形成されたP型拡散領域10aはドレインとなるP型拡散領域5の一部となっているため、素子分離領域4とP型拡散領域5との距離を確保する必要がなく、素子形成領域の占有面積の増大を抑制することができる。

【0047】

また、トレンチ分離領域4は、トレンチ分離領域4とN-層3との間にP型拡散領域1

10

20

30

40

50

0 が位置していることで N - 層 3 と電氣的に分離されてトレンチ分離領域 4 には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

【 0 0 4 8 】

実施の形態 7

ここでは、素子形成領域に形成される半導体素子としてダイオードを例に挙げる。図 1 1 に示すように、素子形成領域に位置する N - 層 3 a の表面には、トレンチ分離領域 4 の内側側壁の全面に接するように連続して形成された P 型拡散領域 1 0 a に接続されるように、アノードとなる P 型拡散領域 5 が形成されている。その P 型拡散領域 5 と距離を隔ててカソードとなる N 型拡散領域 7 が形成されている。

【 0 0 4 9 】

素子形成領域を覆うように絶縁膜 1 5 が形成されている。その絶縁膜 1 5 上に P + 拡散領域 5 に電氣的に接続される電極 2 0 が形成されている。また、N 型拡散領域 7 に電氣的に接続される電極 2 1 が形成されている。このようにして、N - 層 3 からなる素子形成領域には、P + 拡散領域 (アノード) 5 および N 型拡散領域 (カソード) 7 を含む高耐压のダイオードが形成されている。

【 0 0 5 0 】

上述した半導体装置においても、トレンチ分離領域 4 の内側側壁の全面に接するように連続して形成された P 型拡散領域 1 0 a はアノードとなる P 型拡散領域 5 の一部となっているため、素子分離領域 4 と P 型拡散領域 5 との距離を確保する必要がなく、素子形成領域の占有面積の増大を抑制することができる。

【 0 0 5 1 】

また、トレンチ分離領域 4 は、トレンチ分離領域 4 と N - 層 3 との間に P 型拡散領域 1 0 が位置していることで N - 層 3 と電氣的に分離されてトレンチ分離領域 4 には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

【 0 0 5 2 】

実施の形態 8

ここでは、素子形成領域に形成される半導体素子としてバイポーラトランジスタを例に挙げる。図 1 2 に示すように、素子形成領域に位置する N - 層 3 a の表面には、トレンチ分離領域 4 の内側側壁の全面に接するように連続して形成された P 型拡散領域 1 0 a に接続されるように、ベースとなる P 型拡散領域 5 が形成されている。その P 型拡散領域 5 の表面にはエミッタとなる N + 拡散領域 6 が形成されている。P 型拡散領域 5 と距離を隔ててコレクタとなる N 型拡散領域 7 が形成されている。

【 0 0 5 3 】

素子形成領域を覆うように絶縁膜 1 5 が形成されている。その絶縁膜 1 5 上に P + 拡散領域 5 に電氣的に接続される電極 2 1 が形成されている。また、N + 型拡散領域 6 に電氣的に接続される電極 2 0 が形成されている。さらに、N 型拡散領域 7 に電氣的に接続される電極 2 2 が形成されている。

【 0 0 5 4 】

このようにして、N - 層 3 からなる素子形成領域には、N + 拡散領域 (エミッタ) 6、P + 拡散領域 (ベース) 5 および N 型拡散領域 (コレクタ) 7 を含む高耐压のバイポーラトランジスタが形成されている。

【 0 0 5 5 】

上述した半導体装置においても、トレンチ分離領域 4 の内側側壁の全面に接するように連続して形成された P 型拡散領域 1 0 a はベースとなる P 型拡散領域 5 の一部となっているため、素子分離領域 4 と P 型拡散領域 5 との距離を確保する必要がなく、素子形成領域の占有面積の増大を抑制することができる。

【 0 0 5 6 】

また、トレンチ分離領域 4 は、トレンチ分離領域 4 と N - 層 3 との間に P 型拡散領域 1 0 が位置していることで N - 層 3 と電氣的に分離されてトレンチ分離領域 4 には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

10

20

30

40

50

【0057】

実施の形態9

トレンチ分離領域4の内側側壁に沿って形成されたP型拡散領域10の不純物濃度が比較的低い場合には、P型拡散領域が空乏化して、トレンチ分離領域4の内部に電界が及ぶことになる。そのため、半導体装置の長期的な信頼性を確保することが難しくなる。

【0058】

上述した各実施の形態に係る半導体装置では、P型拡散領域10a、10bの不純物濃度が十分に高濃度であり、これにより、素子形成領域に形成される半導体素子に高電圧が印加された場合であっても、N層3aに形成される空乏層がトレンチ分離領域にまで到達するのを阻止することができる。その結果、トレンチ分離領域4の内部に電界が発生せず、半導体装置の長期的な信頼性を向上することができる。

10

【0059】

そこで、このことをnチャネル型のMOSトランジスタの場合を一例としてシミュレーションにより確認した。その結果を図13に示す。図13では、シミュレーションの初期条件として、ソース電位を0V、ゲート電位を0V、基板電位を0V、そしてドレインに約180Vを印加した場合の等ポテンシャルの分布と空乏層の到達位置が示されている。なお、P型拡散領域10aの不純物濃度を少なくとも $1 \times 10^{17} \text{ cm}^{-3}$ 以上とした。

【0060】

図13に示すように、P型拡散領域10aの不純物濃度が十分に高濃度である場合には、等ポテンシャル線53はトレンチ分離領域4にまで達しておらず、空乏層の端51はP型拡散領域4内に位置していることがわかった。これにより、トレンチ分離領域4には高い電界が作用せず長期的な信頼性を向上できることが実験的に確認された。

20

【0061】

また、一般的にトレンチ分離領域の側壁近傍の素子形成領域の部分では、トレンチを形成する際に生じるダメージ、あるいは、トレンチ分離領域を絶縁材料で埋め込んだ際のストレス等によって結晶欠陥が発生しやすい。そのような結晶欠陥が発生した部分に電界が発生すると、リーク電流の原因となる。

【0062】

上述した各半導体装置では、トレンチ分離領域の内側側壁の全面に接するように連続して形成されるP型拡散領域10aの不純物濃度が十分に高いため、トレンチ分離領域4にまで電界が及ぶことが阻止されて、たとえトレンチ分離領域4の近傍に結晶欠陥が発生した場合でも、リーク電流の発生を防ぐことができる。

30

【0063】

実施の形態10

上述した各実施の形態に説明した半導体装置においては、トレンチ分離領域の内側側壁の全面に接するように連続してP型拡散領域10aが形成されている。そのP型拡散領域10aを素子形成領域に形成された素子の動作時に完全に空乏化しないためには、P型拡散領域10aの不純物濃度を素子を構成する各拡散領域の不純物濃度よりも高くすればよい。

【0064】

たとえば、半導体素子としてnチャネル型のMOSトランジスタが形成されている場合には、P型拡散領域10aの不純物濃度をボディとなるP型拡散層5の不純物濃度よりも高くすればよい。こうすることで、トランジスタのオフの状態など、高い電界が作用するような場合でも、P型拡散領域10aが完全に空乏化してしまうことはない。なお、素子を構成する各拡散領域とは、素子を構成する実質的な拡散領域を意図し、電極と電気的な接触を図るための比較的不純物濃度の高い領域は除かれる。

40

【0065】

実施の形態11

次に、上述した各実施の形態におけるトレンチ分離領域を備えた半導体装置の製造方法の一例について説明する。まず、図14に示すように、支持基板となるシリコンの半導体

50

基板 1 上にたとえば厚さ約 $1 \mu\text{m}$ の BOX 層 2 を介在させて、たとえば厚さ $5 \mu\text{m}$ の N - 層 3 が形成された基板 (SOI 基板) が用意される。

【0066】

次に、図 15 に示すように、N - 層 3 上に、たとえばシリコン酸化膜などからなる厚さ約 500nm のマスク材 30 が形成される。そのマスク材 30 をマスクとして N - 層 3 に異方性エッチングを施すことにより、BOX 層 2 の表面を露出するたとえば幅約 $1 \mu\text{m}$ のトレンチ 31 が形成される。トレンチ 31 は、素子形成領域となる部分を取囲むように連続的に形成される。

【0067】

次に、図 16 に示すように、トレンチ 31 の内側側壁に露出している N - 層 3 の全表面に、イオン注入法によりボロンを、たとえばドーズ量 $1 \times 10^{13} \text{cm}^{-2} \sim 1 \times 10^{15} \text{cm}^{-2}$ 、角度 10 度以下で斜めに注入することにより P 型拡散領域 10a が形成される。次に、図 17 に示すように、トレンチ 31 の外側側壁に露出している N - 層 3 の全表面にも、同様の条件によるイオン注入法により P 型拡散領域 10b が形成される。

10

【0068】

なお、図 16 および図 17 では、半導体装置のある一断面について、トレンチ 31 の内側側壁と外側側壁とに P 型拡散領域 10a、10b をそれぞれ形成する場合を示したが、トレンチ 31 は、たとえば図 1 等に示されるように、素子形成領域を取囲むように形成されている。そのため、イオン注入は、素子形成領域を取囲むように形成されたトレンチ 31 内に露出した内側側壁と外側側壁のすべての部分に注入されるように斜めイオン注入を繰り返すことが必要とされる。

20

【0069】

また、これらのイオン注入工程では、トレンチ 31 を形成するためのマスク材 30 をイオン注入の際のマスクとして適用することができる。イオン注入処理の完了後、そのマスク材 30 が除去される。

【0070】

次に、図 18 に示すように、トレンチ 31 を充填するようにシリコン酸化膜などが充填されてトレンチ分離領域 4 が形成される。その後、トレンチ分離領域 4 によって囲まれた素子形成領域に位置する N - 層 3a に、所望の MOS トランジスタなどの半導体素子 (図示せず) が形成されて半導体装置が完成する。

30

【0071】

上述した半導体装置では、P 型拡散領域 10a と P 型拡散領域 10b がトレンチ分離領域 4 の内側側壁と外側側壁に沿って連続的に形成されている。これにより、トレンチ分離領域 4 は N - 層 3a と P 型拡散領域 10a との PN 接合と、N - 層 3b と P 型拡散領域 10b との PN 接合によっても電氣的に分離されることになる。その結果、素子形成領域となる N - 層 3a と他の素子形成領域となる N - 層 3b との電氣的な分離をより確実に行うことができる。

【0072】

なお、すでに説明したように、トレンチ分離領域の内側側壁または外側側壁に沿ってそれぞれ形成される P 型拡散領域 10a、10b が、素子形成領域に形成された素子の動作時に完全に空乏化されないようにするには、P 型拡散領域 10a、10b の不純物濃度を素子を構成する各拡散領域の不純物濃度よりも高くすればよい。

40

【0073】

そのためには、P 型拡散領域 10a、10b を形成する際に、P 型拡散領域 10a、10b の不純物濃度が素子を構成する拡散領域の不純物濃度よりも高くなるように注入条件 (注入量) を設定すればよい。

【0074】

こうすることで、N - 層 3a 等に高い電界が作用するような場合でも、P 型拡散領域 10a 等が完全に空乏化してしまうことはない。なお、素子を構成する各拡散領域には、電極と電氣的な接触を図るための比較的不純物濃度の高い領域は除かれる。

50

【 0 0 7 5 】

また、素子形成領域としてN - 層、トレンチ分離領域の内側側壁の全面に接するように形成される領域としてP型拡散領域を例に挙げて説明したが、この導電型を反転させた構造であってもよい。この場合には、トレンチ分離領域の内側側壁に接するように形成されるN型拡散領域は、ダイオードの場合にはカソードとなる拡散領域を含み、バイポーラトランジスタの場合には、コレクタとなる拡散領域を含むことになる。

【 0 0 7 6 】

実施の形態 1 2

ここでは、トレンチ分離領域の内側側壁と外側側壁のそれぞれに接するようにP型拡散領域が形成されている半導体装置の素子形成領域に形成される半導体素子として、nチャネル型のMOSトランジスタとpチャネル型のMOSトランジスタとの双方が形成されたCMOSトランジスタを例に挙げて説明する。

10

【 0 0 7 7 】

図19に示すように、P型拡散領域10aによって囲まれたN - 層3aの表面とその近傍には、P型ウェル領域60とN型ウェル領域61がそれぞれ形成されている。N - 層3a上にはP型ウェル領域60およびN型ウェル領域61のそれぞれの表面を露出するように絶縁膜11が形成されている。露出したP型ウェル領域60には、所定の間隔を隔ててN型のソース・ドレイン領域62, 63がそれぞれ形成されている。そのソース・ドレイン領域62, 63によって挟まれたP型ウェル60の領域上にゲート絶縁膜66を介在させてゲート電極68が形成されている。N型のソース・ドレイン領域62およびゲート電極68により、nチャネル型のMOSトランジスタが構成されている。

20

【 0 0 7 8 】

一方、露出したN型ウェル領域61には、所定の間隔を隔ててP型のソース・ドレイン領域64, 65がそれぞれ形成されている。そのソース・ドレイン領域64, 65によって挟まれたN型ウェル領域61上にゲート絶縁膜67を介在させてゲート電極69が形成されている。P型のソース・ドレイン領域64およびゲート電極69により、pチャネル型のMOSトランジスタが構成されている。

【 0 0 7 9 】

また、図19に示すように、P型ウェル領域60はP型拡散領域10aと繋がっており、P型拡散領域10aと電氣的に接続されている。そのP型ウェル領域60にはP + 拡散領域80が形成され、そのP + 拡散領域80には、P型ウェル領域60およびP型拡散領域10aを所定の電位に固定するための電極75が接続されている。なお、N型ウェル領域61についても、N型ウェル領域61を所定の電位に固定するための所定の領域とその領域に接続される電極(いずれも図示せず)が形成されている。なお、これ以外の構成については、図9または図10に示す構造と同様なので、同一部材には同一符号を付しその説明を省略する。

30

【 0 0 8 0 】

この半導体装置では、P型ウェル領域60がP型拡散領域10aと繋がっている場合について説明したが、次に、変形例として、そのP型ウェル領域60がP型拡散領域10aとは繋がっておらず電氣的に分離されている場合を例に挙げて説明する。

40

【 0 0 8 1 】

変形例 1

図20に示すように、P型ウェル領域60は、P型拡散領域10aおよびP型ウェル領域60aとはN型ウェル領域61を介して電氣的に分離されている。つまり、P型ウェル領域60の側方はN型ウェル領域61によって囲まれ、また、P型ウェル領域60の底にはN - 層3aが位置している。そのP型ウェル領域60には、P型ウェル領域60を所定の電位に固定するための電極(図示せず)が形成され、N型ウェル領域61についても、N型ウェル領域61を所定の電位に固定するための電極(図示せず)が形成されている。

【 0 0 8 2 】

この変形例に係る半導体装置では、P型ウェル領域60がP型拡散領域10aとは電氣

50

的に接続されていないことで、P型拡散領域10aの電位とは独立して所定の電位に固定することができる。

【0083】

変形例2

ここでは、より具体的に、P型ウェル領域、N型ウェル領域およびP型拡散領域のそれぞれの電位を独立に設定できる半導体装置について説明する。図21に示すように、P型ウェル領域60にはP+拡散領域81が形成され、N型ウェル領域61にはN+拡散領域82が形成されている。P型拡散領域10aと繋がっているP型ウェル領域60aにはP+拡散領域80が形成されている。

【0084】

P+拡散領域81には、P型ウェル領域60を所定の電位に固定するための電極76が接続され、N+拡散領域82には、N型ウェル領域61を所定の電位に固定するための電極77が接続され、P+拡散領域80には、P型拡散領域10aを所定の電位に固定するための電極75が接続されている。

【0085】

この変形例に係る半導体装置では、電極76, 77, 75にそれぞれ所定の電圧を印加することで、P型ウェル領域60、N型ウェル領域61およびP型拡散領域10aのそれぞれの電位を独立に設定することができる。

【0086】

上述した実施の形態12に係る各半導体装置では、素子形成領域に半導体素子としてCMOSトランジスタが形成されている場合を例に挙げて説明した。このCMOSトランジスタが形成された半導体装置においても、前述したように、トレンチ分離領域4は、トレンチ分離領域4とN-層3との間にP型拡散領域10aが位置していることでN-層3と電気的に分離されて、トレンチ分離領域4には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

【0087】

特に、高耐圧素子と低耐圧素子とが混在する半導体装置では、低耐圧のCMOSトランジスタが形成される素子形成領域に隣接して高耐圧素子が配置されるようなパターンであっても、トレンチ分離領域4が高電圧による影響を受けることが抑制されて十分な信頼性を確保することができる。

【0088】

実施の形態13

ここでは、トレンチ分離領域の内側側壁と外側側壁のそれぞれに接するようにP型拡散領域が形成されている半導体装置の素子形成領域に形成される半導体素子として、フラッシュメモリ素子を例に挙げて説明する。

【0089】

図22に示すように、P型拡散領域10aによって囲まれたN-層3aの表面とその近傍には、P型ウェル領域60が形成されている。N-層3a上には、P型ウェル領域60の表面を露出するように絶縁膜11が形成されている。露出したP型ウェル領域60には、所定の間隔を隔ててN型のソース・ドレイン領域62, 63がそれぞれ形成されている。そのソース・ドレイン領域62, 63によって挟まれたP型ウェル60の領域上にゲート絶縁膜66を介在させてゲート電極部70が形成されている。そのゲート電極部70は、ゲート絶縁膜66上に形成された下層電極70a、その下層電極70a上に形成された誘電体膜70bおよびその誘電体膜70b上に形成された上層電極70cを備えて構成されている。

【0090】

また、P型ウェル領域60はP型拡散領域10aと繋がっており、P型拡散領域10aと電気的に接続されている。そのP型ウェル領域60にはP+拡散領域80が形成され、そのP+拡散領域80には、P型ウェル領域60およびP型拡散領域10aを所定の電位に固定するための電極75が接続されている。

10

20

30

40

50

【0091】

この半導体装置では、P型ウェル領域60がP型拡散領域10aと繋がっている場合について説明したが、次に、変形例として、そのP型ウェル領域60がP型拡散領域10aとは繋がっておらず電氣的に分離されている場合を例に挙げて説明する。

【0092】

変形例1

図23に示すように、P型ウェル60は、P型拡散領域10aおよびP型ウェル領域60aとはN型ウェル61を介して電氣的に分離されている。つまり、P型ウェル領域60の側方はN型ウェル領域61によって囲まれ、また、P型ウェル領域60の底にはN-層3aが位置している。そのP型ウェル領域60にはP+拡散領域81が形成され、そのP+拡散領域81には、P型ウェル領域60を所定の電位に固定するための電極76が接続されている。

10

【0093】

この変形例に係る半導体装置では、P型ウェル領域60がP型拡散領域10aとは電氣的に接続されず、電極76によりP型拡散領域10aの電位とは独立して所定の電位に固定することができる。

【0094】

変形例2

ここでは、より具体的に、P型ウェル領域およびP型拡散領域のそれぞれの電位を独立に設定できる半導体装置について説明する。図24に示すように、P型ウェル領域60にはP+拡散領域81が形成され、P型拡散領域10aと繋がっているP型ウェル領域60aにはP+拡散領域80が形成されている。P+拡散領域81には、P型ウェル領域60を所定の電位に固定するための電極76が接続され、P+拡散領域80には、P型拡散領域10aを所定の電位に固定するための電極75が接続されている。

20

【0095】

この変形例に係る半導体装置では、電極76、75にそれぞれ所定の電圧を印加することで、P型ウェル領域60およびP型拡散領域10aのそれぞれの電位を独立に設定することができる。なお、N型ウェル領域61に形成されたN+拡散領域82を介して電極77が接続されていることで、N型ウェル領域61も所定の電位に固定することができる。

【0096】

上述した実施の形態13に係る各半導体装置では、素子形成領域に半導体素子としてフラッシュメモリ素子が形成されている場合を例に挙げて説明した。このフラッシュメモリ素子が形成された半導体装置においても、前述したように、トレンチ分離領域4は、トレンチ分離領域4とN-層3との間にP型拡散領域10が位置していることでN-層3と電氣的に分離されて、トレンチ分離領域4には高い電界が作用せず、半導体装置の長期的な信頼性を向上することができる。

30

【0097】

特に、高耐圧素子と低耐圧素子とが混在する半導体装置では、フラッシュメモリ素子が形成される素子形成領域に隣接してフラッシュメモリ素子に印加される電圧よりも高い電圧が印加される素子が配置されるようなパターンであっても、トレンチ分離領域4が高電圧による影響を受けることが抑制されて十分な信頼性を確保することができる。

40

【0098】

なお、各実施の形態において挙げられている、膜厚や注入条件等の数値は一例にすぎず、これらの数値に限定されるものではない。また、今回開示された実施の形態は例示であってこれに制限されるものではない。本発明は上記で説明した範囲ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

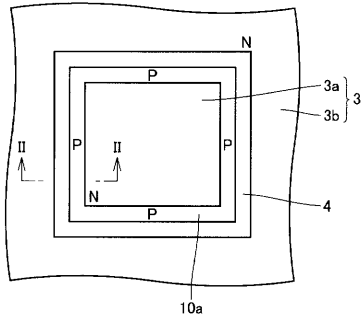
【0099】

【図1】本発明の実施の形態1に係る半導体装置の平面図である。

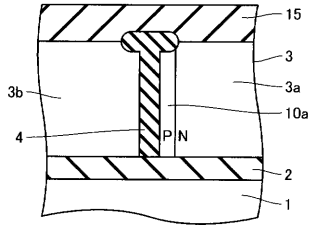
50

- 【図 2】同実施の形態において、図 1 に示す断面線 I I - I I における断面図である。
- 【図 3】同実施の形態において比較例に係る半導体装置の平面図である。
- 【図 4】同実施の形態において、図 3 に示す断面線 I V - I V における断面図である。
- 【図 5】本発明の実施の形態 2 に係る半導体装置の平面図である。
- 【図 6】同実施の形態において、図 1 に示す断面線 I I - I I に対応する断面図である。
- 【図 7】本発明の実施の形態 3 に係る半導体装置の平面図である。
- 【図 8】本発明の実施の形態 4 に係る半導体装置の平面図である。
- 【図 9】本発明の実施の形態 5 に係る半導体装置の平面図である。
- 【図 10】本発明の実施の形態 6 に係る半導体装置の平面図である。
- 【図 11】本発明の実施の形態 7 に係る半導体装置の平面図である。 10
- 【図 12】本発明の実施の形態 8 に係る半導体装置の平面図である。
- 【図 13】本発明の各実施の形態に係る半導体装置における素子形成領域のポテンシャル分布および空乏層の伸びのシミュレーションの結果を示す図である。
- 【図 14】本発明の実施の形態 11 に係る半導体装置の製造方法の一工程を示す部分断面図である。
- 【図 15】同実施の形態において、図 14 に示す工程の後に行なわれる工程を示す断面図である。
- 【図 16】同実施の形態において、図 15 に示す工程の後に行なわれる工程を示す断面図である。
- 【図 17】同実施の形態において、図 16 に示す工程の後に行なわれる工程を示す断面図 20
- 【図 18】同実施の形態において、図 17 に示す工程の後に行なわれる工程を示す断面図である。
- 【図 19】本発明の実施の形態 12 に係る半導体装置の断面図である。
- 【図 20】同実施の形態において、変形例 1 に係る半導体装置の断面図である。
- 【図 21】同実施の形態において、変形例 2 に係る半導体装置の断面図である。
- 【図 22】本発明の実施の形態 13 に係る半導体装置の断面図である。
- 【図 23】同実施の形態において、変形例 1 に係る半導体装置の断面図である。
- 【図 24】同実施の形態において、変形例 2 に係る半導体装置の断面図である。
- 【符号の説明】 30
- 【0100】
- 1 半導体基板、2 BOX 層、3 a, 3 b N - 層、4 トレンチ分離領域、5, 10 a, 10 b P 型拡散領域、6, 7 N + 拡散領域、8 導電膜、9, 11, 15 絶縁膜、20 a, 20 b, 20, 21, 22 電極、30 マスク材、31 溝、51 空乏層端、52 PN 接合、53 等ポテンシャル線、60, 60 a P 型ウェル領域、61, 61 a N 型ウェル領域、62 ~ 65 ソース・ドレイン領域、66, 67 ゲート絶縁膜、68, 69 ゲート電極、70 ゲート電極部、70 a 下層電極、70 b 誘電体膜、70 c 上層電極、71 ~ 74 ソース・ドレイン電極、75 ~ 77 電極、80, 81 P + 拡散領域、82 N + 拡散領域。

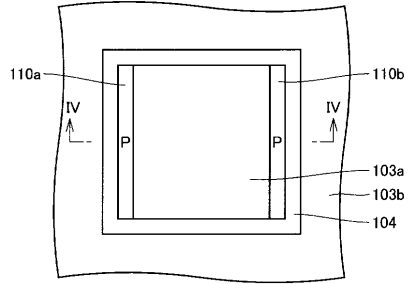
【図1】



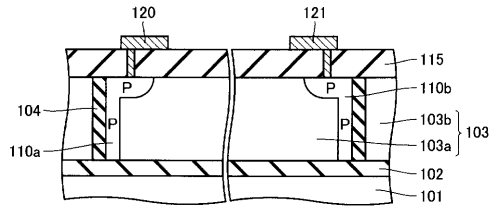
【図2】



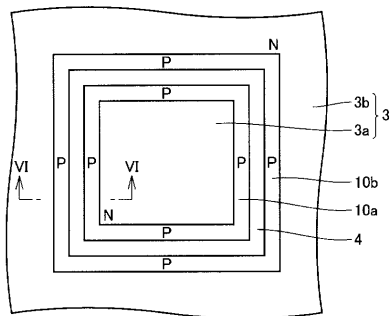
【図3】



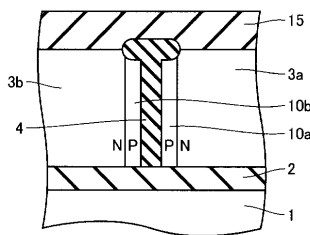
【図4】



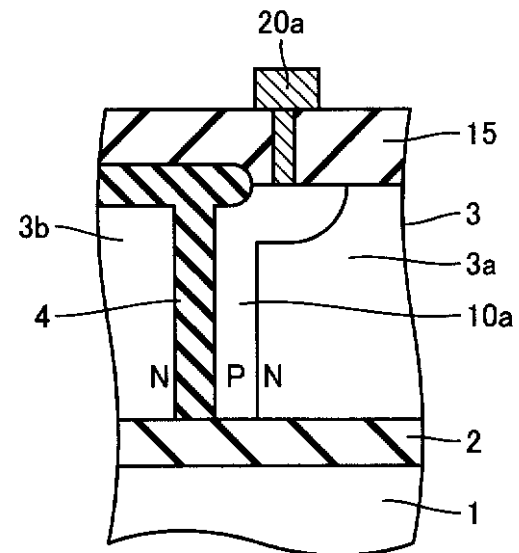
【図5】



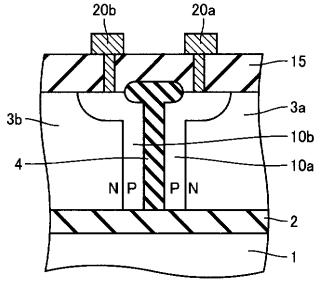
【図6】



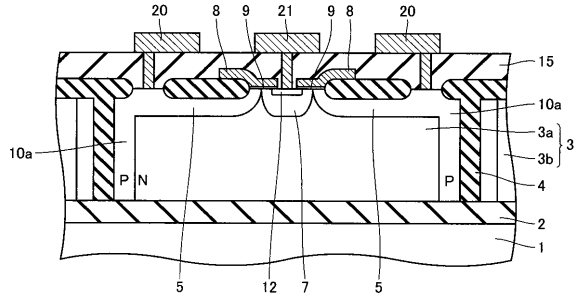
【図7】



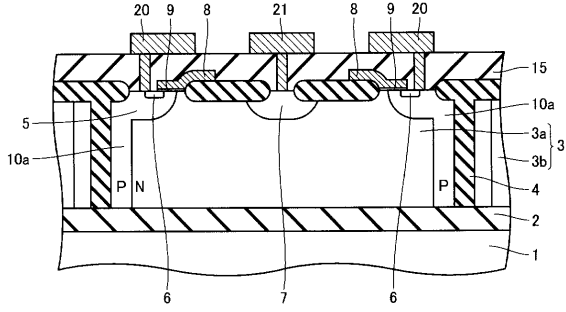
【図 8】



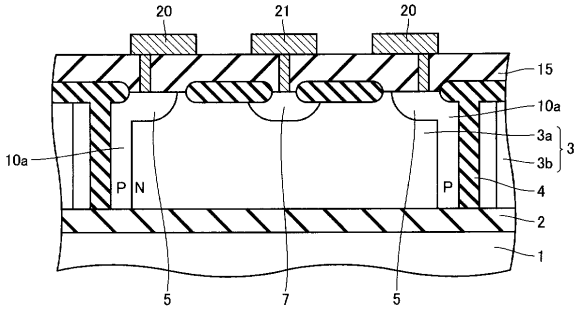
【図 10】



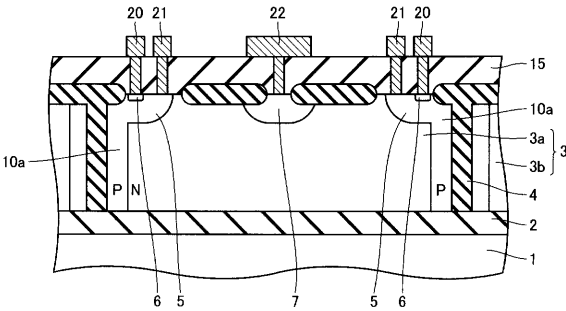
【図 9】



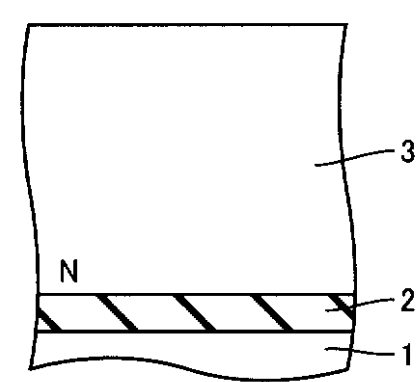
【図 11】



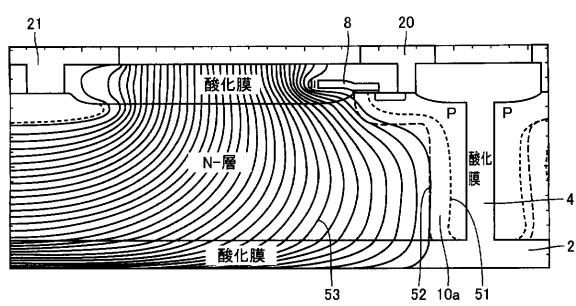
【図 12】



【図 14】



【図 13】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	29/861 (2006.01)	H 0 1 L	29/91 B
H 0 1 L	29/732 (2006.01)	H 0 1 L	27/08 3 2 1 B
H 0 1 L	21/331 (2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	21/329 (2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	27/092 (2006.01)		
H 0 1 L	21/8238 (2006.01)		
H 0 1 L	27/115 (2006.01)		
H 0 1 L	21/8247 (2006.01)		
H 0 1 L	29/792 (2006.01)		
H 0 1 L	29/788 (2006.01)		

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 新田 哲也

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 五十嵐 孝行

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 松本 陶子

(56)参考文献 特開平05-136436(JP,A)
 特開平07-169868(JP,A)
 特開平02-016751(JP,A)
 特開2001-210811(JP,A)
 特開2001-345377(JP,A)
 特開2004-031505(JP,A)
 特開平04-123456(JP,A)
 特開昭53-127282(JP,A)
 特開2003-179131(JP,A)
 特開平06-209041(JP,A)
 特開平11-251564(JP,A)
 特開平6-029375(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 7 6 2
 H 0 1 L 2 1 / 3 2 9
 H 0 1 L 2 1 / 3 3 1
 H 0 1 L 2 1 / 7 6
 H 0 1 L 2 1 / 8 2 3 8
 H 0 1 L 2 1 / 8 2 4 7
 H 0 1 L 2 7 / 0 9 2
 H 0 1 L 2 7 / 1 1 5
 H 0 1 L 2 9 / 7 3 2
 H 0 1 L 2 9 / 7 8 6
 H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2
H 0 1 L 2 9 / 8 6 1