

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-160775

(P2012-160775A)

(43) 公開日 平成24年8月23日(2012.8.23)

(51) Int.Cl.

H03K 5/19 (2006.01)  
G04G 3/00 (2006.01)

F 1

H03K 5/19  
G04G 3/00

テーマコード(参考)

2FO02  
5J039

審査請求 未請求 請求項の数 8 O L (全 18 頁)

(21) 出願番号

特願2011-16984 (P2011-16984)

(22) 出願日

平成23年1月28日 (2011.1.28)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100125689

弁理士 大林 章

(74) 代理人 100125335

弁理士 矢代 仁

(74) 代理人 100121108

弁理士 高橋 太朗

(72) 発明者 中宮 信二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

F ターム(参考) 2F002 AE01 CB01

5J039 HH02 HH13 KK01 KK27

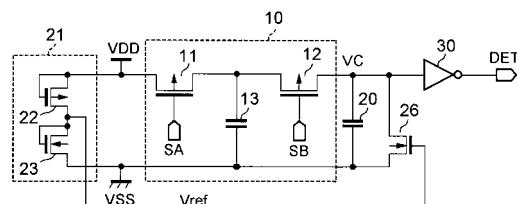
(54) 【発明の名称】発振停止検出回路、半導体装置、時計および電子機器

## (57) 【要約】

【課題】 難しいプロセス条件のコントロールを必要とせず、所期の性能を持ったものを安価に製造することができる発振停止検出回路を提供する。

【解決手段】 Pチャネルトランジスター11および12は、発振回路の出力信号から生成される制御信号SA、SBに従ってスイッチング動作して電荷を転送し、キャパシター20を充電する。インバーター30は、キャパシター20の充電電圧VCを2値化し、発振状態判別信号を出力する。Nチャネルトランジスター26は、キャパシター20を放電させるトランジスターである。基準電圧発生回路21は、ゲートおよびソースが互いに接続されたデブレッショング型Pチャネルトランジスター22と、ゲートおよびドレインが互いに接続されたNチャネルトランジスター23とを直列接続してなるものであり、Nチャネルトランジスター23とNチャネルトランジスター26はカレントミラーを構成する。

【選択図】図2



**【特許請求の範囲】****【請求項 1】**

発振回路の出力信号から生成される制御信号に従ってスイッチング動作することにより電荷を転送するスイッチング用電界効果トランジスターと、

前記スイッチング用電界効果トランジスターを介して転送される電荷が充電されるキャパシターと、

前記キャパシターの充電電荷を放電させる放電手段と、

前記キャパシターの充電電圧を2値化し、前記発振回路が発振しているか停止しているかを示す発振状態判別信号を出力する発振状態判別手段とを具備し、

前記放電手段が、

前記キャパシターに蓄積された電荷を放電させる放電用電界効果トランジスターと、

前記放電用電界効果トランジスターとともにカレントミラーを構成するミラー用電界効果トランジスターと、

前記スイッチング用電界効果トランジスターと同じ導電型を有し、ドレイン電流を前記ミラー用電界効果トランジスターのゲートおよびドレインの共通接続点に供給する電界効果トランジスターにより構成された定電流源と

を具備することを特徴とする発振停止検出回路。

**【請求項 2】**

前記定電流源がソースおよびゲートが互いに接続されたデプレッショントランジスターにより構成されたことを特徴とする請求項1に記載の発振停止検出回路。

**【請求項 3】**

前記デプレッショントランジスターは、当該デプレッショントランジスターのドレイン電流の温度係数の符号が前記スイッチング用電界効果トランジスターのOFF電流の温度係数の符号と同じになる範囲内の閾値電圧を有することを特徴とする請求項2に記載の発振停止検出回路。

**【請求項 4】**

前記放電用電界効果トランジスターとして、直列接続された2段以上の放電用電界効果トランジスターを具備し、

前記ミラー用電界効果トランジスターとして、各々のゲートおよびドレインが共通接続され、かつ、各々が互いに直列接続され、各々のゲート電圧を前記2段以上の放電用電界効果トランジスターの各ゲートに供給する2段以上のミラー用電界効果トランジスターを具備することを特徴とする請求項1乃至3のいずれか1項に記載の発振停止検出回路。

**【請求項 5】**

前記発振状態判別手段は、前記スイッチング用電界効果トランジスターと同じ導電型を有し、前記キャパシターの充電電圧がゲートに与えられる第1の電界効果トランジスターと、前記放電用電界効果トランジスターと同じ導電型を有し、前記放電用電界効果トランジスターに対するゲート電圧がゲートに与えられる第2の電界効果トランジスターとを高電位側電源線および低電位側電源線間に直列に介挿してなり、前記第1および第2の電界効果トランジスターの共通接続点から前記発振状態判別信号を出力することを特徴とする請求項1乃至4のいずれか1項に記載の発振停止検出回路。

**【請求項 6】**

請求項1乃至5のいずれか1項に記載の発振停止検出回路が形成されてなる半導体装置。  
。

**【請求項 7】**

発振回路と、

電源と、

請求項1乃至5のいずれか1項に記載の発振停止検出回路と、

前記発振停止検出回路から前記発振回路の発振が停止した旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路をリセットするとともに、前記発振回路を再起動するために前記電源から前記発振回路に与える電圧を上昇させる制御を行い、前

10

20

30

40

50

記発振停止検出回路から前記発振回路が発振している旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路のリセットを解除するとともに、前記電源から前記発振回路に与える電圧を低下させる制御を行う制御手段と  
を具備することを特徴とする時計。

**【請求項 8】**

発振回路と、  
電源と、

請求項 1 乃至 5 のいずれか 1 項に記載の発振停止検出回路と、  
前記発振停止検出回路から前記発振回路の発振が停止した旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路をリセットするとともに、前記発振回路を再起動するために前記電源から前記発振回路に与える電圧を上昇させる制御を行い、前記発振停止検出回路から前記発振回路が発振している旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路のリセットを解除するとともに、前記電源から前記発振回路に与える電圧を低下させる制御を行う制御手段と  
を具備することを特徴とする電子機器。

10

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

この発明は、発振回路の発振停止を検出する発振停止検出回路およびこの発振停止検出回路を備えた半導体装置、時計、電子機器に関する。

20

**【背景技術】**

**【0002】**

時計等の発振回路を内蔵した電子機器では、発振回路が正常に発振しているときには、レギュレーターから発振回路に供給する電源電圧を低下させて低消費電力化を図り、発振回路の発振が停止したときには、不安定な動作を回避するためにシステムをリセットするとともに、発振回路の発振を再開させるために発振回路に供給する駆動電圧を高める、といった制御が求められる。このような制御を可能にするため、この種の電子機器には、発振回路の発振の停止を検出する発振停止検出回路が設けられる。この発振停止検出回路に関する技術文献として、特許文献 1 および 2 がある。

30

**【0003】**

特許文献 1 に開示された発振停止検出回路は、キャパシターと、発振回路の出力信号から生成される制御信号に従ってスイッチング動作してキャパシターに電荷を転送するスイッチング手段と、キャパシターの充電電荷を放電させるための抵抗と、キャパシターの充電電圧が基準レベル以上か否かにより発振回路の発振状態を判別する発振状態判別手段とを有する。ここで、スイッチング手段としては、MOSFET (Metal Oxide Semiconductor Field Effect Transistor ; 金属酸化膜半導体構造の電界効果トランジスターであり、以下では単にトランジスターという。) が用いられている。この構成において、発振回路が正常に発振している状況では、所定周波数の制御信号がスイッチング手段に与えられるため、放電用抵抗の放電電流を越える充電電流がスイッチング手段を介してキャパシターに供給される。このため、キャパシターの充電電圧が基準レベルを越え、発振回路が発振している旨を示す発振状態判別信号が発振状態判別手段から得られる。これに対し、発振回路の発振が停止した状況では、所定周波数の制御信号がスイッチング手段に与えられないため、キャパシターに対する充電電流の供給が途絶え、キャパシターの充電電圧が基準レベルを下回り、発振停止を示す発振状態判別信号が発振状態判別手段から得られる。

40

**【0004】**

特許文献 2 に開示された発振停止検出回路では、上記キャパシターの充電電荷を放電させるための放電用素子として、トランジスターが用いられている。このトランジスターは、発振回路に対する電源電圧を発生するレギュレーターによって出力される基準電圧 VREF がゲートに与えられており、定電流源として機能する（特許文献 2 の図 3 参照）。

**【先行技術文献】**

50

**【特許文献】****【0005】****【特許文献1】特開2007-81514号****【特許文献2】特許第4459663号****【発明の概要】****【発明が解決しようとする課題】****【0006】**

ところで、上述した発振停止検出回路が発振回路の発振状態を正常に検出するためには、スイッチング動作していないスイッチング手段を介してキャパシターに流れ込むOFF電流と、スイッチング動作しているスイッチング手段を介してキャパシターに流れ込むON電流と、キャパシターから放電用素子を介して流出する放電電流とが適切なバランスを維持している必要がある。しかしながら、上述した特許文献1および2に開示の技術は、トランジスターや抵抗の製造ばらつきや製品の周囲温度の変化の影響により、上記各電流のバランスが崩れ易い。このため、所期の性能を持った発振停止検出回路を得るために、厳しいプロセスコントロールを行ってトランジスターや抵抗の製造ばらつきを小さく抑える必要があり、製品を安価に製造することが困難であるという問題があった。

**【0007】**

この発明は、以上説明した事情に鑑みてなされたものであり、難しいプロセスコントロールを必要とせず、所期の性能を持ったものを安価に製造することができる発振停止検出回路およびこの発振停止検出回路を備えた半導体装置、時計、電子機器を提供することを目的とする。

**【課題を解決するための手段】****【0008】**

この発明は、発振回路の出力信号から生成される制御信号に従ってスイッチング動作することにより電荷を転送するスイッチング用電界効果トランジスターと、前記スイッチング用電界効果トランジスターを介して転送される電荷が充電されるキャパシターと、前記キャパシターの充電電荷を放電させる放電手段と、前記キャパシターの充電電圧を2値化し、前記発振回路が発振しているか停止しているかを示す発振状態判別信号を出力する発振状態判別手段とを具備し、前記放電手段が、前記キャパシターに蓄積された電荷を放電させる放電用電界効果トランジスターと、前記放電用電界効果トランジスターとともにカレントミラーを構成するミラー用電界効果トランジスターと、前記スイッチング用電界効果トランジスターと同じ導電型を有し、ドレイン電流を前記ミラー用電界効果トランジスターのゲートおよびドレインの共通接続点に供給する電界効果トランジスターにより構成された定電流源とを具備することを特徴とする発振停止検出回路を提供する。

**【0009】**

この発振停止検出回路において、放電用電界効果トランジスターには、定電流源の出力電流に比例した放電電流が流れる。ここで、定電流源は、スイッチング用電界効果トランジスターと同じ導電型の電界効果トランジスターにより構成されている。従って、製造ばらつきまたは周囲温度等の使用条件の変更により、OFF状態のスイッチング用電界効果トランジスターを介してキャパシターに供給されるOFF電流やON状態のスイッチング用電界効果トランジスターを介してキャパシターに供給されるON電流が増加（減少）するときには、キャパシターから放電用電界効果トランジスターを介して流れる放電電流も増加（減少）する。このように、この発明に係る発振停止検出回路では、スイッチング用電界効果トランジスターを介して流れるOFF電流およびON電流と放電用電界効果トランジスターの放電電流とのバランスが製造ばらつきや使用条件の変更の影響を受け難い。従って、難しいプロセス条件のコントロールを必要とせず、所期の性能を持った発振停止検出回路を安価に製造することができる。

**【0010】**

好みしい態様では、前記定電流源がソースおよびゲートが互いに接続されたデプレッション型電界効果トランジスターにより構成されている。この態様は、定電流源を構成する

10

20

30

40

50

ための電界効果トランジスターに一定のゲートおよびソース間電圧を与えるための定電圧源を設ける必要がなく、デプレッション型電界効果トランジスターのみにより定電流源を構成することができる利点がある。

#### 【0011】

他の好ましい態様では、前記デプレッション型電界効果トランジスターは、当該デプレッション型電界効果トランジスターのドレイン電流の温度係数の符号が前記スイッチング用電界効果トランジスターのOFF電流の温度係数の符号と同じになる範囲内の閾値電圧を有する。

#### 【0012】

この態様では、デプレッション型電界効果トランジスターのドレイン電流の温度係数の符号がスイッチング用電界効果トランジスターのOFF電流の温度係数の符号と同じであるので、スイッチング用電界効果トランジスターのOFF電流と放電用電界効果トランジスターの放電電流とのバランスの周囲温度の変化に対する安定性をさらに高めることができる。

10

#### 【0013】

他の好ましい態様において、発振停止検出回路は、前記放電用電界効果トランジスターとして、直列接続された2段以上の放電用電界効果トランジスターを具備し、前記ミラー用電界効果トランジスターとして、各々のゲートおよびドレインが共通接続され、かつ、各々が互いに直列接続され、各々のゲート電圧を前記2段以上の放電用電界効果トランジスターの各ゲートに供給する2段以上のミラー用電界効果トランジスターを具備する。

20

#### 【0014】

発振停止検出回路の電源電圧が高くなると、放電用電界効果トランジスターのドレイン電流にチャネル長変調効果の影響が現れ、キャパシターから流出する放電電流が大きくなる場合がある。しかしながら、この態様では、直列接続された2段以上の放電用電界効果トランジスターの各々のドレインおよびソース間電圧を小さくし、チャネル長変調効果が現れ難い領域において各放電用電界効果トランジスターを動作させることができる。従って、放電用電界効果トランジスターを経由したキャパシターの放電電流が過度に大きくなるのを防止することができる。

#### 【0015】

他の好ましい態様において、前記発振状態判別手段は、前記スイッチング用電界効果トランジスターと同じ導電型を有し、前記キャパシターの充電電圧がゲートに与えられる第1の電界効果トランジスターと、前記放電用電界効果トランジスターと同じ導電型を有し、前記放電用電界効果トランジスターに対するゲート電圧がゲートに与えられる第2の電界効果トランジスターとを高電位側電源線および低電位側電源線間に直列に介挿してなり、前記第1および第2の電界効果トランジスターの共通接続点から前記発振状態判別信号を出力する。

30

#### 【0016】

この態様では、製造ばらつきまたは周囲温度等の使用条件の変更により、スイッチング用電界効果トランジスターのドレイン電流が増加（減少）するときには、キャパシターから放電用電界効果トランジスターを介して流れる放電電流も増加（減少）し、これとゲート電圧を同じくする第2の電界効果トランジスターに流れるドレイン電流も増加（減少）する。一方、第1の電界効果トランジスターは、スイッチング用電界効果トランジスターと同じ導電型を有するので、製造ばらつきまたは周囲温度等の使用条件の変更の影響は、スイッチング用電界効果トランジスターと第1の電界効果トランジスターの両方に等しく現れる。従って、第1の電界効果トランジスターおよび第2の電界効果トランジスターからなる発振状態判定手段の論理スレッショルドは、製造ばらつきまたは周囲温度等の使用条件の変更に対して安定した電圧値となる。

40

#### 【0017】

この発明は、以上述べた発振停止検出回路が形成されてなる半導体装置として実施される。

50

## 【0018】

また、この発明は、発振回路と、電源と、上述した各発振停止検出回路のいずれかと、前記発振停止検出回路から前記発振回路の発振が停止した旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路をリセットするとともに、前記発振回路を再起動するために前記電源から前記発振回路に与える電圧を上昇させる制御を行い、前記発振停止検出回路から前記発振回路が発振している旨の判別結果が得られるのに応じて、前記発振回路の出力信号を利用する回路のリセットを解除するとともに、前記電源から前記発振回路に与える電圧を低下させる制御を行う制御手段とを具備することを特徴とする時計またはその他の電子機器として実施され得る。

## 【0019】

10

これらの時計または電子機器によれば、発振停止検出回路の電気的特性が製造ばらつきや使用条件の変更の影響を受け難い。従って、動作の安定した時計または電子機器を高歩留まりで製造することができる。

## 【図面の簡単な説明】

## 【0020】

【図1】この発明による発振停止検出回路の適用例である電子時計の時計回路の構成を示すブロック図である。

【図2】この発明の第1実施形態である発振停止検出回路の構成を示す回路図である。

【図3】同実施形態における発振状態判別手段の構成を示す回路図である。

【図4】同実施形態の動作を示すタイムチャートである。

20

【図5】同実施形態におけるデプレッシャン型Pチャネルトランジスターの閾値電圧の適正範囲を説明する図である。

【図6】この発明の第2実施形態である発振停止検出回路の構成を示す回路図である。

【図7】同実施形態において、基準電圧を発生するNチャネルトランジスターおよび基準電圧がゲートに与えられる放電手段としてのNチャネルトランジスターを複数段直列接続する理由を説明する図である。

【図8】この発明の第3実施形態である発振停止検出回路における発振状態判別手段の構成を示す回路図である。

【図9】この発明の第4実施形態である発振停止検出回路の構成を示す回路図である。

30

【図10】この発明の第5実施形態である発振停止検出回路の構成を示す回路図である。

【図11】この発明の各実施形態における基準電圧発生回路の他の構成例を示す回路図である。

## 【発明を実施するための形態】

## 【0021】

以下、図面を参照し、この発明の実施形態について説明する。

## 【0022】

40

<この発明の実施形態の適用例>

図1はこの発明による発振停止検出回路の適用例である電子時計の時計回路の構成を示すブロック図である。図1において、発振回路1は、水晶等の振動子を振動させて発振し、所定周波数の信号を出力する回路である。高周波分周回路2および中低周波分周回路3は、発振回路1の出力信号を順次分周し、各種の周波数の分周信号を出力する回路である。

## 【0023】

制御信号生成回路4は、高周波分周回路2および中低周波分周回路3から得られる各種の分周信号に基づいて、時計回路内の各部を制御するための各種の制御信号を生成する回路である。モーター駆動回路5は、制御信号生成回路4から出力される所定の制御信号に従って、運針駆動等のためのモーターを駆動する回路である。

## 【0024】

定電圧発生回路6は、図示しないバッテリーから与えられる電源電圧に基づいて、発振回路1および時計回路内の他の回路に対して駆動電圧を出力する回路である。この定電圧

50

発生回路 6 は、出力する駆動電圧の大きさの制御が可能な構成となっている。

【 0 0 2 5 】

この発明の実施形態である発振停止検出回路 7 は、制御信号生成回路 4 が高周波分周回路 2 からの分周信号に基づいて生成する制御信号 S A および S B に基づいて、発振回路 1 が発振しているか停止しているかを示す発振状態判別信号 D E T を生成する回路である。

【 0 0 2 6 】

リセット信号生成回路 8 は、発振回路 1 の発振が停止していることを示す発振状態判別信号 D E T が出力されたとき、リセット信号 R E S をアクティブルベルとし、発振回路 1 が発振していることを示す発振状態判別信号が出力されたとき、リセット信号 R E S を非アクティブルベルとする回路である。

10

【 0 0 2 7 】

以上の構成において、定電圧発生回路 6 は、リセット信号 R E S が非アクティブルベルである場合（すなわち、発振回路 1 が発振している場合）には、消費電力を抑えるために、発振回路 1 および高周波分周回路 2 に供給する駆動電圧を低下させ、リセット信号 R E S がアクティブルベルである場合（すなわち、発振回路 1 の発振が停止している場合）には、発振回路 1 の発振を再開させるために、発振回路 1 および高周波分周回路 2 に供給する駆動電圧を高い電圧に切り換える。

【 0 0 2 8 】

中低周波分周回路 3 、制御信号生成回路 4 およびモーター駆動回路 5 は、リセット信号 R E S が非アクティブルベルである場合には、通常の動作を行うが、リセット信号 R E S がアクティブルベルである場合には、リセット状態となる。これは、発振回路 1 の発振が停止している旨の発振状態判別信号 D E T が出力され、リセット信号 R E S がアクティブルベルとなっている状況では、発振回路 1 の出力信号の周波数が不安定であるため、中低周波分周回路 3 、制御信号生成回路 4 およびモーター駆動回路 5 の動作を継続すると、時計回路全体としての動作が不安定になるからである。但し、制御信号生成回路 4 内の制御信号 S A 及び S B を生成する回路部は、リセット状態とならないように構成されている。このため、発振停止状態において制御信号生成回路 4 は、制御信号 S A 及び S B を生成する回路部を除いてリセット状態となるが、発振が再開した時にも当該回路部は動作しており制御信号 S A 及び S B を生成することができる。

20

【 0 0 2 9 】

30

< 第 1 実施形態 >

図 2 はこの発明の第 1 実施形態である発振停止検出回路の構成を示す回路図である。図 2 において、電荷転送回路 1 0 は、スイッチング用電界効果トランジスターとしての P チャネルトランジスター 1 1 および 1 2 と、キャパシター 1 3 とにより構成されている。

【 0 0 3 0 】

40

ここで、P チャネルトランジスター 1 1 のソースは高電位側電源線を介して電源 V D D に接続され、P チャネルトランジスター 1 2 のソースは P チャネルトランジスター 1 1 のドレインに接続されている。そして、P チャネルトランジスター 1 1 および 1 2 の各ゲートには、制御信号 S A および S B が各々供給される。これらの制御信号 S A および S B は、前掲図 1 の制御信号生成回路 4 が高周波分周回路 2 または中低周波分周回路 3 からの分周信号に基づいて生成する回路であり、一方が H レベルである期間は他方が L レベルとなり、一方が L レベルである期間は他方が H レベルとなる相補対称な信号である。キャパシター 1 3 は、P チャネルトランジスター 1 2 のソースおよび P チャネルトランジスター 1 1 のドレインの接続点と、低電位側電源線である接地線（接地電位 V S S ）との間に介挿されている。

【 0 0 3 1 】

この電荷転送回路 1 0 において、P チャネルトランジスター 1 1 および 1 2 は、電荷の移動 / 遮断を制御するためのスイッチング手段として働く。さらに詳述すると、制御信号 S A が L レベル、制御信号 S B が H レベルの期間は、P チャネルトランジスター 1 1 が O N 状態、P チャネルトランジスター 1 2 が O F F 状態となり、電源 V D D からキャパシタ

50

-13へPチャネルトランジスター11を介して電荷が移動する一方、キャパシター13からPチャネルトランジスター12のドレイン側への電荷の移動は遮断される。これに対し、制御信号SAがHレベル、制御信号SBがLレベルの期間は、Pチャネルトランジスター11がOFF状態、Pチャネルトランジスター12がON状態となり、電源VDDからキャパシター13へのPチャネルトランジスター11を介した電荷の移動が遮断される一方、キャパシター13からPチャネルトランジスター12のドレイン側への電荷の移動が行われる。

#### 【0032】

キャパシター20は、一方の電極が電荷転送回路10のPチャネルトランジスター12のドレインに接続され、他方の電極が接地されている。このキャパシター20には、電荷転送回路10を介して転送される電荷が充電される。10

#### 【0033】

インバーター30は、例えば図3に示すようなPチャネルトランジスター31およびNチャネルトランジスター32を電源VDDおよび接地VSS間に直列接続してなるCMOS(Complement MOS; 相補対称型MOS)構成のインバーターである。このインバーター30は、キャパシター20の充電電圧VCを2値化することにより発振状態判別信号DETを出力する発振状態判別手段である。すなわち、インバーター30は、充電電圧VCが論理スレッショルドを上回っている場合に、発振回路1が発振している旨を示すLレベルの発振状態判別信号DETを出力し、充電電圧VCが論理スレッショルドを下回っている場合は、発振回路1が停止している旨を示すHレベルの発振状態判別信号DETを出力する。20

#### 【0034】

本実施形態において、キャパシター20の充電電荷を放電させる放電手段は、基準電圧発生回路21と、ドレインおよびソースがキャパシター20の両電極に各々接続され、放電用電界効果トランジスターとして機能するNチャネルトランジスター26とにより構成されている。

#### 【0035】

基準電圧発生回路21は、Nチャネルトランジスター26のゲートに対して基準電圧Vrefを出力する回路であり、デプレッション型Pチャネルトランジスター22と、ミラーユ用電界効果トランジスターとしてのNチャネルトランジスター23とにより構成されている。ここで、デプレッション型Pチャネルトランジスター22は、ソースおよびゲートが電源VDDに接続されている。また、Nチャネルトランジスター23は、ドレインおよびゲートがデプレッション型Pチャネルトランジスター22のドレインに接続され、ソースが接地されている。そして、デプレッション型Pチャネルトランジスター22のドレインとNチャネルトランジスター23のドレインおよびゲートとの共通接続点に発生する電圧が基準電圧VrefとしてNチャネルトランジスター26のゲートに供給される。30

#### 【0036】

以上の構成において、デプレッション型Pチャネルトランジスター22には、0Vのゲートおよびソース間電圧が与えられる。従って、デプレッション型Pチャネルトランジスター22には、その閾値電圧の2乗に比例した定電流が流れ、この定電流がNチャネルトランジスター23に流れ込む。このNチャネルトランジスター23とNチャネルトランジスター26は、カレントミラーを構成している。従って、Nチャネルトランジスター26は、デプレッション型Pチャネルトランジスター22の閾値電圧の2乗に比例した電流値の定電流源として機能する。40

#### 【0037】

図4は、本実施形態による発振停止検出回路の各部の波形を示すタイムチャートである。この図には、発振回路1の発振が停止した状態から、発振回路1が発振している状態へと移行し、その後再び発振回路1の発振が停止した状態へと移行する場合の各部の波形が例示されている。

発振回路1の発振が停止した状態では、制御信号SAおよびSBの変化がなく、図示の50

例では、制御信号 S A が L レベル、制御信号 S B が H レベルとなっている。このため、電荷転送回路 1 0 では、P チャネルトランジスター 1 1 または 1 2 の一方（図示の例では P チャネルトランジスター 1 1）が ON 状態を維持し、他方（図示の例では P チャネルトランジスター 1 2）が OFF 状態を維持する。この状態では、電荷転送回路 1 0 を介したキャパシター 2 0 への電荷の転送は行われないため、キャパシター 2 0 の充電電圧 V C は 0 V となる。従って、インバータ 3 0 は、発振回路の発振が停止している旨を示す H レベルの発振状態判別信号 D E T を出力する。

#### 【 0 0 3 8 】

発振回路 1 の発振が開始されると、交互に L レベルとなる周期的な制御信号 S A および S B が発生される。制御信号 S A が H レベル、制御信号 S B が L レベルとなる期間では、電荷転送回路 1 0 において P チャネルトランジスター 1 1 が OFF 態、P チャネルトランジスター 1 2 が ON 状態となる。従って、キャパシター 1 3 に充電された電荷が P チャネルトランジスター 1 2 を介してキャパシター 2 0 に転送され、キャパシター 2 0 の充電が行われる。この期間は、電荷転送回路 1 0 を介してキャパシター 2 0 に与えられる充電電流が N チャネルトランジスター 2 6 を介して流れるキャパシター 2 0 の放電電流を上回り、キャパシター 2 0 の充電電圧 V C が上昇する。また、制御信号 S A が L レベル、制御信号 S B が H レベルである期間、電荷転送回路 1 0 では、P チャネルトランジスター 1 1 が ON 状態、P チャネルトランジスター 1 2 が OFF 状態となり、P チャネルトランジスター 1 2 を介したキャパシター 2 0 への電荷の転送は行われない。従って、この期間は、N チャネルトランジスター 2 6 を介したキャパシター 2 0 の充電電荷の放電が支配的となり、キャパシター 2 0 の充電電圧 V C は低下する。

10

20

30

40

#### 【 0 0 3 9 】

本実施形態では、電荷転送回路 1 0 を介してキャパシター 2 0 に供給される充電電流の制御信号 S A および S B の 1 周期を通じての平均値が N チャネルトランジスター 2 6 を介して流れる放電電流よりも大きくなるように、P チャネルトランジスター 1 1 、 1 2 および N チャネルトランジスター 2 6 のトランジスターサイズが決定されている。従って、キャパシター 2 0 の充電電圧 V C は、概ね前者の充電電流の平均値と後者の放電電流との差分に比例した勾配で上昇してゆく。

#### 【 0 0 4 0 】

そして、キャパシター 2 0 の充電電圧 V C がインバータ 3 0 の論理スレッショルド V t h 3 0 を越えると、インバータ 3 0 は発振回路が発振している旨を示す L レベルの発振状態判別信号 D E T を出力する。その後、制御信号 S A および S B がスイッチングしている期間は、P チャネルトランジスター 1 1 および 1 2 のスイッチング動作により N チャネルトランジスター 2 6 経由の放電電流を上回る充電電流がキャパシター 2 0 に供給される。この間、キャパシター 2 0 の充電電圧 V C がインバータ 3 0 の論理スレッショルド V t h 3 0 以上の電圧値を維持するため、発振状態判別信号 D E T は L レベルを維持する。

30

40

#### 【 0 0 4 1 】

その後、発振回路 1 の発振が停止し、制御信号 S A および S B のスイッチングがなくなると、P チャネルトランジスター 1 1 および 1 2 のスイッチング動作が停止する。この結果、僅かな P チャネルトランジスター 1 1 または 1 2 の OFF 電流がキャパシター 2 0 に供給される一方、この OFF 電流を上回る放電電流がキャパシター 2 0 から N チャネルトランジスター 2 6 を介して流出する。このため、キャパシター 2 0 の充電電圧 V C は、N チャネルトランジスター 2 6 を経由した放電電流と P チャネルトランジスター 1 1 または 1 2 の OFF 電流との差分に比例した勾配で減衰する。そして、キャパシター 2 0 の充電電圧 V C がインバータ 3 0 の論理スレッショルド V t h 3 0 を下回ると、インバータ 3 0 は、発振回路 1 の発振が停止した旨を示す H レベルの発振状態判別信号 D E T を出力する。

以上が本実施形態による発振停止検出回路の動作である。

#### 【 0 0 4 2 】

50

次に従来技術と対比しつつ本実施形態の効果を説明する。最初に、発振停止検出回路の動作を適正なものにするための条件について説明する。まず、スイッチング用電界効果トランジスターであるPチャネルトランジスター11、12のOFF電流は放電用電界効果トランジスターであるNチャネルトランジスター26の放電電流よりも小さい必要がある（第1の条件）。仮にスイッチング動作していない状態のPチャネルトランジスター11、12を介してキャパシター20に流れ込むOFF電流がNチャネルトランジスター26の放電電流よりも大きいと、発振回路1の発振が停止して制御信号SA、SBが止まつた状態においても、放電電流を上回るOFF電流がキャパシター20に流れ込む。このため、常時、キャパシター20の充電電圧VCがインバーター30の論理スレッショルドVth30を上回った状態となり、発振回路1の発振が停止しても、発振が停止している旨の発振状態判別信号DETが出力されないという問題が発生する。このような問題を発生させないためにも、スイッチング用電界効果トランジスターのOFF電流は放電用電界効果トランジスターの放電電流よりも小さい必要がある。

#### 【0043】

次に、スイッチング用電界効果トランジスターであるPチャネルトランジスター11、12のOFF電流は放電用電界効果トランジスターであるNチャネルトランジスター26の放電電流に対して極端に小さいものであってはならない（第2の条件）。この条件を換言すれば、放電電流はOFF電流に対して極端に大きいものであってはならない。制御信号SA、SBのスイッチングが止まると、キャパシター20の充電電圧VCは、放電用電界効果トランジスターの放電電流とスイッチング用電界効果トランジスターのOFF電流との差分に比例した勾配で低下する。従って、第2の条件が満たされないとすると、例えば時計の落下等の原因によってバッテリーの出力電圧にチャタリングが発生し、制御信号SA、SBが短時間だけ途絶えたような場合に、その短時間のうちにキャパシター20の充電電圧VCがインバーター30の論理スレッショルドを下回る。この場合、発振回路の発振が真に停止していないにも拘わらず、発振が停止した旨の発振状態判別信号DETがインバーター30から出力され、システムがリセットされるという問題が発生する。このような問題を発生させないために、スイッチング用電界効果トランジスターのOFF電流は放電用電界効果トランジスターの放電電流に対して極端に小さいものであってはならない。

#### 【0044】

さらにスイッチング動作しているスイッチング用電界効果トランジスターを介してキャパシター20に供給される充電電流は放電用電界効果トランジスターの放電電流よりも十分に大きくなければならない（第3の条件）。制御信号SA、SBのスイッチングが開始されると、キャパシター20の充電電圧VCは、スイッチング用電界効果トランジスターのON電流の時間平均から放電用電界効果トランジスターの放電電流を差し引いた電流に比例した勾配で上昇する。従って、第3の条件が満たされないとすると、発振回路1の発振が開始されても、キャパシター20の充電電圧VCが立ち上がりらず、発振回路1が発振している旨の発振状態判別信号DETが出力されない不具合、またはキャパシター20の充電電圧VCが立ち上がるのに時間が掛かり、発振回路1が発振している旨の発振状態判別信号DETが出力されるのに時間が掛かる不具合が発生する。また、第2の条件が満たされないと、発振回路1が発振している状態において、キャパシター20の充電電圧VCが発振状態判別手段であるインバーター30の論理スレッショルドVth30から十分に離れた電圧を維持しないので、発振状態判別信号DETが不安定になる。また、キャパシター20の充電電圧VCが発振状態判別手段の論理スレッショルドVth30に近いと、発振状態判別手段が図3に示すようなCMOSインバーターにより構成されている場合においてCMOSインバーターに流れる貫通電流が増え、消費電力が大きくなる。こういった問題を生じさせないために、スイッチング用電界効果トランジスターを介してキャパシター20に供給される充電電流は放電用電界効果トランジスターの放電電流よりも十分に大きくなければならない。

#### 【0045】

10

20

30

40

50

上述した特許文献 1 および 2 に開示の技術では、これらの第 1 ~ 第 3 の条件を満たす発振停止検出回路を得るために、厳しいプロセスコントロールを行うことが必要になる。以下、その理由を述べる。

#### 【 0 0 4 6 】

まず、特許文献 1 の発振停止検出回路では、キャパシター 20 の充電電荷を放電させるための放電用素子として、抵抗が使用されている。ここで、発振停止検出回路の消費電力を低く抑えるためには、放電用抵抗の抵抗値を充分に高くする必要がある。このような抵抗値の高い放電用抵抗を例えば拡散抵抗により実現すると、チップ内における放電用抵抗の占有面積が大きくなり、発振停止検出回路を搭載するチップが高価になるという問題がある。この場合、放電用抵抗を多結晶シリコン等の比較的抵抗の大きな真性半導体により実現することも可能であるが、真性半導体による抵抗は製造ばらつきが大きいという問題がある。

10

#### 【 0 0 4 7 】

また、特許文献 1 の発振停止検出回路において、電界効果トランジスターを形成するための製造工程と、放電用抵抗（拡散抵抗または真性半導体による抵抗）を形成するための製造工程は同じではない。従って、同一チップ内のものであったとしても電界効果トランジスターの電気的特性と放電用抵抗の電気的特性との間に相関はなく、スイッチング用電界効果トランジスターの OFF 電流、ON 電流が大きくなる方向にばらついたとしても、放電用抵抗の放電電流が同様に大きくなる方向にばらつくとは限らない。このため、製造ばらつきによって、発振停止検出回路が上記第 1 ~ 第 3 の条件を満たさなくなる可能性がある。

20

#### 【 0 0 4 8 】

特許文献 2 の発振停止検出回路では、放電用素子として、電界効果トランジスターが用いられている。しかしながら、この特許文献 2 の発振停止検出回路では、スイッチング用電界効果トランジスターとして N チャネルトランジスターが用いられ、放電用電界効果トランジスターとして P チャネルトランジスターが用いられている（特許文献 2 の図 3 の N チャネルトランジスター 13、P チャネルトランジスター 15 参照）。ここで、N チャネルトランジスターを形成するための製造工程と P チャネルトランジスターを形成するための製造工程は同じではないので、スイッチング用電界効果トランジスターとしての N チャネルトランジスターの OFF 電流、ON 電流が増加する方向にばらついたとしても、放電用電界効果トランジスターとしての P チャネルトランジスターを介して流れる放電電流が増加する方向にばらつくとは限らない。

30

#### 【 0 0 4 9 】

また、特許文献 2 に開示の技術では、レギュレーターが内蔵の抵抗の電圧降下に基づいて、放電用電界効果トランジスターである P チャネルトランジスターのゲートに供給する基準電圧を生成している。このレギュレーターが内蔵している抵抗は、発振停止検出回路の N チャネルトランジスターや P チャネルトランジスターとは別個の製造工程により製造されるものである。

#### 【 0 0 5 0 】

従って、特許文献 2 に開示の技術では、P チャネルトランジスターを介して流れる放電電流の大きさが、P チャネルトランジスター自体の電気的特性の製造ばらつきのみならず、レギュレーター内の抵抗の製造ばらつきの影響をも受け、しかも、このレギュレーター内の抵抗の電気的特性と P チャネルトランジスターの電気的特性の間に相関はない。従って、特許文献 2 に開示の技術では、特許文献 1 に開示の技術に比べて、上記第 1 ~ 第 3 の条件を満足させることがさらに難しい。

40

#### 【 0 0 5 1 】

また、特許文献 2 に開示の装置において、放電用電界効果トランジスターの放電電流は、発振回路を駆動するためにレギュレーターが出力する基準電圧に依存する。ここで、発振回路を極力低い消費電力で動作させるのに最適な基準電圧と、発振停止検出回路の放電電流を最適なものにすることが可能な基準電圧は異なることが多く、発振回路および発振

50

停止検出回路の両方の特性を共通の基準電圧により最適化するのは困難である。

#### 【0052】

これに対し、本実施形態では、基準電圧発生回路21の定電流源として、スイッチング用電界効果トランジスターであるPチャネルトランジスター11および12と、同じ導電型のデプレッション型Pチャネルトランジスター22が使用されている。そして、このデプレッション型Pチャネルトランジスター22のドレイン電流が流れ込むミラー用電界効果トランジスターであるNチャネルトランジスター23と、放電用電界効果トランジスターであるNチャネルトランジスター26がカレントミラーを構成している。

#### 【0053】

従って、製造ばらつきまたは周囲温度等の使用条件の変更により、スイッチング用電界効果トランジスターを介してキャパシター20に供給されるOFF電流、ON電流が増加（減少）するときには、キャパシター20から放電用電界効果トランジスターを介して流れる放電電流も増加（減少）する。

10

#### 【0054】

従って、理想的な製造条件および使用条件において、スイッチング用電界効果トランジスターのOFF電流およびON電流、放電用電界効果トランジスターの放電電流が上記第1～第3の条件が満たすように、発振停止検出回路を構成する各トランジスターの閾値電圧やトランジスターサイズを決定しておけば、製造ばらつきが発生し、あるいは使用条件が変化した場合でも、上記第1～第3の条件を満足させ、発振停止検出回路を正常に動作させることができる。

20

#### 【0055】

また、本実施形態によれば、放電用電界効果トランジスターであるNチャネルトランジスター26のゲートに供給する基準電圧 $V_{ref}$ を、発振回路1に駆動電圧を供給する定電圧発生回路6ではなく、発振停止検出回路内の基準電圧発生回路21が発生している。従って、発振回路1の駆動電圧の最適化とは独立して放電用電界効果トランジスターの放電電流を最適化することができる。

#### 【0056】

ところで、周囲温度が変化する状況において本実施形態による発振停止検出回路が使用される場合には、スイッチング用電界効果トランジスターであるPチャネルトランジスター11、12のOFF電流の温度係数の符号と、放電用電界効果トランジスターの放電電流を決定するデプレッション型Pチャネルトランジスター22のドレイン電流の温度係数の符号が同じになるようにすることが好ましい。そのためには、デプレッション型Pチャネルトランジスター22の閾値電圧 $V_{th}$ の目標値を適切な範囲内に選ぶことが好ましい。

30

#### 【0057】

図5はデプレッション型Pチャネルトランジスター22の閾値電圧 $V_{th}$ の適正範囲を説明する図である。図5において、横軸はデプレッション型Pチャネルトランジスター22の閾値電圧 $V_{th}$ であり、縦軸は、図2に示すようにデプレッション型Pチャネルトランジスター22を用いて基準電圧発生回路21を構成した場合において、周囲温度が25であるときのデプレッション型Pチャネルトランジスター22のドレイン電流 $I_D$ に対する周囲温度が75であるときのドレイン電流 $I_D$ の変化率である。

40

#### 【0058】

ここで、電界効果トランジスターは、周囲温度が上昇すると、閾値電圧が低下する一方、キャリア移動度が低下して電流増幅率が低下する。そして、スイッチング用電界効果トランジスターであるPチャネルトランジスター11、12のOFF電流は、前者の閾値の変化が支配的であり、周囲温度が上昇するのに従って大きくなる。すなわち、Pチャネルトランジスター11、12のOFF電流の温度係数は正となる。

#### 【0059】

一方、デプレッション型Pチャネルトランジスター22のドレイン電流 $I_D$ に関しては、周囲温度の上昇による閾値電圧の低下と、周囲温度の上昇によるキャリア移動度の低下

50

の両方が支配的であり、いずれの要因が強く働くかはデプレッション型Pチャネルトランジスター22の閾値電圧V<sub>th</sub>に依存する。図5に示すように、閾値電圧V<sub>th</sub>が高い領域では、デプレッション型Pチャネルトランジスター22において周囲温度の上昇によるキャリア移動度の低下がドレイン電流I<sub>D</sub>に強く関与し、ドレイン電流I<sub>D</sub>の温度係数は負になる。しかし、閾値電圧V<sub>th</sub>をある閾値電圧V<sub>th0</sub>よりも低くすると、閾値電圧V<sub>th</sub>の低下がドレイン電流I<sub>D</sub>に強く関与するようになり、ドレイン電流I<sub>D</sub>の温度係数は負から正に転じる。

## 【0060】

そこで、本実施形態では、発振停止検出回路の製造時におけるデプレッション型Pチャネルトランジスター22の閾値電圧V<sub>th</sub>の目標値を、このドレイン電流I<sub>D</sub>の温度係数が負から正に転じる閾値電圧V<sub>th0</sub>よりも低い領域（ドレイン電流I<sub>D</sub>の温度特性の傾きが正である領域）内の閾値電圧とする。

10

## 【0061】

このようにすることで、システム動作保証温度範囲において、スイッチング用電界効果トランジスターであるPチャネルトランジスター11、12のOFF電流と、放電用電界効果トランジスターの放電電流を決定するデプレッション型Pチャネルトランジスター22のドレイン電流との関係を同じに保つことができ、発振停止検出回路を安定に動作させることができる。

## 【0062】

## &lt;第2実施形態&gt;

20

図6はこの発明の第2実施形態である発振停止検出回路の構成を示す回路図である。二次電池を電源とする電子機器等、電源電圧が変動する電子機器に発振停止検出回路が搭載される場合、以下説明するように放電用電界効果トランジスターの放電電流が電源電圧の上昇により過度に大きくなる場合がある。

## 【0063】

図7は、上記第1実施形態（図2）における放電用電界効果トランジスターのドレイン電流特性を例示する図である。この図において、横軸は放電用電界効果トランジスターであるNチャネルトランジスター26のドレインおよびソース間電圧V<sub>DS</sub>（すなわち、キャパシター20の充電電圧V<sub>C</sub>）、縦軸はNチャネルトランジスター26のドレイン電流I<sub>D</sub>である。

30

## 【0064】

理想的には、Nチャネルトランジスター26のドレイン電流I<sub>D</sub>は、ドレインおよびソース間電圧V<sub>DS</sub>を増加させていったとき、破線で示すように飽和する。しかし、ドレインおよびソース間電圧V<sub>DS</sub>が大きくなると、Nチャネルトランジスター26のドレインとP型半導体基板との境界に形成される空乏層が厚みを増して、Nチャネルトランジスター26の実効的なチャネル長が短くなるチャネル長変調効果が発生する。このため、飽和領域において、Nチャネルトランジスター26のドレインおよびソース間電圧V<sub>DS</sub>が電圧V<sub>DS\_A</sub>であるときのドレイン電流I<sub>D\_A</sub>と、ドレインおよびソース間電圧V<sub>DS</sub>が電圧V<sub>DS\_B</sub>であるときのドレイン電流I<sub>D\_B</sub>とを比べると、後者のドレイン電流I<sub>D\_B</sub>の方が前者のドレイン電流I<sub>D\_A</sub>よりもある量I<sub>D</sub>だけ大きくなる。

40

## 【0065】

ここで、発振回路1が発振しているとき、キャパシター20は、電源電圧V<sub>DD</sub>の近傍のレベルまで充電される。従って、電源電圧V<sub>DD</sub>が高い状態において発振停止検出回路が動作すると、Nチャネルトランジスター26のドレインおよびソース間電圧V<sub>DS</sub>が高くなり、Nチャネルトランジスター26に過度な電流が流れる。このようにNチャネルトランジスター26を介して流れる放電電流が大きになると、上述した第2または第3の条件が満たされなくおそれがある。

## 【0066】

本実施形態は、電源電圧V<sub>DD</sub>が高い状況において、このような過度な放電電流が放電

50

用電界効果トランジスターに流れないように、上記第1実施形態に改良を加えたものである。本実施形態による発振停止検出回路(図6)において、放電用電界効果トランジスターとして、直列接続された2段のNチャネルトランジスター26および27がキャパシタ-20に対して並列に接続されている。また、基準電圧発生回路21Aは、ミラー用電界効果トランジスターとして、各々のゲートおよびドレインが共通接続され、かつ、各々が互いに直列接続された2段のNチャネルトランジスター23および24を有している。そして、これらのNチャネルトランジスター23および24は、各々のゲート電圧を放電用電界効果トランジスターであるNチャネルトランジスター26および27の各ゲートに供給している。

## 【0067】

10

この構成によれば、Nチャネルトランジスター23のドレインおよびソース間電圧と、Nチャネルトランジスター24のドレインおよびソース間電圧の両方をチャネル長変調効果の少ない共通の電圧VDS\_Aにすることができる。そして、Nチャネルトランジスター24のゲート電圧VDS\_AがNチャネルトランジスター27のゲートに供給され、Nチャネルトランジスター23のゲート電圧2VDS\_AがNチャネルトランジスター26のゲートに供給される。従って、例えばキャパシタ-20の充電電圧VCが電圧2VDS\_Aであるときには、Nチャネルトランジスター26のドレインおよびソース間電圧VDS\_B1およびNチャネルトランジスター27のドレインおよびソース間電圧VDS\_B2の両方が電圧VDS\_Aとなる。キャパシタ-20の充電電圧VCが電圧2VDS\_A以上である領域においても、Nチャネルトランジスター26のドレインおよびソース間電圧VDS\_B1およびNチャネルトランジスター27のドレインおよびソース間電圧VDS\_B2はほぼ同じ電圧となる。このように放電用電界効果トランジスターであるNチャネルトランジスター26および27は、ドレインおよびソース間電圧が過度に大きくななく、チャネル長変調効果の影響の少ない領域において動作するので、過度な放電電流を流すことはない。

20

## 【0068】

なお、図6ではミラー用電界効果トランジスターおよび放電用電界効果トランジスターの段数を2段としたが、電源電圧VDDが高くなる場合には、電源電圧VDDの増加に応じて段数を3段以上に増やしてもよい。

30

## 【0069】

## &lt;第3実施形態&gt;

図8はこの発明の第3実施形態である発振停止検出回路における発振状態判別手段の構成を示す回路図である。上記第1実施形態では、発振状態判別手段をPチャネルトランジスター31およびNチャネルトランジスター32からなるCMOS構成のインバータ-30とし、このインバータ-30に対してキャパシタ-20の充電電圧VCを与えた。ここで、Pチャネルトランジスター31およびNチャネルトランジスター32は別々の製造工程において形成されるので、Pチャネルトランジスター31の特性ばらつきとNチャネルトランジスター32の特性ばらつきの間に相関はない。従って、インバータ-30の論理スレッショルドがPチャネルトランジスター31の特性ばらつきとNチャネルトランジスター32の特性ばらつきの影響により変動する可能性がある。このようにインバータ-30の論理スレッショルドが変動すると、その影響により、例えば発振回路が発振を開始してから発振状態判別信号が反転するまでの時間が長くなったり、あるいは制御信号SA、SBが瞬断したときに発振状態判別信号が反転し易くなるといった不具合が発生し得る。本実施形態はこの点を改善したものである。

40

## 【0070】

本実施形態における発振状態判別手段では、図8に示すように、Pチャネルトランジスター31のゲートのみにキャパシタ-20の充電電圧VCが与えられ、Nチャネルトランジスター32のゲートには、基準電圧発生回路21のNチャネルトランジスター23(図2参照)が発生する基準電圧Vrefが与えられる。そして、Pチャネルトランジスター31およびNチャネルトランジスター32のドレイン同士の接続点から発振状態判別信号

50

D E T が出力される。

【 0 0 7 1 】

この様において、製造ばらつきや使用条件の変更により P チャネルトランジスター 3 1 のドレイン電流を増加（減少）させる要因が発生するときには、デプレッション型 P チャネルトランジスター 2 2 のドレイン電流に比例した電流となる N チャネルトランジスター 3 2 のドレイン電流も増加（減少）する。従って、本実施形態における発振状態判別手段の論理スレッショルドは、製造ばらつきや使用条件の変更に対して安定なものとなり、上述した不具合は発生しない。

【 0 0 7 2 】

< 第 4 実施形態 >

図 9 はこの発明の第 4 実施形態である発振停止検出回路の構成を示す回路図である。上記第 1 実施形態（図 2 ）における電荷転送回路 1 0 では、P チャネルトランジスター 1 1 および 1 2 がスイッチング用電界効果トランジスターとして使用された。これに対し、本実施形態における電荷転送回路 1 0 B は、N チャネルトランジスター 1 1 B および 1 2 B がスイッチング用電界効果トランジスターとして使用されている。また、上記第 1 実施形態では、N チャネルトランジスター 2 6 が放電用電界効果トランジスターとして使用された。これに対し、本実施形態では、放電用電界効果トランジスターとして、P チャネルトランジスター 2 8 がキャパシター 2 0 に並列接続されている。また、上記第 1 実施形態では、デプレッション型 P チャネルトランジスター 2 2 と N チャネルトランジスター 2 3 により基準電圧発生回路 2 1 が構成され、N チャネルトランジスター 2 3 が放電用電界効果トランジスターである N チャネルトランジスター 2 6 とともにカレントミラーを構成した。これに対し、本実施形態では、デプレッション型 N チャネルトランジスター 2 3 B と P チャネルトランジスター 2 2 B により基準電圧発生回路 2 1 B が構成され、P チャネルトランジスター 2 2 B が放電用電界効果トランジスターである P チャネルトランジスター 2 8 とともにカレントミラーを構成している。また、本実施形態では、発振状態判別手段として例えば CMOS インバーターを 2 段接続したノンインバーティングバッファー 3 0 ' が使用されている。

【 0 0 7 3 】

本実施形態において、放電用電界効果トランジスターである P チャネルトランジスター 2 8 には、デプレッション型 N チャネルトランジスター 2 3 B のドレイン電流に比例した電流が流れ。従って、スイッチング用電界効果トランジスターである N チャネルトランジスター 1 1 B および 1 2 B のドレイン電流が増加（減少）するときには、P チャネルトランジスター 2 8 に流れ放電電流も増加（減少）する。従って、本実施形態においても上記第 1 実施形態と同様な効果が得られる。

【 0 0 7 4 】

< 第 5 実施形態 >

図 1 0 はこの発明の第 5 実施形態である発振停止検出回路の構成を示す回路図である。本実施形態による発振停止検出回路は、上記第 4 実施形態における電荷転送回路 1 0 B を電荷転送回路 1 0 C に置き換えた構成となっている。

【 0 0 7 5 】

この電荷転送回路 1 0 C において、インバーター 1 4 は制御信号 S C をレベル反転して出力する。この制御信号 S C は、上記第 1 実施形態における制御信号 S A 、 S B と同様、発振回路の出力信号から生成される信号である。インバーター 1 5 は、インバーター 1 4 の出力信号をレベル反転して出力する。N チャネルトランジスター 1 6 は、スイッチング用電界効果トランジスターとしての役割を担ったトランジスターであり、ソースがインバーター 1 5 の出力端子に接続され、ゲートにインバーター 1 4 の出力信号が与えられ、ドレインがキャパシター 2 0 の一方の電極と P チャネルトランジスター 2 8 のドレインとの共通接続点に接続されている。

【 0 0 7 6 】

この構成において、制御信号 S C が L レベルである場合、インバーター 1 4 の出力信号

10

20

30

40

50

がHレベルとなるため、Nチャネルトランジスター16がON状態となり、インバーター15の出力信号がLレベルとなる。このため、Nチャネルトランジスター16のドレイン電流によりキャパシター20が充電される。そして、制御信号SCがHレベルになると、インバーター14の出力信号がLレベルとなるため、Nチャネルトランジスター16がOFF状態となる。このようにスイッチング用電界効果トランジスターであるNチャネルトランジスター16のON/OFFが制御信号SCに応じて切り換えられ、このNチャネルトランジスター16を介してキャパシター20に電荷が転送される。

#### 【0077】

基準電圧発生回路21B、キャパシター20、Pチャネルトランジスター28およびノンインバーティングバッファー30'からなる部分の回路構成は上記第4実施形態と同様である。本実施形態においても上記第4実施形態と同様な効果が得られる。10

#### 【0078】

<他の実施形態>

以上、この発明の第1～第5実施形態を説明したが、この発明には、他にも各種の実施形態が考えられる。例えば次の通りである。

#### 【0079】

(1) 第1実施形態では、発振停止検出回路を時計に適用した。しかし、この発明による発振停止検出回路の適用範囲はこれに限定されるものではなく、携帯電話、PDA(Personal Digital Assistant)等、発振回路を搭載した時計以外の多くの電子機器に適用可能である。20

#### 【0080】

(2) 上記各実施形態では、ミラー用電界効果トランジスターに出力電流を供給する定電流源として、ゲートおよびソースが互いに接続されたデプレッション型トランジスターを使用した。しかし、かかる定電流源は、このような構成に限定されるものではない。例えばスイッチング用電界効果トランジスターがPチャネルトランジスターである場合には、同じ導電型のPチャネルトランジスターを使用した定電流源を設け、この定電流源の出力電流をミラー用電界効果トランジスターに供給し、このミラー用電界効果トランジスターのゲート電圧を基準電圧Vrefとして放電用電界効果トランジスターのゲートに供給すればよい。

#### 【0081】

図11はそのような定電流源を含む基準電圧発生回路の構成例を示す回路図である。図11において、Pチャネルトランジスター41および43の各々のソースは、電源VDDに接続され、各々のゲートは、Pチャネルトランジスター41のドレインに接続されている。このPチャネルトランジスター41のドレインと接地線との間には抵抗42が介挿されている。一方、Pチャネルトランジスター43のドレインは、ミラー用電界効果トランジスターであるNチャネルトランジスター44のゲートおよびドレインに接続されており、このNチャネルトランジスター44のソースは接地されている。30

#### 【0082】

この基準電圧発生回路では、Pチャネルトランジスター41および43と抵抗42からなる回路が定電流源を構成しており、この定電流源の出力電流がミラー用電界効果トランジスターであるNチャネルトランジスター44に供給される。40

#### 【0083】

この態様において、放電用電界効果トランジスターには、Pチャネルトランジスター43のドレイン電流に比例した放電電流が流れる。従って、スイッチング用電界効果トランジスターであるPチャネルトランジスターのドレイン電流が増加(減少)するときには、放電電流も増加(減少)する。従って、上記各実施形態と同様な効果が得られる。

また、上述した実施形態および変形例の発振停止検出回路は、ICなどの半導体装置の一部又は全部として形成されてもよい。

#### 【符号の説明】

#### 【0084】

10

20

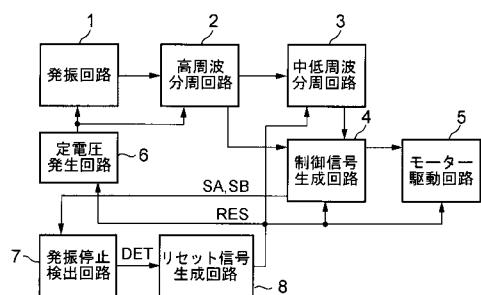
30

40

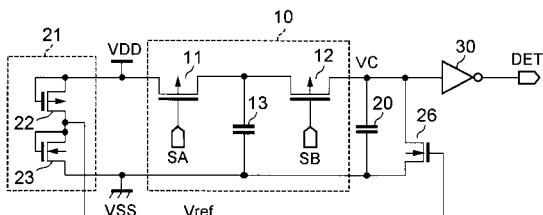
50

1 …… 発振回路、 2 …… 高周波分周回路、 3 …… 中低周波分周回路、 4 …… 制御信号生成回路、 5 …… モーター駆動回路、 6 …… 定電圧発生回路、 7 …… 発振停止検出回路、 8 …… リセット信号生成回路、 10 , 10B , 10C …… 電荷転送回路、 11 , 12 …… Pチャネルトランジスター（スイッチング用電界効果トランジスター）、 11B , 12B , 16 …… Nチャネルトランジスター（スイッチング用電界効果トランジスター）、 21 , 21A , 21B …… 基準電圧発生回路、 22 …… デプレッション型Pチャネルトランジスター、 23 , 24 …… Nチャネルトランジスター（ミラー用電界効果トランジスター）、 20 …… キャパシター、 26 , 27 …… Nチャネルトランジスター（放電用電界効果トランジスター）、 30 …… インバータ（発振状態判別手段）、 30' …… ノンインバーティングバッファー（発振状態判別手段）、 31 …… Pチャネルトランジスター、 32 …… Nチャネルトランジスター。 10

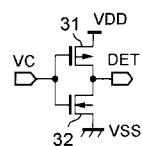
【図 1】



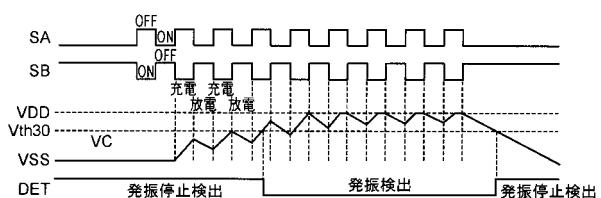
【図 2】



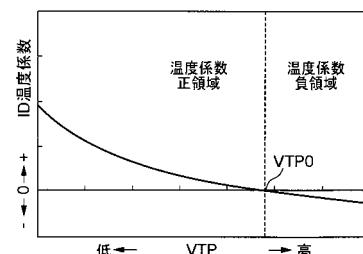
【図 3】



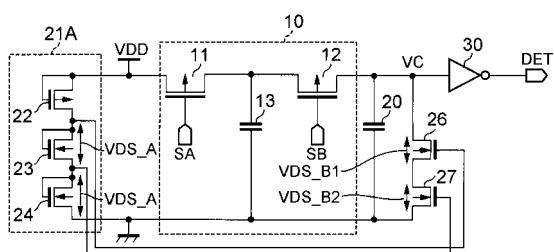
【図 4】



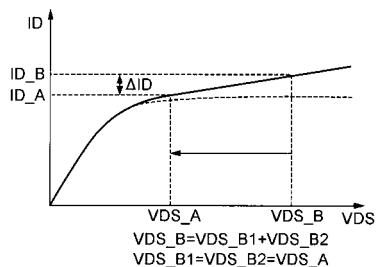
【図 5】



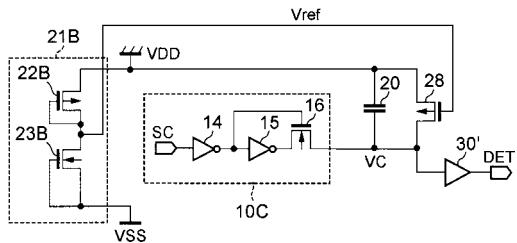
【図 6】



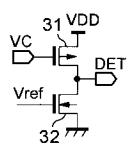
【図 7】



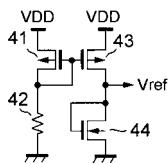
【図 10】



【図 8】



【図 11】



【図 9】

