



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월13일  
(11) 등록번호 10-0838376  
(24) 등록일자 2008년06월09일

(51) Int. Cl.

H03L 7/00 (2006.01)

(21) 출원번호 10-2006-0080713

(22) 출원일자 2006년08월24일

심사청구일자 2006년08월24일

(65) 공개번호 10-2008-0019118

(43) 공개일자 2008년03월03일

(56) 선행기술조사문헌

KR100515071 B1

JP2004056172 A

KR100554981 B1

KR1020040041985 A

전체 청구항 수 : 총 14 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

김경남

경기 이천시 부발읍 아미리 산 136-1

(74) 대리인

특허법인 신성

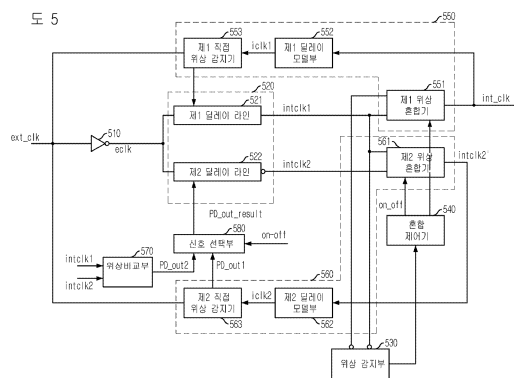
심사관 : 장완호

(54) 전원전압 변동에 대비한 디엘엘장치.

(57) 요약

본 발명 전원전압 변동에 대비한 디엘엘장치는, 지연고정을 위해 입력클럭을 지연시키기 위한 제1딜레이라인; 위상혼합을 통한 듀티보상을 위해, 상기 입력클럭을 지연하여 상기 제1딜레이라인에서 출력되는 정클럭인 제1클럭 신호에 대응되는 부클럭인 제2클럭신호를 출력하는 제2딜레이라인; 상기 제1딜레이라인의 지연값을 제어하는 제1 신호처리부; 상기 제2딜레이라인의 지연값을 제어하며, 지연고정 이후에는 오프되는 제2신호처리부; 상기 제1신호처리부와 상기 제2신호처리부의 출력신호를 입력받아 지연고정 여부를 결정하고, 상기 제2신호처리부의 온/오프를 제어하기 위한 제어부; 상기 제1클럭신호와 상기 제2클럭신호의 위상을 비교해 비교신호를 출력하기 위한 위상비교부; 및 지연고정 이전에는 상기 제2딜레이라인의 지연값 제어를 위해 상기 제2신호처리부의 출력신호를 선택하고, 지연고정 이후에는 상기 비교신호를 선택하기 위한 신호선택부를 포함한다.

대표도



**특허청구의 범위**

**청구항 1**

지연고정을 위해 입력클럭을 지연시키기 위한 제1딜레이라인;

위상혼합을 통한 듀티보상을 위해, 상기 입력클럭을 지연하여 상기 제1딜레이라인에서 출력되는 정클럭인 제1클럭신호에 대응되는 부클럭인 제2클럭신호를 출력하는 제2딜레이라인;

상기 제1딜레이라인의 지연값을 제어하는 제1신호처리부;

상기 제2딜레이라인의 지연값을 제어하며, 지연고정 이후에는 오프되는 제2신호처리부;

상기 제1신호처리부와 상기 제2신호처리부의 출력신호를 입력받아 지연고정 여부를 결정하고, 상기 제2신호처리부의 온/오프를 제어하기 위한 제어부;

상기 제1클럭신호와 상기 제2클럭신호의 위상을 비교해 비교신호를 출력하기 위한 위상비교부; 및

지연고정 이전에는 상기 제2딜레이라인의 지연값 제어를 위해 상기 제2신호처리부의 출력신호를 선택하고, 지연고정 이후에는 상기 비교신호를 선택하기 위한 신호선택부

를 포함하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 2**

제 1항에 있어서,

상기 위상비교부는,

상기 제1클럭신호의 상향 에지에서 상기 제2클럭신호의 위상을 검출하여 상기 비교신호를 출력하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 3**

제 1항에 있어서,

상기 위상비교부는,

상기 제1클럭신호를 D단자로 입력받고, 상기 제2클럭신호를 클럭단자로 입력받아 Q단자로 상기 비교신호를 출력하는 플립플롭인 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 4**

제 1항에 있어서,

상기 신호선택부는,

상기 제어부로부터 출력되는 제2신호처리부를 온/오프 하기 위한 신호를 입력받아 온 신호시 상기 제2신호처리부의 출력신호를 선택하고, 오프신호시 상기 비교신호를 선택하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 5**

제 4항에 있어서,

상기 신호선택부는,

상기 온 신호 입력시 상기 제2신호처리부의 출력을 공급하는 제1전송라인을 턴온하고, 상기 비교신호를 공급하는 제2전송라인을 턴온하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 6**

제 5항에 있어서,

상기 제1전송라인은 상기 온/오프 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 제2신호처리부의 출력을 공급하는 NMOS트랜지스터; 및 상기 온/오프 신호를 반전한 신호를 게이트에 입력받으며 상기 제1전송라인의 NMOS트랜지스터와 병렬로 연결된 PMOS트랜지스터를 포함하며,

상기 제2전송라인은 상기 온/오프 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 상기 비교신호를 공급하는 PMOS트랜지스터; 및 상기 온/오프 신호를 반전한 신호를 게이트에 입력받으며 상기 제2전송라인의 PMOS트랜지스터와 병렬로 연결된 NMOS트랜지스터를 포함하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 7**

제 6항에 있어서,

상기 신호선택부는,

상기 제1전송라인 및 상기 제2전송라인으로 공급된 신호를 직렬로 연결된 짝수개의 인버터로 짝수번 반전하여 출력하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 8**

외부 클럭신호를 입력받는 버퍼;

상기 버퍼의 출력신호를 입력받고, 제1비교신호를 입력받아 상기 클럭 입력신호를 소정의 시간만큼 지연시켜 제1클럭신호를 생성하는 제1딜레이라인;

상기 버퍼의 출력신호를 입력받고, 제2비교신호 혹은 위상비교부의 비교신호를 입력받아 상기 클럭 입력신호를 소정의 시간만큼 지연시켜 제2클럭신호를 생성하는 제2딜레이라인;

상기 제1클럭신호 및 상기 제2클럭신호의 반전된 값을 입력받아 그 하향에지 중 어느 것이 앞서는지를 나타내는 위상 감지신호를 생성하는 위상 감지기;

상기 제1비교신호 및 상기 제2비교신호에 따라 디엘엘 고정 여부를 결정하고, 상기 디엘엘 고정 여부에 따라 온/오프 신호를 출력하며, 상기 위상 감지신호에 따라 결정된 가중치를 출력하는 혼합제어기;

상기 가중치, 상기 제1클럭신호 및 상기 제2클럭신호를 입력받아 이를 통하여 제1보상 클럭신호를 생성하고, 상기 외부 클럭신호를 입력받아 상기 제1보상 클럭신호와 비교하여 상기 제1비교신호를 생성하는 제1신호처리부;

상기 가중치, 상기 제1클럭신호 및 상기 제2클럭신호를 입력받아 이를 통하여 제2보상 클럭신호를 생성하고, 상기 외부 클럭신호를 입력받아 상기 제2보상 클럭신호와 비교하여 상기 제2비교신호를 생성하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2신호처리부;

상기 제1딜레이라인의 제1클럭신호 및 상기 제2딜레이라인의 제2클럭신호의 위상 중 어느 것이 앞서는지를 나타내는 상기 비교신호를 생성하는 상기 위상비교부; 및

상기 디엘엘의 고정 이전에는 상기 제2비교신호를 제2딜레이라인에 입력하고, 상기 디엘엘의 고정 이후에는 상기 위상비교부의 비교신호를 상기 제2딜레이라인에 입력하는 신호선택부

를 포함하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 9**

제 8항에 있어서,

상기 위상비교부는,

상기 제1클럭신호의 상향 에지에서 상기 제2클럭신호의 위상을 검출하여 상기 비교신호로 출력하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치

**청구항 10**

제 8항에 있어서,

상기 위상비교부는,

상기 제1클럭신호를 D단자로 입력받고, 상기 제2클럭신호를 클럭단자로 입력받아 Q단자로 상기 비교신호를 출력하는 플립플롭인 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 11**

제 8항에 있어서,

상기 신호선택부는,

상기 제2신호처리부를 온/오프 하는 신호를 입력받아 온 신호시 상기 제2신호처리부의 출력을 제2딜레이라인에 입력하고, 오프 신호시 상기 위상비교부의 출력을 제2딜레이라인에 출력하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 12**

제 11항에 있어서,

상기 신호선택부는,

상기 온 신호 입력시 상기 제2신호처리부의 출력을 공급하는 제1전송라인을 턴온하고, 상기 오프 신호 입력시 상기 위상비교부의 출력을 공급하는 제2전송라인을 턴온하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 13**

제 12항에 있어서,

상기 제1전송라인은 상기 온/오프 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 제2신호처리부의 출력을 공급하는 NMOS트랜지스터; 및 상기 온/오프 신호를 반전한 신호를 게이트에 입력받으며 상기 제1전송라인의 NMOS트랜지스터와 병렬로 연결된 PMOS트랜지스터를 포함하며,

상기 제2전송라인은 상기 온/오프 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 위상비교부의 출력을 공급하는 PMOS트랜지스터; 및 상기 온/오프 신호를 반전한 신호를 게이트에 입력받으며 상기 제2전송라인의 PMOS트랜지스터와 병렬로 연결된 NMOS트랜지스터를 포함하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**청구항 14**

제 13항에 있어서,

상기 신호선택부는,

상기 제1전송라인 및 상기 제2전송라인으로 공급된 신호를 직렬로 연결된 짝수개의 인버터로 짝수번 반전하여 출력하는 것을 특징으로 하는 전원전압 변동에 대비한 디엘엘장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

<12> 본 발명은 DLL(Delay Locked Loop, 지연고정 루프)에 관한 것으로, 외부 클럭과 내부 클럭과의 스큐(skew)를 보상하는 클럭 발생장치를 필요로 하는 모든 반도체 장치 및 컴퓨터 시스템 등에서 사용되는 DLL장치에 관한 것이다.

<13> 일반적으로, DLL은 반도체 메모리장치에서 클럭을 사용하는 동기식 메모리의 내부 클럭을 에러 없이 외부 클럭과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클럭이 내부에서 사용될 때 타이밍 딜레이가 발생하는데, 이 타이밍 딜레이를 제어하여 내부에서 사용하는 클럭이 외부에서 들어오는 클럭과 동일하게 동기되도록 하기 위해서 사용한다.

- <14> 대한민국 특허 등록번호 10-0515071은 전력소모 문제를 해결한 DLL에 관한 것인데 이에 대해 설명한다.
- <15> 도 1은 종래의(상기 등록특허) DLL장치를 나타낸 블록도이다.
- <16> 종래의 DLL장치는 도면에 도시된 바와 같이 버퍼(110), 딜레이라인부(120), 위상감지기(130), 혼합제어기(140), 제 1신호처리부(150) 및 제 2신호처리부(160)를 포함한다.
- <17> 버퍼(110)는 외부 클럭신호(ext\_clk)를 입력받아 클럭의 엣지에서 활성화되는 클럭 입력신호(eclk)를 생성하고, 상기 클럭 입력신호를 후술하는 딜레이라인부(120)에 출력하는 역할을 한다.
- <18> 또한, 딜레이라인부(120)는 상기 버퍼(110)에서 상기 클럭 입력신호(ext\_clk)를 입력받고, 후술하는 제 1신호처리부(150) 및 후술하는 제 2신호처리부(160)의 제 1비교신호 및 제 2비교신호를 입력받아 상기 클럭 입력신호(eclk)를 소정의 시간만큼 지연시킨 후 후술하는 제 1신호처리부(150) 및 후술하는 제 2신호처리부(160)로 출력하는 역할을 한다.
- <19> 상기 딜레이라인부(120)내에 장착된 제 1딜레이라인(121)은 상기 버퍼(110)에서 상기 클럭 입력신호(eclk)를 입력받고, 후술하는 제 1신호처리부(150)의 제 1비교신호에 따라 상기 클럭 입력신호(eclk)의 딜레이 양을 조절함으로써 제 1클럭신호(intclk1)를 생성하고, 상기 제 1클럭신호(intclk1)를 후술하는 제 1신호처리부(150)로 출력하는 역할을 한다.
- <20> 한편, 상기 딜레이라인부(120)내에 장착된 제 2딜레이라인(122)은, 상기 버퍼(110)에서 상기 클럭 입력신호(eclk)를 입력받고, 후술하는 제 2신호처리부(160)의 제 2비교신호에 따라 딜레이 양을 조절한 후 반전하여 제 2클럭신호(intclk2)를 생성하고, 상기 제 2클럭신호(intclk2)를 후술하는 제 2신호처리부(160)로 출력하는 역할을 한다.
- <21> 한편, 위상감지기(130)는, 상기 딜레이라인부(120)에서 상기 제 1클럭신호(intclk1) 및 상기 제 2클럭신호(intclk2)의 반전된 값을 입력받고, 상기 제 1클럭신호(intclk1) 및 상기 제 2클럭신호(intclk2)의 하향 에지 중 어느 것이 앞서는 지를 나타내는 위상감지신호를 생성하고, 상기 위상감지신호를 후술하는 혼합 제어기(140)로 출력하는 역할을 한다.
- <22> 또한, 혼합제어기(140)는, 후술하는 제 1신호처리부(150)에서 입력된 상기 제 1비교신호(도시되지 않음) 및 후술하는 제 2신호처리부(160)에서 입력된 제 2비교신호(도시되지 않음)에 따라 DLL고정여부를 결정하고, 상기 위상감지신호에 따라 결정된 가중치(K)를 후술하는 제 1신호처리부(150) 및 제 2신호처리부(160)로 출력하며, 상기 DLL 고정 여부에 따라 후술하는 제 2신호처리부(160)로 온/오프 신호를 출력하는 역할을 한다. 여기서 상기 가중치는 복수 개의 가중신호를 포함하고 있다.
- <23> 한편, 제 1신호처리부(150)는 상기 가중치(K), 상기 제 1클럭신호(intclk1) 및 상기 제 2클럭신호(intclk2)를 입력받아 이를 통하여 제 1보상클럭신호(iclk1)를 생성하고, 상기 외부클럭신호(ext\_clk)를 입력받아 상기 제 1보상클럭신호(iclk1)와 비교하여 제 1비교신호를 생성하며, 상기 제 1비교신호를 상기 딜레이라인부(120)에 출력하는 역할을 한다.
- <24> 한편, 상기 제 1신호처리부(150) 내에 장착된 제 1위상혼합기(151)는, 상기 혼합제어기(140)에서 상기 가중치(K)를 입력받아 상기 제 1클럭신호(intclk1)에 1에서 상기 가중치(K)를 뺀 값을 적용하고, 상기 제 2클럭신호(intclk2)에 상기 가중치(K)를 적용하여, 듀티를 조정된 제 1혼합클럭신호(int\_clk)를 생성하고, 상기 제 1혼합클럭신호(int\_clk)를 후술하는 제 1딜레이모델부(152)로 출력하는 역할을 한다.
- <25> 한편, 상기 제 1신호처리부(150)내에 장착된 제 1딜레이모델부(152)는, 상기 제 1위상혼합기(151)로부터 듀티가 조정된 상기 제 1혼합클럭신호(int\_clk)를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제 1보상클럭신호(iclk1)를 생성하여 후술하는 제 1직접위상감지기(153)로 출력하는 역할을 한다.
- <26> 또한, 상기 제 1신호처리부(150)내에 장착된 제 1직접위상감지기(153)는, 상기 외부클럭신호(ext\_clk)를 입력받아 상기 제 1딜레이모델부(152)에서 입력된 상기 제 1보상클럭신호(iclk1)와 비교하여 제 1비교신호를 생성하고, 상기 제 1비교신호를 상기 딜레이라인부(120)에 출력하는 역할을 한다.
- <27> 한편 제 2신호처리부(160)는, 상기 가중치(K), 상기 제 1클럭신호(intclk1) 및 상기 제 2클럭신호(intclk2)를 입력받아 이를 통하여 제 2보상클럭신호(iclk2)를 생성하고, 상기 외부클럭신호(ext\_clk)를 입력받아 상기 제 2보상클럭신호(iclk2)와 비교하여 제 2비교신호를 생성하며, 상기 제 2비교신호를 상기 딜레이라인부(120)에 출력하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.

- <28> 또한, 상기 제 2신호처리부(160) 내에 장착된 제 2위상혼합기(161)는, 상기 혼합제어기(140)에서 상기 가중치(K)를 입력받아 상기 제 1클럭신호(intclk1)에 상기 가중치(K)를 적용하고, 상기 제 2클럭신호(intclk2)에 1에서 상기 가중치(K)를 뺀 값을 적용하여, 듀티를 조정한 제 2혼합클럭신호(intclk2')를 생성하며, 상기 제 2혼합클럭신호(intclk2')를 후술하는 제 2딜레이모델부(162)로 출력하고, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <29> 한편, 상기 제 2신호처리부(160) 내에 장착된 제 2딜레이모델부(162)는, 상기 제 2위상혼합기(161)로부터 듀티가 조절된 상기 제 2혼합클럭신호(intclk2')를 입력받아 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상하고, 제 2보상클럭신호(iclk2)를 생성하여 후술하는 제 2직접위상감지기(163)로 출력하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <30> 또한, 상기 제 2신호처리부(160)내에 장착된 제 2직접위상감지기(163)는, 상기 외부클럭신호(ext\_clk)를 입력받아 상기 제 2딜레이모델부(162)에서 입력된 상기 제 2보상클럭신호(iclk2)와 비교하여 제 2비교신호를 생성하고, 상기 제 2비교신호를 상기 딜레이라인부(120)에 출력하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 역할을 한다.
- <31> 도 2는 도 1의 디엘엘 장치의 동작을 나타낸 타이밍도로서, 이를 참조하여 디엘엘장치의 동작을 설명하면 다음과 같다.
- <32> 먼저, 디엘엘 장치의 고정이 끝나면, 제 1보상클럭신호(iclk1) 및 제 2보상클럭신호(iclk2)의 상향 에지 뿐만 아니라 제 1클럭신호(intclk1) 및 제 2클럭신호(intclk2)의 상향 에지 위상과 제 1혼합클럭신호(int\_clk) 제 2혼합클럭신호(intclk2')의 상향 에지 위상도 서로 같아지게 된다. 여기서, 계속적으로 제 1클럭신호(intclk1) 및 제 2클럭신호(intclk2)의 상향 에지가 일치되도록 함에 있어서 DLL이 고정된 그 순간부터는 제 2직접위상감지기(163)를 턴오프시킨채, 제 1직접위상감지기(153)만으로 딜레이라인부(120) 내에 있는 두 개의 딜레이 라인(121, 122) 모두를 제어하는 방식을 사용하게 된다.
- <33> 예를 들어, 외부 요인에 의하여 제 1혼합클럭신호(int\_clk)의 상향 에지가 외부 클럭 신호(ext\_clk)의 상향 에지보다 위상이 늦어지게 되면 제 1직접위상감지기(153)에서는 그 위상관계를 판단하여 두 개의 딜레이라인(121, 122)에 대해 딜레이를 줄이라는 명령을 내리게 되고, 그 명령에 따라서 딜레이라인부(120)에서 딜레이가 조금 줄어들게 되면 제 1클럭신호(intclk1) 및 제 2클럭신호(intclk2)의 상향 에지가 앞으로 당겨져서 그것을 혼합하여 출력하는 제 1혼합클럭신호(int\_clk)의 상향 에지 위상도 당겨지는 것이다.
- <34> 곧, 디엘엘장치가 동작을 시작할 때는 두 개의 딜레이라인(121, 122)에 대하여 각각의 직접위상감지기(153, 163)의 결과에 따라 독립적으로 딜레이를 튜닝(tuning)하다가 고정 상태가 되면 제 1직접위상감지기(153)로서 두 개의 딜레이라인(121, 122)의 딜레이를 조정하게 된다. 이러한 방식을 채택함에 따라, 제 2클럭신호(intclk2)가 거쳐가는 경로인 제 2신호처리부(160) 내에 장착된 제 2위상 혼합기(161), 제 2딜레이모델부(162) 및 제 2직접위상감지기(163)의 세 블록은 고정 이후부터는 모두 턴오프되며, 이러한 턴오프 과정을 통하여 전력 소모를 줄이게 된다.
- <35> 그러나 종래의 듀티 사이클 교정이 가능한 디엘엘장치에 있어서, 디엘엘 고정(locking)이후 전원전압(VDD)가 변할 경우에는 제 1클럭신호(intclk1)와 제 2클럭신호(intclk2)의 위상이 변하는 경우가 발생할 수 있다. 디엘엘 고정과정에서 두 딜레이라인(121,122)은 독립적인 고정과정을 거치게 되므로, 제 1클럭신호(intclk1)가 거치는 유닛 딜레이(Unit Delay)의 개수와 제 2클럭신호(intclk2)가 거치는 유닛 딜레이의 갯수가 다르다. 한 유닛 딜레이의 딜레이양은 전원전압이 높을때(High VDD)보다 낮을때(Low VDD) 더 많아지게 된다. 따라서 전원전압(VDD)이 변동하게 되면 제 1클럭신호(intclk1)와 제 2클럭신호(intclk2)의 위상이 변할 수 있다. 도 3은 디엘엘 고정 이후 전원전압(VDD)의 변동에 따라 제 1클럭신호(intclk1)와 제 2클럭신호(intclk2) 사이의 위상이 td만큼 변했음을 보여준다.
- <36> 도 4는 전원전압(VDD)이 변동함에 따라 제 1클럭신호와 제 2클럭신호의 위상이 td만큼 틀어졌을 경우 td값에 따른 디엘엘의 출력 파형을 나타낸 것인데 td값의 변화에 따라 디엘엘의 출력 파형이 변해 디엘엘의 성능이 저하되는 것을 확인할 수 있다. 또한, td가 tCK/2가 되는 경우에는(td=3.75ns) 디엘엘의 출력이 아예 토글링(toggling) 하지 않는 경우도 보인다.
- <37> 이러한 문제점을 해결하기 위해 디엘엘의 고정 이후에도, 제 2클럭신호(intclk2)가 거쳐가는 경로인 제 2신호처리부(160) 내에 장착된 제 2위상 혼합기(161), 제 2딜레이모델부(162) 및 제 2직접위상감지기(163)의 세 블록을 턴오프 하지 아니할 수는 있으나 이는 전류의 소모를 증가시키게 되는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

<38> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 디엘엘의 고정 이후 전원전압(VDD)의 변동에 따라 제 1클럭신호(intclk1)와 제 2클럭신호(intclk2)의 위상의 변화로 디엘엘의 성능이 저하되는 문제점을 해결하기 위한 것이다.

**발명의 구성 및 작용**

<39> 상기한 목적을 달성하기 위한 본 발명 디엘엘장치는, 지연고정을 위해 입력클럭을 지연시키기 위한 제1딜레이라인; 위상혼합을 통한 듀티보상을 위해, 상기 입력클럭을 지연하여 상기 제1딜레이라인에서 출력되는 정클럭인 제1클럭신호에 대응되는 부클럭인 제2클럭신호를 출력하는 제2딜레이라인; 상기 제1딜레이라인의 지연값을 제어하는 제1신호처리부; 상기 제2딜레이라인의 지연값을 제어하며, 지연고정 이후에는 오프되는 제2신호처리부; 상기 제1신호처리부와 상기 제2신호처리부의 출력신호를 입력받아 지연고정 여부를 결정하고, 상기 제2신호처리부의 온/오프를 제어하기 위한 제어부; 상기 제1클럭신호와 상기 제2클럭신호의 위상을 비교해 비교신호를 출력하기 위한 위상비교부; 및 지연고정 이전에는 상기 제2딜레이라인의 지연값 제어를 위해 상기 제2신호처리부의 출력신호를 선택하고, 지연고정 이후에는 상기 비교신호를 선택하기 위한 신호선택부를 포함한다.

<40> 또한 본 발명 디엘엘장치는, 외부 클럭신호를 입력받는 버퍼; 상기 버퍼의 출력신호를 입력받고, 제1비교신호를 입력받아 상기 클럭 입력신호를 소정의 시간만큼 지연시켜 제1클럭신호를 생성하는 제1딜레이라인; 상기 버퍼의 출력신호를 입력받고, 제2비교신호 혹은 위상비교부의 비교신호를 입력받아 상기 클럭 입력신호를 소정의 시간만큼 지연시켜 제2클럭신호를 생성하는 제2딜레이라인; 상기 제1클럭신호 및 상기 제2클럭신호의 반전된 값을 입력받아 그하향에서 중 어느 것이 앞서는지를 나타내는 위상 감지신호를 생성하는 위상 감지기; 상기 제1비교신호 및 상기 제2비교신호에 따라 디엘엘 고정 여부를 결정하고, 상기 디엘엘 고정 여부에 따라 온/오프 신호를 출력하며, 상기 위상 감지신호에 따라 결정된 가중치를 출력하는 혼합제어기; 상기 가중치, 상기 제1클럭신호 및 상기 제2클럭신호를 입력받아 이를 통하여 제1보상 클럭신호를 생성하고, 상기 외부 클럭신호를 입력받아 상기 제1보상 클럭신호와 비교하여 상기 제1비교신호를 생성하는 제1신호처리부; 상기 가중치, 상기 제1클럭신호 및 상기 제2클럭신호를 입력받아 이를 통하여 제2보상 클럭신호를 생성하고, 상기 외부 클럭신호를 입력받아 상기 제2보상 클럭신호와 비교하여 상기 제2비교신호를 생성하며, 상기 온/오프 신호에 따라 활성화/비활성화되는 제2신호처리부; 상기 제1딜레이라인의 제1클럭신호 및 상기 제2딜레이라인의 제2클럭신호의 위상 중 어느 것이 앞서는지를 나타내는 상기 비교신호를 생성하는 상기 위상비교부; 및 상기 디엘엘의 고정 이전에는 상기 제2비교신호를 제2딜레이라인에 입력하고, 상기 디엘엘의 고정 이후에는 상기 위상비교부의 비교신호를 상기 제2딜레이라인에 입력하는 신호선택부를 포함한다.

<41> 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<42> 도 5는 본 발명 전원전압 변동에 대비한 디엘엘장치의 일실시에 구성도이다.

<43> 도면에 도시된 바와 같이, 본 발명 디엘엘장치는 종래의 제 1 및 제 2딜레이라인(521, 522)을 구비하며 디엘엘 고정 이후에는 제 2딜레이라인(522)을 제어하는 제2신호처리부(560)가 오프되는 디엘엘장치에 있어서, 위상비교부(570)와 신호선택부(580)를 추가로 구비한다.

<44> 상기 위상비교부(570)는 상기 제 1딜레이라인의 출력신호인 제 1클럭신호(intclk1) 및 상기 제 2딜레이라인의 출력신호인 제 2클럭신호(intclk2)를 입력받아 두 신호중 어느 신호의 위상이 앞서는지를 나타내는 비교신호를 출력하는 역할을 한다.

<45> 상기 신호선택부(580)는 상기 디엘엘의 고정(locking) 이전에는 상기 제 2신호처리부(560)의 출력(제 2직접위상 감지기(563)의 출력)(PD\_out1)을 제 2딜레이라인(522)에 입력하고, 상기 디엘엘의 고정(locking) 이후에는 상기 위상비교부(570)의 비교신호(PD\_out2)를 제 2딜레이라인(522)에 입력하는 역할을 한다.

<46> 도 6은 도 5의 위상비교부의 일실시에 구성 및 그 동작을 설명하기 위한 도면이다.

<47> 도 6에 도시된 바와 같이 위상비교부(570)는 플립플롭 회로로 구성될 수 있다. 즉, 제 2클럭신호(intclk2)를 D 단자로, 제 1클럭신호(intclk1)는 클럭단자(clk)로 연결시키는 것으로 Q단자로 위상비교신호(PD\_out2)를 출력하는 위상비교기가 된다.

<48> 상기한 바와 같이 위상비교부(570)를 구성하는 경우 제 1클럭신호(intclk1)의 상향 에지에서 제 2클럭신호

(intclk2)의 상태를 샘플링하여 위상비교신호(PD\_out2)를 출력하게 된다.

- <49> 즉, 제 1클럭신호(intclk1)의 상향 에지에서 제 2클럭신호(intclk2)가 '하이' 였다면 '하이' 신호를 출력(PD\_out1)하게 되고, 이는 제 2클럭신호(intclk2)의 위상이 앞서 있다는 것을 의미하게 된다.(571)
- <50> 또한, 제 1클럭신호(intclk1)의 상향 에지에서 제 2클럭신호(intclk2)가 '로우' 였다면 '로우' 신호를 출력(PD\_out1)하게 되고, 이는 제 2클럭신호(intclk2)의 위상이 뒤처 있다는 것을 의미하게 된다.(572)
- <51> 도 7은 도 5의 신호선택부의 일실시에 구성도이다.
- <52> 신호선택부(580)는 제 2신호처리부를 온/오프 하는 신호(on\_off)를 입력받는데, 디엘엘이 고정되기 전이어서 온(on)신호가 입력될 때는 상기 제 2신호처리부의 출력(PD\_out1)을 제 2딜레이라인(522)에 공급하고, 디엘엘이 고정되어 오프(off)신호가 공급될 때는 위상비교부의 출력(PD\_out2)을 제 2딜레이라인에 공급하는 역할을 한다.
- <53> 상기 신호선택부(580)는 제 1전송라인(TG1)과 제 2전송라인(TG2)을 포함하는데, 제 1전송라인(TG1)은 상기 온(on) 신호시 턴온되어 상기 제 2신호처리부의 출력(PD\_out1)을 공급하며, 제 2전송라인(TG2)은 상기 오프(off) 신호시 턴온되어 상기 위상비교부의 출력(PD\_out2)을 공급한다.
- <54> 상기 제 1전송라인(TG1)은 상기 온/오프(on\_off) 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 제 2신호처리부의 출력(PD\_out1)을 공급하는 NMOS트랜지스터(N1); 및 상기 온/오프(on\_off) 신호를 인버터I1에 의해 반전한 신호를 게이트에 입력받으며 상기 제 1전송라인의 NMOS트랜지스터(N1)와 병렬로 연결된 PMOS트랜지스터(P1)를 포함한다.
- <55> 상기 제 2전송라인(TG2)은 상기 온/오프(on\_off) 신호를 게이트에 입력받아 자신의 드레인·소스 전송선로로 위상비교부의 출력(PD\_out2)을 공급하는 PMOS트랜지스터(P2); 및 상기 온/오프(on\_off) 신호를 인버터I1에 의해 반전한 신호를 게이트에 입력받으며 상기 제 2전송라인의 PMOS트랜지스터(P2)와 병렬로 연결된 NMOS트랜지스터(N2)를 포함한다.
- <56> 따라서 도면의 on\_off 단자로 온('하이') 신호 입력시에는 P1,N1트랜지스터가 턴온되어 PD\_out1 신호를 a1 단자로 출력하고, on\_off 단자로 오프('로우') 신호가 입력될 시에는 P2,N2트랜지스터가 턴온되어 PD\_out2신호를 a1 단자로 출력하게 된다.
- <57> 상기 a1단자로 공급된 신호를 신호선택부(580)의 출력신호로서 바로 출력할 수도 있으나, 도면에 도시된 바와 같이 직렬로 연결된 짝수개의 인버터(도면의 경우 I2, I3)를 사용해 a1 단자의 신호를 짝수번 반전하여 출력단(PD\_out\_result)으로 출력하는 것도 가능하다.
- <58> 본 발명 디엘엘장치는 디엘엘고정(locking) 이전에는 신호선택부(580)에서 종래의 제 2신호처리부(560)의 출력(PD\_out1)을 선택하여 제 2딜레이라인(522)으로 공급하기 때문에 디엘엘고정 이전의 동작은 종래의 디엘엘장치의 동작과 동일하다.
- <59> 하지만, 디엘엘고정(locking) 이후 제 2신호처리부(560)의 동작이 오프된 후에는 신호선택부(580)에서 위상비교부(570)의 출력(PD\_out2)을 선택하여 제 2딜레이라인(522)으로 출력을 하게 된다.
- <60> 따라서 제 2클럭신호(intclk2)가 제 1클럭신호(intclk1)보다 위상이 앞서 위상비교부(570)의 출력이 '하이' 인 경우에는 '하이' 신호가 제 2딜레이라인(522)으로 입력되어 제 2딜레이라인(522)의 딜레이를 증가시키고, 제 1클럭신호(intclk1)가 제 2클럭신호(intclk2)보다 위상이 앞서 위상비교부(570)의 출력이 '로우' 인 경우에는 '로우' 신호가 제 2딜레이라인(522)으로 입력되어 제 2딜레이라인(522)의 딜레이를 감소시키는 방법으로 제 1클럭신호(intclk1) 와 제 2클럭신호(intclk2)의 위상을 맞추게 된다.
- <61> 본 발명의 기술 사상은 상기 바람직한 일실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술사상의 범위 내에서 다양한 실시예가 가능함을 알 수 있을 것이다.

**발명의 효과**

- <62> 상술한 본 발명은, 디엘엘이 고정된 후 제 1클럭신호(intclk1) 및 제 2클럭신호(intclk2)를 비교하여 독립적으로 제 2딜레이라인의 딜레이량을 조절하는 것이 가능하기 때문에, 디엘엘이 고정된 후 전원전압의 변동에 따라 제 1클럭신호 및 제 2클럭신호의 위상이 어긋나는 것을 막아 디엘엘의 성능저하를 방지할 수 있는 장점이 있다.
- <63> 또한, 종래의 디엘엘의 경우에는 디엘엘 고정이후 전원전압 변동에 따른 성능저하를 막기 위해서는 제 2신호처



리부를 오픈시키지 않는 방법을 쓸 수밖에 없어 추가적으로 큰 전류를 소모할 수밖에 없었지만, 본 발명 디엘엘 장치는 많은 전류를 소모하지 않고 디엘엘의 성능을 개선시킬 수 있는 효과가 있다.

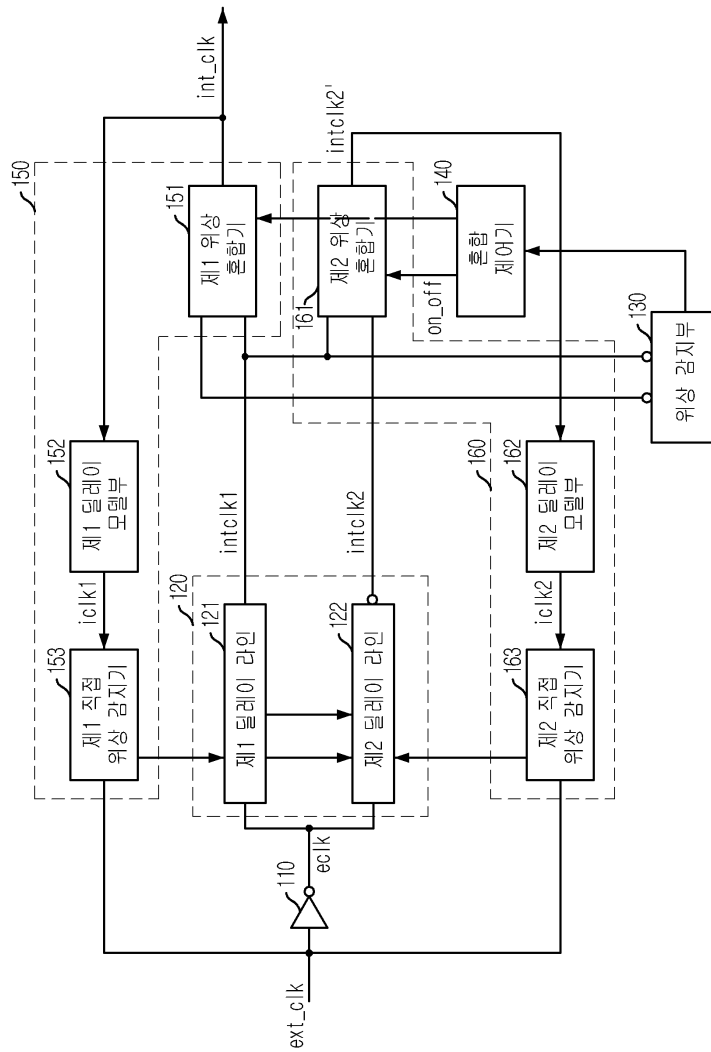
<64>

**도면의 간단한 설명**

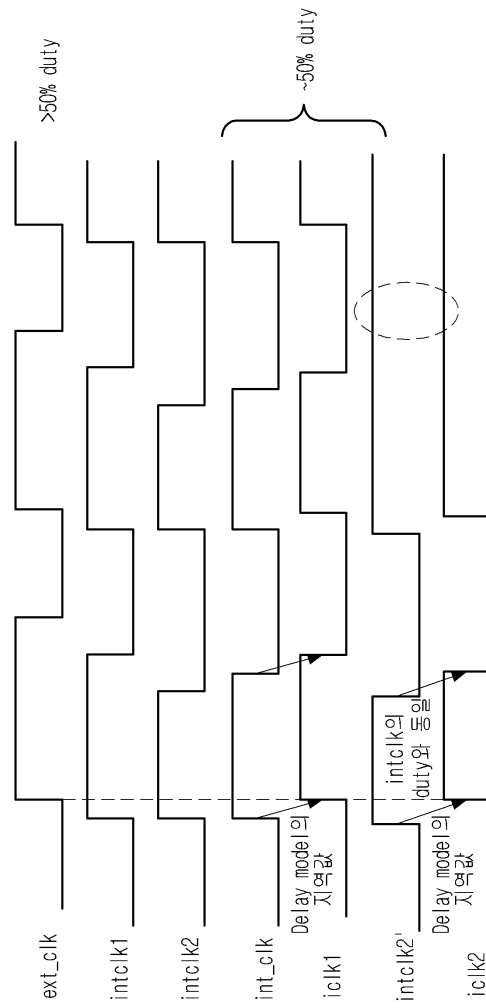
- <1> 도 1은 종래의 DLL장치를 나타낸 블록도
- <2> 도 2는 도 1의 디엘엘 장치의 동작을 나타낸 타이밍도
- <3> 도 3은 디엘엘 고정 이후 전원전압의 변동에 따라 제 1클럭신호와 제 2클럭신호 사이의 위상 변화를 나타내는 도면
- <4> 도 4는 위상차 변동값(td)에 따른 디엘엘의 출력 파형을 나타낸 도면
- <5> 도 5는 본 발명 전원전압 변동에 대비한 디엘엘장치의 일실시에 구성도
- <6> 도 6은 도 5의 위상비교부의 일실시에 구성 및 그 동작을 설명하기 위한 도면
- <7> 도 7은 도 5의 신호선택부의 일실시에 구성도
- <8> \*도면의 주요 부분에 대한 부호의 설명
- <9> 521: 제 1딜레이라인                      522: 제 2딜레이라인
- <10> 560: 제 2신호처리부                      570: 위상비교부
- <11> 580: 신호선택부

도면

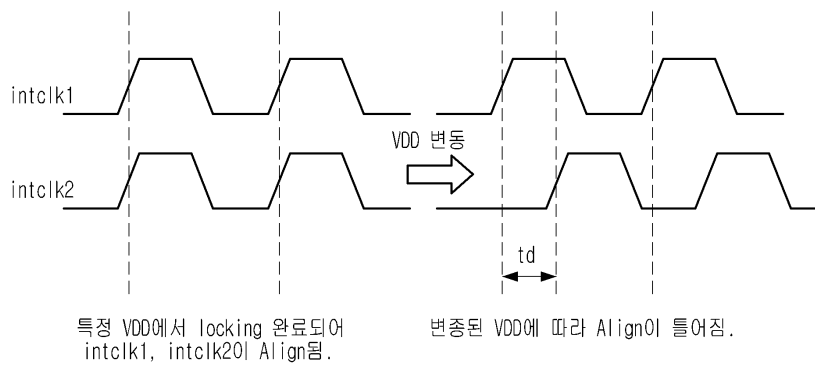
도면1



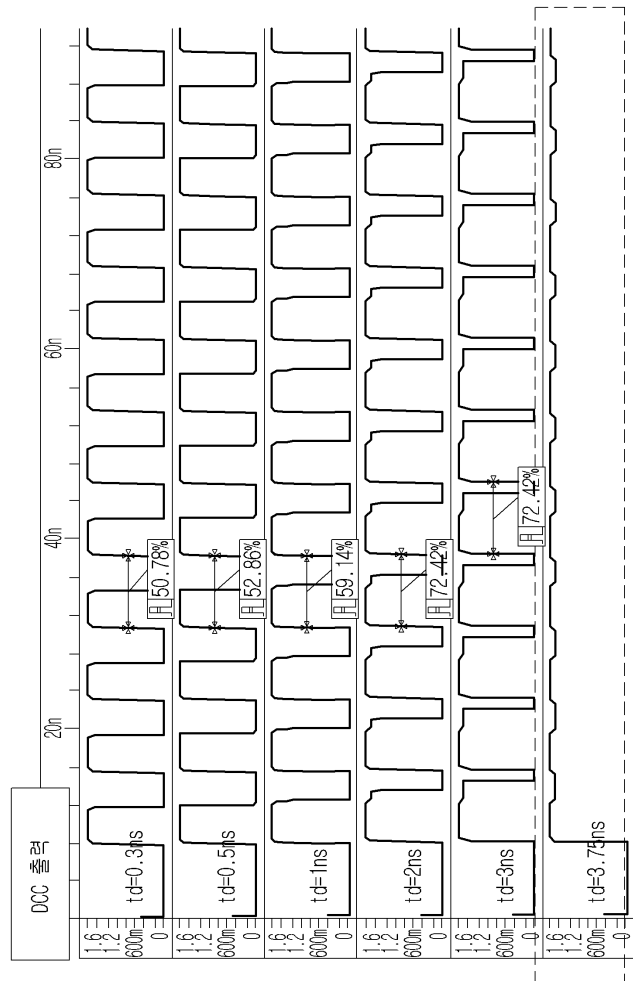
도면2



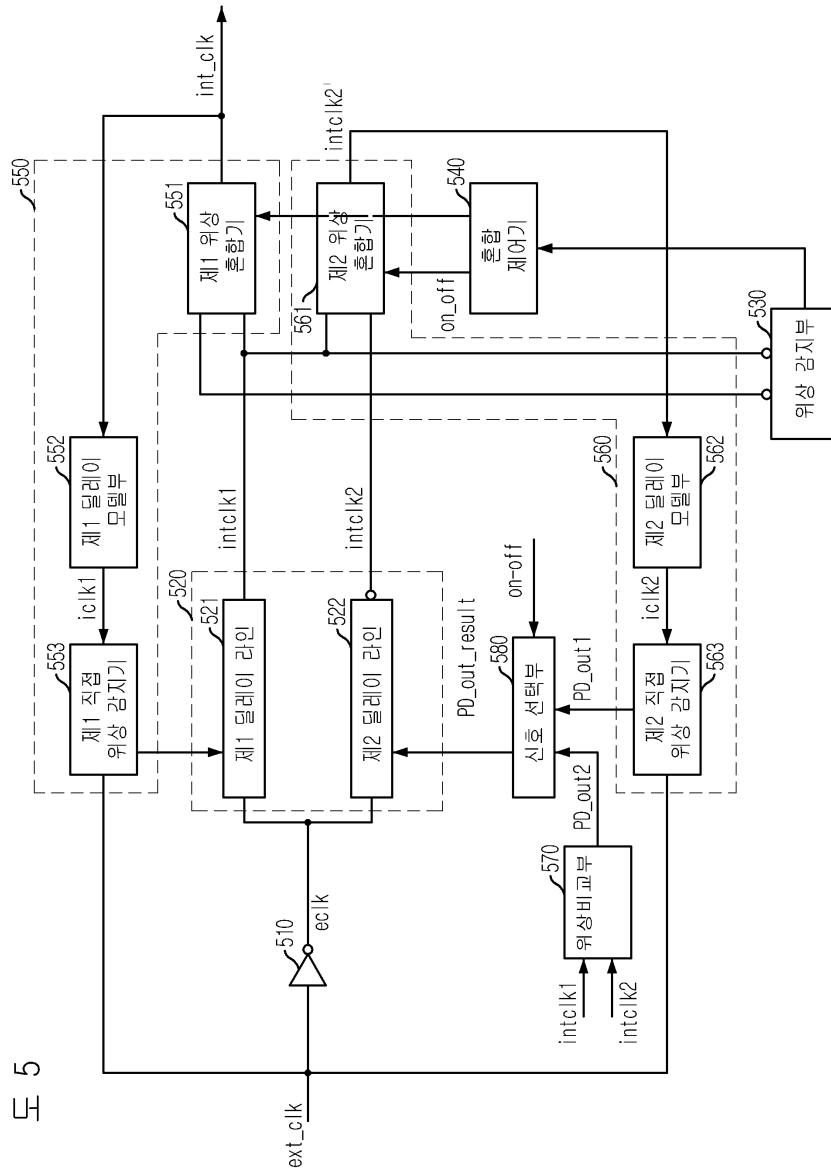
도면3



도면4

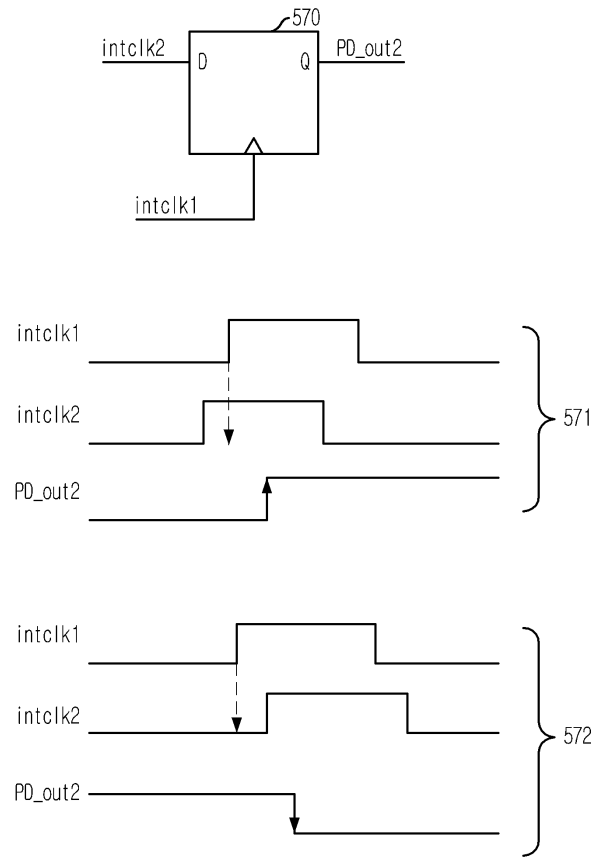


도면5



도 5

도면6



도면7

