

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5994679号  
(P5994679)

(45) 発行日 平成28年9月21日 (2016. 9. 21)

(24) 登録日 平成28年9月2日 (2016. 9. 2)

(51) Int. Cl.

H03K 19/177 (2006.01)

F I

H03K 19/177

請求項の数 6 (全 18 頁)

(21) 出願番号	特願2013-36080 (P2013-36080)	(73) 特許権者	514315159
(22) 出願日	平成25年2月26日 (2013. 2. 26)		株式会社ソシオネクスト
(65) 公開番号	特開2014-165748 (P2014-165748A)		神奈川県横浜市港北区新横浜 2 丁目 1 〇 番
(43) 公開日	平成26年9月8日 (2014. 9. 8)		2 3
審査請求日	平成27年11月2日 (2015. 11. 2)	(74) 代理人	100105957
			弁理士 恩田 誠
		(74) 代理人	100068755
			弁理士 恩田 博宣
		(72) 発明者	岡田 一彦
			愛知県春日井市高蔵寺町二丁目 1 8 4 4 番
			2 富士通 V L S I 株式会社内
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 処理装置、及び処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数の処理ユニットを含み回路構成情報に応じた前記処理ユニットにより論理回路を再構成するプログラマブル論理回路を有する処理装置であって、

第 1 の処理に応じた第 1 の回路構成情報により構築される論理回路に含まれる前記処理ユニット内の情報保持部に、前記第 1 の処理に関連し前記第 1 の処理の次に実施される第 2 の処理に応じた第 2 の回路構成情報を格納し、前記第 1 の処理の実行制御信号を出力する第 1 の制御回路と、

前記第 1 の処理の終了に応じて、前記情報保持部から取得した前記第 2 の回路構成情報により前記プログラマブル論理回路の再構成を制御する第 2 の制御回路と、  
を有することを特徴とする処理装置。

【請求項 2】

前記第 1 の制御回路は、前記第 2 の回路構成情報を格納する前記情報保持部に、前記第 2 の処理に関連し前記第 2 の処理の次に実施する第 3 の処理に応じた第 3 の回路構成情報を格納し、

前記第 2 の制御回路は、前記情報保持部から取得した前記第 2 の回路構成情報により前記第 2 の処理を実施する論理回路に含まれる前記処理ユニット内の前記情報保持部に前記第 3 の回路構成情報を設定し、前記第 2 の処理を実施する前記処理ユニットに処理の実行を指示すること、

を特徴とする請求項 1 に記載の処理装置。

10

20

**【請求項 3】**

前記第 1 の制御回路は、前記第 1 の回路構成情報をメモリに格納し、再構成制御信号を出力し、

前記第 2 の制御回路は、前記再構成制御信号に応じて、前記メモリから取得した前記第 1 の回路構成情報により前記プログラマブル論理回路の再構成を制御して前記第 1 の処理に応じた論理回路を構築させること、  
を特徴とする請求項 1 又は 2 に記載の処理装置。

**【請求項 4】**

前記第 1 の制御回路は、前記プログラマブル論理回路において再構成される論理回路に応じた実行パラメータを、前記メモリの複数のメモリ領域のうち前記第 2 の回路情報を取得する前記処理ユニットに応じたメモリ領域に格納し、

前記第 2 の制御回路は、前記第 2 の回路構成情報を取得する前記情報保持部を含む前記処理ユニットに応じた前記メモリ領域に格納された動作パラメータを取得して再構成された論理回路の処理ユニットに設定すること、  
を特徴とする請求項 3 に記載の処理装置。

**【請求項 5】**

複数の処理ユニットを含み回路構成情報に応じた前記処理ユニットにより論理回路を再構成するプログラマブル論理回路によって第 1 の演算処理と第 2 の演算処理を実施する処理装置であって、

前記第 1 の演算処理は連続的に実施される第 1 の処理及び第 2 の処理を含み、

前記第 1 の処理に応じた回路構成情報と前記第 2 の演算処理に応じた回路構成情報をメモリに格納し、前記第 1 の処理に応じた第 1 の回路構成情報により構築される論理回路に含まれる前記処理ユニット内の情報保持部に、前記第 2 の処理に応じた第 2 の回路構成情報を格納し、前記第 1 の処理の実行制御信号を出力する第 1 の制御回路と、

前記実行制御信号に応じて、前記メモリから前記回路構成情報を読み出して前記プログラマブル論理回路に前記第 1 の処理に応じた論理回路と前記第 2 の演算処理に応じた論理回路を構築する再構成を制御し、前記第 1 の処理の終了に応じて、前記情報保持部から取得した前記第 2 の回路構成情報により前記プログラマブル論理回路の再構成を制御する第 2 の制御回路と、

を有することを特徴とする処理装置。

**【請求項 6】**

複数の処理ユニットを含み回路構成情報に応じた前記処理ユニットによりプログラマブル論理回路を再構成する処理装置の制御方法であって、

第 1 の処理に応じた第 1 の回路構成情報により構築される論理回路に含まれる前記処理ユニット内の情報保持部に、前記第 1 の処理に関連し前記第 1 の処理の次に実施される第 2 の処理に応じた第 2 の回路構成情報を格納して前記第 1 の処理を実行させ、

前記第 1 の処理の終了に応じて、前記情報保持部から取得した前記第 2 の回路構成情報により前記プログラマブル論理回路を再構成して前記第 2 の処理に応じた論理回路を構築すること、

を特徴とする処理装置の制御方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

処理装置、及び処理装置の制御方法に関する。

**【背景技術】****【0002】**

従来、論理構造をプログラマブルに変更可能な論理回路を有する半導体装置が提案されている（例えば、特許文献 1 参照）。論理回路は、複数の演算器を有している。論理回路は、半導体装置に含まれる制御回路（例えば CPU）によって設定される構成情報に従って演算器を接続する。論理回路は、演算器の接続、つまり構成情報に応じた論理構造を構

10

20

30

40

50

成すると、終了フラグを出力する。制御回路は、終了フラグに応じて論理回路に対して演算の実行を指示する。そして、論理回路は、指示に応じて処理を実行し、処理を終了すると終了フラグを出力する。制御回路は、その終了フラグに応じて、次の構成情報を論理回路に設定する。このように、論理回路が処理を終了する毎に次の構成情報を設定する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-68993号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0004】

ところで、制御回路は、論理回路における処理の終了に応じた終了フラグに応じて構成情報をその論理回路に設定する。このため、論理回路において、複数の処理を実行させると、全ての処理が終了しなければ次の構成情報を設定することができない。このような論理回路における構成情報の設定は、処理時間の短縮を妨げる要因となる。

【課題を解決するための手段】

【0005】

本発明の一観点によれば、複数の処理ユニットを含み回路構成情報に応じた前記処理ユニットにより論理回路を再構成するプログラマブル論理回路を有する処理装置であって、第1の処理に応じた第1の回路構成情報により構築される論理回路に含まれる前記処理ユニット内の情報保持部に、前記第1の処理に関連し前記第1の処理の次に実施される第2の処理に応じた第2の回路構成情報を格納し、前記第1の処理の実行制御信号を出力する第1の制御回路と、前記第1の処理の終了に応じて、前記情報保持部から取得した前記第2の回路構成情報により前記プログラマブル論理回路の再構成を制御する第2の制御回路とを有する。

20

【発明の効果】

【0006】

本発明の一観点によれば、処理時間の短縮を図ることができる。

【図面の簡単な説明】

【0007】

30

【図1】半導体装置及びメモリの概略ブロック回路図である。

【図2】半導体装置及びメモリの概略動作を説明するためのブロック回路図である。

【図3】出力インタフェース部、再構成制御部のブロック回路図である。

【図4】(a)～(c)は処理の一例を示す説明図である。

【図5】プログラマブル論理回路の再構成の説明図である。

【図6】プログラマブル論理回路の再構成の説明図である。

【図7】プログラマブル論理回路の再構成の説明図である。

【図8】再構成処理のフローチャートである。

【図9】再構成処理のフローチャートである。

【図10】再構成処理のフローチャートである。

40

【図11】(a)は半導体装置の動作を示すタイミング図、(b)は比較例の動作を示すタイミング図である。

【発明を実施するための形態】

【0008】

以下、一実施形態を添付図面に従って説明する。

図1に示すように、処理装置10は、再構成制御回路11、プログラマブル論理回路12、中央演算処理装置(以下、CPU)13、メモリインタフェース(「メモリI/F」と表記)14を有し、それらはバス15を介して互いに通信可能に接続されている。

【0009】

メモリインタフェース14は、メモリ100と接続される。メモリ100は、例えばダ

50

イナミックランダムアクセスメモリ（ＤＲＡＭ）である。再構成制御回路１１、プログラマブル論理回路１２、ＣＰＵ１３は、バス１５とメモリインタフェース１４を介してメモリ１００をアクセスする。

【００１０】

ＣＰＵ１３はメモリ１３ａを有している。メモリ１３ａは不揮発性メモリである。メモリ１３ａには、ＣＰＵ１３が実行するプログラムデータが格納されている。ＣＰＵ１３は、メモリ１３ａに格納されたプログラムデータに従って処理を順次実行する。ＣＰＵ１３は、プログラマブル論理回路１２にて実行する処理に応じた再構成情報を、メモリ１００とプログラマブル論理回路１２に格納する。ＣＰＵ１３は第１の制御回路の一例である。

【００１１】

再構成制御回路１１は、プログラマブル論理回路１２における論理回路の再構築を制御する。再構成制御回路１１は、メモリ１００に格納された再構成情報をプログラマブル論理回路１２に設定する。また、再構成制御回路１１は、プログラマブル論理回路１２に格納された再構成情報を読み出し、その再構成情報をプログラマブル論理回路１２に設定する。再構成制御回路１１は第２の制御回路の一例である。

【００１２】

プログラマブル論理回路１２は、設定される再構成情報に応じた論理回路を構築する機能を有している。プログラマブル論理回路１２は、複数の論理回路を構築可能である。また、プログラマブル論理回路１２は、１つの論理回路の動作中に、別の複数の論理回路の再構築が可能である。論理回路は例えば演算回路である。プログラマブル論理回路１２は、再構成情報を保持する情報保持部１２ａを有している。プログラマブル論理回路１２は、複数の処理ユニットを有している。プログラマブル論理回路１２は、再構成情報に応じて、複数の処理ユニットを互いに接続して論理回路を構築する。

【００１３】

再構成情報は、回路構成情報と動作パラメータを含む。回路構成情報は例えば、構築する論理回路に含める処理ユニットを指定するためのユニット情報と、２つの処理ユニットの間及び処理ユニットと外部回路の間を接続するための接続情報を含む。動作パラメータは、構築した論理回路の動作のための初期値や、設定値を含む。設定値は、例えば処理ユニットが行う処理に必要なデータの構成を示す値（例えばビット数）や、処理により生成するデータの量、である。

【００１４】

ＣＰＵ１３は、メモリ１００のプログラム領域１０２とプログラマブル論理回路１２の情報保持部１２ａに回路構成情報を設定する。また、ＣＰＵ１３は、メモリ１００のプログラム領域１０２に、プログラマブル論理回路１２の動作に必要な動作パラメータを設定する。

【００１５】

再構成制御回路１１は、プログラマブル論理回路１２における論理回路の再構築を制御する。再構成制御回路１１は、ＣＰＵ１３の指示に従って、メモリ１００のプログラム領域１０２に格納された回路構成情報と動作パラメータを読み出し、その回路構成情報と動作パラメータをプログラマブル論理回路１２に設定する。プログラマブル論理回路１２は、設定された回路構成情報に応じた論理回路を構築する。この論理回路は、設定された動作パラメータに基づいて、メモリ１００のデータ領域１０１から読み出したデータ（リードデータ）を処理し、処理後のデータ（ライトデータ）をデータ領域１０１に格納する。そして、論理回路は、処理終了フラグ出力する。

【００１６】

また、再構成制御回路１１は、プログラマブル論理回路１２から出力される処理終了フラグに基づいて、プログラマブル論理回路１２の情報保持部１２ａに格納された回路構成情報を読み出し、メモリ１００のプログラム領域１０２に格納された動作パラメータを読み出す。そして、再構成制御回路１１は、回路構成情報及び動作パラメータをプログラマブル論理回路１２に設定する。上記と同様に、プログラマブル論理回路１２は、設定され

10

20

30

40

50

た回路構成情報に応じた論理回路を構築する。この論理回路は、設定された動作パラメータに基づいて、メモリ１００のデータ領域１０１から読み出したデータ（リードデータ）を処理し、処理後のデータ（ライトデータ）をデータ領域１０１に格納する。

【００１７】

図２は、プログラマブル論理回路１２の構成例と、再構成制御回路１１、プログラマブル論理回路１２、ＣＰＵ１３、及びメモリ１００の間の各種信号の授受を説明するものである。なお、図２では、図１に示すメモリインタフェース１４及びバス１５を省略している。

【００１８】

プログラマブル論理回路１２は、複数（図２では２４個）の処理ユニットＥ００～Ｅ２３と接続部ＮＵを有している。処理ユニットＥ０１～Ｅ２０は例えば演算器である。処理ユニットＥ２１～Ｅ２４は例えば出力インタフェース部である。以下の説明において、演算器Ｅ０１～Ｅ２０、出力インタフェース部Ｅ２１～Ｅ２４を用いる場合がある。

【００１９】

接続部ＮＵは、回路構成情報に従って、回路構成情報に応じた処理ユニットを互いに接続する。また、接続部ＮＵは、回路構成情報に応じた処理ユニットを図１に示すバス１５に接続する。例えば、図５に示すように、接続部ＮＵは、第１の回路構成情報に応じて、処理ユニットＥ０１と処理ユニットＥ０５の間を接続する。同様に接続部ＮＵは、第１の回路構成情報に応じて、処理ユニットＥ０５－Ｅ０９、処理ユニットＥ０９－Ｅ１４、処理ユニットＥ１４－Ｅ１９、処理ユニットＥ１９－Ｅ２２を接続する。また、接続部ＮＵは、第１の回路構成情報に応じて、処理ユニットＥ０１、Ｅ２２を図１に示すバス１５に接続する。

【００２０】

また、接続部ＮＵは、第２の回路構成情報に応じて、処理ユニットＥ０２－Ｅ１０－Ｅ１３－Ｅ２１を接続するとともに、処理ユニットＥ０２、Ｅ２１を図１に示すバス１５に接続する。また、接続部ＮＵは、第３の回路構成情報に応じて、処理ユニットＥ０３－Ｅ０６－Ｅ１１－Ｅ１５－Ｅ２３を接続するとともに、処理ユニットＥ０３、Ｅ２３を図１に示すバス１５に接続する。

【００２１】

処理ユニットＥ２１は、情報保持部ＲＲ１を有している。同様に、処理ユニットＥ２２～Ｅ２４は、情報保持部ＲＲ２～ＲＲ４を有している。これらの情報保持部ＲＲ１～ＲＲ４は、図１に示す情報保持部１２ａの一例である。

【００２２】

処理ユニットＥ２１～Ｅ２４は例えば出力インタフェース部である。プログラマブル論理回路１２において再構築される論理回路はデータをプログラマブル論理回路１２の外部に出力するため、少なくとも１つの出力インタフェース部、つまり処理ユニットＥ２１～Ｅ２４を含む。

【００２３】

メモリ１００のプログラム領域１０２は、情報保持部ＲＲ１～ＲＲ４を含む処理ユニットＥ２１～Ｅ２４に対応する４つのメモリ領域１１１～１１４を含む。ＣＰＵ１３は、各メモリ領域１１１～１１４に、プログラマブル論理回路１２にて最初の実施する処理のための回路構成情報ＣＩ１を格納する。また、ＣＰＵ１３は、各メモリ領域１１１～１１４に、対応する処理ユニットＥ０１～Ｅ２４を利用する処理のための動作パラメータＥＰ１、ＥＰ２を設定する。

【００２４】

ＣＰＵ１３は、各処理ユニットＥ２１～Ｅ２４の情報保持部ＲＲ１～ＲＲ４に、各処理ユニットＥ２１～Ｅ２４を利用する処理の次に実行する処理のための回路構成情報ＣＩ２を設定する。

【００２５】

ＣＰＵ１３は、再構成制御回路１１に対して再構成制御信号ＥＣ１を出力する。

10

20

30

40

50

再構成制御回路 11 は、再構成制御信号 EC1 に応答してプログラマブル論理回路 12 に対する最初の処理のための再構成処理を行う。この再構成処理において、再構成制御回路 11 は、先ずメモリ領域 111 ~ 114 に格納された最初の処理のための回路構成情報 CI1 を各メモリ領域 111 ~ 114 から読み出し、この回路構成情報 CI1 をプログラマブル論理回路 12 に出力する。プログラマブル論理回路 12 は、回路構成情報 CI1 に応じた論理回路を再構成する。

【0026】

次に、再構成制御回路 11 は、メモリ領域 111 ~ 114 に格納された最初の処理のための動作パラメータ EP1 を各メモリ領域 111 ~ 114 から読み出し、この動作パラメータ EP1 をプログラマブル論理回路 12 に出力する。プログラマブル論理回路 12 は、

10

供給される動作パラメータ EP1 を対応する処理ユニットに設定する。

【0027】

そして、再構成制御回路 11 は、プログラマブル論理回路 12 における再構成処理を終了し、終了フラグ EFa を出力する。

CPU13 は、再構成制御回路 11 から出力される終了フラグ EFa に応答して、プログラマブル論理回路 12 に実行制御信号 EX1 を出力する。

【0028】

プログラマブル論理回路 12 は、実行制御信号 EX1 に応答して、構築した各論理回路を起動する。各論理回路は、動作パラメータ EP1 に基づいて、メモリ 100 のデータ領域 101 の処理データを読み出し、その処理データに対して所定の処理（例えば、演算処理）を実施する。そして、実行中の論理回路に含まれる処理ユニット E21 ~ E24 は、処理後のデータを、動作パラメータ EP1 に応じたメモリ 100 の領域に格納する。

20

【0029】

各処理ユニット E21 ~ E24 は、それぞれが含まれる論理回路の処理に従って終了フラグ（EFb1 ~ EFb4）を出力する。

再構成制御回路 11 は、終了フラグ EFb1 ~ EFb4 を受け、処理を終了した論理回路を判定する。再構成制御回路 11 は、処理を終了した論理回路に含まれる処理ユニットの情報保持部 RR1 ~ RR4 から次に実行する処理のための回路構成情報 CI2 を読み出す。また、再構成制御回路 11 は、次に実行する処理のための動作パラメータ EP2 を対応するメモリ領域 111 ~ 114 から読み出す。そして、再構成制御回路 11 は、情報保持部 RR1 ~ RR4 から読み出した回路構成情報 CI2 とメモリ領域から読み出した動作パラメータ EP2 をプログラマブル論理回路 12 に出力する。プログラマブル論理回路 12 は、回路構成情報 CI2 に応じた論理回路を再構成し、論理回路に含まれる処理ユニットに動作パラメータ EP2 を設定する。

30

【0030】

そして、再構成制御回路 11 はプログラマブル論理回路 12 に実行制御信号 EX2 を出力する。

プログラマブル論理回路 12 は、実行制御信号 EX2 に応答して、構築した各論理回路を起動する。各論理回路は、動作パラメータ EP2 に基づいて、メモリ 100 のデータ領域 101 の処理データを読み出し、その処理データに対して所定の処理（例えば、演算処理）を実施する。そして、実行中の論理回路に含まれる処理ユニット E21 ~ E24 は、処理後のデータを、動作パラメータ EP1 に応じたメモリ 100 の領域に格納する。

40

【0031】

上記したように、終了フラグ EFb1 ~ EFb4 は、処理を終了した論理回路に含まれる処理ユニット E21 ~ E24 から出力される。再構成制御回路 11 は、この終了フラグ EFb1 ~ EFb4 に基づいて、次の処理のための回路構成情報 CI2 を、処理を終了した論理回路に含まれる処理ユニットから読み出す。また、再構成制御回路 11 は、処理が終了した論理回路の処理ユニット E21 ~ E24 に対応するメモリ領域 111 ~ 114 から動作パラメータ EP2 を読み出す。そして、再構成制御回路 11 は、回路構成情報 CI2 及び動作パラメータ EP2 を、プログラマブル論理回路 12 に供給し、プログラマブル

50

論理回路 1 2 を再構築する。

【 0 0 3 2 】

従って、プログラマブル論理回路 1 2 において処理を実行中の論理回路があっても、別の論理回路の再構築し、その再構築した論理回路における処理の実行が可能となる。このため、プログラマブル論理回路 1 2 において再構築された複数の論理回路の全ての処理が終了した後に次の処理のための論理回路を再構築する場合と比べ、プログラマブル論理回路 1 2 に含まれる処理ユニットを有効に使用することができる。そして、連続的に実施する複数の処理における待ち時間を少なくし、プログラマブル論理回路 1 2 船体における処理時間を短縮することができる。

【 0 0 3 3 】

図 3 は、再構成制御回路 1 1 と処理ユニット E 2 1 ~ E 2 4 (出力インタフェース部 E 2 1 ~ E 2 4) の構成例を説明するものである。なお、出力インタフェース部 E 2 1 ~ E 2 4 は互いに同じ構成であるため、出力インタフェース部 E 2 1 について主に説明し、出力インタフェース部 E 2 2 ~ E 2 4 の説明の一部を省略する。また、図 3 において、出力インタフェース部 E 2 2 ~ E 2 4 に含まれる部材を省略する。なお、図 3 では、図 1 に示すメモリインタフェース 1 4 及びバス 1 5 を省略している。

【 0 0 3 4 】

出力インタフェース部 E 2 1 は、レジスタ 3 1 ~ 3 3、データ制御部 3 4、インタフェース制御部 3 5 を有している。

第 1 のレジスタ 3 1 と第 2 のレジスタ 3 2 は、出力インタフェース部 E 2 1 の動作パラメータを格納するために設けられている。例えば、第 1 のレジスタ 3 1 に格納される動作パラメータは出力サイズであり、第 2 のレジスタ 3 2 に格納される動作パラメータは出力アドレスである。出力サイズは、メモリ 1 0 0 に対して 1 回の転送より転送するデータの量であり、出力アドレスはデータを書き込む領域を指定するものである。第 3 のレジスタ 3 3 は、回路構成情報 C I 2 を格納するために設けられている。レジスタ 3 1 ~ 3 3 は、情報保持部 R R 1 の一例である。尚、図示しないが、出力インタフェース部 E 2 2 ~ E 2 4 は同様にレジスタ 3 1 ~ 3 3 をそれぞれ有し、これらのレジスタ 3 1 ~ 3 3 は情報保持部 R R 2 ~ R R 4 の一例である。

【 0 0 3 5 】

データ制御部 3 4 には、この出力インタフェース部 E 2 1 に接続された処理ユニットの出力データ S D 1 が供給される。データ制御部 3 4 は、出力データ S D 1 のデータ量を監視し、最初のデータ到着を意味する制御信号をインタフェース制御部 3 5 に出力し、更にデータ量が出力サイズ分に達した時点で終了を意味する制御信号をインタフェース制御部 3 5 に出力する。

【 0 0 3 6 】

インタフェース制御部 3 5 は、データ制御部 3 4 から出力される制御信号に応答して、レジスタ 3 1 の出力サイズ O S とレジスタ 3 2 の出力アドレス O A に基づいて、データ制御部 3 4 に保持された出力データ D 0 をメモリ 1 0 0 に出力する。これにより、データ制御部 3 4 のデータが、出力アドレスにて指定されるメモリ 1 0 0 のデータ領域 1 0 1 に格納される。

【 0 0 3 7 】

また、インタフェース制御部 3 5 は、メモリ 1 0 0 に対してデータを出力すると、終了フラグ E F b 1 を出力する。同様に、各出力インタフェース部 E 2 2 ~ E 2 4 のインタフェース制御部は、出力データ S D 2 ~ S D 4 に応じたデータ D 1 ~ D 3 をメモリ 1 0 0 に対して出力し、終了フラグ E F b 2 ~ E F b 4 を出力する。

【 0 0 3 8 】

再構成制御回路 1 1 は、回路再構成制御部 2 1、出力選択部 2 2、情報選択部 2 3、アドレス制御部 2 4 を含む。

アドレス制御部 2 4 は、終了フラグ E F b 1 ~ E F b 4 に基づいて、処理を終了した出力インタフェース部 E 2 1 ~ E 2 4 に対応するメモリ領域 1 1 1 ~ 1 1 4 をアクセスする

10

20

30

40

50

ためのアドレスを決定する。プログラマブル論理回路 1 2 にて実行する処理にて利用される出力インタフェース部 E 2 1 ~ E 2 4 と処理の順番は予め決定されている。例えば、プログラマブル論理回路 1 2 が実行する処理に従ってポインタを変更し、そのポインタと終了フラグ E F b 1 ~ E F b 4 にしたがってアドレスを決定する。そして、アドレス制御部 2 4 は、決定したアドレスをメモリ 1 0 0 に出力する。メモリ 1 0 0 は、アドレス制御部 2 4 から供給されるアドレスに基づいて、対応するメモリ領域 1 1 1 ~ 1 1 4 の動作パラメータを出力する。

【 0 0 3 9 】

情報選択部 2 3 は、終了フラグ E F b 1 ~ E F b 4 に基づいて、処理を終了した出力インタフェース部を判定し、判定結果に基づいて処理を終了した出力インタフェース部のレジスタ 3 3 から回路構成情報を読み出す。例えば、情報選択部 2 3 は終了フラグ E F b 1 に基づいて出力インタフェース部 E 2 1 のレジスタ 3 3 から回路構成情報 C I 2 1 を読み出す。同様に、情報選択部 2 3 は、終了フラグ E F b 2 ~ E F b 4 に基づいて、出力インタフェース部 E 2 2 ~ E 2 4 のレジスタから回路構成情報 C I 2 2 ~ C I 2 4 を読み出す。そして、情報選択部 2 3 は、レジスタから読み出した回路構成情報を回路再構成制御部 2 1 に出力する。なお、図 3 では、回路構成情報 C I 2 1 ~ C I 2 4 の何れか 1 つをしめすために「C I 2」を用いている。なお、動作パラメータ E P 2 についても同様である。

【 0 0 4 0 】

回路再構成制御部 2 1 は、回路構成情報 C I 2 と動作パラメータ E P 2 を出力選択部 2 2 に出力する。出力選択部 2 2 は、回路構成情報 C I 2 をプログラマブル論理回路 1 2 に出力する。プログラマブル論理回路 1 2 は、回路構成情報 C I 2 に応じた論理回路を構築する。出力選択部 2 2 は、回路構成情報 C I 2 に基づいて、次に動作する処理ユニットに動作パラメータ E P 2 を設定する。

【 0 0 4 1 】

例えば、回路構成情報 C I 2 に基づいて、次に実行する論理回路は出力インタフェース部 E 2 1 を含む。この場合、出力選択部 2 2 は、出力インタフェース部 E 2 1 のレジスタ 3 1 , 3 2 に動作パラメータ E P 2 1 を設定する。同様に、次に実行する論理回路に出力インタフェース部 E 2 2 ~ E 2 4 が含まれる場合、出力選択部 2 2 は、出力インタフェース部 E 2 2 ~ E 2 4 のレジスタに動作パラメータ E P 2 2 ~ E P 2 4 を設定する。

【 0 0 4 2 】

したがって、再構成制御回路 1 1 は、回路構成情報 C I 2 と動作パラメータ E P 2 に基づいて、次に処理を実行する論理回路の再構成を制御する。回路構成情報 C I 2 は、再構成する論理回路に含まれる処理ユニットを指定する情報（ユニット番号）が含まれる。再構成制御回路 1 1 は、回路構成情報 C I 2 をプログラマブル論理回路 1 2 に出力する。また、再構成制御回路 1 1 は、プログラマブル論理回路 1 2 において再構成される論理回路に含まれる処理ユニットに動作パラメータ E P 2 を設定する。

【 0 0 4 3 】

次に、プログラマブル論理回路 1 2 に対する再構成処理の流れを説明する。なお、処理の説明において用いる部材等は、上記の図 1 ~ 図 4 を参照されたい。

図 8 に示すように、まず、ステップ 2 0 1 において、C P U 1 3 は、プログラマブル論理回路 1 2 と図 1 に示すメモリ 1 0 0 に対して、回路構成情報及び動作パラメータを設定する。そして、C P U 1 3 は、再構成制御信号 E C 1 を出力する。

【 0 0 4 4 】

次に、ステップ 2 0 2 において、再構成制御回路 1 1 は、再構成制御信号 E C 1 に応答してプログラマブル論理回路 1 2 を再構成し、終了フラグ E F a を出力する。C P U 1 3 は、その終了フラグ E F a に応答して実行制御信号 E X 1 を出力し、プログラマブル論理回路 1 2 を起動する。

【 0 0 4 5 】

次に、ステップ 2 0 3 において、再構成制御回路 1 1 は、終了フラグ E F b 1 ~ E F b 4 があるか否かを判定する。終了フラグ E F b 1 ~ E F b 4 がない（出力されていない）

10

20

30

40

50



場合、ステップ203へ移行し、終了フラグEFb1～EFb4がある（出力されている）場合、次のステップ204へ移行する。

【0046】

ステップ204において、再構成制御回路11は、終了フラグEFb1～EFb4を出力する出力インタフェース部のユニット番号に応じて、ステップ205a～205dの処理を実行する。例えば、終了フラグが出力インタフェース部E21から出力される場合、ステップ205aの処理を実行する。同様に、終了フラグが出力インタフェース部E22～E24から出力される場合、ステップ205b～205dの処理を実行する。

【0047】

ステップ205aにおいて、再構成制御回路11は、図2に示す処理ユニットE21（出力インタフェース部E21）のレジスタ33から読み出した回路構成情報CI21と、終了フラグに応じてメモリ領域111（図2参照）から出力される動作パラメータEP21に基づいてプログラマブル論理回路12を再構成する。そして、再構成制御回路11は、プログラマブル論理回路12において再構成した論理回路を起動する。

10

【0048】

ステップ205bにおいて、再構成制御回路11は、図2に示す処理ユニットE22（出力インタフェース部E22）のレジスタから読み出した回路構成情報CI22と、終了フラグに応じてメモリ領域112（図2参照）から出力される動作パラメータEP22に基づいてプログラマブル論理回路12を再構成する。そして、再構成制御回路11は、プログラマブル論理回路12において再構成した論理回路を起動する。

20

【0049】

ステップ205cにおいて、再構成制御回路11は、図2に示す処理ユニットE23（出力インタフェース部E23）のレジスタから読み出した回路構成情報CI23と、終了フラグに応じてメモリ領域113（図2参照）から出力される動作パラメータEP23に基づいてプログラマブル論理回路12を再構成する。そして、再構成制御回路11は、プログラマブル論理回路12において再構成した論理回路を起動する。

【0050】

ステップ205dにおいて、再構成制御回路11は、図2に示す処理ユニットE24（出力インタフェース部E24）のレジスタから読み出した回路構成情報CI24と、終了フラグに応じてメモリ領域114（図2参照）から出力される動作パラメータEP24に基づいてプログラマブル論理回路12を再構成する。そして、再構成制御回路11は、プログラマブル論理回路12において再構成した論理回路を起動する。

30

【0051】

次に、ステップ206において、再構成制御回路11は、全ての論理回路を実行したか否かを判定する。実行する論理回路がある場合、ステップ203へ移行し、全ての論理回路を実行した場合、処理を終了する。

【0052】

ここで、プログラマブル論理回路12において実施する処理を説明する。

図4(a)に示すように、処理A0は、処理A1と処理A2と処理A3を含む。例えば、処理A1は、図1に示すメモリ100のデータ領域101から読み出したデータを処理し、処理後のデータをデータ領域101に格納する。処理A2は、処理A1によってデータ領域101に格納されたデータを読み出し、そのデータを処理してデータ領域101に格納する。処理A3は、処理A1によってデータ領域101に格納されたデータを読み出し、そのデータを処理してデータ領域101に格納する。したがって、これらの処理A1～A3の実行順序は矢印で示すように、先ず処理A1を実行し、次に処理A2を実行し、最後に処理A3を実行する。

40

【0053】

図4(b)に示すように、処理B0は、処理B1と処理B2を含む。例えば、処理B1は、図1に示すメモリ100のデータ領域101から読み出したデータを処理し、処理後のデータをデータ領域101に格納する。処理B2は、処理B1によってデータ領域10

50

1 に格納されたデータを読み出し、そのデータを処理してデータ領域 1 0 1 に格納する。したがって、これらの処理 B 1 , B 2 の実行順序は矢印で示すように、先ず処理 B 1 を実行し、次に処理 B 2 を実行する。

【 0 0 5 4 】

図 4 ( a ) に示すように、処理 C 0 は、処理 C 1 を含む。例えば、処理 C 1 は、図 1 に示すメモリ 1 0 0 のデータ領域 1 0 1 から読み出したデータを処理し、処理後のデータをデータ領域 1 0 1 に格納する。

【 0 0 5 5 】

なお、上記の処理 A 0 ( A 1 ~ A 3 ) , B 0 ( B 1 , B 2 ) , C 0 ( C 1 ) は演算処理である。このため、各処理 A 0 ( A 1 ~ A 3 ) , B 0 ( B 1 , B 2 ) , C 0 ( C 1 ) を演算 A 0 ( A 1 ~ A 3 ) , B 0 ( B 1 , B 2 ) , C 0 ( C 1 ) として説明する場合がある。

【 0 0 5 6 】

次に、再構成情報によりプログラマブル論理回路 1 2 に構築する論理回路の一例を説明する。

例えば、図 2 に示すプログラマブル論理回路 1 2 において、図 4 ( a ) ~ 図 4 ( c ) に示す各処理を実行するための論理回路を構築する。

【 0 0 5 7 】

例えば、図 4 ( a ) に示す処理 A 1 は、図 5 に示す処理ユニット E 0 2 - E 1 0 - E 1 3 - E 2 1 を含む論理回路により実施される。したがって、処理 A 1 に対応する再構成情報 ( 回路構成情報 ) は、各処理ユニット E 0 2 , E 1 0 , E 1 3 , E 2 1 を示すユニット番号と、処理ユニット E 0 2 , E 1 0 , E 1 3 , E 2 1 を接続する接続情報を含む。処理ユニット E 0 2 には、処理 A 1 に必要なデータ D I a 1 が供給される。そして、処理ユニット E 2 1 は、処理 A 1 の処理結果であるデータ D O a 1 を出力する。

【 0 0 5 8 】

図 4 ( b ) に示す処理 B 1 は、図 5 に示す処理ユニット E 0 1 - E 0 5 - E 0 9 - E 1 4 - E 1 9 - E 2 2 を含む論理回路により実施される。処理 B 1 に対応する再構成情報 ( 回路構成情報 ) は、各処理ユニット E 0 1 , E 0 5 , E 0 9 , E 1 4 , E 1 9 , E 2 2 のユニット番号と接続情報を含む。処理ユニット E 0 1 には、処理 B 1 に必要なデータ D I b 1 が供給される。処理ユニット E 2 2 は、処理 B 1 の処理結果であるデータ D O b 1 を出力する。

【 0 0 5 9 】

図 4 ( c ) に示す処理 C 1 は、図 5 に示す処理ユニット E 0 3 - E 0 6 - E 1 1 - E 1 5 - E 2 3 を含む論理回路により実施される。処理 C 1 に対応する再構成情報 ( 回路構成情報 ) は、各処理ユニット E 0 3 , E 0 6 , E 1 1 , E 1 5 , E 2 3 のユニット番号と接続情報を含む。処理ユニット E 0 3 には、処理 C 1 に必要なデータ D I c 1 が供給される。処理ユニット E 2 3 は、処理 C 1 の処理結果であるデータ D O c 1 を出力する。

【 0 0 6 0 】

図 4 ( a ) に示す処理 A 2 は、図 6 に示す処理ユニット E 0 2 - E 0 8 - E 1 0 - E 1 3 - E 2 1 を含む論理回路により実施される。したがって、処理 A 2 に対応する再構成情報 ( 回路構成情報 ) は、各処理ユニット E 0 2 , E 0 8 , E 1 0 , E 1 3 , E 2 1 のユニット番号と接続情報を含む。処理ユニット E 0 2 には、処理 A 2 に必要なデータ D I a 2 が供給される。そして、処理ユニット E 2 1 は、処理 A 2 の処理結果であるデータ D O a 2 を出力する。

【 0 0 6 1 】

図 4 ( b ) に示す処理 B 2 は、図 6 に示す処理ユニット E 0 1 - E 0 9 - E 1 4 - E 2 0 - E 2 2 を含む論理回路により実施される。処理 B 2 に対応する再構成情報 ( 回路構成情報 ) は、各処理ユニット E 0 1 , E 0 9 , E 1 4 , E 2 0 , E 2 2 のユニット番号と接続情報を含む。処理ユニット E 0 1 には、処理 B 2 に必要なデータ D I b 2 が供給される。処理ユニット E 2 2 は、処理 B 2 の処理結果であるデータ D O b 2 を出力する。

【 0 0 6 2 】

10

20

30

40

50

図4(a)に示す処理A3は、図7に示す処理ユニットE03-E07-E12-E19-E23を含む論理回路により実施される。したがって、処理A3に対応する再構成情報(回路構成情報)は、各処理ユニットE03, E07, E12, E19, E23を示すユニット番号と接続情報を含む。処理ユニットE03には、処理A3に必要なデータDia3が供給される。そして、処理ユニットE23は、処理A3の処理結果であるデータDOa3を出力する。

【0063】

次に、回路構成情報及び動作パラメータの設定処理の一例を説明する。

図9に示すステップ221~223は、図8に示すステップ201のサブステップである。

10

【0064】

まず、ステップ221において、図4(a)に示す処理A0の再構成情報を設定する。即ち、ステップ221aにおいて、メモリ100に演算A1に関する回路構成情報及び動作パラメータを設定する。そして、演算A1において使用する出力インタフェース部E21のレジスタ33に、演算A2に関する回路構成情報を設定する。次いで、ステップ221bにおいて、メモリ100に演算A2に関する動作パラメータを設定する。そして、演算A1において使用する出力インタフェース部E21のレジスタ33に、演算A3に関する回路構成情報を設定する。次いで、ステップ221cにおいて、メモリ100に演算A3に関する動作パラメータを設定する。そして、演算A3において使用する出力インタフェース部E21のレジスタ33に「次回実行無し」を設定する。

20

【0065】

次に、ステップ222において、図4(b)に示す処理B0の再構成情報を設定する。即ち、ステップ222aにおいて、メモリ100に演算B1に関する回路構成情報及び動作パラメータを設定する。そして、演算B1において使用する出力インタフェース部E22のレジスタ33に、演算B2に関する回路構成情報を設定する。次いで、ステップ222bにおいて、メモリ100に演算B2に関する動作パラメータを設定する。そして、演算B2において使用する出力インタフェース部E22のレジスタ33に「次回実行無し」を設定する。

【0066】

次に、ステップ223において、図4(c)に示す処理C0の再構成情報を設定する。即ち、ステップ223aにおいて、メモリ100に演算C1に関する回路構成情報及び動作パラメータを設定する。そして、演算C1において使用する出力インタフェース部E21のレジスタ33に「次回実行無し」を設定する。

30

【0067】

次に、出力インタフェース部E21~E24に対する処理の一例を説明する。なお、各出力インタフェース部E21~E24に対する処理は互いに同じであるため、出力インタフェース部E21に対する処理を説明する。

【0068】

図10に示すステップ231~237は、図8に示すステップ205aのサブステップである。

40

まず、ステップ231において、次に構築する論理回路のための回路構成情報を図3に示すレジスタ33から取得する。そして、ステップ232において、実行無しが設定されているか否かを判定する。レジスタ33に実行無しが設定されている場合、この処理を終了する。一方、レジスタ33に次の回路構成情報が設定されている場合、次のステップ233へ移行する。

【0069】

ステップ233において、回路構成情報をプログラマブル論理回路12に設定する。これにより、次に処理を実行する論理回路が構築される。

次に、ステップ234において、図3に示すメモリ領域111から動作パラメータを取得し、ステップ235において、構築した論理回路に含まれる処理ユニットに対して動作

50

パラメータを設定する。

【 0 0 7 0 】

次に、ステップ 2 3 6 において、次の回路構成情報を出力インタフェース部のレジスタに設定する。このとき、ステップ 2 3 3 において構築した論理回路に含まれる出力インタフェース部のレジスタ 3 3 に、次に処理を実行する論理回路のための回路構成情報を格納する。

【 0 0 7 1 】

例えば、所定の処理は、 $n$  回 ( $1 \leq n$ ) の再構成処理により構築する論理回路によって実施される。そして、上記のステップ 2 3 3 において、 $m$  回目 ( $1 \leq m < n$ ) の再構成処理によって論理回路が構築される。この場合、ステップ 2 3 6 では、 $m + 1$  回目以降の再構成処理に用いられる回路構成情報が、 $m$  回目の論理回路に含まれる出力インタフェース部のレジスタ 3 3 に格納される。

10

【 0 0 7 2 】

次に、ステップ 2 3 7 において、構築した論理回路に含まれる処理ユニットに対し、実行を指示する。

次に、処理装置 1 0 の作用を説明する。

【 0 0 7 3 】

図 1 1 ( a ) に示すように、CPU 1 3 は、再構成制御信号 EC 1 を出力する。再構成制御回路 1 1 は、再構成制御信号 EC 1 に応答して処理 A 1 , B 1 , C 1 の再構成情報をプログラマブル論理回路 1 2 に設定する。プログラマブル論理回路 1 2 は、設定された再構成情報に応じた論理回路を構築する。次に、CPU 1 3 が実行制御信号 EX 1 を出力する。プログラマブル論理回路 1 2 に構築された複数の論理回路は、それぞれ処理 A 1 , B 1 , C 1 を実行する。

20

【 0 0 7 4 】

まず、処理 A 1 が終了すると、再構成制御回路 1 1 は、次の処理 A 2 の再構成情報をプログラマブル論理回路 1 2 に設定する。プログラマブル論理回路 1 2 は、設定された再構成情報に応じた論理回路を構築する。そして、再構成制御回路 1 1 は、実行制御信号 EX 2 を出力する。プログラマブル論理回路 1 2 に構築された論理回路は、処理 A 2 を実行する。

【 0 0 7 5 】

30

このとき、処理 B 1 , C 1 は実行中である。このように、処理 B 1 , C 1 の実行中に、次の処理 A 2 の論理回路が構築され、その処理 A 2 が実行される。

次に、処理 B 1 が終了すると、再構成制御回路 1 1 は、次の処理 B 2 の再構成情報をプログラマブル論理回路 1 2 に設定する。プログラマブル論理回路 1 2 は、設定された再構成情報に応じた論理回路を構築する。そして、再構成制御回路 1 1 は、実行制御信号 EX 2 を出力する。プログラマブル論理回路 1 2 に構築された論理回路は、処理 B 2 を実行する。

【 0 0 7 6 】

次に、処理 C 1 が終了すると、再構成制御回路 1 1 は、処理 C 1 について次に実行する処理が無い場合、処理 C 0 に係る処理を終了する。

40

まず、処理 A 2 が終了すると、再構成制御回路 1 1 は、次の処理 A 3 の再構成情報をプログラマブル論理回路 1 2 に設定する。プログラマブル論理回路 1 2 は、設定された再構成情報に応じた論理回路を構築する。そして、再構成制御回路 1 1 は、実行制御信号 EX 2 を出力する。プログラマブル論理回路 1 2 に構築された論理回路は、処理 A 3 を実行する。

【 0 0 7 7 】

次に、処理 B 2 が終了すると、再構成制御回路 1 1 は、処理 B 2 について次に実行する処理が無い場合、処理 B 0 に係る処理を終了する。

次に、処理 A 3 が終了すると、再構成制御回路 1 1 は、処理 A 3 について次に実行する処理が無い場合、処理 A 0 に係る処理を終了する。

50

## 【 0 0 7 8 】

次に、比較例を説明する。なお、ここで説明する比較例は、CPUが複数の処理に係る再構成情報の設定を管理するものである。なお、同様の部材については上記の実施形態と同じ名称及び符号を用いて説明する。

## 【 0 0 7 9 】

図11(b)に示すように、CPU13は、再構成制御信号EC1を出力する。再構成制御回路11は、再構成制御信号EC1に応答して処理A1, B1, C1の再構成情報をプログラマブル論理回路12に設定する。プログラマブル論理回路12は、設定された再構成情報に応じた論理回路を構築する。次に、CPU13が実行制御信号EX1を出力する。プログラマブル論理回路12に構築された複数の論理回路は、それぞれ処理A1, B1, C1を実行する。

10

## 【 0 0 8 0 】

まず、処理A1が終了する。次に、処理B1が終了する。そして、処理C1が終了すると、プログラマブル論理回路12におけるすべての処理が終了する。このため、CPU13は、再構成制御信号EC1を出力し、再構成制御回路11は次の処理A2, B2の再構成情報をプログラマブル論理回路12に設定する。プログラマブル論理回路12は、設定された再構成情報に応じた論理回路を構築する。そして、CPU13は、実行制御信号EX1を出力する。プログラマブル論理回路12に構築された論理回路は、処理A2, B2を実行する。

## 【 0 0 8 1 】

20

次に、まず処理A2が終了し、次いで処理B2が終了すると、CPU13は再構成制御信号EC1を出力し、再構成制御回路11は、次の処理A3の再構成情報をプログラマブル論理回路12に設定する。プログラマブル論理回路12は、設定された再構成情報に応じた論理回路を構築する。そして、CPU13は、実行制御信号EX1を出力する。プログラマブル論理回路12に構築された論理回路は、処理A3を実行する。

## 【 0 0 8 2 】

次に、処理A3が終了すると、全ての処理を終了する。

このように、図11(a)に示す本実施形態は、図11(b)に示す比較例と比べ、処理A0, B0の処理に要する時間が短い。したがって、本実施形態は、処理時間を短縮することができる。

30

## 【 0 0 8 3 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1)プログラマブル論理回路12は、複数の処理ユニットE01~E24を有している。処理ユニットE01~E20は例えば演算器であり、処理ユニットE21~E24は出力インタフェース部である。処理ユニットE21~E24はそれぞれ情報保持部RR1~RR4を有している。

## 【 0 0 8 4 】

CPU13は、メモリ100のプログラム領域102に、最初に行う処理の回路構成情報CI1と、各演算処理を実行するための動作パラメータEP1, EP2を格納する。また、CPU13は、次回以降に行う処理の回路構成情報CI2を、前回の演算処理に用いられる処理ユニットE21~E24の情報保持部RR1~RR4に格納する。再構成制御回路11は、プログラマブル論理回路12から出力される終了フラグEFb1~EFb4に基づいて、処理を終了した処理ユニットE21~E24を選択し、その選択した処理ユニットE21~E24の情報保持部RR1~RR4に格納された回路構成情報CI2を取得する。そして、再構成制御回路11は、回路構成情報CI2をプログラマブル論理回路12に設定する。

40

## 【 0 0 8 5 】

従って、他の処理B1, C1を実行しているときに、読み出した回路構成情報CI2に基づいて処理A2のための論理回路を構築することができる。このため、他の処理B1, C1の終了を待つことなく、次の処理A2を開始できるため、処理時間の短縮を図ること

50

ができる。

【 0 0 8 6 】

( 2 ) 複数の処理ユニット E 0 1 ~ E 2 4 のうち、データを出力する処理ユニット E 2 1 ~ E 2 4 ( 出力インタフェース部 E 2 1 ~ E 2 4 ) は、回路構成情報を格納する情報保持部 R R 1 ~ R R 4 を含む。プログラマブル論理回路 1 2 において実行する処理では、データの出力が必要である。従って、出力インタフェース部 E 2 1 ~ E 2 4 に情報保持部 R R 1 ~ R R 4 を含めることで、処理の終了に応じて次の処理のための回路構成情報を容易に取得することができる。

【 0 0 8 7 】

尚、上記各実施形態は、以下の態様で実施してもよい。

10

・上記実施形態のプログラマブル論理回路 1 2 にて実行する処理 A 0 ~ C 0 は、メモリ 1 0 0 から読み出したデータを処理したが、外部装置から供給されるデータを処理するようにしてもよい。

【 0 0 8 8 】

また、処理後のデータをメモリ 1 0 0 に格納したが、処理後のデータを外部装置へ出力するようにしてもよい。

・上記実施形態に対し、同じ処理を複数回繰り返し実行するようにしてもよい。例えば、図 1 1 ( a ) において、処理 A 1 を複数回繰り返し実行した後、処理 A 2 を実行するようにしてもよい。

【 0 0 8 9 】

20

・上記実施形態では、最初に複数の処理 A 1 , B 1 , C 1 を実行するようにしたが、処理を開始するタイミングを適宜変更してもよい。例えば、3つの処理 A , B , C を実行する場合、先ず処理 A を実行し、処理 A の終了に応じて処理 A と処理 B を実行し、処理 A , B の終了に応じて処理 A ~ C を実行するようにしてもよい。このように必要な処理を順次実行することにより、パイプライン処理の実行が可能となる。

【 0 0 9 0 】

・上記実施形態では、回路構成情報を保持する情報保持部 ( レジスタ 3 3 ) を出力インタフェース部 E 2 1 ~ E 2 4 に含めたが、他の処理ユニット E 0 1 ~ E 2 0 に含めるようにしてもよい。

【 符号の説明 】

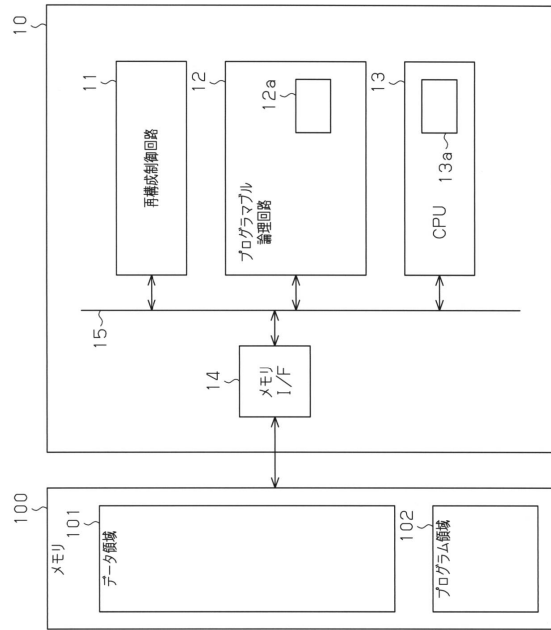
30

【 0 0 9 1 】

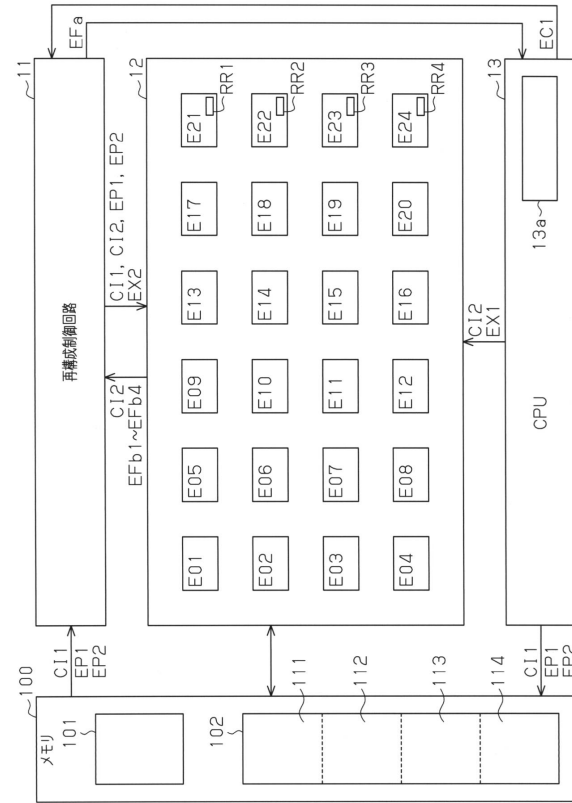
- 1 0 処理装置
- 1 1 再構成制御回路
- 1 2 プログラマブル論理回路
- 1 3 C P U
- E 0 1 ~ E 2 4 処理ユニット
- R R 1 ~ R R 4 情報保持部
- C I 1 , C I 2 回路構成情報
- 1 0 0 メモリ
- 1 0 2 プログラム領域
- 1 1 1 ~ 1 1 4 メモリ領域

40

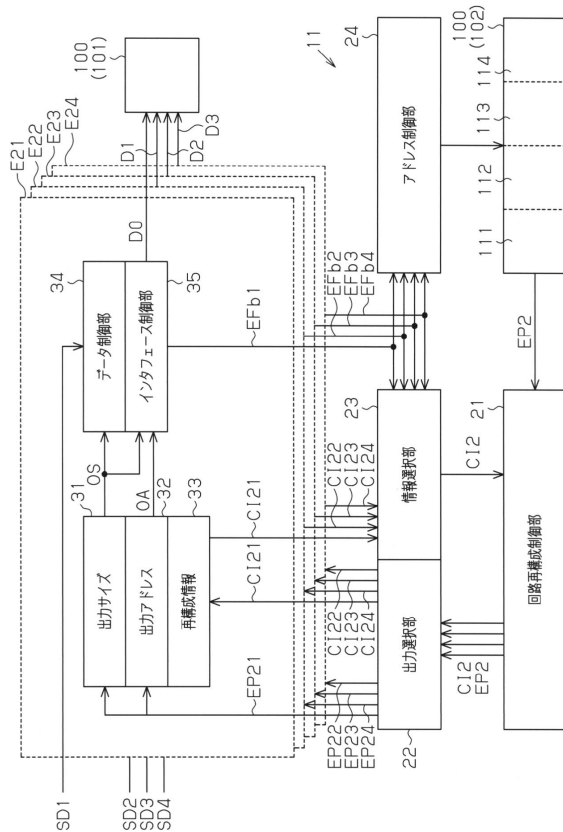
【図 1】



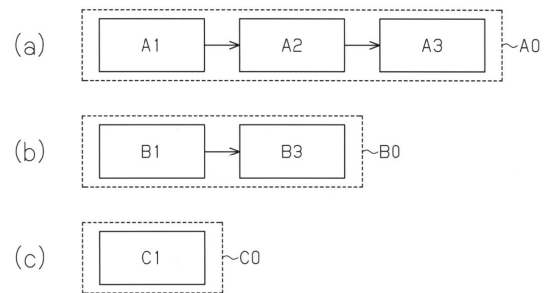
【図 2】



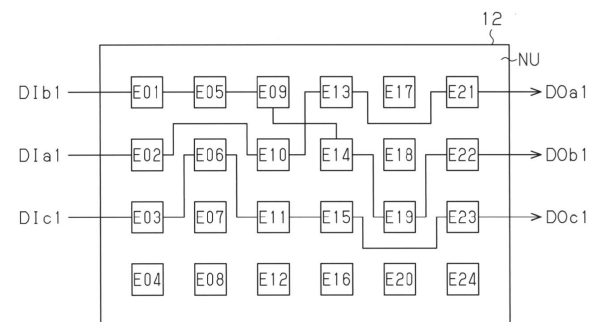
【図 3】



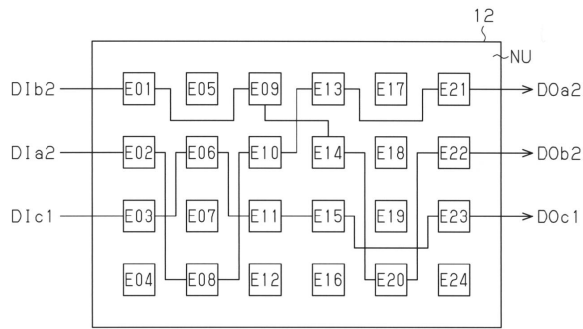
【図 4】



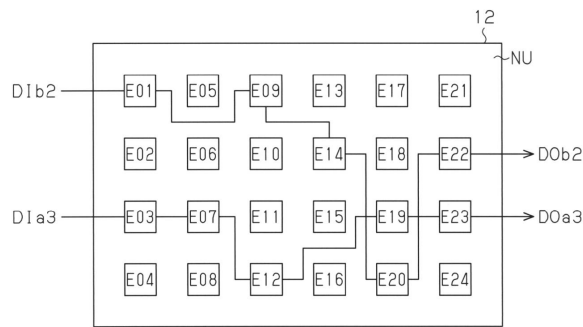
【図 5】



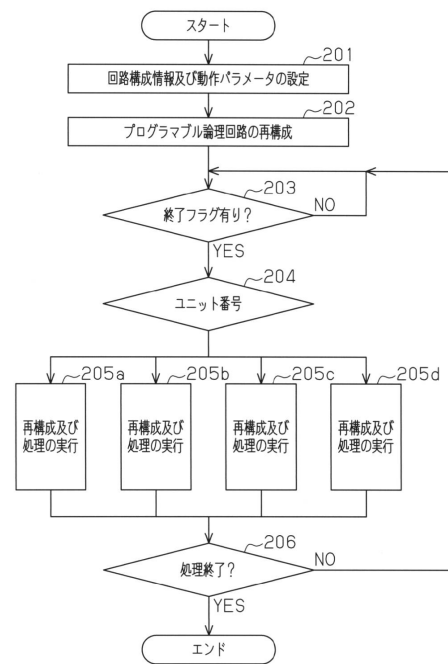
【図 6】



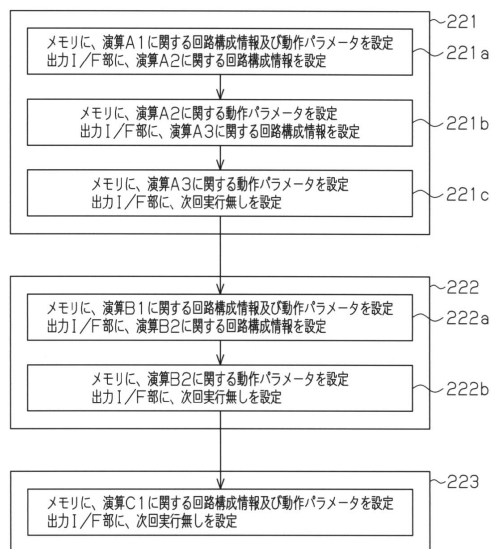
【図 7】



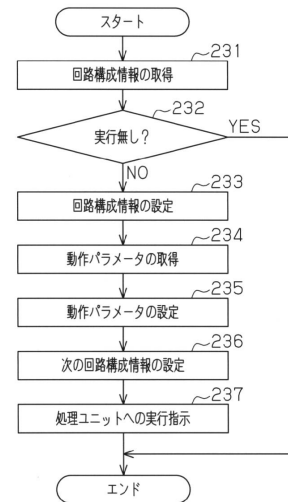
【図 8】



【図 9】

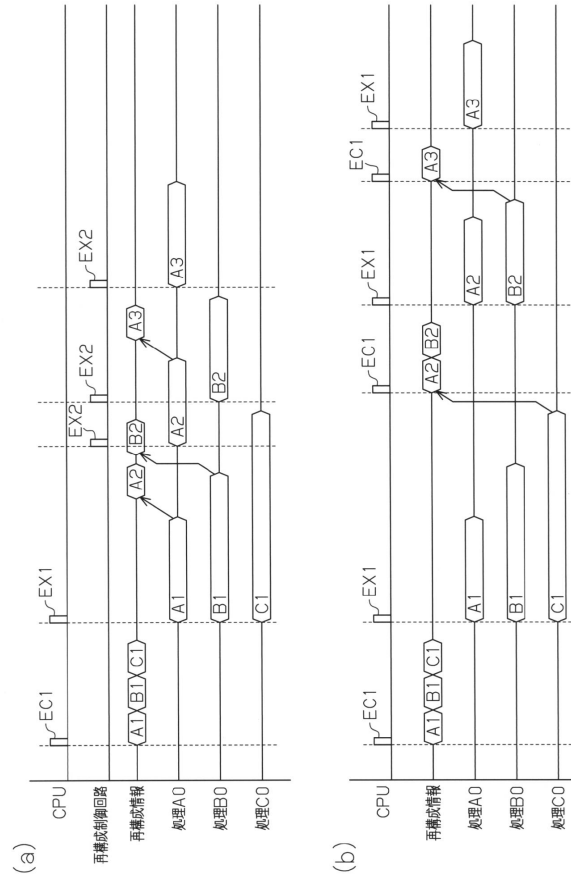


【図 10】





【図 11】



---

フロントページの続き

(56)参考文献 特開2013-030906(JP,A)  
特開2001-068993(JP,A)  
特開2003-198361(JP,A)  
特開2009-182438(JP,A)  
特表2007-510325(JP,A)  
特開2013-013077(JP,A)  
米国特許出願公開第2011/0216247(US,A1)

(58)調査した分野(Int.Cl., DB名)  
H03K 19/098 - 19/23