

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4383876号
(P4383876)

(45) 発行日 平成21年12月16日 (2009.12.16)

(24) 登録日 平成21年10月2日 (2009.10.2)

(51) Int. Cl. F I
H O 3 K 23/64 (2006.01) H O 3 K 23/64 C

請求項の数 14 (全 15 頁)

(21) 出願番号	特願2003-544908 (P2003-544908)	(73) 特許権者	306043703
(86) (22) 出願日	平成14年11月5日 (2002.11.5)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2005-510109 (P2005-510109A)		N X P B. V.
(43) 公表日	平成17年4月14日 (2005.4.14)		オランダ国 5 6 5 6 エイジー アイン
(86) 国際出願番号	PCT/IB2002/004645		ドーフエン ハイ テク キャンパス 6
(87) 国際公開番号	W02003/043193		O
(87) 国際公開日	平成15年5月22日 (2003.5.22)	(74) 代理人	100075812
審査請求日	平成17年11月4日 (2005.11.4)		弁理士 吉武 賢次
(31) 優先権主張番号	60/333,280	(74) 代理人	100088889
(32) 優先日	平成13年11月16日 (2001.11.16)		弁理士 橋谷 英俊
(33) 優先権主張国	米国 (US)	(74) 代理人	100107582
(31) 優先権主張番号	10/213,021		弁理士 関根 毅
(32) 優先日	平成14年8月6日 (2002.8.6)	(74) 代理人	100112793
(33) 優先権主張国	米国 (US)		弁理士 高橋 佳大

最終頁に続く

(54) 【発明の名称】 同期リロードによる高速プログラマブル分周器

(57) 【特許請求の範囲】

【請求項 1】

第1の周波数で入力信号を受信して第2の周波数で出力信号を供給するプログラマブル分周器において、前記第1の周波数の前記第2の周波数に対する比はプログラムされた除数値に基づいており、

前記プログラマブル分周器は複数のカウンタステージを有し、当該複数のカウンタステージは、前記各カウンタステージの出力が次のカウンタステージに入力を供給するように互いに直列に動作的に接続され、

前記複数のカウンタステージの各カウンタステージは、前記プログラムされた除数値に対応するサブセットの値が入力されると、前記カウンタステージの前記出力を作成するために、第1の係数又は第2の係数によって前記カウンタステージへの前記入力の周波数を分割し、

前記複数のカウンタステージのうちの少なくとも1つのカウンタステージの前記出力は、前記入力を、次のカウンタステージに、前記少なくとも1つのカウンタステージの前記出力と同相関係で与え、

前記複数のカウンタステージのうちの少なくとも1つの他のカウンタステージの前記出力は、前記入力を、次のカウンタステージに、前記少なくとも1つの他のカウンタステージの前記出力と逆相関係で与える、

プログラマブル分周器。

【請求項 2】

10

20

請求項 1 に記載のプログラマブル分周器において、前記複数のカウンタステージの各カウンタステージは、次のステージにより供給される許可信号にも基づいて前記第 1 の係数又は前記第 2 の係数によって前記分割を達成するように構成される、プログラマブル分周器。

【請求項 3】

請求項 2 に記載のプログラマブル分周器において、

前記各カウンタステージは、更に、前記プログラムされた除数値の前記対応するサブセットのロードを達成するロード信号を受信するように構成され、

当該プログラマブル分周器は、前記各カウンタステージが前記分割を、前記プログラムされた除数値とは関係なく、前記第 1 の係数のみによって達成するように構成されるとき、前記ロード信号を一度に供給するように構成される、プログラマブル分周器。

10

【請求項 4】

請求項 1 に記載のプログラマブル分周器において、

前記各カウンタステージは、更に、前記プログラムされた除数値の前記対応するサブセットのロードを達成するロード信号を受信するように構成され、

当該プログラマブル分周器は、前記各カウンタステージが前記分割を、前記プログラムされた除数値とは関係なく、前記第 1 の係数のみによって達成するように構成されるときに前記ロード信号を一度に供給するように構成される、プログラマブル分周器。

【請求項 5】

請求項 1 に記載のプログラマブル分周器において、

前記同相関係は第 1 のクリティカルパス継続期間を与え、

前記逆相関係は第 2 のクリティカルパス継続期間を与え、

高速位相関係は、

前記第 1 のクリティカルパス継続期間が前記第 2 のクリティカルパス継続期間よりも長い場合は前記同相関係に、又は、

前記第 1 のクリティカルパス継続期間が前記第 2 のクリティカルパス継続期間よりも長くない場合は前記逆相関係に、対応し、

前記プログラマブル分周器への前記入力信号を受信する第 1 のカウンタステージは、前記高速位相関係を介して次のカウンタステージに結合される、

プログラマブル分周器。

20

30

【請求項 6】

請求項 1 に記載のプログラマブル分周器において、

前記プログラマブル分周器は、前記複数のカウンタステージよりも短い実効カウンタ長さを与えるように構成可能であり、

前記少なくとも 1 つの他のカウンタステージは、更に、制御入力を受信して制御出力を供給するように構成され、前記制御入力及び出力は前記実効カウンタ長さを制御するように構成され、

前記少なくとも 1 つの他のカウンタステージは前記制御入力からの前記制御出力をクロックされたデバイスを介して供給する、

プログラマブル分周器。

40

【請求項 7】

第 1 の周波数で入力信号を受信して第 2 の周波数で出力信号を供給するプログラマブル分周器において、前記第 1 の周波数の前記第 2 の周波数に対する比はプログラムされた除数値に基づいており、

前記プログラマブル分周器は複数のカウンタステージを有し、当該複数のカウンタステージは、前記各カウンタステージの出力が次のカウンタステージに入力を供給するように互いに直列に動作的に接続され、

前記複数のカウンタステージの各カウンタステージは、前記プログラムされた除数値に対応するサブセットの値が入力されると、前記カウンタステージの前記出力を作成するために、第 1 の係数又は第 2 の係数によって前記カウンタステージへの前記入力の周波数を

50

分割し、

前記複数のカウンタステージのうちの少なくとも1つのカウンタステージの前記出力は、前記入力、次のカウンタステージに、前記少なくとも1つのカウンタステージの前記出力と同相関係で与え、

前記複数のカウンタステージのうちの少なくとも1つの他のカウンタステージの前記出力は、前記入力、次のカウンタステージに、前記少なくとも1つの他のカウンタステージの前記出力と逆相関係で与えたとともに、

当該プログラマブル分周器は、最大カウンタ長を有し、前記最大カウンタ長よりも短い実効カウンタ長を供給し、

前記複数のカウンタステージのそれぞれは、

対応する許可信号が入力されると、出力信号を選択的にトグルするカウンタと、

プログラムされた値及び制御入力に基づいて前記許可信号及び制御出力を供給するように構成される制御ロジックと、
を有し、

前記制御入力及び前記制御出力が、前記実効カウンタ長を制御し、

前記制御ロジックは、前記制御入力を前記制御出力から分離する少なくとも1つのクロックされたデバイスを含む、

プログラマブル分周器。

【請求項8】

請求項7に記載のプログラマブル分周器において、前記複数のカウンタステージのそれぞれは、前記出力信号を選択的にトグルしてクロック信号を2又は3によって分割する、プログラマブル分周器。

【請求項9】

第1の複数のカウンタステージであって、これら第1の複数のカウンタステージのそれぞれが、プログラムされた除数値の第1のサブセットが入力された後に、2分割又は3分割を行う、第1の複数のカウンタステージと、

前記第1の複数のカウンタステージに直列で結合された第2の複数のカウンタステージであって、これら第2の複数のカウンタステージのそれぞれが、プログラムされた除数値の第2のサブセットが入力された後に、2分割又は3分割を行う、第2の複数のカウンタステージと、

を有し、

前記第1の複数のカウンタステージは、それぞれ、第1の位相関係によって互いに直列に結合され、

前記第2の複数のカウンタステージは、それぞれ、前記第1の位相関係と反対の第2の位相関係によって互いに直列に結合される、

マルチモジュラスプリスケアラ。

【請求項10】

請求項9に記載のマルチモジュラスプリスケアラにおいて、

前記第1及び第2の複数のカウンタステージの各カウンタステージは、ロード信号の受信の際に、前記プログラムされた除数値の前記第1及び第2のサブセットを受信するように構成され、

当該マルチモジュラスプリスケアラは、前記第1の複数のカウンタステージのそれぞれが、前記プログラムされた除数値に関係なく前記2分割操作を達成するように構成されるときに前記ロード信号を供給するように構成される、

マルチモジュラスプリスケアラ。

【請求項11】

請求項10に記載のマルチモジュラスプリスケアラにおいて、

前記第1の複数のカウンタステージは、前記第2の複数のカウンタステージの第1のカウンタステージと直列に結合され、

前記ロード信号は、前記第2の複数のカウンタステージの前記第1のカウンタステージ

10

20

30

40

50

によって供給される、
マルチモジュラスプリスケアラ。

【請求項 1 2】

請求項 9 に記載のマルチモジュラスプリスケアラにおいて、
前記第 1 の位相関係は、第 1 のクリティカルパス存続期間によって特徴付けられ、
前記第 2 の位相関係は、前記第 1 のクリティカルパス存続期間よりも大幅に短い第 2 のクリティカルパス存続期間によって特徴付けられる、
マルチモジュラスプリスケアラ。

【請求項 1 3】

第 2 の周波数で出力信号を作成するために入力信号の第 1 の周波数を分割する方法において、 10

複数のカウンタステージの各カウンタステージが、プログラムされた除数値に依存して第 1 の係数又は第 2 の係数によって分割を達成することを選択的に可能にするステップと、

前記各カウンタステージからの前記分割の出力を次のカウンタステージへの入力として供給するステップと

を有し、

カウンタステージの第 1 の組からの前記分割の前記出力は、第 1 の位相関係で供給され

、
カウンタステージの第 2 の組からの前記分割の前記出力は、前記第 1 の位相関係と反対 20
の第 2 の位相関係で供給される、
方法。

【請求項 1 4】

請求項 1 3 に記載の方法において、更に、

前記複数のカウンタステージの各々が前記プログラムされた除数値とは関係なく前記分割を達成することを可能にされると、前記プログラムされた除数値を一度にロードするステップ

を有する方法。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、2001年11月16日出願の米国仮出願60/333,280号(整理番号US018192P)の利益を主張するものである。

【0 0 0 2】

本発明は、電子デバイスの分野に関し、特に、カウントプロセスを妨げることなく新しい除数によってロード可能な高速プログラマブル周波数分周器又はマルチモジュラスプリスケアラに関する。

【背景技術】

【0 0 0 3】

図1-Aは、2000年7月のIEEE Journal of Solid-State Circuits, Vol. 35, No. 7のCicero S. Vaucher他による「A Family of Low-Power Truly Modular Programmable Dividers in Standard 0.35- μ m CMOS Technology」に開示された原理に基づく従来型のプログラマブル分周器100又はマルチモジュラスプリスケアラを示し、これは参照により本願に組み込まれる。分周器100は、プログラムされた量によって入力信号Inの周波数を分割する。各カウンタステージ110は、プログラマブルな分割数2又は3のカウンタである。 40

【0 0 0 4】

差し当たり分周器100の最後の4つのステージJ1、J2、J3及びJ-Lastを結合する組合せロジック118を無視して、各ステージが2で分割するよう構成されている場合、分周器100は、入力周波数を 2^n によって分割する。ここで、nは、カウンタステージ110の数に等しく、この例ではnは8に等しい。カウンタステージ110の各々は、分割サイクルごとに一回3で分 50

割することを可能にされるように構成され、各ステージ110の入力Minは、この「分割サイクルごとに一回」許可信号を与える。イネーブルされると、ステージxのプログラム入力pg<x>が論理1である場合には、ステージxは3で分割し、ステージxの入力pg<x>が論理0である場合には、ステージxは2で分割する。3による分割は、当該特定のステージの継続期間に1つの追加のサイクルを加える。即ち、例えばpg<3>入力が論理1である場合、第3のステージは、分割サイクルごとに一回3で分割し、追加の2³個のクロックサイクルを分割サイクルの継続時間に加え、pg<5>が論理1である場合、第5のステージは、追加の2⁵個のクロックサイクルを分割サイクルの継続時間に加え。従って、長さnの分周器100の分割サイクルの期間は、以下として表されることができる：

【数 1】

$$T_{out} = 2^n T_{in} + pg < n-1 > 2^{n-1} T_{in} + \dots + pg < 1 > 2^1 T_{in} + pg < 0 > T_{in}, \quad (1)$$

ここで、Tinは、入力クロックサイクル周期に対応する。従って、最後の4つのステージJ1、J2、J3、JLastを結合する組合せロジック118がないときは、除数は2ⁿと2ⁿ⁺¹-1との間で変動することができ、これはこの場合は256～511の範囲に等しい。

【0 0 0 5】

最後の4つのステージJ1、J2、J3及びJ-Lastを結合する組合せロジック118は、その時点のプログラムされた除数の最上位ビットを超える上位ステージの全てを事実上無視して以下の出力期間を生成することによって、分周器100の実効長さn'の低減を与える。

【数 2】

$$T_{out} = pg < n > 2^n T_{in} + pg < n-1 > 2^{n-1} T_{in} + \dots + pg < 1 > 2^1 T_{in} + pg < 0 > T_{in}, \quad (2)$$

これは、プログラムされた除数の最上位ビットは、少なくともJ1、J2、J3又はJ-Last位置にあるという条件のもとである。即ち、示された組合せロジックを用いて上位のk個のカウンタステージ110を結合して、除数は、2^{n+1-k}と2ⁿ⁺¹-1との間で変動することができる。n=8及びk=4である例において、除数は2⁵～2⁹-1、即ち32～511の間で変動することができる。

【0 0 0 6】

式(2)は、除数出力周波数Foutに関して以下として表すことができる：

【数 3】

$$F_{out} = \frac{F_{in}}{pg < n > 2^n + pg < n-1 > 2^{n-1} + \dots + pg < 1 > 2^1 + pg < 0 >}, \quad (3)$$

ここで、Finは、入力信号の周波数に対応する。各カウンタステージF、G、H及びIへのMin信号は、分割サイクルごとに一回発生するため、これらの信号のうちのどれでも、上記で規定された出力周波数を有する出力信号として用いられてよい。IステージへのMin信号は、最も長いパルス持続期間を有し、従って、ステージF、G、H及びIの中で最も低い高周波成分を有するため、出力信号として一般的に用いられる。

【0 0 0 7】

参照された論文のタイトルが示すように、図1-Aの構造はモジュール性のために選択されている。図1-Aのカウンタステージ110の各々は等しく、従って、分周器100の再設計は等しい。なぜなら、設計規則及び機能サイズ変更は、ステージ110の一般的なデザインを修正することによって容易に適応させられることが可能なためである。

【0 0 0 8】

引き続きの参照を容易にするため、図1-Bは、図1-Aにおいて示されるのとは異なった構造分割を有する同一のプログラマブル分周器100を示す。この実施例においては、3つの異なったカウンタステージモジュール120、130及び140がある。モジュール120の各々は、図1-Aの対応するカウンタステージF、G、H、I及びJ 110並びにプログラム値pg<x>を保持する関連したDフリップフロップ回路115を含み、図3に示される。図3は、Dフリップフロップ回路L1、L2、L3及びL4、NORゲート125、並びにANDゲート126及び127を有するモジュ

10

20

30

40

50

ール120を更に詳細に示す。モジュール130の各々は、対応するカウンタステージJ2、J3 110、Dフリップフロップ回路115及び組合せロジック118を含み、図10に示される。モジュール140は、対応するカウンタステージJ-Last 110、Dフリップフロップ回路115及び116並びに組合せロジック118を含み、モジュール140は、組合せロジック118に入力信号(Zin)を供給するための、Dフリップフロップ回路116の図10に示されるモジュール130への追加に対応する。

【0009】

参照論文において議論されるように、プログラマブル分周器100の一般的なアプリケーションは、大幅に異なった周波数帯における無線信号を含む無線信号等の高周波信号を復調するための周波数合成器としてである。このようなアプリケーションにおいては、新しい除数値のリロード又はリプログラムは、新しい受信器又は送信器周波数へのチャンネル変更に対応する。リプログラムは不連続な変化に対応するため、新しい除数値pg<x>がプログラムされるときにカウントのその時点の進行が妨げられないことを保証する必要性はない。しかし、例えば、プログラムされた除数がNの値からN+1の値に繰り返し変化してまたNに戻る分数分周器のカウント要素として用いられるような、他のアプリケーションにおいては、分周器の各リプログラムの最中にランニングカウントが妨害されないことが必須である。即ち、分周器100は、元の除数又は新しい除数のみによって分割しなければならない。分周器100の1つ又は複数のステージ110がプログラムされた除数の影響を受けている(即ち、プログラムされた除数に応じて3で分割又は2で分割することを可能にされている)うちに新しい除数がロードされたら、分割サイクルのカウントの一部は元の除数に基づき、残りは新しい除数に基づくことになるため、実効の分割は、元の除数値でも新しい除数値でもない値になりうる。

【0010】

図2は、従来型の分周器100の3分割許可信号(MinF~MinJLast)の典型的なタイミング図を示す。また、タイミングの参照のために、選択出力QJ2、QJ3及びQJLastが示される。上記したように、各ステージxは、入ってくる許可信号MinXがアクティブなときのみ、ステージのプログラムされた値pg<x>に依存して2又は3のどちらによっても分割することを可能にされる。示されたタイミング図において、許可信号MinF~MinJLastはアクティブ(High)である。図2において、セーフロード期間210は、220において、許可信号MinF~MinJLastの全てがインアクティブ(Low)状態に入った後に開始したと示される。通常、セーフロード期間は、230において、全ての許可信号がインアクティブ状態に留まっている期間には少なくとも広がる。ステージ110の実施例の詳細が分かっていたら、セーフロード期間の範囲はより詳細に決定されることができる。例えば、カウンタステージ110を備えた周波数分周器の従来型実施例においては、セーフ期間210は、他のイネーブル信号がアクティブなままであるか、又は、依然アクティブになっていなかった状態で、許可信号のうちの1つがインアクティブになるときに、終了する。図2において示すように、240において、MinJ2が依然アクティブであり、他の許可信号MinJ1~MinFの各々は未だアクティブになっていなかった状態で、MinJ3がインアクティブになる。新しいプログラム値が240の直後にロードされたら、ステージJ2~Fは新しい値に従うが、ステージJ3及びJ-Lastは従わない。従って、セーフロード期間210は、MinJ3のアクティブ期間の終端240までしか広がらない。

【0011】

セーフロード期間が230で終わるか又は240で終わるかには関係なく、プログラム除数値のローディングをこのセーフロード期間に同期させるのに利用可能な唯一の信号は、セーフロード期間の開始220を指定するMinFのパルス250の終端であることに注意されたい。信号MinJ1、MinJ2及びMinJ3のエッジは用いられることができない。なぜならこれらのエッジの生成はプログラムされた除数に依存するからである。即ち、例えば、プログラムされた除数が256よりも小さければ、MinJ3信号は各分割期間において発生せず、除数が128よりも小さければ、MinJ2信号は各分割期間において発生せず、以下同様である。

【0012】

しかし、セーフロード期間の開始220を指定するMinFのパルス250は、持続期間が入力クロック周波数のクロック周期1つに等しい短期間の即ち高速のパルスである。従って、高速回路は、カウントプロセスに悪影響を及ぼすことなく新しい分周器をロードするために、同期されたプログラムロード信号、図1-A及び1-BのPgLoadを生成する必要がある。一般的に、高速回路は低速回路よりも複雑及び／又はより多く電力を消費するため、ほとんどの従来型の周波数分周器100は、新しい除数値のローディングを達成するために、他の信号(MinG、MinH又はMinI)を分周器100中で使用する。しかし、図2において示されたように、MinG、MinH又はMinI信号のエッジのそれぞれは、アンセーフ領域(Unsafe region)290で発生し、これらの信号のうちの何れをプログラムロード信号として使用することも、新しい除数のローディングを引き起こす可能性が高い一方で、1つ又は複数のカウンタステージ110はプログラムされた除数値に影響を受ける。加えて、カウンタステージ110の一部は新しい除数値を使用することが可能にされる可能性があり、他のものは以前の除数値を保持するため、結果として起こる分割は、前の除数又は新しい除数による分割とは大幅に異なる。

10

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の1つの目的は、比較的低周波の同期した除数ロードを伴う高速プログラマブル分周器を提供することである。本発明の他の目的は、分割プロセスに悪影響を与えることなく新しい除数値のロードを達成するように同期化された高速プログラマブル分周器のための、より低速のプログラムロード信号を提供することである。

20

【課題を解決するための手段】

【0014】

これらの及び他の目的は、プログラマブル分周器のセーフロード期間の最中に発生するより低速の遷移信号を供給するように構成されたプログラマブル分周器により達成される。より低速の許可信号のうちの少なくとも1つのエッジが、カウンタステージの全てが除数に依存しない期間に発生するように、各カウンタステージの除数に依存しない期間を配置するのに、同相及び逆相のカウンタステージの組合せが用いられる。同相及び逆相のカウンタステージの好適な選択は、非常に高速の入力周波数の正確な分割を可能にするためにクリティカルパス持続期間の最大化も行う。

30

【発明を実施するための最良の形態】

【0015】

本発明は、添付の図面を参照して例示によってより詳細に説明される。

【0016】

図面を通じて、同一の参照番号は類似の又は対応する特徴又は機能を示す。

【0017】

本発明は、プログラマブル分割範囲32~511を与えるために、より下位のステージの4つの組F~I及びより上位のステージの4つの組J1~JLastのステージの2つの組に分割される8ステージプログラマブル分周器の例を用いて示される。当業者に明らかであるように、本発明の原理は、特定の数の分周器のステージや、分周器における上位ステージと下位ステージとの間の特定の分割(もしなされる場合には)には、限定されるものではない。

40

【0018】

図5は、図1-A、1-Bの従来型プログラマブル分周器100と比較して代替のステージ間の位相関係を有するプログラマブル分周器500のブロック図の例を示し、図4は、この分周器500の3分割許可信号MinF~MinJ3のタイミング図を示す。ステージ120、130の各々は、それぞれ、次のステージのクロック入力C-及びCへの各ステージの出力Q及びQ-のクロス結合を介して自身の次のステージに結合される。分周器500の各ステージの出力と次の各ステージのクロックとの間の位相関係は、分周器100のステージの対応する位相関係と反対になっている一方で、他の全ては同じままであることに注意されたい。3分割許可信号MinJ3~MinFの生成に関するこの代替的な位相関係の影響が、図4に示される。

50

【0019】

分周器100及び500の両方において、許可信号は最後のステージJ-Lastから最初のステージFに伝達される。分周器100において、前のステージに返送される各出力許可信号は、入力許可信号の最後の四半期において生成される。即ち、例えば、J2ステージMinJ2のための図2の許可信号260は、J3ステージMinJ3のための許可信号270の最後の四半期において生成される。同様に、J1ステージMinJ1のための許可信号280は、J2ステージMinJ2のための許可信号260の最後の四半期において生成される。

【0020】

カウンタステージ間の代替の位相関係を有する分周器500において、前のステージに返送される各出力許可信号は、入力許可信号の第2の四半期において生成される。即ち、例えば、J2ステージMinJ2のための図4の許可信号460は、J3ステージMinJ3のための許可信号470の第2の四半期において生成される。同様に、J1ステージMinJ1のための許可信号480は、J2ステージMinJ2のための許可信号460の第2の四半期において生成される。

10

【0021】

分周器500の対応するセーフロード期間410及びアンセーフ期間490が図4に示される。分周器100の例と同様に、分周器500のセーフ期間410は、全ステージがインアクティブであるときに420で開始する。また、分周器100の例と同様に、分周器500のセーフ期間410は、他の許可信号がアクティブのままであるか又は依然アクティブになっていない状態で許可信号の1つがインアクティブになるときに終了する。分周器500においては、セーフ期間410は、MinF信号が440においてインアクティブになるときに終了する。

20

【0022】

セーフロード期間410の最中の多くのアクティブエッジ401、402、403、404及びこれらのエッジ401～404のどれでも、分周器500にプログラムロード信号PgLoadを供給するのに用いられることができることに注意されたい。好適には、例えば、MinF信号の使用は高速検出回路を必要とするため、アクティブエッジを持つ信号MinIが、アクティブエッジ404を持つ信号MinFの代わりにPgLoadとして用いられる。MinI信号の高周波成分はMinF信号の高周波成分の8倍高いため、カウンタステージ120、130、140(参照：図3及び5)内のDFF 115は比較的低い速度であることができ、従って、より電力消費量が少ないデザインであることができる。

【0023】

しかし、残念なことに、分周器500は非常に高速な設計には不適當である。

30

【0024】

分周器のクリティカルパスは、分周器の最高速度のステージ(入力ステージF)において正しい3分割操作を達成することを要求されるパスである。図6は分周器100のクリティカルパスを示し、図7は分周器500のクリティカルパスを示す。これらの図の各々において、最初の2つのカウンタステージF及びGが示される。ステージFのための3分割イネーブル信号がステージGによって供給される一方でステージGのためのクロックがステージFによって供給されるため、クリティカルパスは、ステージGへのクロック信号を供給するのに必要なパス、及び、引き続きの3分割許可信号のステージFへの伝達に必要なパスを含み、これは、図6及び7のそれぞれにおいて太いパス線によって示される。両方のクリティカルパスは、ステージFのラッチL2FからステージGのラッチL1G～L4Gに供給されるクロック信号の位相以外は同一である。

40

【0025】

図6において示される分周器100のクリティカルパスに関して、ラッチL3Gは、クロックClkGが論理Highであるときにイネーブルされる。このクロックClkGは、入力クロックClkFが論理LowになるときにラッチL2Fの反転Q出力から生成される。従って、このクロックが論理Highであると、ラッチL2FのQ出力は論理Lowであり、ゲート610はステージFのラッチL3Fへの3分割許可信号の伝達を阻害する。従って、クロックClkFが論理LowになるときにMinFがステージFに供給されるが、これは、1つのクロックサイクル後にクロックClkFが再び論理LowになってラッチL2FのQ出力を論理High状態に反転させ、これによりMinF信号をラ

50

ラッチL3Fの入力に伝達するまで、ラッチL3Fには伝達されない。クロックClkFが次に論理Highになると、許可信号MinFは、ラッチL3Fを通過させられ、続いて、ラッチL4Fがプログラムされた除数入力P<F>の値に影響を受けるようにする。従って、分周器100のクリティカルパスは、ステージFの入力クロックClkFのクロックサイクル1.5個である。図1-A及び1-Bにて示したように、分周器入力信号は、ステージFに入力クロックを供給し、従って、分周器100のクリティカルパスは、分周器100への入力のクロックサイクル1.5個よりも少なくなければならない。言い換えれば、分周器100への入力の最高周波数は、 $1.5/(\text{クリティカルパス長さ})$ 以下でなければならない。

【0026】

分周器500のクリティカルパス操作は、クロックClkGがラッチL2FのQ出力から生成され、従って、ゲート710が、3分割許可信号MinFがステージGのラッチL3Gにより供給された途端この3分割許可信号MinFを伝達させるのを可能にされること以外は、同様である。即ち、入力クロックClkFが論理Low値になって論理High状態ClkGを伝達した直後に、ラッチL3GによってMinF信号が供給されてラッチL3Fへの入力において利用可能になる。従って、入力クロックClkFが次に論理High値になるときに、許可信号MinFはラッチL3Fを通じて伝達され、これにより分周器500のステージFがプログラムされた除数入力P<F>の値に影響を受けるようにする。従って、分周器500のクリティカルパスは、半分のクロックサイクルに過ぎないか、又は、分周器500への入力の最高周波数は $0.5/(\text{クリティカルパス長さ})$ 以下でなければならない

【0027】

上記の分析に基づいて、分周器500の利用可能な周波数範囲は、分周器100の利用可能な周波数範囲の三分の一であることが分かり、このような性能の劣化は、一般的に市場に受け入れられない。

【0028】

図9は、分周器500のクリティカルパス限界を克服し、且つ、分周器100のセーフロードの高速要件を克服する、プログラマブル分周器900のブロック図の例を示す。本発明によれば、分周器900は、ステージ間の位相関係の組合せで動作するように構成される。高速ステージFは、分周器100の位相関係を用いて次のステージGに結合され、少なくとも1つの低速ステージが、その次のステージに分周器500の位相関係を用いて結合される。

【0029】

分周器900のステージFとGとの間の結合は、分周器100において提供される結合と同一であるので、分周器900のクリティカルパス分析は、上記で図6と関連して議論したのと同じ「直接結合」である。即ち、図9において示されるステージFとGとの間の結合では、分周器900への最大入力周波数は、 $1.5/(\text{クリティカルパス長さ})$ であるか、又は、分周器500への最大入力周波数よりも3倍大きい。

【0030】

分周器100のセーフロードの高速要件を克服するために、本発明による分周器900の上位ステージは、分周器500の「クロス結合」された位相関係を用いるように構成される。代替の位相関係を位相間の従来型の位相関係と併せて用いることによって、1つ又は複数のアクティブエッジが分周器500のセーフロード期間内に発生するように構成されることができ。実際には、上位ステージの全てが「クロス結合」されている必要があるわけではなく、下位ステージの全てが「直接結合」されている必要があるわけではない。高速ステージFは、クリティカルパス期間を増加させるために、ステージGに直接結合され、より低速のステージのうちの少なくとも1つは、セーフロード期間を移動させるためにクロス結合される。

【0031】

上記したように、「分割サイクルごとに一回」信号を絶えず供給するステージF、G、H及びIのそれぞれにおける信号は、プログラムされた分周器に関係なく、同期PgLoad信号を供給するのに用いられることができる。従って、従来技術の分周器アプリケーションと互換性を維持する際の便宜のために、ステージF～Iのそれぞれは、その対応する次のステ

10

20

30

40

50

ージに「直接結合」される。好適には、より高位のステージIにおける入力信号が用いられる。より高位のステージIにおける入力信号は、一般的に、より低位のステージの信号よりも低い高周波成分を有するからである。

【0032】

また、図9には、ステージJ2'、J3'930及びJLast'940の使用が示され、これらは、分周器100の従来型ステージJ2、J3及びJLastの修正された形式である。最後のステージ940は、図1の追加のDフリップフロップ回路116を備えたステージ930に対応する。ステージ930は、図11に示される。示されるように、図10の従来型のステージ130と比較して、ステージ930の組合せロジック118は、ステージ130のラッチL3の出力ではなく、ラッチL3の入力に接続されている。ロジック118をラッチL3の入力側に配置することによって、制御入力Zinは制御出力Zoutからクロックラッチ(clocked latch)によって分離され、これにより、制御信号の伝達を同期させて、進行中の分割に影響することなくセーフロード期間の最中に分周器が変更されることを許可する。

10

【0033】

図8は、本発明によるステージ間の位相関係の組合せを備えたプログラマブル分周器900の信号のタイミング図の例を示す。図9のステージJ1〜J3'のそれぞれに供給される示された3分割許可信号MinJ1〜MinJ3は、分周器500のステージと関連して上記で詳述されたような、各ステージの出力と次の各ステージの入力との間のクロス結合された位相関係に対応する。図9のステージF〜Iのそれぞれに供給される示された3分割許可信号MinF〜MinIは、分周器100と関連して上記で詳述されたような、各ステージの出力と次の各ステージの入力との間の直接結合された位相関係に対応する。

20

【0034】

示されたように、セーフロード期間810は、820において、全ての3分割許可信号MinI〜MinJ3がインアクティブなときに開始する。セーフロード期間810は、1つ又は複数の他の許可信号が未だアクティブであるか又は再びアクティブには未だなっていない状態で、許可信号のうちの1つMinJ1がアクティブになり次に再びインアクティブになるときに終了する。

【0035】

特に、セーフロード期間810内に許可信号MinI上でアクティブエッジ850が発生することに注意されたい。上記したように、MinI信号は、MinF信号の8分の1の周波数で動作するので、分周器900の最大周波数との関連では比較的低速の信号と考えられる。この比較的低速の信号MinIは、図9に示されるように、新しい除数値を分周器900にロードするためのプログラムロードPgLoad信号として用いられる。従って、除数値を受信して記憶するのに用いられるステージ120、930、940の各Dフリップフロップ回路115は、比較的低速に、従って電力消費の低いデバイスに、設計されることができる。

30

【0036】

MinI信号のアクティブエッジ850がセーフロード期間中に発生するので、所望されたように次の除数サイクルが新しくロードされた除数値に基づくこととなる以外には、分周器900のカウントプロセスはロードによって影響されないことが保証される。即ち、新しい除数がロードされる前の除数サイクルにおいては、分割係数は前の除数になり、新しい除数がロードされた後の次の除数サイクルにおいては、分割係数は新しい除数になり、中間の分割係数が導入されることはない。加えて、MinF信号は、ステージFとGとの直接結合に基づいて伝達されるので、本発明の分周器900への最大入力周波数は、従来技術の従来型分周器100と比較して低下しない。

40

【0037】

前述は、本発明の原理を示すに過ぎない。従って、当業者が、ここで明確には説明又は提示されなかったものの本発明の原理を具体化しており本発明の精神及び範囲内にある種々の構成を設計することができるであろうことは、理解される。例えば、ブロック図は分周器及びカウンタステージの論理操作を示す。従来技術において一般的であるように、論理的等値が設計の効率を最適化するために使用されてもよい。例えば、好適な実施例にお

50

いては、反転された入力について、各ステージにおける反転遅延を解消すると同時に「ヘッドルーム」要件(電源間のスタックされたデバイスの数)を低下させるために、ANDゲートの代わりにNORゲートが用いられる。これらの及び他のシステム構成及び最適化機能は、この開示を鑑みて当業者に明らかになり、以下の請求項の範囲内に含まれる。

【図面の簡単な説明】

【0038】

【図1A】従来技術のプログラマブル分周器のブロック図の例を示す。

【図1B】従来技術のプログラマブル分周器のブロック図の例を示す。

【図2】従来技術のプログラマブル分周器の信号のタイミング図の例を示す。

【図3】プログラマブル分周器に用いられる従来技術のカウンタステージのブロック図の例を示す。

10

【図4】従来技術のプログラマブル分周器と比較して代替のステージ間の位相関係を有するプログラマブル分周器における信号のタイミング図の例を示す。

【図5】従来技術のプログラマブル分周器と比較して代替のステージ間の位相関係を有するプログラマブル分周器のブロック図の例を示す。

【図6】従来技術のプログラマブル分周器のクリティカルパス分析を示す。

【図7】代替のステージ間の位相関係を有するプログラマブル分周器のクリティカルパス分析を示す。

【図8】本発明によるステージ間の位相関係の組合せを有するプログラマブル分周器の信号のタイミング図の例を示す。

20

【図9】本発明によるステージ間の位相関係の組合せを有するプログラマブル分周器のブロック図の例を示す。

【図10】プログラマブル分周器のための従来技術の上位カウンタステージのブロック図の例を示す。

【図11】本発明による上位カウンタステージのブロック図の例を示す。

【図1A】

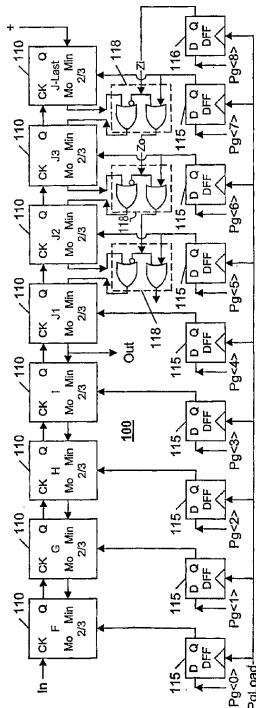


FIG. 1A

【図1B】

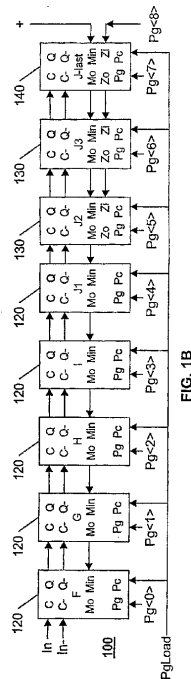
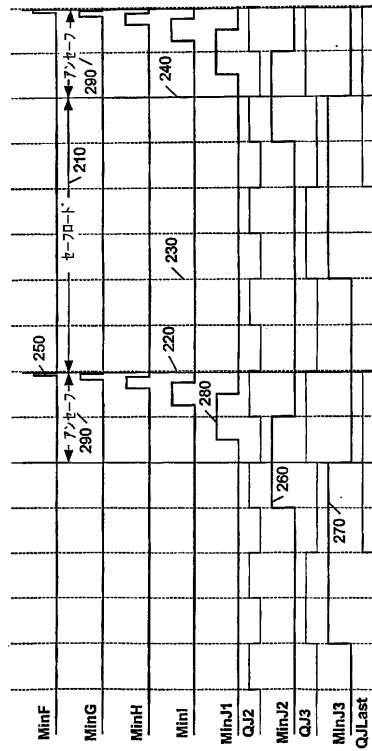
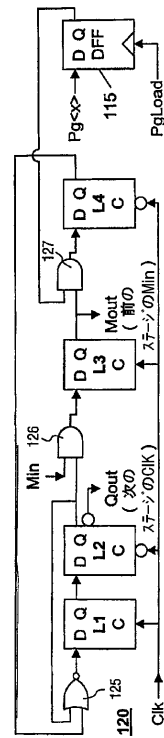


FIG. 1B

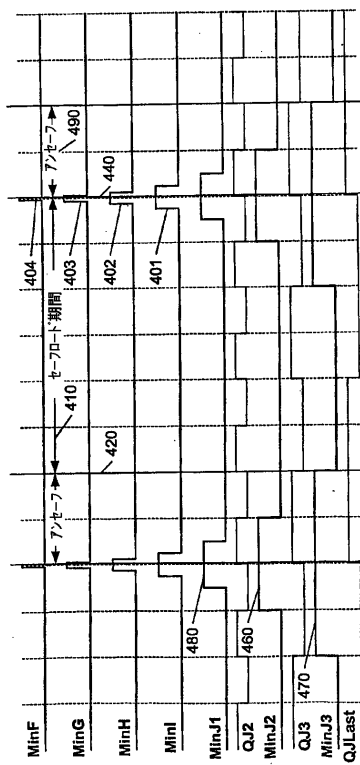
【図 2】



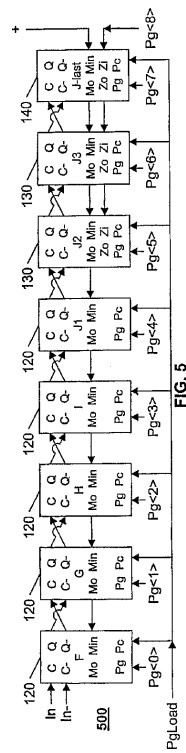
【図 3】

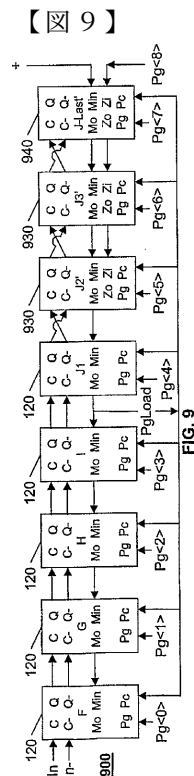
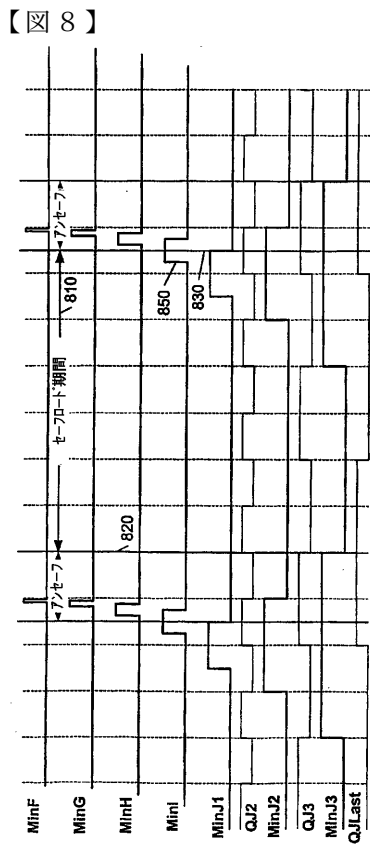
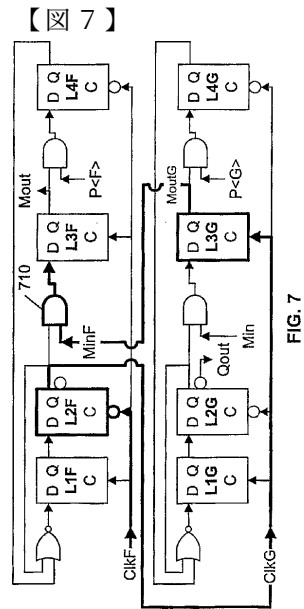
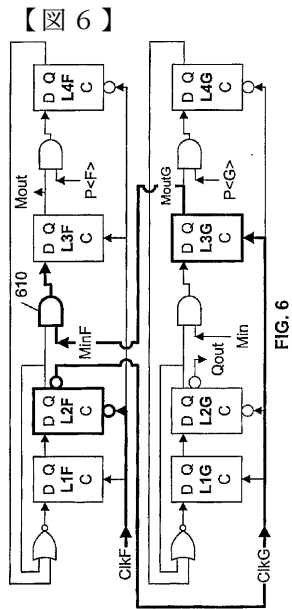


【図 4】



【図 5】





フロントページの続き

(74)代理人 100147485

弁理士 杉村 憲司

(74)代理人 100134005

弁理士 澤田 達也

(72)発明者 ウ ホンビン

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ガエスケ ライネル

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 石田 勝

(56)参考文献 特開平3-136520 (JP, A)

特開平7-307664 (JP, A)

特表2002-509376 (JP, A)

国際公開第99/031805 (WO, A1)

Cicero S.Vaucher他, 「A family of low-power truly modular programmable dividers in standard 0.35- μm CMOS technology」, IEEE JOURNAL OF SOLID-STATE CIRCUITS, 米国, IEEE, 2000年 7月, VOL.35, NO.7, pp1039-1045

(58)調査した分野(Int.Cl., DB名)

H03K 23/64