(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3597961号
(P3597961)
(45)発行日　平成16年12月8日(2004.12.8)　(24)登録日　平成16年9月17日(2004.9.17)

(51)Int.Cl.[7]　F I
H03K 19/096　H03K 19/096　D
H01L 21/822　H01L 27/04　G
H01L 21/8238　H01L 27/08　321B
H01L 27/04
H01L 27/092

請求項の数 6　(全 15 頁)

(21)出願番号　特願平8-349427
(22)出願日　平成8年12月27日(1996.12.27)
(65)公開番号　特開平10-190444
(43)公開日　平成10年7月21日(1998.7.21)
審査請求日　平成13年10月11日(2001.10.11)

前置審査

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100089071
弁理士　玉村　静世
(72)発明者　水野　弘之
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内
(72)発明者　宮▲崎▼　祐行
東京都国分寺市東恋ケ窪一丁目２８０番地
株式会社日立製作所中央研究所内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】
【請求項１】
半導体基体に形成されたMISトランジスタを含む複数の回路ブロックと、
上記複数の回路ブロックのそれぞれに対応して設けられた複数のバイアススイッチ回路と、
上記半導体基体に形成されたMISトランジスタを含み、発振出力の周波数を可変にできるよう構成された発振出力回路と、
バッファ回路と、
制御回路と、
パワー制御回路とを有し、
上記制御回路には、所定の周波数を有するクロック信号と上記発振出力回路の発振出力とが供給され、
上記制御回路は、上記発振出力の周波数と上記クロック信号の周波数とを比較して第一の制御信号を発生し、
上記発振出力回路は、上記第一の制御信号により、上記発振出力の周波数が上記クロック信号の周波数に対応するように制御され、
上記発振出力の周波数の制御は、上記第一の制御信号により、上記発振出力回路を構成するMISトランジスタのしきい値電圧を制御することによって行われ、
上記バッファ回路には上記第一の制御信号が入力され、上記第一の制御信号に対応した第二の制御信号を出力し、

上記第二の制御信号は、上記複数のバイアススイッチ回路に入力され、複数の第三の制御信号を出力し、
上記複数の第三の制御信号のそれぞれは、対応する回路ブロックに入力され、
上記第三の制御信号は、上記回路ブロックを構成するMISトランジスタのしきい値電圧を制御し、
上記パワー制御回路からの第一のパワー制御信号によって、上記バッファ回路は上記第二の制御信号の値を上記第一の制御信号の値とは関係しない値として出力し、
上記第一の制御信号の値とは関係しない値として出力された上記第二の制御信号により、上記複数の回路ブロックの消費電力が小さく制御され、
上記パワー制御回路からの第二のパワー制御信号によって、上記バイアススイッチ回路は上記第三の制御信号の値を上記第二の制御信号の値とは関係しない値として出力し、
上記第二の制御信号の値とは関係しない値として出力された上記第三の制御信号により、上記バイアススイッチ回路に対応する回路ブロックの消費電力が小さく制御されることを特徴とする半導体集積回路装置。

【請求項２】
請求項１記載の半導体集積回路装置において、
上記第一の制御信号は上記バッファ回路に第一のインピーダンスで入力され、
上記バッファ回路は、上記第一のインピーダンスよりも低い第二のインピーダンスで上記第二の制御信号を出力することを特徴とする半導体集積回路装置。

【請求項３】
請求項１または請求項２記載の半導体集積回路装置において、
上記第二の制御信号は上記バイアススイッチ回路に第三のインピーダンスで入力され、
上記バイアススイッチ回路は、上記第三のインピーダンスよりも低い第四のインピーダンスで上記第三の制御信号を出力することを特徴とする半導体集積回路装置。

【請求項４】
請求項１乃至請求項３のいずれか１項に記載の半導体集積回路装置において、
上記第一の制御信号は上記発振出力回路を構成するMISトランジスタの基板バイアスを制御し、
上記第三の制御信号は対応する回路ブロックを構成するMISトランジスタの基板バイアスを制御することを特徴とする半導体集積回路装置。

【請求項５】
請求項１乃至請求項４のいいずれか１項記載の半導体集積回路装置において、
上記バッファ回路は、上記第一の制御信号を受け、利得１で上記第二の制御信号を出力し、
上記バイアススイッチ回路は、上記第二の制御信号を受け、利得１で上記第三の制御信号を出力することを特徴とする半導体集積回路装置。

【請求項６】
請求項１乃至請求項５のいいずれか１項記載の半導体集積回路装置において、
上記第二の制御信号の値とは関係しない値として出力された上記第三の制御信号が印加された場合の上記回路ブロックを構成するMISトランジスタのしきい値電圧は、上記第二の制御信号に対応した上記第三の制御信号が印加された場合の上記回路ブロックを構成するMISトランジスタのしきい値電圧よりも高くされることを特徴とする半導体集積回路装置。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は半導体装置に係わり、特に高速性と低電力性を兼ね備えた半導体装置に関する。
【０００２】
【従来の技術】
特開平８－２７４６２０号公報に記載されている従来技術を図２に示す。（以下、この従

来例を従来例Ａと記す）
発振回路ＯＳＣ０は、端子Ｂ１に制御回路から制御信号を受けその信号の値により発振周波数が変化するように構成されている。制御回路ＣＮＴ０は、外部から基準クロックＣＬＫ０を受けると共に、発振回路ＯＳＣ０の発振出力を受けるように構成される。ここで、周波数可変型発振回路ＯＳＣ０と、周波数可変型発振回路ＯＳＣ０の出力Ｓ０を入力とする制御回路ＣＮＴ０からなる閉回路系は、互いに負帰還がかかる安定な系になるように構成されている。この閉回路系により、周波数可変型発振回路ＯＳＣ０の出力Ｓ０の発振周波数は基準クロックＣＬＫ０の周波数に対応した周波数となり、例えば出力Ｓ０の発振周波数と外部クロックの周波数とは同じ周波数で同期することとなる。
【０００３】
発振回路ＯＳＣ０を半導体基板上に形成されたＮ型ＭＯＳＦＥＴ（ＮＭＯＳＦＥＴ）とＰ型ＭＯＳＦＥＴ（ＰＭＯＳＦＥＴ）とで構成し、制御回路ＣＮＴ０からの制御電圧がそのＭＯＳＦＥＴの基板バイアスを変化する。その変化によりＭＯＳＦＥＴのしきい値が変化し、発振回路ＯＳＣ０の発振周波数が変化するように構成している。
【０００４】
さらに主回路ＬＯＧ０は、端子Ｂ０に制御回路ＣＮＴ０の制御信号をうけるように構成され、この制御信号により主回路ＬＯＧ０を構成するＭＯＳＦＥＴの基板バイアスを制御し、ＭＯＳＦＥＴのしきい値電圧を制御するように構成している。
【０００５】
このような構成により。基準クロックＣＬＫ０により主回路ＬＯＧ０中のＭＯＳＦＥＴのしきい値電圧を制御することが可能となり、基準クロックの周波数に応じて（動作周波数に適応して）、主回路を構成するＭＯＳＦＥＴのしきい値電圧、ひいては消費電力と動作速度を可変とすることができている。
【０００６】
【発明が解決しようとする課題】
（１）　従来例Ａでは信号Ｂ０の主回路中のＭＯＳＦＥＴへの分配方法についての限定がないが、基板バイアスの主回路への分配方法は主回路の消費電力および実装密度に大きく関係する。
【０００７】
（２）　従来例Ａでは主回路ＬＯＧ０は端子Ｂ１の信号に対応したＢ０の信号により制御されるとしている。この対応関係は基板バイアス制御回路の安定度や安定時間に大きく関係する。
【０００８】
本発明は上記二つの課題を解決する発明である。
【０００９】
【課題を解決するための手段】
（１）　従来例Ａの主回路ＬＯＧ０を、ＰＭＯＳ基板バイアススイッチおよびＮＭＯＳ基板バイアススイッチを用いて複数の基板制御ブロックに分割し、それぞれの回路ブロックの基板バイアスを、基板バイアス制御回路とは独立して制御できるようにする。
【００１０】
（２）　従来例Ａの実施例では、主回路ＬＯＧ０に入力される信号Ｂ０は、周波数可変型発振回路ＯＳＣ０に入力される信号Ｂ１に対応した信号としている。本発明の実施例では具体的に、信号Ｂ０に相当する基板バイアスは、信号Ｂ１に相当する基板バイアスから、基板バイアスバッファを用いて生成する。基板バイアスバッファの入力は高インピーダンスにし、出力はそれよりも低インピーダンスにする。
【００１１】
【発明の実施の形態】
以下、図を参照して本発明の具体的な実施例を説明する。
【００１２】
図１は本発明の第一発明の実施例を示す図である。

【００１３】
１００は従来例Ａに記載の基板バイアス制御回路で、周波数可変型発振回路ＯＳＣ０と、制御回路ＣＮＴ０から構成されている。３１０、３１１は基板制御ブロックで、複数のＭＯＳＦＥＴからなる回路ブロック３００と、ＰＭＯＳ基板バイアススイッチ回路２００、ＮＭＯＳ基板バイアススイッチ回路２０１から構成されている。１２０はパワー制御回路である。
【００１４】
従来例Ａの構造により基板バイアス制御回路１００から動作周波数に適応したＰＭＯＳ基板バイアス１１０およびＮＭＯＳ基板バイアス１１１が出力され、それぞれ各基板制御ブロック３１０、３１１内の回路ブロック３００へ、ＰＭＯＳ基板バイアススイッチ２００およびＮＭＯＳ基板バイアススイッチ２０１を通して入力されている。
【００１５】
入力されたＰＭＯＳ基板バイアス１１２およびＮＭＯＳ基板バイアス１１３は回路ブロック３００中のＭＯＳＦＥＴのバックゲートへ接続されている。（ここでのバックゲートはＭＯＳＦＥＴの基板バイアスを印可する端子を意味する。したがって、自明なことだが実際にはＮ型ウェルやＰ型ウェルへの給電になる可能性もある）
基板バイアス制御回路１００は、パワー制御回路１２０からのスタンバイ信号４００によって制御され、スタンバイ信号４００が’Ｈ’の時は動作状態になり、スタンバイ信号４００が’Ｌ’の時には停止状態となる。
【００１６】
上記動作状態と停止状態の違いは、停止状態の方が基板バイアス制御回路１００の消費電力が動作状態のときよりも小さいことであり、それ以外は特に限定しない。また当然、基板バイアス制御回路１００が動作状態のみを持つ場合などでは、スタンバイ信号４００は無くてもよい。
【００１７】
ＰＭＯＳ基板バイアススイッチ２００およびＮＭＯＳ基板バイアススイッチ２０１は、パワー制御回路１２０から出力されるスタンバイ信号４０１、４０２によって制御され、スタンバイ信号４０１、４０２が’Ｈ’の時は、基板バイアス１１０および１１１の電位をそのまま基板バイアス１１２および１１３に電送する。スタンバイ信号４０１、４０２が’Ｌ’の時には、基板バイアス１１２および１１３の電位はそれぞれ前記スタンバイ信号が’Ｈ’の時の基板バイアス値よりも深い基板バイアス電位になる。
【００１８】
例えば、電源電圧が１．０Ｖで、基板バイアス１１０および１１１がそれぞれ１．２Ｖ、－０．２Ｖと仮定すると、スタンバイ信号４０１、４０２が’Ｈ’の時には基板バイアス１１２および１１３にはそれぞれ１．２Ｖ、－０．２Ｖが印可され、スタンバイ信号４０１、４０２が’Ｌ’の時には基板バイアス１１２および１１３はそれぞれ３．３Ｖ、－２．３Ｖが印可される。
【００１９】
図１のように従来例Ａの主回路ＬＯＧ０を、ＰＭＯＳ基板バイアススイッチ２００およびＮＭＯＳ基板バイアススイッチ２０１を用いて複数の基板制御ブロック３１０、３１１に分割することで、それぞれの回路ブロック３００の基板バイアスを、基板バイアス制御回路１００とは独立して制御することができる。
【００２０】
たとえば、回路ブロック３００が動作中にはスタンバイ信号４０１を’Ｈ’にする。基板バイアス１１０および１１１の電位がそのまま基板バイアス１１２および１１３に電送されるので、回路ブロック３００中のＭＯＳＦＥＴの基板バイアスには動作周波数に適応した基板バイアスが印可される。
【００２１】
また、回路ブロック３００が停止中には、スタンバイ信号を’Ｌ’にする。基板バイアス１１２および１１３にはそれぞれ動作時よりもより深く基板バイアスが出力され、回路ブ

ロック３００中のＭＯＳＦＥＴのしきい値電圧が増加し、サブスレッショルドリーク電流を低減することができる。

【００２２】

さらに、その方法については特に限定しないが、各回路ブロック３００が動作中にのみ回路ブロック３００へクロックを供給するようにすえば、停止中の回路ブロックの消費電力を低減できる。

【００２３】

上記のように、従来例の主回路ＬＯＧ０を複数の回路ブロックに分割し、個別に基板バイアスを制御することで、停止中の回路ブロックのサブスレッショルドリーク電流を削減することができ、主回路全体の実効的な消費電力を低減することができる。

【００２４】

またさらに、回路ブロック３００の基板バイアスを、ＰＭＯＳ基板バイアススイッチ２００およびＮＭＯＳ基板バイアススイッチ２０１を用いて基板バイアス制御回路１００とは独立して制御することができるため、回路ブロック３００を停止状態から動作状態あるいは動作状態から停止状態に移行させるのに必要な時間を速くできる。基板バイアススイッチ２００、２０１の基板ドライブ能力に依存するが、数百ナノ秒程度の短い時間で可能となる。したがって、スタンバイ信号４０１、４０２を高頻度に変化させて回路ブロックの動作状態を高頻度に変化させても、システムのパフォーマンスが低下しない。

【００２５】

図３は図１の基板バイアス制御回路１００の実施例である。従来例Ａにも実施例があるが、ここで示したのは基本動作は同一だが別の実施例である。

【００２６】

ＯＳＣ１は周波数可変型発振回路で、インバータ列と２入力ＮＡＮＤ回路で構成されたリングオシレータである。ＰＦＤ、ＣＰ、ＬＰＦはそれぞれ従来例Ａにも記述されている位相周波数比較回路、チャージポンプ回路、ローパスフィルタである。ＲＣＬＫは周波数可変型発振回路ＯＳＣ１に入力される基準クロックである。

【００２７】

ＣＮＶ１、ＣＮＶ２は電圧レベル変換器で、ハイレベル’Ｈ’がＶｄｄ（正の電源電圧電位で、例えば１．０Ｖ）で、ローレベル’Ｌ’がＶｓｓ（負の電源電圧電位で、例えば０．０Ｖ）のデジタル信号を、ハイレベル’Ｈ’がＶｄｄでローレベル’Ｌ’がＶｓｓｑ（第二の負の電源電圧電位で、例えば、－２．３Ｖ）のデジタル信号に変換する。

【００２８】

ＭＰ１からＭＰ４はＰＭＯＳＦＥＴで、ＭＮ１からＭＮ４はＮＭＯＳＦＥＴで、ＣＭ１からＣＭ３は差動増幅器である。ＳＢＵＦ１、ＳＢＵＦ２は基板バイアスバッファで、４００が’Ｈ’の時、基板バイアスＶｂｐ０およびＶｂｎ０を高インピーダンスで受け、低インピーダンスで１１０および１１１に利得１で出力する。

【００２９】

４００が’Ｌ’の時には、１１０および１１１にはそれぞれＶｄｄｑ（第二の正の電源電圧電位で、たとえば３．３Ｖ）、Ｖｓｓｑが出力されると同時に、差動増幅器ＣＭ１およびＣＭ２中の定電流源の電流がオフされ、基板バイアスバッファＳＢＵＦ１およびＳＢＵＦ２の消費電力は小さくなる。

【００３０】

ＳＢＭは基板バイアスミラー回路で、基板バイアスＶｂｎ０を入力として、基板バイアスＶｂｐ０を図４のように出力する。このＳＢＭの詳しい動作は図９で記述する。

【００３１】

基準クロックＲＣＬＫと周波数可変型発振回路ＯＳＣ１の出力ＯＣＬＫは位相周波数比較回路ＰＦＤに入力され、その位相あるいは周波数差に応じてＵＰ信号およびＤＮ信号が出力される。それぞれの信号は電圧レベル変換器ＣＮＶ１およびＣＮＶ２を通してチャージポンプＣＰに入力され、ローパスフィルタＬＰＦを通して基板バイアスＶｂｎ０が生成される。基板バイアスＶｂｎ０は前述の基板バイアスミラー回路ＳＢＭに入力され、基板バ

イアスＶｂｐ０が生成される。生成された基板バイアスＶｂｐ０とＶｂｎ０は、それぞれ周波数可変型発振回路ＯＳＣ１を構成しているＭＯＳＦＥＴのＰＭＯＳＦＥＴおよびＮＭＯＳＦＥＴの基板バイアスとしてＭＯＳＦＥＴのバックゲートに接続されている。

【００３２】

このフェーズロックドループ系により、周波数可変型発振回路ＯＳＣ１の発振周波数は基準クロックの周波数と同一になり、基準クロックにより基板バイアスＶｂｐ０およびＶｂｎ０の制御ができる。

【００３３】

図２に示した従来例Ａの実施例では、主回路ＬＯＧ０に入力される信号Ｂ０は、周波数可変型発振回路ＯＳＣ０に入力される信号Ｂ１に対応した信号としている。図３の実施例では具体的に、信号Ｂ０に相当する基板バイアス１１０および１１１は、信号Ｂ１に相当する基板バイアスＶｂｐ０、Ｖｂｎ０から基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２を用いて生成されている。

【００３４】

このようにすることで、基板バイアス１１０および１１１に大きな負荷が接続されても、基板バイアスＶｂｐ０およびＶｂｎ０は影響を受けない。したがって、上記フェーズロックドループ系の設計が容易になり、かつ、フェーズロックドループ系が安定になる時間（ロック時間）が短縮できる。

【００３５】

基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２の構造は図３に示したものに特に限定しないが、基板バイアスＶｂｐ０およびＶｂｎ０を高インピーダンスで受け、低インピーダンスで１１０および１１１に出力できるものであればよい。

【００３６】

図５は図３に示した図１の基板バイアス制御回路１００の実施例のさらに別の実施例である。

【００３７】

ＯＳＣ２は周波数可変型発振回路で、インバータ列と２入力ＮＡＮＤ回路で構成されたリングオシレータで構成されている。ＰＦＤ１、ＰＦＤ２は位相周波数比較回路、ＣＰ１、ＣＰ２はチャージポンプ回路、ＬＰＦ１、ＬＰＦ２はローパスフィルタである。ＲＣＬＫはデューティー比（クロックの一周期中の’Ｈ’期間の割合）が５０％の基準クロックである。ＳＢＵＦ１、ＳＢＵＦ２は図３で示した基板バイアスバッファである。

【００３８】

周波数可変型発振回路ＯＳＣ２、位相周波数比較回路ＰＦＤ１、チャージポンプ回路ＣＰ１、ローパスフィルタＬＰＦ１から構成されたフェーズロックドループ系により、周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１の立ち下がりと基準クロックＲＣＬＫの立ち下がりが同一タイミングになるように、基板バイアスＶｂｐ１が変化する。

【００３９】

同様にして、周波数可変型発振回路ＯＳＣ２、位相周波数比較回路ＰＦＤ２、チャージポンプ回路ＣＰ２、ローパスフィルタＬＰＦ２から構成されたフェーズロックドループ系により、周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１の立ち上がりと基準クロックＲＣＬＫの立ち上がりが同一タイミングになるように基板バイアスＶｂｎ１が変化する。

【００４０】

結局、上記二つのフェーズロックドループ系により、周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１の立ち上がりと立ち下がりが基準クロックＲＣＬＫの立ち上がりと立ち上がりが同一タイミングになるように基板バイアスＶｂｎ１、Ｖｂｎ１が変化することになる。言い替えれば、周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１の位相と周波数とデューティー比と、基準ロックＲＣＬＫの位相と周波数とデューティー比（５０％）が同一になるように、基板バイアスＶｂｎ１、Ｖｂｎ１が変化することになる。

【００４１】

基板バイアスＶｂｐ１とＶｂｎ１はそれぞれ独立して決定されるべきものではなく、たと

えばそれらの基板バイアスがバックゲートに印可されたＰＭＯＳＦＥＴとＮＭＯＳＦＥＴのドレイン電流（駆動能力）が２：１等の適当な比率になるように保つ必要がある。

【００４２】

周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１の’Ｈ’期間は主に周波数可変型発振回路ＯＳＣ２中のＰＭＯＳＦＥＴの駆動能力（ＰＭＯＳＦＥＴのしきい値、すなわち、ＰＭＯＳＦＥＴに印可される基板バイアスＶｂｎ１に依存する）によって決定され、’Ｌ’期間は主に周波数可変型発振回路ＯＳＣ２中のＮＭＯＳＦＥＴの駆動能力（ＮＭＯＳＦＥＴのしきい値、すなわち、ＮＭＯＳＦＥＴに印可される基板バイアスＶｂｐ１に依存する）によって決定される。したがって、周波数可変型発振回路ＯＳＣ２の発振出力ＯＣＬＫ１のデューティー比が５０％になるということは、ＰＭＯＳＦＥＴとＮＭＯＳＦＥＴの駆動能力が周波数可変型発振回路ＯＳＣ２中のＰＭＯＳＦＥＴとＮＭＯＳＦＥＴのｗ（ゲート幅）比になることを意味し、上記の基板バイアスＶｂｐ１とＶｂｎ１のバランスが保たれることになる。

【００４３】

このように図５の実施例では、基板バイアスＶｂｐ１とＶｂｎ１の値は基準クロックＲＣＬＫの周波数によって決定され、基板バイアスＶｂｐ１とＶｂｎ１のバランスは周波数可変型発振回路ＯＳＣ２中のＰＭＯＳＦＥＴとＮＭＯＳＦＥＴのｗ比によって決定されることになる。

【００４４】

図５では図３と同様に、基板バイアス１１０および１１１は基板バイアスＶｂｐ１、Ｖｂｎ１から基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２を用いて生成されている。

【００４５】

したがって、図３の場合と同様に、基板バイアス１１０および１１１に大きな負荷が接続されても、基板バイアスＶｂｐ１およびＶｂｎ１は影響を受けない。したがって、上記フェーズロックドループ系の設計が容易になり、かつ、フェーズロックドループ系が安定になる時間（ロック時間）が短縮できる。

【００４６】

もちろん、図３の場合と同様に、基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２の構造は図５に示したものに特に限定しない。基板バイアスＶｂｐ１およびＶｂｎ１を高インピーダンスで受け、低インピーダンスで１１０および１１１に出力できるものであればよい。

【００４７】

図６（Ａ）、（Ｂ）はそれぞれ図１の基板バイアススイッチ２００、２０１の実施例である。図３や図５で示した基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２と同様のもので実現できる。

【００４８】

４０１が’Ｈ’の時は、基板バイアス１１０および１１１を高インピーダンスで受け、低インピーダンスで１１２および１１３に利得１で出力する。

【００４９】

４００が’Ｌ’の時には、１１２および１１３にはそれぞれＶｄｄｑ、Ｖｓｓｑが出力されると同時に、差動増幅器ＣＭ１およびＣＭ２に供給される低電流源の電流がオフされ、基板バイアススイッチ２００および２０１の消費電力は小さくなる。

【００５０】

図７は本発明の別の実施例である。

【００５１】

図１では、基板バイアス制御回路１００から動作周波数に適応したＰＭＯＳ基板バイアス１１０およびＮＭＯＳ基板バイアス１１１が出力されているが、図３ではバイアス１２０だけが出力されている。パワー制御信号４０１あるいは４０２が’Ｈ’の時、ＰＭＯＳ基板バイアススイッチ２０４およびＮＭＯＳ基板バイアススイッチ２０５により、バイアス１２０からＰＭＯＳ基板バイアス１１２およびＮＭＯＳ基板バイアス１１３が出力される。そのＰＭＯＳ基板バイアス１１２およびＮＭＯＳ基板バイアス１１３は回路ブロック３

００のＭＯＳＦＥＴのバックゲートに入力される。

【００５２】

バイアス１２０は図１のＰＭＯＳ基板バイアス１１０およびＮＭＯＳ基板バイアス１１１の内のどちらか一方でもよい。例えばバイアス１２０は図１のＰＭＯＳ基板バイアス１１０と同一の信号だとすれば、基板バイアススイッチ２０４は図１の基板バイアススイッチ２００と同一のものでよい。また、基板バイアススイッチ２０５はパワー制御信号４０１あるいは４０２が’Ｈ’の時、バイアス１２０（この場合ＰＭＯＳ基板バイアス１１０と同一）からＮＭＯＳ基板バイアス１１１に相当するものを作り、基板バイアス１１３に出力できるものであればよい。

【００５３】

図１の場合と全く同様の効果を得ることができる。さらに、図１の場合には基板バイアス１１０と１１１の２本の配線が必要なのに比較して、図７の実施例ではバイアス１２０の１本の配線で基板制御ブロック３１０、３１１に基板バイアスが給電できるため、配線効率が良くなるという利点がある。

【００５４】

図８は図７の基板バイアス制御回路１００の実施例である。

【００５５】

図３から基板バイアスバッファＳＢＵＦ１を取り除いたもので実現できる。すなわち、バイアス１２０は図１のＮＭＯＳ基板バイアス１１１と同一の信号になる。図８の回路動作については図３と同様であるのでここでは省略する。

【００５６】

図９は図７の基板バイアス制御回路１００に図８の回路を用いた場合の、図７の基板バイアス２０５の実施例である。なお、その場合の基板バイアススイッチ２０４は図６（Ｂ）の回路をそのまま用いることができる。

【００５７】

図９の回路は図３および図８の実施例中にある基板バイアスミラー回路と同一のもので，基板バイアス１２０を入力として、基板バイアス１１３を出力する。ここではこの動作を詳しく記述する。

【００５８】

特に限定しないが、説明の簡便さから、４０１は’Ｈ’で、Ｖｄｄｑ＝３．３Ｖ、Ｖｄｄ＝１．０Ｖ、Ｖｓｓ＝０．０Ｖ、Ｖｓｓｑ＝－２．３Ｖと仮定する。

【００５９】

ＭＰ３からＭＰ５はＰＭＯＳＦＥＴで、ＭＮ３からＭＮ５はＮＭＯＳＦＥＴである。ＭＰ３とＭＮ３のゲート長は等しく、ｗ（ゲート幅）比をｍ：１で、同様に、ＭＰ５とＭＮ５のゲート長は等しく、ｗ（ゲート幅）比をｍ：１に設定している。ＣＭ３は差動増幅器であり、Ｖｈ１とＶｈ２の電位差を増幅し、出力Ｖｈ３をＭＰ５のゲートに入力している。

【００６０】

ＭＰ３とＭＮ３ならなる分圧器によって、ＭＰ３とＭＮ３の駆動能力に対応した電圧がＶｈ１に出力される。すなわち、Ｖｈ１が　０．５Ｖ　（＝（Ｖｄｄ＋Ｖｓｓ／２）＋Ｖｓｓ）　のときは、ＭＰ３とＭＮ３の駆動能力は等しくなっていることを意味する。いま、ＭＰ３とＭＮ３の駆動能力が等しいと仮定し、Ｖｈ１は０．５Ｖになっていると仮定する。

【００６１】

差動増幅器ＣＭ３の出力Ｖｈ３はＭＰ４の基板バイアス制御し、それによってＶｈ２の電位が制御されるので、差動増幅器ＣＭ３は負帰還がかけられている。したがって、定常状態ではＶｈ２の電位はＶｈ１と同電位になり、０．５Ｖとなる。

【００６２】

ＭＰ４とＭＮ４ならなる分圧器によって、ＭＰ３とＭＮ３の駆動能力に対応した電圧がＶｈ２に出力されるので、Ｖｈ２の電位が０．５Ｖということは、ＭＰ４とＭＮ４の駆動能力が等しくになっていることを意味する。

【００６３】
したがって、ＭＰ３とＭＮ３のｗ比と、ＭＰ４のＭＮ４のｗ比を同じ値に設定することで、基板バイアスをソース電位と同じ電位にしたときのＭＰ４のＭＮ４の駆動能力比を保ちながら、入力された基板バイアス１２０に対して、基板バイアス１１３の電位が出力されることになる。
【００６４】
上記したように、基板バイアス１２０と１１３はそれぞれ独立して決定されるべきものではなく、たとえばそれらの基板バイアスがバックゲートに印可されたＰＭＯＳＦＥＴとＮＭＯＳＦＥＴの単位ゲート幅あたりのドレイン電流（駆動能力）が２：１等の適当な比率になるように保つ必要があるが、図９の回路でそれが実現できる。
【００６５】
また一般に、ＰＭＯＳＦＥＴとＮＭＯＳＦＥＴで、しきい値電圧の基板バイアス依存性が異なり、さらに電源電圧の変化に伴う単位ゲート幅あたりのドレイン電流の依存性も異なる。たとえば、電源電圧の低下にともなって、ＰＭＯＳＦＥＴの方がＮＭＯＳＦＥＴよりも駆動能力の減少が著しい。本発明の図９の基板バイアスミラー回路ＳＢＭを用いることで、上記依存性の違いも補償できる。
【００６６】
図９は４０１が’Ｌ’の時、基板バイアス１１３にはＶｄｄｑが出力され、さらに、ＭＰ３とＭＮ３、ＭＰ４とＭＮ４からなる分圧器と、差動増幅器ＣＭ３に供給される電流がオフされて消費電力が小さくなる。
【００６７】
図１０は図１の基板バイアス１１０、１１１の給電配線の実施例である。パワー制御回路、およびそれから出力されるスタンバイ信号は簡単化のため省略している。
【００６８】
５００は例えばマイクロコンピュータであり、そのマイクロコンピュータの内部電源はＶｄｄ、Ｖｓｓによって供給されている。５０１は外部インターフェース用のＩ／Ｏ回路で、ＶｄｄそれよりもＶｄｄｑが供給されている。電源電圧電位は特に限定しないが、たとえば　Ｖｄｄｑ＝３．３Ｖ、Ｖｄｄ＝１．０Ｖ、Ｖｓｓ＝０．０Ｖ、Ｖｓｓｑ＝－２．３Ｖである。この電圧設定にすればＶｄｄｑ－Ｖｓｓと、Ｖｄｄ－Ｖｓｓｑが同一電位差になり、デバイス設計が容易になるという利点がある。
【００６９】
マイクロプロセッサ内の回路はＭＡ１からＭＡ４までの４つの基板制御ブロックに分割されている。２００、２０１は図１の基板バイアススイッチと同様である。基準クロックＲＣＬＫの供給源については限定しないが、マイクロプロセッサ５００内のクロック信号から生成してもよい。
【００７０】
ここでは（特願平８－３１４５０６）の発明の方法を用いて、基板バイアス１１０、１１１を給電している。すなわち、メタルの三層目Ｍ３からメタルの二層目Ｍ２を通して、基板電位を取るための表面高濃度拡散層ＤＬで各トランジスタの基板バイアスを給電している。
【００７１】
メタルの一層目を用いないので各トランジスタを高密度で実装することができる。
【００７２】
この実施例のメタルの使用方法は特に限定しない。
【００７３】
図１１に図１０を実現する基板構造（ウェル構造）の断面図例を示す。基板表面にはｎウェルとｐウェルが交互に並んでおり、その表面にトランジスタを形成することで回路を実装できる。ｍウェルはｎ極性をもつウェルである。
【００７４】
基板制御ブロックＭＡ１内のｎウェルと基板制御ブロックＭＡ２内のｎウェルとはｐ基板

によって電気的に分離され、基板制御ブロックＭＡ１内のｐウェルと基板制御ブロックＭＡ２内のｐウェルとはｎ極性をもつｍウェルによって電気的に分離されている。

【００７５】

したがって、基板制御ブロックＭＡ１内のＰＭＯＳＦＥＴと基板制御ブロックＭＡ２内のＰＭＯＳＦＥＴ、および、基板制御ブロックＭＡ１内のＮＭＯＳＦＥＴと基板制御ブロックＭＡ２内のＮＭＯＳＦＥＴに独立した基板バイアスが印可できることになり、図１０の回路が実現できる。

【００７６】

図３、図５あるいは図８で、４００が’Ｈ’の時は上記したような動作を行うが、’Ｌ’の時は、周波数可変型発振回路ＯＳＣ１あるいはＯＳＣ２の発振が停止し、基板バイアスミラー回路ＳＢＭおよび基板バイアスバッファＳＢＵＦ１、ＳＢＵＦ２が低電力状態となる。したがって、回路全体の消費電力が小さくなる。

【００７７】

本発明を用いたマイクロプロセッサでは、４００の信号をマイクロプロセッサのスタンバイ信号に接続すれば、スタンバイ時のマイクロプロセッサの消費電力が削減できる。

【００７８】

あるいは、マイクロプロセッサのＩＤＤＱテスト時に４００を’Ｌ’にしてもよい。図３、図５あるいは図８の回路に流れるリーク電流が小さくなり、かつ基板バイアス１１０、１１１に大きな基板バイアス値が出力されるので、基板バイアス１１０、１１１によってしきい値が制御されているＭＯＳＦＥＴのサブスレッショルドリーク電流を低減することができる。

【００７９】

また、上記４００が’Ｌ’の時に位相周波数比較器ＰＦＤ、ＰＦＤ１、ＰＦＤ２の出力ＵＰおよびＤＮをそれぞれ’Ｈ’、’Ｌ’に固定するようにしてもよい。上記４００が’Ｌ’にしたときのローパスフィルタＬＰＦ、ＬＰＦ１、ＬＰＦ２中のキャパシタンスＣ１の放電が抑制される。４００の高頻度にスイッチングさせてもキャパシタンスＣ１の電位が保たれるため、キャパシタンスＣ１の充放電分の消費電力が低減できる。

【００８０】

以上の実施例ではトランジスタの構造およびその基板構造は特に限定しない。アイ・エー・ディ・エム、テクニカル・ダイジェスト、第３５頁から第３８頁、１９９２年（１９９２　ＩＥＤＭ　Ｔｅｃｈｎｉｃａｌ　Ｄｉｇｅｓｔ，　ｐｐ３５－３８）に記載されているようなＳＯＩ構造のＭＯＳトランジスタを用いてもよい。要はしきい値が制御できるような構造のトランジスタであればよい。

【００８１】

【発明の効果】

（１）　従来例Ａの主回路ＬＯＧ０を、ＰＭＯＳ基板バイアススイッチおよびＮＭＯＳ基板バイアススイッチを用いて複数の基板制御ブロックに分割することで、それぞれの回路ブロックの基板バイアスを、基板バイアス制御回路とは独立して制御することができる。

【００８２】

回路ブロック毎に個別に基板バイアスを制御することで、停止中の回路ブロックの基板バイアスを制御することで、その回路ブロックのサブスレッショルドリーク電流を削減することができ、主回路全体の実効的な消費電力を低減することができる。

【００８３】

またさらに、回路ブロックの基板バイアスを、ＰＭＯＳ基板バイアススイッチおよびＮＭＯＳ基板バイアススイッチを用いて基板バイアス制御回路とは独立して制御することができるため、回路ブロックを停止状態から動作状態あるいは動作状態から停止状態に移行させるのに必要な時間を速くできる。したがって、スタンバイ信号４０１、４０２を高頻度に変化させて回路ブロックの動作状態を高頻度に変化させても、システムのパフォーマンスが低下しない。

【００８４】

（２）　従来例Ａの実施例では、主回路ＬＯＧ０に入力される信号Ｂ０は、周波数可変型発振回路ＯＳＣ０に入力される信号Ｂ１に対応した信号としている。本発明の実施例では具体的に、信号Ｂ０に相当する基板バイアスは、信号Ｂ１に相当する基板バイアスから基板バイアスバッファを用いて生成する。このようにすることで、信号Ｂ０に相当する基板バイアスに大きな負荷が接続されても、信号Ｂ１に相当する基板バイアスは影響を受けない。したがって、信号Ｂ１に相当する基板バイアスを生成するフェーズロックドループ系の設計が容易になり、かつ、フェーズロックドループ系が安定になる時間（ロック時間）が短縮できる。

【図面の簡単な説明】

【図１】本発明の示す最も簡単な実施例の図である。

【図２】従来例を示す図である。

【図３】図１の基板バイアス制御回路の実施例の図である。

【図４】図１の基板バイアスミラー回路の動作を表す図である。

【図５】図１の基板バイアス制御回路の別の実施例の図である。

【図６】（Ａ）はＰＭＯＳ基板バイアススイッチの実施例の図、（Ｂ）はＮＭＯＳ基板バイアススイッチの実施例の図である。

【図７】本発明の別の実施例の図である。

【図８】図７の基板バイアス制御回路の実施例の図である。

【図９】図７のＰＭＯＳ基板バイアススイッチの実施例の図である。

【図１０】本発明をマイクロプロセッサに適用したときの基板バイアス分配方法を示す実施例の図である。

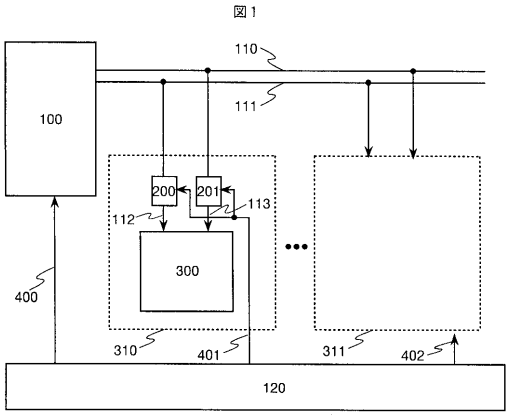
【図１１】本発明を実現する基板構造例を示す図である。

【符号の説明】

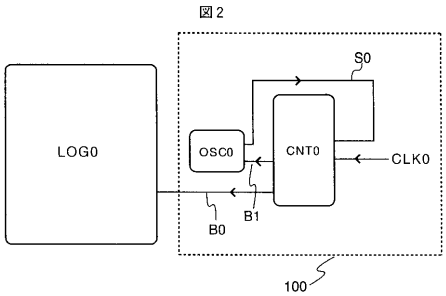
１００……基板バイアス制御回路、
１１０、１１２、Ｖｂｐ０、Ｖｂｐ１……ＰＭＯＳ基板バイアス、
１１１、１１３、Ｖｂｎ０、Ｖｂｎ１……ＮＭＯＳ基板バイアス、
１２０……パワー制御回路、
３１０、３１１……基板制御ブロック、
２００……ＰＭＯＳ基板バイアススイッチ、
２０１……ＮＭＯＳ基板バイアススイッチ、
３００……回路ブロック、
ＬＯＧ０……主回路、
ＯＳＣ０、ＯＳＣ１、ＯＳＣ２……周波数可変型発振回路、
ＣＮＴ０……制御回路、
ＣＬＫ０、ＲＣＬＫ……基準クロック、
４００、４０１、４０２……スタンバイ信号、
ＭＰ１、ＭＰ２、ＭＰ３、ＭＰ４、ＭＰ５……Ｐ型ＭＯＳＦＥＴ、
ＭＮ１、ＭＮ２、ＭＮ３、ＭＮ４、ＭＮ５……Ｎ型ＭＯＳＦＥＴ、
ＣＭ１、ＣＭ２、ＣＭ３……作動増幅器、
ＳＢＭ……基板バイアスミラー回路、
Ｖｄｄｑ……第二の正の電源電位、
Ｖｄｄ……第一の正の電源電位、
Ｖｓｓ……第一の負の電源電位、
Ｖｓｓｑ……第二の負の電源電位、
ＣＮＶ１、ＣＮＶ２……電圧レベル変換器、
ＣＰ、ＣＰ１、ＣＰ２……チャージポンプ回路、
ＬＰＦ、ＬＰＦ１、ＬＰＦ２……ローパスフィルタ、
ＰＦＤ、ＰＦＤ１、ＰＦＤ２……位相周波数比較回路、
Ｒ１、Ｒ２……抵抗、
Ｃ１……キャパシタンス、

ＳＢＵＦ１……ＰＭＯＳ基板バイアスバッファ、
ＳＢＵＦ２……ＮＭＯＳ基板バイアスバッファ、
２０４、２０５……基板バイアススイッチ、
ＭＡ１、ＭＡ２、ＭＡ３、ＭＡ４……基板制御ブロック、
Ｍ３……第三層メタル、
Ｍ２……第二層メタル、
５００……マイクロプロセッサ、
５０１……Ｉ／Ｏ回路。

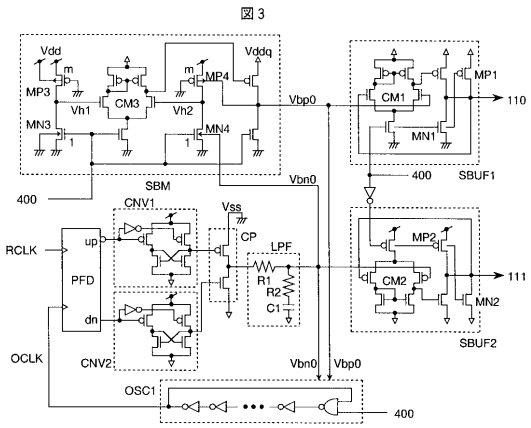
【図１】



【図２】

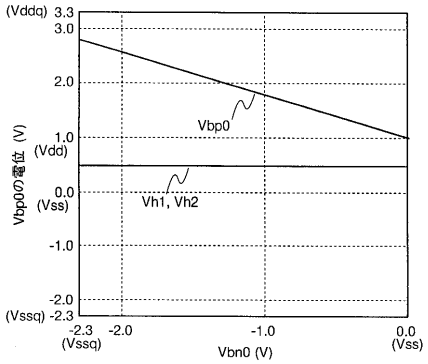


【図３】



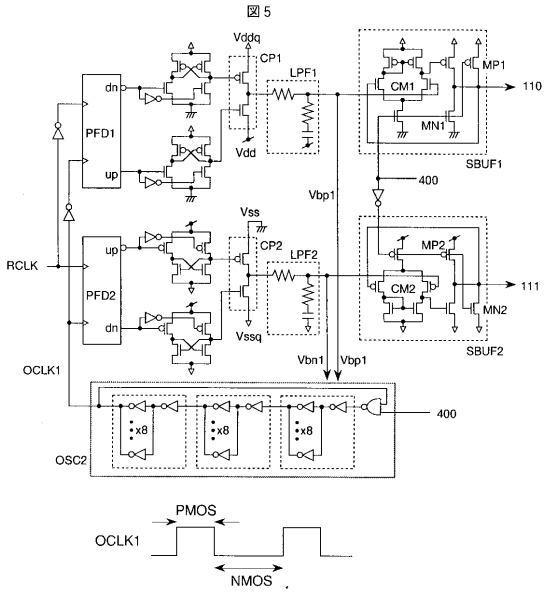
【図４】

図４



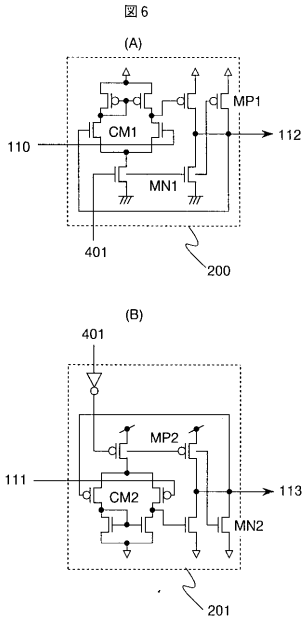
【図５】

図５



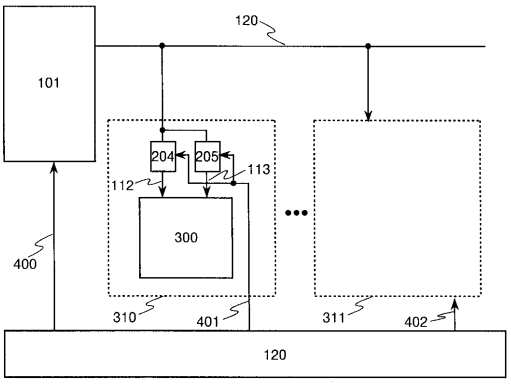
【図６】

図６



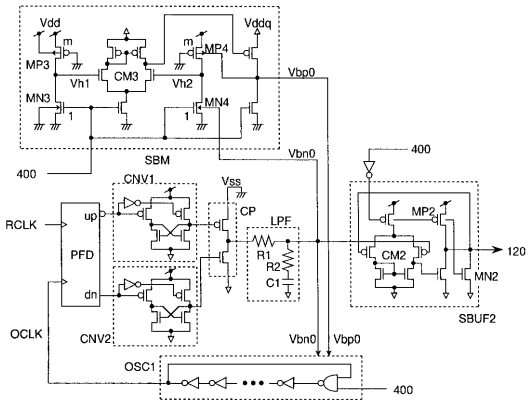
【図７】

図７



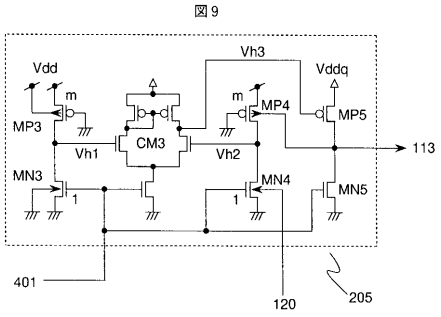
【図８】

図8



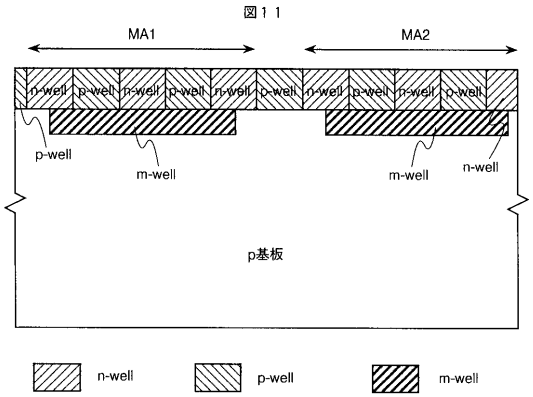
【図９】

図9



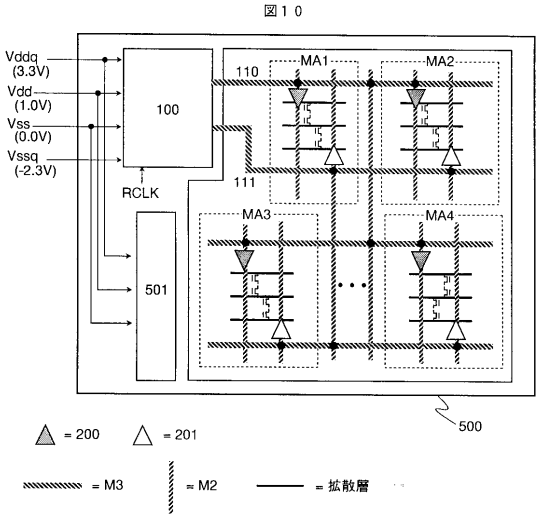
【図１１】

図11



【図１０】

図10



フロントページの続き

(72)発明者　石橋　孝一郎
東京都国分寺市東恋ケ窪一丁目２８０番地　株式会社日立製作所中央研究所内

審査官　彦田　克文

(56)参考文献　特開平０９－０３６２４６（ＪＰ，Ａ）
特開平０９－０３６２４６（ＪＰ，Ａ）
特開平０７－１８３４６９（ＪＰ，Ａ）
特開平０６－３１４４９２（ＪＰ，Ａ）
特開平０５－１０８１９４（ＪＰ，Ａ）
特開平０５－１５２９３５（ＪＰ，Ａ）
特開平０３－１６７７９５（ＪＰ，Ａ）
特開平０５－１１０４２７（ＪＰ，Ａ）
特開平０８－２７４６２０（ＪＰ，Ａ）
特開平０６－０８９５７４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H03K 19/096
H01L 21/82
H01L 27/04
H01L 27/092